

(12)

公開特許公報 (A)

(11)特許出願公開番号

特開2002 - 303882

(P2002 - 303882A)

(43)公開日 平成14年10月18日(2002.10.18)

(51) Int.Cl⁷

識別記号

FI

テーマコード* (参考)

G 0 2 F 1/1368

G 0 2 F 1/1368

2 H 0 9 2

1/133

550

1/133

550

2 H 0 9 3

審査請求 未請求 請求項の数 50 L (全 6 数)

(21)出願番号 特願2001 - 107232(P2001 - 107232)

(22)出願日 平成13年4月5日(2001.4.5)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 浜岡 拓

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)發明者 脇本 竜也

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100095555

弁理士 池内 寛幸 (外5名)

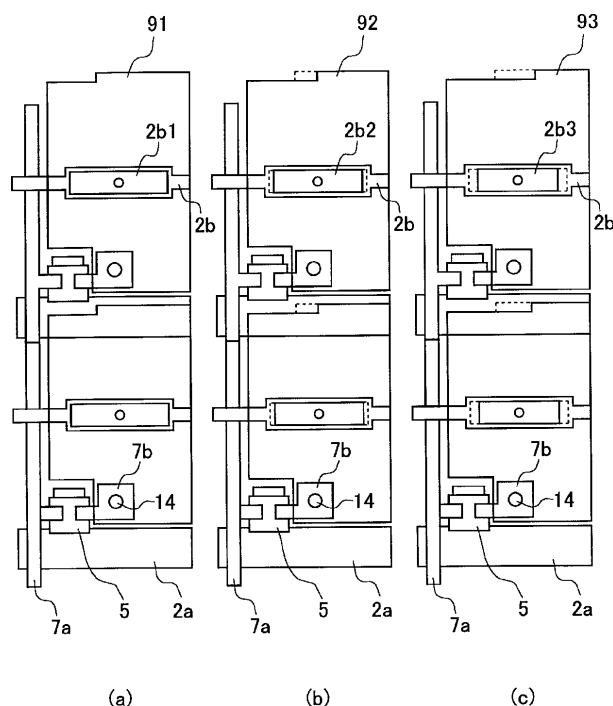
[最終頁に続く](#)

(54)【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 液晶表示装置において、フリッカーの発生を防止し表示品位を向上させる。

【解決手段】 ゲートパルスが印加されるゲート配線 2 a の入力側から同一のゲート配線の終端側への信号遅延量に応じて、少なくとも、前行のゲート配線と対向する画素電極 9 1、9 2、9 3 との間に形成された寄生容量の容量値が、ゲート配線の入力側から同一のゲート配線の終端側にかけて徐々に小さくなるように構成した。



【特許請求の範囲】

【請求項 1】 ゲートパルスが印加されるゲート配線の入力側から同一のゲート配線の終端側への信号遅延量に応じて、少なくとも、前行のゲート配線と対向する画素電極との間に形成された寄生容量の容量値が、前記ゲート配線の入力側から同一のゲート配線の終端側にかけて徐々に小さくなるように構成したことを特徴とする液晶表示装置。

【請求項 2】 共通配線と対向する画素電極との間に形成された蓄積容量の容量値が、前記ゲート配線の入力側から同一のゲート配線の終端側にかけて徐々に小さくなるように構成したことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】 前記寄生容量が形成される前記画素電極の部分の面積を、前記ゲート配線の入力側から同一のゲート配線の終端側にかけて徐々に小さくしたことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 4】 前記蓄積容量が形成される前記共通配線の部分の面積を、前記ゲート配線の入力側から同一のゲート配線の終端側にかけて徐々に小さくしたことを特徴とする請求項 2 記載の液晶表示装置。

【請求項 5】 請求項 1 から 4 のいずれか一項記載の液晶表示装置を備えたことを特徴とする画像表示応用機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に関し、特に、液晶表示装置におけるフリッカーを低減する技術に関する。

【0002】

【従来の技術】従来から、画像表示装置として、一主面上に複数の薄膜トランジスタ（以下、TFTと略称する）が形成された TFT アレイ基板を用いて、カラーフィルタ基板との間に介在する液晶を駆動し、液晶分子の配向により画像を表示する透過型の液晶表示装置が広く利用されている。

【0003】以下、従来の液晶表示装置について、図 2 および図 3 を参照して説明する。

【0004】まず、図 2 を用いて、従来の液晶表示パネルの製造方法について説明する。

【0005】図 2（a）は、従来の液晶表示パネルにおける画素構成を部分的に示す平面図で、図 2（b）は、図 2（a）の A - B 線に沿った断面図である。

【0006】図 2 において、まず、1つの透明ガラス基板 1a 上に、タンタルやクロム等からなるゲート電極、ゲート配線 2a および共通配線 2b を形成する。次に、通常、二層からなるゲート絶縁膜 3、4 をスパッタリングおよび気相成長法を用いて堆積させる。次に、印加される電圧によってその抵抗値が変化し、TFT をスイッチとして機能させる半導体膜（アモルファスシリコン

膜）5 を形成する。次に、ソース電極 7a およびドレイン電極 7b と半導体膜 5 とをオーミックコンタクトさせるための $n + a - Si$ 層 6 を形成する。そして、チタン、タンタル、モリブデン等の金属からなるソース電極およびソース配線 7a とドレイン電極 7b を同時に形成する。このとき同時に、共通配線 2b と画素電極 9 間に蓄積容量 C1 を形成する。次に、TFT を保護するために $SiNx$ からなる保護膜 8 を堆積させる。そして、ITO からなる透明画素電極 9 を堆積させる。このとき、前行のゲート配線 2a 上に透明画素電極 9 を一部重ねることで寄生容量 C2 を形成する。また、画素電極 9 に信号電圧を供給するために保護膜 8 を堆積させた後、ドレイン電極 7b 上に開口部 14 を設けておく。

【0007】以上の製造工程により、TFT アレイ基板 T1 が完成する。

【0008】一方、もう一つの透明ガラス基板 1b には、クロム等からなるブラックマトリクス 10 を形成した後、赤色、緑色、または青色のカラーフィルタ 11 を形成する。さらに、その上に対向画素電極 12 を形成することによって、カラーフィルタ基板 F1 が完成する。

【0009】続いて、十分に洗浄した前述の TFT アレイ基板 T1 にポリイミド配向膜を印刷法によって塗布し、焼成させる。そして、回転ローラに巻き付けた布によってラビング処理を施し、一方向にポリイミド分子を配向させる。次に、カラーフィルタ基板 F1 も同様に配向膜を形成し、ラビング処理を施す。

【0010】配向処理の後、TFT アレイ基板 T1 にシール剤を塗布し、一定の直径を有するスペーサを散布させる。これは、TFT アレイ基板 T1 とカラーフィルタ基板 F1 を貼り合わせる際に一定のギャップを保たせるためである。シール剤を予備硬化し、スペーサを散布した後、TFT アレイ基板 T1 とカラーフィルタ基板 F1 を貼り合わせ、シール剤を完全に硬化させる。そして、真空状態で基板間に液晶 13 を注入し、封止剤で基板間を封じ、2つの透明ガラス基板 1a、1b の外側に偏光板を配置することによって液晶表示パネルが完成する。

【0011】次に、このようにして製造された液晶表示パネルの動作について、図 3 を参照して説明する。図 3（a）は、液晶表示パネルの駆動回路の構成および各画素構成を交流等価回路で示す図、図 3（b）は、液晶表示パネル各部の駆動電圧波形を示す図である。

【0012】各ゲート配線 2a に接続された TFT を、順次ゲート電極に高電圧を印加してオン状態にし、所望の電圧を、ソース配線 7a を介して液晶 3 に印加するという工程を全画素にわたって線順次に行なうことで、液晶表示パネルに画像を表示させることができる。

【0013】図 3（a）に示すように、液晶表示パネルには、ゲートドライバ 15 およびソースドライバ 16 が接続されている。ゲートドライバ 15 は、選択しているゲート配線のみを高電位にして、他のゲート配線は低電

位に保つ。ゲート配線 2 a の選択は、最上行から最下行まで 1 / 60 秒で行われる。ソースドライバ 1 6 は、画像データ信号を受け取り、液晶 3 に加えるべき電圧に変換する。そして、ソースドライバ 1 6 は、ゲートドライバ 1 5 とタイミングを合せて動作することで、選択されたゲート配線 2 a に接続されている画素電極 9 に信号電圧を加える。

【0014】ここで、1つの画素は、交流等価回路で表現すると、共通配線 2 b と画素電極 9 に接続されたドレイン電極 7 b との間の蓄積容量 C 1、前行のゲート配線 2 a とドレイン電極 7 b との間の寄生容量 C 2、自行のゲート配線 2 a とドレイン電極 7 b との間の寄生容量 C 3、液晶容量 C 4、隣接する列のソース配線 7 a とドレイン電極 7 b との間の寄生容量 C 5、および TFT 1 7 で構成される。

【0015】図 3 (b) において、V g はゲートパルス電圧、V d はドレイン電圧 (画素電極電圧)、V s はソースパルス電圧 (信号電圧)、V c は共通配線 2 b 上の対向電圧を示す。図 3 (b) に示すように、ドレイン電極 7 b に接続された画素電極 9 にかかる電位 V d は、ゲートパルス V g の立下りの際に、寄生容量 C 3 のカップリングによる突き抜け電圧 $\Delta V p$ 分だけ低下する。この突き抜け電圧 $\Delta V p$ は、ゲート配線遅延によって、ゲートドライバ 1 5 からゲート配線 2 a への入力側と同一ゲート配線 2 a の終端側とで差が生じるため、液晶表示パネルに画像を表示させた際に、フリッカーの発生要因となる。

【0016】従来では、ゲート配線 2 a に順次印加されるゲートパルス V g を、オフからオンに変化する (立ち上がる) ときには急峻に変化させ、オンからオフに変化する (立ち下がる) ときには徐々に変化するようにして、突き抜け電圧 $\Delta V p$ の差を補償して、フリッカーの発生を低減している。

【0017】

【発明が解決しようとする課題】しかしながら、上記のような従来の液晶表示装置では、ゲートドライバ 1 5 からゲート配線 2 a への入力側と同一ゲート配線 2 a の終端側での突き抜け電圧 $\Delta V p$ の差を完全に補償することはできない。したがって、フリッカー低減のためには更なる対策を講じることが必要となる。

【0018】本発明は、かかる点に鑑みてなされたものであり、その目的は、フリッカーの発生を防止した表示品位の高い液晶表示装置およびそれを備えた画像表示応用機器を提供することにある。

【0019】

【課題を解決するための手段】前記の目的を達成するため、本発明に係る液晶表示装置は、ゲートパルスが印加されるゲート配線の入力側から同一のゲート配線の終端側への信号遅延量に応じて、少なくとも、前行のゲート配線と対向する画素電極との間に形成された寄生容量の

容量値が、ゲート配線の入力側から同一のゲート配線の終端側にかけて徐々に小さくなるように構成したことを特徴とする液晶表示装置。

【0020】この液晶表示装置において、共通配線と対向する画素電極との間に形成された蓄積容量の容量値が、ゲート配線の入力側から同一のゲート配線の終端側にかけて徐々に小さくなるように構成することが好ましい。

【0021】本発明に係る液晶表示装置において、寄生容量が形成される画素電極の部分の面積を、ゲート配線の入力側から同一のゲート配線の終端側にかけて徐々に小さくすることが好ましい。

【0022】また、本発明に係る液晶表示装置において、蓄積容量が形成される共通配線の部分の面積を、ゲート配線の入力側から同一のゲート配線の終端側にかけて徐々に小さくすることが好ましい。

【0023】前記の目的を達成するため、本発明に係る画像表示応用機器は、本発明に係る液晶表示装置を備えたことを特徴とする。

【0024】上記の構成によれば、ゲート配線の信号遅延によって発生する、ゲートパルスのゲート配線への入力側と同一のゲート配線の終端側での突き抜け電圧の差を補償することができ、フリッカーの発生を防止した表示品位の高い液晶表示装置およびそれを備えた画像表示応用機器を実現することができる。

【0025】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。

【0026】図 1 は、本発明の一実施形態による液晶表示装置の表示パネルにおける画素構成を示す平面図である。図 1 (a) は、ゲートパルスが印加されるゲート配線の入力側における画素構成を示す平面図、図 1 (b) は、液晶表示パネルの中央部における画素構成を示す平面図、図 1 (c) は、ゲート配線の終端側における画素構成を示す平面図である。

【0027】以下、本実施形態における液晶表示パネルの製造方法について説明する。

【0028】まず、1つの透明ガラス基板 1 a 上に、タンタルやクロム等からなるゲート電極、ゲート配線 2 a および共通配線 2 b を形成する。次に、通常、二層からなるゲート絶縁膜 3、4 をスパッタリングおよび気相成長法を用いて堆積させる。次に、印加される電圧によってその抵抗値が変化し、TFT をスイッチとして機能させる半導体膜 (アモルファスシリコン膜) 5 を形成する。次に、ソース電極 7 a およびドレイン電極 7 b と半導体膜と 6 をオーミックコンタクトさせるための n + a - Si 層 6 を形成する。そして、チタン、タンタル、モリブデン等の金属からなるソース電極およびソース配線 7 a とドレイン電極 7 b を同時に形成する。

【0029】このとき同時に、後の工程で、共通配線 2

b 上の電極部分 2 b 1、2 b 2、2 b 3 とそれぞれ対向する画素電極 9 1、9 2、9 3 との間に形成される蓄積容量 C 1 1、C 1 2、C 1 3 の容量値が、ゲート配線 2 a の入力側 (図 1 (a)) から終端側 (図 1 (b)) にかけて徐々に小さくなるように、それら電極部分 2 b 1、2 b 2、2 b 3 の面積を徐々に小さくする。

【0030】次に、TFT を保護するために SiNx からなる保護膜 8 を堆積させる。そして、ITO からなる透明画素電極 9 1、9 2、9 3 を堆積させる。このとき、前行のゲート配線 2 a と対向する画素電極 9 1、9 2、9 3 との間にそれぞれ形成される寄生容量 C 2 1、C 2 2、C 2 3 の容量値が、ゲート配線 2 a の入力側 (図 1 (a)) から終端側 (図 1 (b)) にかけて徐々に小さくなるように、前行のゲート配線 2 a とそれぞれ重なり合う画素電極 9 1、9 2、9 3 の部分の面積を徐々に小さくする。

【0031】また、画素電極 9 に信号電圧を供給するために、保護膜 8 を堆積させた後、ドレイン電極 7 b 上に開口部 14 を設けておく。

【0032】以上のように、本実施形態によれば、ゲート配線 2 a の入力側から終端側にかけて、蓄積容量 C 1 1、C 1 2、C 1 3 および寄生容量 C 2 1、C 2 2、C 2 3 の容量値が徐々に小さくなるように液晶表示パネルを構成することで、ゲート配線 2 a におけるゲートパルスの遅延によって発生する、同一ゲート配線の入力側と終端側での突き抜け電圧 ΔV_p の差を補償することができる。

【0033】

【発明の効果】以上説明したように、本発明によれば、同一ゲート配線の入力側と終端側でのゲートパルスによる突き抜け電圧の差を補償することで、フリッカーの発生を防止した表示品位の高い液晶表示装置を実現することが可能になる。

【図面の簡単な説明】

【図 1】 本発明の一実施形態による液晶表示装置の表示パネルにおける、ゲート配線の入力側 (a)、液晶表示パネルの中央部 (b)、およびゲート配線の終端側 (c) での画素構成を示す平面図

【図 2】 従来の液晶表示パネルにおける画素構成を示す平面図 (a) および A - B 線に沿った断面図 (b)

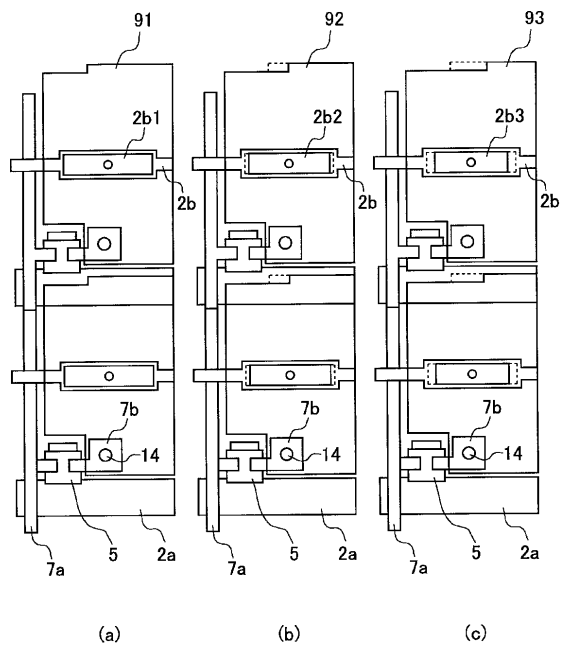
【図 3】 従来の液晶表示パネルにおける駆動回路の構成および各画素構成を交流等価回路で示す図 (a) およ

び各部の駆動電圧波形を示す図 (b)

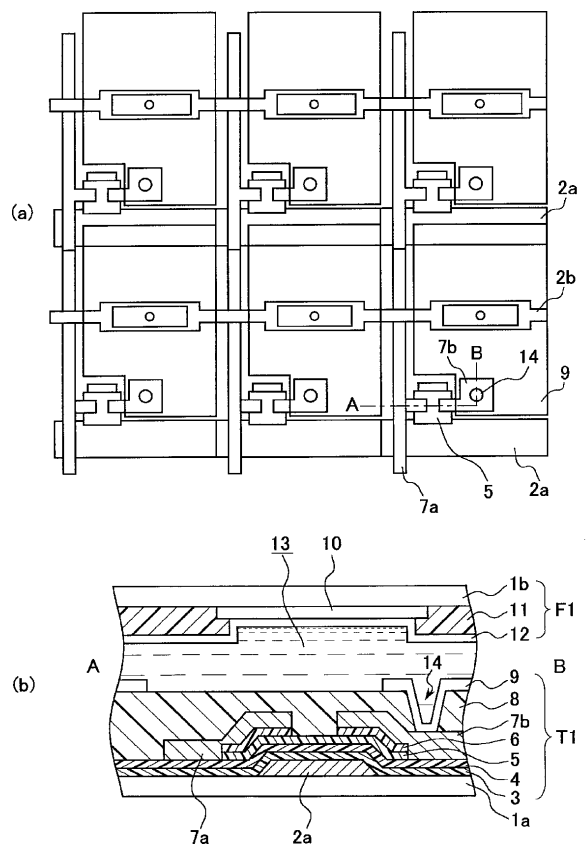
【符号の説明】

- 1 a、1 b 透明ガラス基板
- 2 a ゲート配線 (ゲート電極)
- 2 b 共通配線
- 2 b 1 ゲート配線の入力側での共通配線電極部
- 2 b 2 液晶表示パネルの中央部での共通配線電極部
- 2 b 3 ゲート配線の終端側での共通配線電極部
- 3 第 1 のゲート絶縁膜
- 4 第 2 のゲート絶縁膜
- 5 半導体膜 (アモルファスシリコン膜)
- 6 n + a - Si 膜
- 7 a ソース配線 (ソース電極)
- 7 b ドレイン電極
- 8 保護膜
- 9 透明画素電極
- 9 1 ゲート配線の入力側で前行のゲート配線に対向する画素電極
- 9 2 液晶表示パネルの中央部で前行のゲート配線に対向する画素電極
- 9 3 ゲート配線の終端側で前行のゲート配線に対向する画素電極
- 10 ブラックマトリックス
- 11 カラーフィルタ
- 12 対向画素電極
- 13 液晶層
- 14 開口部
- 15 ゲートドライバ
- 16 ソースドライバ
- 17 TFT
- T1 TFT アレイ基板
- F1 カラーフィルタ基板
- C1 蓄積容量
- C2 前行のゲート配線と画素電極間の寄生容量
- C3 自行のゲート配線と画素電極間の寄生容量
- C4 液晶容量
- C5 隣接する列のソース配線と画素電極間の寄生容量
- Vg ゲートパルス電圧
- Vc 対向電圧
- Vs ソースパルス電圧 (信号電圧)
- Vd ドレイン電圧 (画素電極電圧)
- ΔV_p 突き抜け電圧

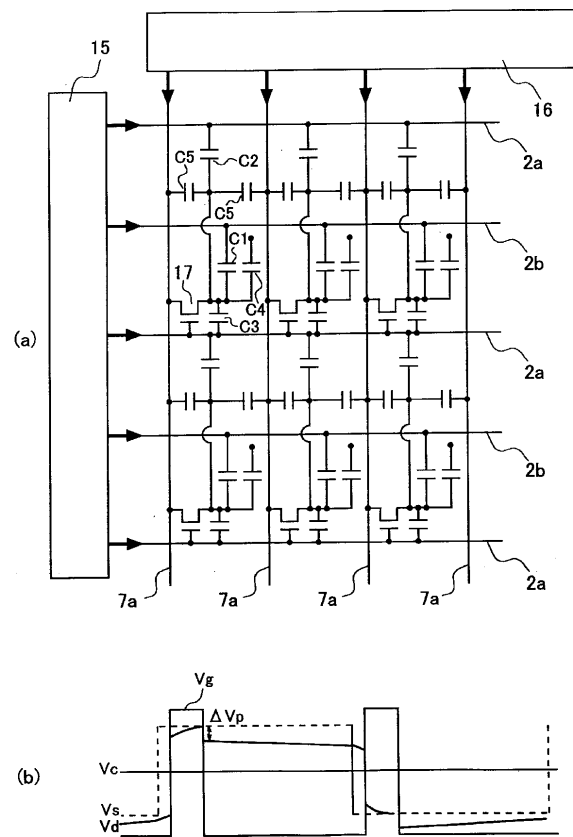
【図 1】



【図 2】



【図3】



フロントページの続き

F ターム(参考) 2H092 GA12 JA24 JA25 JB06 JB61
 JB63 JB64 NA01 NA25 PA06
 2H093 NA16 NA43 NC34 NC35 ND10

专利名称(译)	液晶表示装置		
公开(公告)号	JP2002303882A	公开(公告)日	2002-10-18
申请号	JP2001107232	申请日	2001-04-05
申请(专利权)人(译)	松下电器产业有限公司		
[标]发明人	浜岡拓 脇本 竜也		
发明人	浜岡 拓 脇本 竜也		
IPC分类号	G02F1/1368 G02F1/133		
FI分类号	G02F1/1368 G02F1/133.550		
F-TERM分类号	2H092/GA12 2H092/JA24 2H092/JA25 2H092/JB06 2H092/JB61 2H092/JB63 2H092/JB64 2H092/NA01 2H092/NA25 2H092/PA06 2H093/NA16 2H093/NA43 2H093/NC34 2H093/NC35 2H093/ND10 2H192/AA24 2H192/AA43 2H192/AA45 2H192/BC31 2H192/CB05 2H192/CB83 2H192/DA02 2H192/DA12 2H192/DA42 2H192/DA52 2H192/DA65 2H193/ZA04 2H193/ZA19		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了防止闪烁并改善液晶显示设备的显示质量。根据从施加有栅极脉冲的栅极线2a的输入侧到同一栅极线的端侧的信号延迟量，在前一行中至少面对栅极线的像素电极91、92、93。从栅极布线的输入侧到同一栅极布线的端子侧，在之间形成的寄生电容的电容值逐渐减小。

