

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002 - 287705

(P2002 - 287705A)

(43)公開日 平成14年10月4日(2002.10.4)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	520	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	611	G 0 9 G 3/20	5 C 0 8 0
	612		612 D

審査請求 未請求 請求項の数 3 O L (全 7 数)

(21)出願番号 特願2001 - 89103(P2001 - 89103)

(22)出願日 平成13年3月27日(2001.3.27)

(71)出願人 000001960

シチズン時計株式会社

東京都西東京市田無町六丁目1番12号

(72)発明者 ▲高▼橋 賢一

東京都西東京市田無町六丁目1番12号 シチ

ズン時計株式会社内

(72)発明者 秋山 貴

東京都西東京市田無町六丁目1番12号 シチ

ズン時計株式会社内

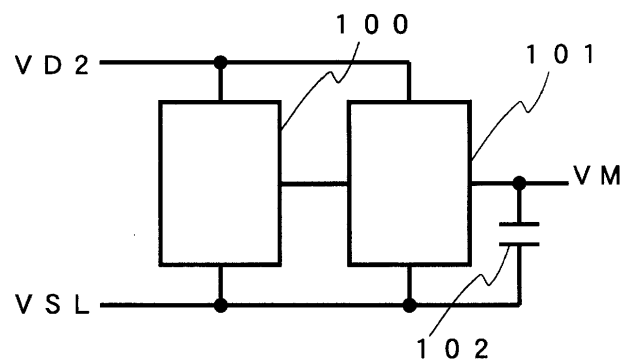
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】液晶パネルを実際に表示するのに必要な消費電力に比べて、液晶パネルを駆動するために必要な電源を発生させるための消費電力の方が多くなってしまう電源があった。

【解決手段】基準電圧と出力電圧を比較して、出力電圧が低い場合には低インピーダンスで電力を供給し、出力電圧が高い場合には高インピーダンスに切り替わることで、消費電力を削減する。



【特許請求の範囲】

【請求項 1】複数の走査電極と複数の信号電極を対向させて液晶を挟持する液晶表示素子と、前記複数の信号電極を駆動する信号電極駆動回路と、前記複数の走査電極を駆動する走査電極駆動回路と、一以上の電源回路を有する電源発生回路とを有する液晶表示装置において、前記電源発生回路のうちの少なくとも一つの電源回路は、電圧検出ブロックとスイッチブロックを備え、前記スイッチブロックは、スイッチング素子と出力端を有し、該スイッチング素子は該出力端といずれかの電源との間に接続され、前記電圧検出ブロックは、設定された基準電圧と前記出力電圧を比較し、前記出力電圧が前記基準電圧よりも低いときには、前記スイッチブロックのスイッチング素子を導通状態にする信号レベルの出力検出信号を出力し、前記出力電圧が前記基準電圧よりも高いときには、前記スイッチブロックの前記スイッチング素子を非導通状態にする信号レベルの出力検出信号を出力する回路を備えることを特徴とする液晶表示装置。

【請求項 2】前記電圧検出ブロックは、オペアンプの非反転入力に前記基準電圧が入力されるとともに、前記オペアンプの反転入力に前記出力電圧が入力され、前記オペアンプの出力に波形整形インバータの入力に接続され、前記波形整形インバータの出力に第 1 のインバータの入力が接続され、前記第 1 のインバータの出力に第 2 のインバータの入力が接続され、前記出力検出信号は、前記第 1 のインバータの出力と前記第 2 のインバータの出力により構成されることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】前記スイッチブロックは、NMOS トランジスタのソースとバルクが前記信号電極駆動回路の負側の液晶駆動電源に接続されるとともに、前記 NMOS トランジスタのゲートが第 1 の出力検出信号が接続され、PMOS トランジスタのソースとバルクが前記信号電極駆動回路の正側の液晶駆動電源に接続されてるとともに、前記 PMOS トランジスタのゲートが第 2 の出力検出信号が接続され、前記 NMOS トランジスタと前記 PMOS トランジスタのドレイン同士が接続され、第 1 の抵抗の一方が前記信号電極駆動回路の負側の液晶駆動電源に接続されるとともに、前記第 1 の抵抗の他方が前記ドレイン同士の接続部に接続され、第 2 の抵抗の一方が前記信号電極駆動回路の正側の液晶駆動電源に接続されるとともに、前記第 2 の抵抗の他方が前記ドレイン同士の接続部に接続され、前記ドレイン同士の接続部が、前記出力電圧となることを特徴とする請求項 1 の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はマトリクス型液晶表示装置（以下、液晶表示装置と記載する）に関し、特に

液晶表示装置の駆動方法および駆動装置に関する。

【0002】

【従来の技術】液晶表示装置は現在情報処理の分野、携帯端末、アミューズメントの分野など様々な分野で広く用いられている。特に液晶表示装置は、小型、軽量、薄型という特徴を持つことから、中小型の表示分野では、他の表示装置の追随を許さないほど、広く利用されている。

【0003】しかし、現状では小型、軽量、薄型、そして低消費電力であるという利点を液晶表示装置は有するにもかかわらず、十分にその特徴を生かし切れてはいない。

【0004】図 3 には、従来技術における液晶表示装置の回路構成のシステムを示すブロック図を示している。図 3 において液晶パネル 301 を駆動するための駆動回路は主に、信号電極を駆動する信号電極駆動回路 305 と当該信号電極に直交する方向にもうけられている走査電極を駆動する走査電極駆動回路 304 から構成される。

【0005】走査電極駆動回路 304 は走査電極駆動用高電圧直流電源及び論理回路用低電圧直流電源 309 と、液晶コントローラ 310 からの信号である走査電極駆動用タイミング信号 308 が入力される。これらの電源とタイミング信号により走査電極を駆動する駆動信号が走査電極に出力される。

【0006】信号電極駆動回路 305 は信号電極駆動用直流電源 307、液晶コントローラ 310 からの信号であるタイミング信号や信号電極駆動回路用データ信号等からなる信号電極駆動用タイミング信号 306 が入力される。これらの電源とタイミング信号により信号電極を駆動する駆動信号が信号電極に出力される。

【0007】一方、液晶パネル 301 は図 3 に示すように、本明細書では概略的に表示領域 302 と周辺領域 303 を区分けしておく。

【0008】特に最近では、携帯性が重要であることから、小型化が求められている一方、視認性や使い易さからより大きな画面が求められている。そのため限られた領域内での液晶パネル 301 の表示領域 302 の拡大が強く求められており、周辺領域 303 についてはますます狭くなることを要求されている。

【0009】例えば、図 3 のように周辺領域 303 に集積回路である IC を IC チップのままでガラス基盤上に実装するチップオンガラス実装（以下、COG と記載する）においては、周辺領域 303 を狭くするためには IC がより細く、小型になることが必要になる。IC がより細く、小型になることで、同様な実装方法である TAB（テープオートマチックボンディング）や TCB（テープキャリアパッケージ）も小型化可能になり、周辺領域 303 を削減できる。

【0010】このような狭額縁化への対応の手段の一つ

には、集積回路である走査電極駆動回路と信号電極駆動回路のスリム化、小型化があり、走査電極駆動回路と信号電極駆動回路をスリム化、小型化する方法の一つには耐圧を低くすることで、素子の大きさを小さくするという方法である。

【0011】図4には従来技術における液晶交流動作のための走査電極駆動回路の出力電位波形と信号電極駆動回路の出力電位波形を示している。従来用いられてきた方法では、図4に示すように、液晶交流動作時に電位を変動させ、走査電極駆動回路は、V1とV2、V3とV4の組み合わせで出力する。そのとき、信号電極駆動回路はV5とV4、V1とV6の組み合わせで出力する。したがって、走査電極駆動回路、信号電極駆動回路ともに、V1 - V4の間の電位差以上の耐圧が必要となり、高耐圧の電極駆動回路を必要としていた。

【0012】このため、高耐圧の半導体スイッチング回路が必要となってしまうため、素子が大きい高耐圧の集積回路が必要となっていた。

【0013】この方法では、走査電極駆動回路、信号電極駆動回路ともに高耐圧の素子で構成しなければならない。したがって、特に信号電極駆動回路についても、小型化、集積化は十分に得られず、また画素数の増加に伴うデータ信号数の増大による信号電極駆動回路の高速動作化を十分に得ることが出来ない問題を抱えていた。加えて、消費電力についても高電圧を高速で動作させなくてはならないために、低消費電力とすることも十分でなかった。

【0014】これらの問題の解決方法の一つとして、本出願人が先に出願した特開昭60 - 249191公報（米国特許4843252）、または特開平2 - 282788（米国特許5101116）等で開示されている電源揺動法があげられる。

【0015】近年、液晶表示装置は高精細化が求められて、画素ピッチは細密化され、電極パターン本数も必然的に増加してきている。よって、分割数が増加することとなり、駆動電圧も高くなってしまっている。

【0016】分割数を高くしたり、コントラストを高くするために液晶駆動には高い交流電圧、あるいは交流振幅が必要であるため液晶を駆動するための出力回路として、プッシュプル駆動の手法が用いられる。このプッシュプル駆動法を用いた駆動の例は、ソサエティー・オブ・ディスプレイ会誌Vol. 26 / 1, '85, 9 - 15頁に開示されている。

【0017】このプッシュプル駆動では、交流振幅が互いに逆極性の2つの電圧発生回路を用意し、両電圧の差で液晶素子を駆動することにより、最大で電源電圧の2倍の駆動電圧の出力が得られる。プッシュプル回路の駆動電圧が高くなると、プッシュプル構成されたトランジスタの切り替わりのタイミングがずれると、大量の貫通電流が流れてしまい、その結果液晶駆動回路の消費電力

が多くなる問題を有していた。

【0018】駆動回路を集積化するとき、高耐圧の素子で構成した回路を集積化すると、ICの集積度は落ち、小型化には不向きであり、また、回路の動作速度の高速化も多くは望めなかった。

【0019】そこで、パルス発生信号からクランプ回路を用いて、基準電圧レベルの異なる第2のパルス信号を作成し、両者を合成して電源電圧以上の電位差をもつ駆動出力を得るが、同じ時間では電源電圧以上の電位差をもつことがない揺動電源と称した技術により高耐圧のICを必要としない回路を本出願人は、前記の公報で先に提案した。

【0020】ここで、本出願人が先に提案した電源揺動法に関して図5を用いて説明する。図5は電源揺動法の電源電位の状態を示した図である。VDDは走査電極駆動回路の正側の液晶駆動電源を示し、VSSは走査電極駆動回路の負側の液晶駆動電源を示している。VMは走査電極駆動回路及び信号電極駆動回路共通の非選択電源を示し、VD2は信号電極駆動回路の正側の液晶駆動電源を示し、VSLは信号電極駆動回路の負側の液晶駆動電源であり、システム全体のグラウンドを、VDLはシステムの電源を示している。

【0021】VSSはVLからVSLに切り替えた電位を、VDDはVSSに同期したVD2からV0に切り替えた電位を示して走査電極駆動回路に入力する。その結果、走査電極駆動回路の耐圧をあげることなく、信号電極駆動回路の耐圧を大幅に下げることができ、その結果、信号電極駆動回路の小型化、高速動作化、低消費電力化が可能になる。

【0022】しかし、このような電源揺動法では走査電極駆動回路を構成するのすべての素子を高耐圧の素子で構成しなければならない。しかし、走査電極駆動回路について、実際に高耐圧の素子で構成する必要がある部分は、液晶素子を駆動する出力ドライバ部だけである。構成するすべての素子を高耐圧の素子で構成する走査電極駆動回路では、小型化、低消費電力化は十分とはいえなかった。

【0023】したがって、走査電極駆動回路を構成する回路のほとんどが高耐圧の素子で構成する必要がないため、出力ドライバ部以外を低耐圧の素子で構成することで走査電極駆動回路の小型化が一層進むことになる。そこで、図6に低耐圧の素子を駆動するため電源を加えた電源揺動法における電源電位の状態を示す。

【0024】VSS、VDDは先に説明したような動作を行う。また、新たに走査電極駆動回路の低圧ロジック電源VCCを発生させる。VCCはVSSに同期してVCからVDLに切り替えた電位であり、VSSは走査電極駆動回路の低圧ロジックのグラウンドとなる。その結果、VDD、VCC、VSS、VMを走査電極駆動回路に入力することで、走査電極駆動回路内の低耐圧の素子

で構成した回路を破壊することなく、駆動を行うことが可能となる。

【0025】この方法を用いることで走査電極駆動回路自体の低消費電力化は進むが、液晶表示装置全体での低消費電力化には、電源を発生する周辺回路についても、より低消費電力化が必要であった。

【0026】ここで、従来のVMを発生する回路を図7に示す。700、701は抵抗、702はコンデンサを示している。VMはVD2とVSLを抵抗700と抵抗701により抵抗分割にすることで発生させ、コンデンサ702を付加することで、VMを安定させていた。

【0027】しかし、このような回路構成では、抵抗700と抵抗701の設定によって様々な問題があった。

【0028】抵抗700と抵抗701を高い抵抗値の抵抗で分割して、VMを発生すると、電源投入時のようにコンデンサ702の電荷が十分に蓄積されていない時には、充電時間が長くなってしまふ。その結果、VMがVD2とVSL抵抗分割により設定された電位になるまでに時間がかかるため、液晶パネルには直流印加がされてしまい、液晶の劣化等の問題が発生してしまっていた。

【0029】抵抗700と抵抗701を低い抵抗値の抵抗で分割して、VMを発生すると、コンデンサ702への充電時間は短くなり、液晶パネルへの直流印加を防止できるようになる。しかし、分割抵抗を低くしてしまったために、液晶駆動で実際に必要なVMの消費電力よりも、液晶駆動には直接必要のない無駄な電流が増加してしまっていた。

【0030】

【発明が解決しようとする課題】本発明では、電源回路、特にVMを発生する回路を高効率で発生可能な回路構成にすることで、より低消費電力で表示可能な液晶表示装置を提供することにある。

【0031】

【課題を解決するための手段】上記目的を達成するために、本願発明は、複数の走査電極と複数の信号電極を対向させて液晶を挟持する液晶表示素子と、前記複数の信号電極を駆動する信号電極駆動回路と、前記複数の走査電極を駆動する走査電極駆動回路と、一以上の電源回路を有する電源発生回路とを有する液晶表示装置において、前記電源発生回路のうちの少なくとも一つの電源回路は、電圧検出ブロックとスイッチブロックを備え、前記スイッチブロックは、スイッチング素子と出力端を有し、該スイッチング素子は該出力端といずれかの電源との間に接続され、前記電圧検出ブロックは、設定された基準電圧と前記出力電圧を比較し、前記出力電圧が前記基準電圧よりも低いときには、前記スイッチブロックのスイッチング素子を導通状態にする信号レベルの出力検出信号を出力し、前記出力電圧が前記基準電圧よりも高いときには、前記スイッチブロックの前記スイッチング素子を非導通状態にする信号レベルの出力検出信号を出

力する回路を備えることにより構成されている。

【0032】また、上記目的を達成するために、本願発明は、前記電圧検出ブロックは、オペアンプの非反転入力に前記基準電圧が入力されるとともに、前記オペアンプの反転入力に前記出力電圧が入力され、前記オペアンプの出力に波形整形インバータの入力に接続され、前記波形整形インバータの出力に第1のインバータの入力が接続され、前記第1のインバータの出力に第2のインバータの入力が接続され、前記出力検出信号は、前記第1のインバータの出力と前記第2のインバータの出力により構成されるている。

【0033】さらに、上記目的を達成するために、前記スイッチブロックは、NMOSトランジスタのソースとバルクが前記信号電極駆動回路の負側の液晶駆動電源に接続されるとともに、前記NMOSトランジスタのゲートが第1の出力検出信号が接続され、PMOSトランジスタのソースとバルクが前記信号電極駆動回路の正側の液晶駆動電源に接続されてるとともに、前記PMOSトランジスタのゲートが第2の出力検出信号が接続され、前記NMOSトランジスタと前記PMOSトランジスタのドレイン同士が接続され、第1の抵抗の一方が前記信号電極駆動回路の負側の液晶駆動電源に接続されるとともに、前記第1の抵抗の他方が前記ドレイン同士の接続部に接続され、第2の抵抗の一方が前記信号電極駆動回路の正側の液晶駆動電源に接続されるとともに、前記第2の抵抗の他方が前記ドレイン同士の接続部に接続され、前記ドレイン同士の接続部が、前記出力電圧となることにより構成されている。

【0034】上記の構成により、必要な時のみ低インピーダンスで電流を流すことができ、必要でない時には高インピーダンスにして無駄な消費電力を減らし、低消費電力化が可能になる。

【0035】

【発明の実施の形態】図1は本発明の実施の形態を実現するための電源発生回路のシステムの概略構成図である。

【0036】100は電圧検出ブロックを、101はスイッチブロックを、102はコンデンサを示している。電圧検出ブロック100は電圧検出ブロック100内で設定された基準電圧とVMの電圧を比較する機能を持つブロックである。またスイッチブロック101は電圧検出ブロック100から出力される出力検出信号によりスイッチブロック101内のスイッチを切り替える機能がある。

【0037】電圧検出ブロック100の検出信号の状態により、スイッチブロック101の状態を切り替えることにより、スイッチブロックの出力インピーダンスを最適な大きさに調整することができる。したがって、無駄な消費電力を削減できる。

【0038】コンデンサ102はVMを安定させるため

に、比較的大きな静電容量が必要とされる。したがって、外付け部品で構成する方が一般的ではあるものの、集積回路に内蔵しても構わない。

【0039】図2にVMを発生する回路の一例を示す。200は基準電圧、201はオペアンプ、202はシュミットトリガインバータ、203は第1のインバータ、204は第2のインバータをそれぞれ示していて、電圧検出ブロック100を構成している。

【0040】オペアンプ201の非反転入力には基準電圧200が入力し、反転入力にはVMが入力されている。出力はシュミットトリガインバータ202の入力に接続され、出力は第1のインバータ203の入力に接続されている。

【0041】ここで、シュミットトリガインバータ202は、オペアンプ201がノイズにより出力が変化しても、そのノイズによって出力が誤動作しないために使用している。

【0042】第1のインバータ203の出力は第2のインバータ204の入力に接続され、この信号を第1の出力検出信号とする。また第2のインバータ204の出力は第2の出力検出信号とする。

【0043】205はPMOSTランジスタ、206はNMOSTランジスタ、207、208は抵抗をそれぞれ示しており、スイッチブロック101を構成している。

【0044】PMOSTランジスタ205のソースとバルクはVD2に接続されている。NMOSTランジスタ206のソースとバルクはVSLに接続されている。またPMOSTランジスタ205、NMOSTランジスタ206のドレイン同士が接続されて、VMとなっていて、PMOSTランジスタ205のゲートには、第2のインバータ204の出力である第2の出力検出信号が、NMOSTランジスタ206のゲートには、第1のインバータ203の出力である第1の出力検出信号が接続されている。

【0045】抵抗207の一方はVD2に、もう一方はVMに接続されていて、抵抗208の一方はVSLに、もう一方はVMに接続されている。また、コンデンサ102の一方はVMに、もう一方はVSLに接続されている。

【0046】電源投入時のように、基準電圧200に比べてVMの電圧が低い場合、オペアンプの出力はハイレベルを出力する。すると、シュミットトリガインバータ202の出力はロウレベル、第1のインバータ203の出力である第1の出力検出信号はハイレベル、第2のインバータ204の出力である第2の出力検出信号はロウレベルになる。

【0047】PMOSTランジスタ205、NMOSTランジスタ206ともに導通状態になり、PMOSTランジスタ205、NMOSTランジスタ206のオン抵

抗を十分低くすることで、コンデンサ102に急速に充電を行うことが出来る。したがって、VMの電位が短時間で上昇することになり、液晶パネルへの直流印加を防止できる。

【0048】次にVMが基準電位200よりも電圧が高くなると、オペアンプ201の出力はハイレベルからロウレベルに切り替わる。すると、シュミットトリガインバータ202の出力もロウレベルからハイレベル、第1のインバータ203の出力である第1の出力検出信号はハイレベルからロウレベル、第2のインバータ204の出力である第2の出力検出信号はロウレベルからハイレベルにそれぞれ反転する。

【0049】PMOSTランジスタ205、NMOSTランジスタ206ともに非導通状態となる。したがって、VMのコンデンサ102を充電するためにPMOSTランジスタ205、NMOSTランジスタ206を介してVD2からVSLに流れていた電流はなくなる。

【0050】よって、PMOSTランジスタ205、NMOSTランジスタ206が非導通状態になった後は、コンデンサ102には抵抗207、抵抗208を介して非常に高いインピーダンスで充電すればよいので、高インピーダンスにすることで液晶駆動に必要な無駄な消費電流を削減でき、より低消費電力で表示可能な液晶表示装置を実現できる。本発明の実施の形態では、スイッチング素子にPMOSTランジスタ205、NMOSTランジスタ206の2つのMOSTランジスタを使って構成していた。PMOSTランジスタ205とNMOSTランジスタ206のそれぞれのオン抵抗を調整することで出力電圧を調整でき、電圧検出ブロック100の応答遅延時間によるオーバーシュートを防止できる。ただし、コンデンサ102への充電時間、つまりスイッチング素子とコンデンサ102からなる時定数が電圧検出ブロック100の応答遅延時間よりも充分長い場合には、オーバーシュートが発生したとしても充分短い時間となり、無視できるのでPMOSTランジスタ205だけで構成してもよい。

【0051】また本発明では、インバータの数を2段としたが、PMOSTランジスタ、NMOSTランジスタそれぞれが本発明の動作で説明したように、PMOSTランジスタ、NMOSTランジスタを導通、非導通状態にできれば、インバータの個数は何段で構成されても構わない。

【0052】シュミットトリガインバータについても本発明では1段としていたが、波形整形用として使用しており、必ずしも1段である必要はなく、複数個使用しても構わない。

【0053】

【発明の効果】本発明によって、本来液晶駆動に必要な無駄な消費電流を減らせ、低消費電力化が可能になる。また、集積回路化することで、従来外付け部品とし

て必要であった抵抗を内蔵出来ることにより、部品数を減らすことができるとともに、抵抗同士の抵抗値のばらつきを低減できる。

【図面の簡単な説明】

【図 1】本発明の実施の形態を実現するための電源発生回路のシステムの概略構成図である。

【図 2】本発明の実施の形態を実現するための VM を発生する回路を示す図である。

【図 3】従来技術における液晶表示装置の回路構成のシステムを示すブロック図である。

【図 4】従来技術における液晶交流動作のための走査電極駆動回路の出力電位波形と信号電極駆動回路の出力電位波形を示す図である。

【図 5】従来技術における電源揺動法の電源電位の状態を示す図である。

【図 6】従来技術における低耐圧の素子を駆動するため電源を加えた電源揺動法における電源電位の状態を示す図である。

【図 7】従来技術における VM を発生する回路を示す図である。

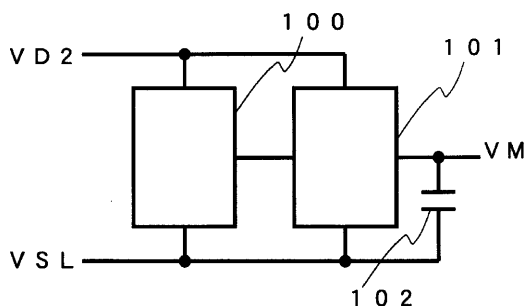
【符号の簡単な説明】

- 100 電圧検出ブロック
- 101 スイッチブロック
- 102 コンデンサ
- 200 基準電圧
- 201 オペアンプ
- 202 シュミットトリガインバータ
- 203 第 1 のインバータ

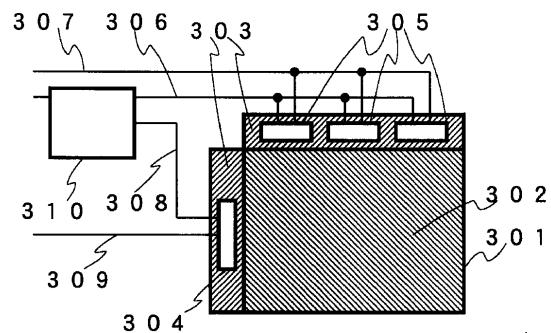
- *204 第 2 のインバータ
- 205 PMOS トランジスタ
- 206 NMOS トランジスタ
- 207、208 抵抗
- 301 液晶パネル
- 302 表示領域
- 303 周辺領域
- 304 走査電極駆動回路
- 305 信号電極駆動回路
- 10 306 信号電極駆動用タイミング信号
- 307 信号電極駆動用直流電源
- 308 走査電極駆動用タイミング信号
- 309 走査電極駆動用高電圧直流電源及び論理回路用低電圧直流電源
- 310 液晶コントローラ
- 700、701 抵抗
- 702 コンデンサ
- VDD 走査電極駆動回路の正側の液晶駆動電源
- VCC 走査電極駆動回路の低圧ロジック電源
- 20 VSS 走査電極駆動回路の負側の液晶駆動電源及び低圧ロジックのグランド
- VDL システムの電源
- VSL システムのグランド及び信号電極駆動回路の負側の液晶駆動電源
- VD2 信号電極駆動回路の正側の液晶駆動電源
- VM 走査電極駆動回路及び信号電極駆動回路共通の非選択電源

*

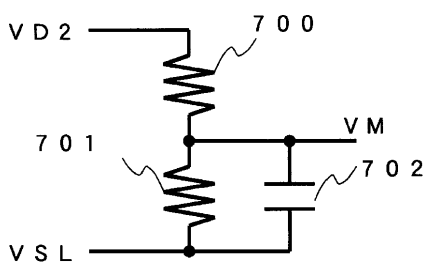
【図 1】



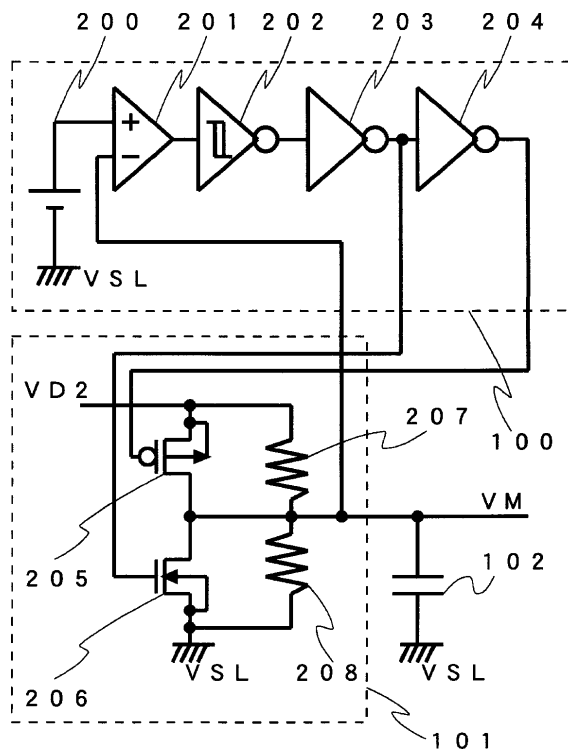
【図 3】



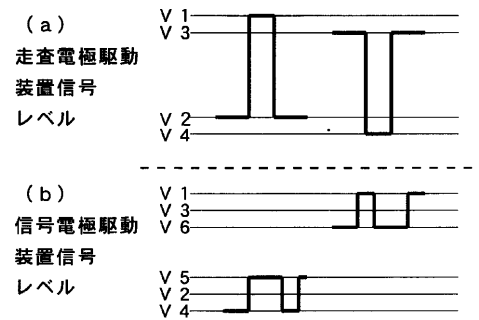
【図 7】



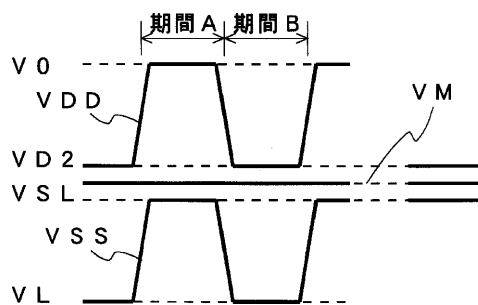
【図2】



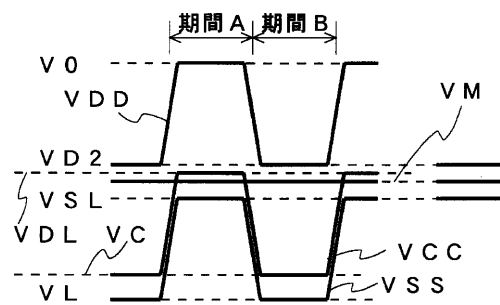
【図4】



【図5】



【図6】



フロントページの続き

Fターム(参考) 2H093 NA06 NC02 NC25 NC49 NC58
 ND39 ND42 ND49
 5C006 AC24 AF51 AF52 AF69 BB11
 BF43 BF46 FA47
 5C080 AA10 BB05 DD26 FF03 FF12
 JJ02 JJ03 JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2002287705A	公开(公告)日	2002-10-04
申请号	JP2001089103	申请日	2001-03-27
[标]申请(专利权)人(译)	西铁城控股株式会社		
申请(专利权)人(译)	西铁城钟表有限公司		
[标]发明人	高橋賢一 秋山貴		
发明人	▲高▼橋 賢一 秋山 貴		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.520 G09G3/20.611.A G09G3/20.612.D		
F-TERM分类号	2H093/NA06 2H093/NC02 2H093/NC25 2H093/NC49 2H093/NC58 2H093/ND39 2H093/ND42 2H093/ND49 5C006/AC24 5C006/AF51 5C006/AF52 5C006/AF69 5C006/BB11 5C006/BF43 5C006/BF46 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/FF03 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZB42 2H193/ZF02 2H193/ZH21		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供消耗更多电力的电源，用于产生驱动液晶面板所需的电源，而不是实际显示液晶面板所需的电力消耗。 解决方案：通过比较参考电压和输出电压，在输出电压较低时为低阻抗供电，在输出电压较高时为低阻抗供电，从而降低功耗。

