

(19)日本国特許庁 ( J P )

# 公開特許公報 ( A )

(11)特許出願公開番号

特開2002 - 252231

( P2002 - 252231A )

(43)公開日 平成14年9月6日 (2002.9.6)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テマコード* ( 参考 )
H 0 1 L 21/336		G 0 2 F 1/1368	2 H 0 9 2
G 0 2 F 1/1368		H 0 1 L 21/20	5 F 0 4 8
H 0 1 L 21/20		27/08 331 E	5 F 0 5 2
27/08 331		29/78 617 A	5 F 1 1 0
29/786		616 A	

審査請求 有 請求項の数 20 L ( 全 13数 ) 最終頁に続く

(21)出願番号 特願2001 - 384463(P2001 - 384463)  
(62)分割の表示 特願平11 - 151840の分割  
(22)出願日 平成11年5月31日(1999.5.31)

(31)優先権主張番号 1998P19760  
(32)優先日 平成10年5月29日(1998.5.29)  
(33)優先権主張国 韓国(KR)  
(31)優先権主張番号 1998P48365  
(32)優先日 平成10年11月12日(1998.11.12)  
(33)優先権主張国 韓国(KR)  
(31)優先権主張番号 1998P53796  
(32)優先日 平成10年12月8日(1998.12.8)  
(33)優先権主張国 韓国(KR)

(71)出願人 390019839  
三星電子株式会社  
大韓民国京畿道水原市八達区梅灘洞416  
(72)発明者 李 柱亨  
大韓民国ソウル市江南区大峙洞(番地なし)  
住公アパート311 - 1102  
(72)発明者 ホン ムンジャク  
大韓民国京畿道城南市盆唐区亭子洞(番地なし) ジョンドンマウル宇成アパート609 - 1705  
(74)代理人 100095957  
弁理士 亀谷 美明 ( 外 2 名 )

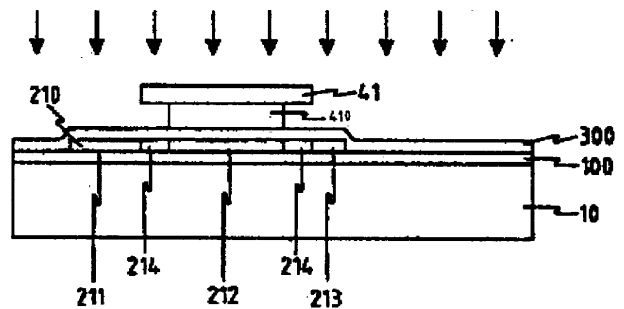
最終頁に続く

(54)【発明の名称】 液晶表示装置用薄膜トランジスタ形成方法

(57)【要約】

【課題】 オフ電流を抑制可能な L D D 用 T F T 形成方法を提供する。

【解決手段】 本方法は、ガラス基板に形成されたシリコン層をパターニングしてアクティブ領域を形成し、その上側にゲート絶縁膜を形成し、ゲート絶縁膜上に下部ゲート膜及び上部ゲート膜を順次形成し、下部ゲート膜から成る下部ゲートパターンが上部ゲート膜から成る上部ゲートパターンより狭くなるようにアンダーカットエッチングを施して上下部ゲートパターンを形成し、上部ゲートパターンをイオン注入マスクとして高濃度イオン注入し、上部ゲートパターンを除去する段階から成る。かかる構成により、オフセット領域や L D D 領域を、補助膜的に機能する上部ゲート膜を利用した二重ゲート膜工程と等方性エッチングの特質であるアンダーカットの形状を利用して簡便に形成できる。



## 【特許請求の範囲】

【請求項 1】 ガラス基板にシリコン層を形成する段階と；前記シリコン層をパターニングしてアクティブ領域を形成する段階と；前記アクティブ領域の上側にゲート絶縁膜を形成する段階と；前記ゲート絶縁膜上に下部ゲート膜及び上部ゲート膜を順次形成する段階と；前記上部ゲート膜上にフォトレジストを塗布し、フォトレジストパターンを形成する段階と；前記下部及び上部ゲート膜がエッチングの選択比が大きい金属の組み合わせから成る場合には、前記フォトレジストパターンをマスクとして、上部ゲート膜に対する選択性を有する第 1 エッチャントを用いて前記上部ゲート膜から成る上部ゲートパターンを形成する段階と；前記下部ゲート膜に対する選択性を有する第 2 エッチャントを用いて前記上部ゲートパターンをエッチングマスクとして利用し、前記下部ゲート膜からなる下部ゲートパターンが、前記上部ゲートパターンに比べ幅が狭くなるようにアンダーカットエッチングして上下部ゲートパターンを形成する段階と；前記上部ゲートパターンをイオン注入マスクとして高濃度イオンをイオン注入する段階と；前記上部ゲートパターンを除去する段階とを有することを特徴とする、液晶表示装置用 TFT 形成方法。

【請求項 2】 ガラス基板にシリコン層を形成する段階と；前記シリコン層をパターニングしてアクティブ領域を形成する段階と；前記アクティブ領域の上側にゲート絶縁膜を形成する段階と；前記ゲート絶縁膜上に下部ゲート膜及び上部ゲート膜を順次形成する段階と；前記上部ゲート膜上にフォトレジストを塗布し、フォトレジストパターンを形成する段階と；前記下部ゲート膜が前記上部ゲート膜に比べてイオン化傾向がより大きい場合には、前記下部ゲート膜及び上部ゲート膜に対して、すべてエッチング性を示すエッチング液を用いて電気移動力の発生現象により、前記下部ゲート膜からなる下部ゲートパターンが、前記上部ゲート膜からなる上部ゲートパターンに比べ幅が狭くなるようにアンダーカットエッチングして上下部ゲートパターンを形成する段階と；前記上部ゲートパターンをイオン注入マスクとして高濃度イオンをイオン注入する段階と；前記上部ゲートパターンを除去する段階とを有することを特徴とする、液晶表示装置用 TFT 形成方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、液晶表示装置（LCD: Liquid Crystal Display）のための TFT（Thin Film Transistor）を形成する方法に係り、より詳しくはトップゲート（TOP GATE）方式の多結晶シリコン型 TFT を形成しながらオフセットあるいは LDD（Lightly Doped Drain）構造を形成する方法に関する。

## 【0002】

【従来の技術】 近年、表示装置に関連して最も活発に発展している分野は LCD 分野であり、特にアクティブマトリックスタイプの TFT LCD 分野の発展は著しい。

【0003】 LCD は、概略的に言えば、二枚の基板間に液晶を注入し、基板の内側に形成された二つの電極に電圧を印加して、間に存在する液晶の配列を調節することによって、基板に付着される偏光板との関係で光を透過させたり遮断させる原理を利用したものである。

【0004】 このような基本原理下で表示装置としての機能と活用範囲を拡大するために、位相差板、反射板、バックライト、カラーフィルタなどの要素を導入して、偏光板、背向膜とラビング（rubbing）技法、電極の構成、ガラス基板等要素の変更と改善を模索する様々な試みが続いている。

【0005】 TFT LCD は、表示装置の画面を形成する個々画素の電極を非線形素子であるトランジスタを利用して制御する構成を有しており、トランジスタは半導体薄膜を利用してガラス基板上に形成される。そして TFT LCD は、用いられる半導体薄膜の特性によってアモルファスシリコンタイプとポリシリコンタイプに大別することができる。

【0006】 アモルファスシリコンの場合、低い温度で CVD を利用して形成することができるので、ガラス基板を利用する LCD の特性上有利な点がある。しかし、アモルファスシリコンの場合には、キャリアの移動度が低いため、速い動作特性を要する駆動回路のトランジスタ素子を形成する用途としては適合せず、アモルファスシリコンは、ガラス基板上の画素電極内に形成されるスイッチング用トランジスタ素子の用途に主に使われる。そのため、LCD の駆動のための IC は別途に製作して、LCD パネル周辺部に付着して使用しなければならず、したがって、駆動モジュールのための付加的な工程が必要であり、LCD 製作コストが上昇してしまう。

【0007】 一方、ポリシリコンはアモルファスシリコンに比べてキャリアの移動度が遥かに大きいため、駆動回路用 IC を製作するためにも用いることができる。それゆえ、ポリシリコンを LCD の TFT 形成のための半導体薄膜に用いる場合には、一連の工程を通して同一ガラス基板に画素電極のための TFT 素子と駆動回路用 TFT 素子を一緒に形成することができる。これは LCD 製作におけるモジュール工程のコストを節減する効果をもたらすと同時に LCD の消費電力を低めることができる利点もある。

【0008】 しかし、ポリシリコンを用いようとする場合、ガラス基板にポリシリコン薄膜を形成するためには、まずアモルファスシリコン薄膜を低温 CVD 工程を通して形成し、ここにレーザ光線を照射する等の結晶化のための付加工程が必要であり、キャリア移動度が高い

ほど形成されたトランジスタでゲート電圧がオフされる瞬間漏洩電流 (off Current) が過度に流れるため、画素部で十分な電界を維持できないという問題がある。以下漏洩電流 (off Current) の問題を図面を参照しながらさらに説明する。

【0009】図32は従来の薄膜トランジスタの構成を示す断面図である。基板10上にバッファ層である絶縁膜100が形成されており、その上にシリコンのような半導体膜からなるアクティブ領域200(211, 212, 213)が形成されており、その上をゲート絶縁膜300が被覆している。ゲート絶縁膜300上にはアクティブ領域200のほぼ中間部分にゲート電極410が形成されている。アクティブ領域200内で左右部分にはゲート電極410をマスクとしてイオン注入された結果ソース及びドレイン領域211, 213が形成されている。

【0010】このような構成でゲート電極410にスレシヨルド電圧(threshold voltage)以上の電圧が印加されると、薄膜トランジスタがオン状態になって、ドレイン領域213に印加された画像信号により、電流がソース領域211とドレイン領域213間に形成されたチャンネル212を通過してソース領域211に流れるようになる。この電流はソース領域211と連結された画素電極に画像信号を印加するようになる。ゲート電極410にオフ電圧(off voltage)が印加されると、トランジスタはオフ状態になるが、この際ポリシリコンで、特にNチャンネルトランジスタの場合には、キャリアである電子の移動度が大きいため多量の電流が瞬間的に流れるようになる。したがって、次のオン(on)電圧が印加される時まで画素電極で維持されなければならない電界が十分に維持できなくなり、必要な画素状態を維持できないという問題を引き起こす。

【0011】このようなオフ電流(off current)発生を抑制する方法としては、薄膜トランジスタのソース及びドレイン領域とチャンネルとの接合部に、不純物濃度が低くなるようにイオン注入したLDD領域または不純物イオン注入がされていないオフセット領域を形成し、オフ電流に対するバリア(barrier)として作用させる方法を一般的に用いている。

【0012】以上で述べた点を考慮すると、LCDパネルを製作する過程において、画素部と駆動回路を同一ガラス基板に形成することを前提として、ポリシリコンタイプのTF Tを形成する時に問題になることは、「如何にNチャンネルTF Tでバリア領域を形成するか?」、「如何にP型やN型不純物(dopant)をイオン注入をする時に他の領域、すなわちN型やP型不純物がドーピングされる領域を遮るか?」、また「どのようにすると工程数、すなわちマスク作業の数を減じることができるか?」等である。

【0013】その中で電流バリア領域を形成する問題を検討すると、従来のオフセットやLDDのような電流バリア領域を形成する方法には、イオン注入マスクとして別途のフォトレジストパターンを形成して用いる方法、ゲート電極側壁にスペーサを形成してこのスペーサをイオン注入マスクとして用いる方法、ゲートメタルを一部酸化させて酸化された部分を利用する方法などがある。

【0014】しかし、別途のフォトレジストパターンを形成する方法は、フォトレジストパターンの位置を正確に形成することが難しく、別途パターン形成のための工程が追加されなければならない。さらにイオン注入エネルギーによる熱が生じるため、高エネルギーで多量のイオン注入を行うという条件ではフォトレジストの使用が制限されるという問題点がある。

【0015】スペーサを形成する方法の場合、スペーサを形成する別途のCVD膜を形成する工程とエッチバック工程が必要であり、エッチバックのための異方性ドライエッチングでは、エッチングの選択性が低く素子の部分的損傷が生じる場合がある。

【0016】また、ゲートメタルを酸化させる方法は、ゲートラインと他の層との電気的接触部分で酸化膜の形成を防止しなければならないので1段階以上のマスク工程すなわち、露光、現像、エッチングのような一連の通常の工程が追加され、陽極酸化のための別途の工程が追加されなければならない。

【0017】

【発明が解決しようとする課題】本発明は、従来の方法が有する上記問題点に鑑みてなされたものであり、液晶表示装置の製作において、最小限の工程数で正確な位置にオフ電流の抑制のためのLDDあるいはオフセット構造を有するポリシリコンタイプのTF Tを形成するための、新規かつ改良された方法を提供することを目的としている。

【0018】

【課題を解決するための手段】請求項1に記載の液晶表示装置用TF T形成方法は、ガラス基板にシリコン層を形成する段階と；前記シリコン層をパターニングしてアクティブ領域を形成する段階と；前記アクティブ領域の上側にゲート絶縁膜を形成する段階と；前記ゲート絶縁膜上に下部ゲート膜及び上部ゲート膜を順次形成する段階と；前記上部ゲート膜上にフォトレジストを塗布し、フォトレジストパターンを形成する段階と；前記下部及び上部ゲート膜がエッチングの選択比が大きいメタルの組み合わせから成る場合には、前記フォトレジストパターンをマスクとして、上部ゲート膜に対する選択性を有する第1エッチャントを用いて前記上部ゲート膜から成る上部ゲートパターンを形成する段階と；前記下部ゲート膜に対する選択性を有する第2エッチャントを用いて前記上部ゲートパターンをエッチングマスクとして利用し、前記下部ゲート膜からなる下部ゲートパターンが、

前記上部ゲートパターンに比べ幅が狭くなるようにアンダーカットエッチングして上下部ゲートパターンを形成する段階と；前記上部ゲートパターンをイオン注入マスクとして高濃度イオンをイオン注入する段階と；前記上部ゲートパターンを除去する段階とを有することを特徴とする。

【0019】請求項2に記載の液晶表示装置用TF形成方法は、ガラス基板にシリコン層を形成する段階と；前記シリコン層をパターニングしてアクティブ領域を形成する段階と；前記アクティブ領域の上側にゲート絶縁膜を形成する段階と；前記ゲート絶縁膜上に下部ゲート膜及び上部ゲート膜を順次形成する段階と；前記上部ゲート膜上にフォトレジストを塗布し、フォトレジストパターンを形成する段階と；前記下部ゲート膜が前記上部ゲート膜に比べてイオン化傾向がより大きい場合には、前記下部ゲート膜及び上部ゲート膜に対して、すべてエッチング性を示すエッチング液を用いて電気移動力の発生現象により、前記下部ゲート膜からなる下部ゲートパターンが、前記上部ゲート膜からなる上部ゲートパターンに比べ幅が狭くなるようにアンダーカットエッチングして上下部ゲートパターンを形成する段階と；前記上部ゲートパターンをイオン注入マスクとして高濃度イオンをイオン注入する段階と；前記上部ゲートパターンを除去する段階とを有することを特徴とする

【0020】このような過程を経てポリシリコンからなるアクティブ領域にはイオン注入過程でソース及びドレーン領域が形成され、上部ゲートパターンと下部ゲートパターンの幅のゆがみ(skew)によりオフセット領域が形成され、オフ電流に対するバリヤを形成するようになる。但し、オフセット領域があまりにも長くなると駆動電流自体が減少する現象が現れる場合があることを考慮しなければならない。

【0021】本発明において、上部ゲートパターンを除去した後に低濃度イオン注入を実施する場合には、上部ゲートパターンによっては保護されるが下部ゲートパターンによっては保護されないゆがみ(skew)領域に、低濃度でのみイオン注入が行われ、LDD構造を形成することもできる。この構造はオフセット構造のようにオフ電流に対するバリヤの役割をしながら同時にオフセット構造で問題になることがある駆動電流の減少を防ぐ効果がある。

【0022】本発明において、他の種で2段階にわたりゲート膜を形成してゲート膜の材質の差を利用してアンダーカットを形成する方法には、二つのゲート膜に対する選択比が大きく、選択性が異なる2種のエッチャントを利用して上部ゲート膜と下部ゲート膜を各々エッチングする方法と、電気化学的な原理を利用して同一エッチャントで連続して二つのゲート膜をエッチングする方法が挙げられる。LCD工程では概してウェット式等方性エッチングが行われるが、特に第2エッチャントは等方

性エッチングにより適正なアンダーカット構造を形成できるように調節が容易なものを選択することが重要である。この際、アンダーカットの程度はエッチング時オーバーエッチング量によって決定される。

#### 【0023】

【発明の実施の形態】以下、添付図面を参照しながら本発明の第1構成及び第2構成の望ましい実施形態を通して本発明をより詳細に説明する。添付図面の中で、図1～図8は本願発明を直接的に説明するものである。された

【0024】まず、第1構成に対する第1実施形態としてポリシリコンタイプTFでオフ電流バリヤ領域が含まれたトランジスタを形成する方法を調べる。

【0025】まず、透明なガラス基板10にシリコン酸化物のような物質を3000程度の厚さで形成して絶縁膜バッファ層100を形成し(図1参照)、アモルファスシリコン膜200を500ないし800厚さで蒸着する(図2参照)。

【0026】次いで、レーザアニーリングでアモルファスシリコン膜200を多結晶化し、パターニングしてアクティブ領域210を形成する(図3参照)。その上にシリコン酸化膜などの絶縁膜を1000程度の厚さで蒸着してゲート絶縁膜300を形成した次に(図4参照)、ゲート電極を形成するための下部及び上部ゲート膜400,40を各々2000ないし3000程度の厚さで蒸着する。この金属膜は一般的に相互に大きい選択比を有するAl/Cr, Cr/AlまたはCr/ITOの二重膜で形成することも可能であり、アルミニウムエッチング液またはITOエッチング液に対して選択比がほぼないAl/Mo, Mo/AlまたはMo/ITOの二重膜で形成することもできる(図5参照)。

【0027】下部及び上部ゲート膜400,40上にフォトレジストを塗布してゲート電極形成のためのフォトレジストパターン520を形成した次に、フォトレジストパターン520をマスクとして下部及び上部ゲート膜400,40をウェットエッチングして上部ゲートパターンが下部ゲートパターンより外側の方向に突き出た二重構造のゲート電極410,41を形成する。

【0028】ここで、第一に、下部及び上部ゲート膜が選択比が大きい金属の組み合わせから成る場合には、ゲート膜上に形成されたフォトレジストパターン520をエッチングマスクとして上部ゲート膜に対する選択性を有する第1エッチャントを用いてまず上部ゲートパターン41を形成する。そして上部ゲート膜に対してはエッチング力がなかったり少なくして下部ゲート膜に対して大きい選択性を有する第2エッチャントを用いて上部ゲートパターンを一種のエッチングマスクとして利用しながら下部ゲートパターン410を形成する。

【0029】第二に、例えば燐酸・硝酸・酢酸の混合液であるアルミニウムエッチング液に対して選択比が大き

くないMo / Al 金属の組み合わせで二重膜を形成した場合、スプレー方式または浸漬 (dip) 方式を利用して、二種類のゲート物質に対して、すべてエッチング性を示すこのエッチング液を用いてエッチングを進める。この場合、フォトリソパターンをエッチングマスクとして、Mo から成る上部ゲート膜のパターンがほぼ形成された状態で、Al から成る下部ゲート膜が露出すると、下部ゲート膜に対するエッチングが主に行なわれる。すなわち、下部ゲート膜が、イオン化傾向が大きい Al であり、Mo から成る上層膜が接触した状態でエッチング液が作用とすると、化学電池と同様の電気移動力 (electromotive force) が発生し、Al がエッチング液に溶解し、Mo はほとんどエッチングされない状態となる。したがって、Mo から成る上部ゲート膜の下方に Al から成る下部ゲート膜がアンダーカット状態にエッチングされる。アンダーカットの程度はオーバーエッチング量、エッチング溶液の組成、エッチングモードの程度によって調節できる。(図6参照)。

【0030】次に、フォトリソパターン520を除20  
去した後、全面に不純物イオン注入をする。この際、上部ゲート電極がイオン注入時マスクの役割をするのでアクティブ領域中央上部ゲートパターン41と対応する領域の外側の方向に位置したアクティブ領域がドーピングされる。このドーピングされた領域がソース及びドレイン領域211、213の間に位置し、下部ゲートパターン410と重畳されずに同時にドーピングもされない領域がオフセット領域214になる(図7参照)。

【0031】必要に応じて、上部ゲートパターン41をエッチングで除去し、下部ゲートパターン410をマス30  
クとして低濃度でイオン注入すると、ソース及びドレイン領域の内側にLDD領域215を形成することができる(図8参照)。

【0032】以後は一般的なTF T形成方法によって絶縁膜、コンタクト、保護膜、画素電極などを形成してTF T電極構造が完成する。

【0033】次に、本発明の第2実施形態にかかる、ガラス基板に画素部のNチャンネルと駆動回路部のNチャンネル及びPチャンネルのポリシリコンタイプTF Tを同時に形成する方法について説明する。図9ないし図140  
8は、第2の実施形態にかかるTF T形成方法を工程順序に従って示した断面図である。

【0034】まず、ガラス基板10上にシリコン酸化膜などの物質を蒸着してバッファ層100を形成し、その上にピクセル部のNチャンネルTF Tになる部分と駆動回路部のNチャンネルTF T及びPチャンネルTF Tになる部分にポリシリコンアクティブ領域200(210、220、230)を形成する。このアクティブ領域200はバッファ層100上にアモルファスシリコン層を低温CVDで形成した後に、レーザアニーリングによ50

り多結晶化し、さらにマスク技法を利用してパターンニングすることにより形成することができる。

【0035】次に、シリコン酸化膜などの材料でゲート絶縁膜300を形成して(図9参照)再びその上に下部及び上部ゲート膜400、40を順次に積層する(図10参照)。この際、下部ゲート膜400を形成する金属膜は上部ゲート膜40を形成する金属膜に比べて用いられるエッチャントに対するエッチング比が大きい物質を用いる。

【0036】そして上部ゲート40膜上にフォトリソを塗布してマスク技法を利用して、PチャンネルTF Tになる部分ではフォトリソパターン500を全体的に残し、NチャンネルTF Tになる部分ではゲート部分にのみフォトリソパターン520、530を残し、エッチングマスクとして用いてエッチングを進めることによって、上部ゲート膜層にNチャンネル領域の上部ゲートパターン41、42を形成する(図11)。この際、フォトリソもゲート膜層上に存在して上部ゲートパターン41、42はフォトリソパターン520、530下にアンダーカット部を形成する。

【0037】エッチングを続けると下部ゲート膜層もエッチングが行なわれるが、下部ゲート膜400を構成する物質がエッチャントに対する選択比が大きいため、下部ゲートパターン410、420は上部ゲートパターン41、42の下にアンダーカット部を有しより狭い幅で形成される。この過程で電気化学的な作用により上部ゲートパターン対下部ゲートパターンのエッチング率を高めることができ、場合によっては選択性が異なる2種のエッチング物質を利用することにより、上部ゲート膜と下部ゲート膜を順次エッチングすることができる。

【0038】実質的にトランジスタのゲートになる部分は下部ゲートパターン410、420であり、上部ゲートパターン41、42は後続工程でNチャンネルトランジスタのソース領域とドレイン領域を形成するためのイオン注入工程で、マスクの役割をし、特に下部ゲートパターンより横に突き出たゆがみ(skew)の長さは最終的に形成されるオフセットあるいはLDD領域の幅となる。

【0039】NチャンネルTF T部分のゲートを形成するエッチングが完了した後に、上部ゲート層上に残存するフォトリソ500及びフォトリソパターン520、530をすべて除去して、ガラス基板全面にN型不純物のイオン注入を実施する。この際、上部ゲートパターン41、42及びPチャンネル部分の上部ゲート膜40がイオン注入マスクとして機能する。したがって、PチャンネルTF T部分のための別途のイオン注入マスクは必要がない。イオン注入が行なわれたNチャンネルTF Tのポリシリコン層アクティブ領域210、220は、ソース領域及びドレイン領域211、221、213、223とチャンネル領域212、222を形成する

ようになる(図12)。

【0040】次に、ガラス基板全体において上部ゲート膜40、上部ゲートパターン41、42を除去して、N型不純物を低い濃度でイオン注入する。この際、下部ゲートパターン410、420がイオン注入マスクとして機能するので、NチャンネルTFTが形成される領域で上部ゲートパターンのゆがみ(skew)に該当するアクティブ領域はLDD領域215、225を形成するようになる。(図13参照)。このLDD領域は、完成されるトランジスタにおいて、オフ電流を減少させながら10も駆動電流が過度に減少することを防ぐように機能する。低濃度のイオン注入工程が省略される場合には、LDD領域でないオフセット領域が形成される。P型TFTが形成される部分は、全体が下部ゲート膜400で包まれているので、イオン注入は行われない。

【0041】そしてPチャンネルTFTを形成するために再びフォトレジストを塗布し、マスク工程を通して、Nチャンネルトランジスタ領域には全体にフォトレジスト600を残し、Pチャンネルトランジスタ領域にはゲートに該当する部分にフォトレジストパターン610を20残す(図14)。

【0042】フォトレジスト600とフォトレジストパターン610をエッチングマスクとしてエッチングを実施すると、Pチャンネルトランジスタ部分の下部ゲート膜にゲートパターン430が形成される。エッチング過程でフォトレジストパターン610下にアンダーカット部が形成されるので、このパターンはフォトレジストパターンより幅が縮まった状態で形成される。

【0043】Pチャンネルトランジスタでは、無理やりにLDDやオフセット領域を形成しなくても問題がない30ので、アッシングやベーキングでフォトレジストパターンを一部除去したりして縮小パターン620を形成し、さらに下部ゲートパターン430をイオン注入マスクとしてP型イオン注入を実施することによってPチャンネルトランジスタのソース領域及びドレイン領域231、233とチャンネル領域232を形成する。この際、Nチャンネルトランジスタ領域ではフォトレジストがイオン注入マスクの役割をする。

【0044】そしてNチャンネルトランジスタ領域とPチャンネルゲート上部の残余フォトレジストを除去し、40層間絶縁膜を形成し、ソースドレイン電極を形成し、保護膜及び画素電極を形成して、TFTを含む下部電極構造を完成する。

【0045】もし駆動回路部のNチャンネルで電流バリヤ領域、すなわちLDDやオフセット構造が必要でない場合には、P型不純物のイオン注入を終えた時点で再び金属膜700やフォトレジスト膜を積層し、マスク技法で駆動回路部のNチャンネルトランジスタ領域のみを露出させて、高濃度N型イオン注入をもう一度さらに実施する(図16、図17参照)。この際はLDDあるいは50

オフセット領域のマスクがないので、この領域にも高濃度のN型不純物イオン注入が行なわれて、単純構造のソース/チャンネル/ドレイン221、222、223を構成するようになる(図18参照)。

【0046】一方、本実施の形態において層間絶縁膜を形成する前に、イオン注入が行なわれたアクティブ領域に、レーザアニーリングを実施して領域を活性化させる過程を一般的に実施する。この際、ゲートパターンとすぐ隣接したアクティブ領域では、ゲートパターンによる散乱現象でイオン注入された領域の活性化が生じない問題がある。オフセットの場合には、隣接したアクティブ領域にイオン注入がよくできないために大きな問題にならないが、LDD構造の場合には領域活性化が生じない場合、その機能を実現することに問題がある場合がある。

【0047】図19はゲートパターンによる散乱によりゲート隣接部LDD領域に活性化が生じない現象を示している。ソース領域及びドレイン領域211、213とLDD領域215にレーザを照射する時、ゲートパターン410の角部でレーザの散乱が起きてゲート下部と隣接した領域、すなわちチャンネルと隣接したLDD領域では境界面21から一定幅(L)ほど活性化あるいは結晶化が生じなくなる。このような現象はトランジスタの特性低下をもたらすことがあるので問題になる。

【0048】このような問題を解決するために、以上の実施形態を行う段階に付加してソース、ドレイン、ゲート及びLDD領域を形成した状態で、ゲートパターン410、420、430上にフォトレジストや金属膜で幅が縮まったパターン710、720、730を形成し(図20参照)、このパターンをエッチングマスクとしてゲートパターンの側壁をさらにエッチングして除去してレーザアニーリングを実施することにより(図21参照)、ゲートパターン側壁に隣接した部分にレーザアニーリングがよく行われない場合にも、LDD部分におけるイオン注入された不純物の活性化はできるようにする方法を用いることができる。

【0049】図22ないし図26は、本発明の他の実施形態にかかる構成による工程順序を示す断面図である。この構成はオフ電流バリヤ領域の形成とレーザアニーリングを考慮して、アンダーカットの形態を有する二重のゲートパターン状態で、低濃度イオン注入をまず実施してゲートパターンより幅が広い新しいフォトレジストパターンを形成するが、ゲートパターンを包むように形成してこれをイオン注入マスクとして利用して高濃度イオン注入する方法を利用したことである。

【0050】図1および図2に示されたような方法で、ガラス基板上にバッファ層とポリシリコンアクティブ領域、下部及び上部ゲート膜を形成した後に、図22に示すように、フォトレジストを蒸着して露光、現像してTFT領域のアクティブ領域に各々ゲートパターンを形成

するためのフォトレジストパターン 520, 530, 540 を形成する。そしてフォトレジストパターンをエッチングマスクとして上下部ゲート膜にゲートパターン 41; 42; 43, 410; 420; 430 を形成する。この際、下部ゲートパターンは上部に置かれたメタルマスクパターンより幅が狭く形成されるアンダーカット部が形成される。

【0051】次に、図 23 のように N 型不純物を低濃度でイオン注入する。この際、上部ゲートパターンがイオン注入マスクの役割をして、アンダーカットによるゆがみ (skew) が形成された部分に対応してアクティブ領域を含むマスク下部地域 212, 222, 232 にはイオン注入が行われず、そのマスクを外れた地域には低濃度イオン注入領域 211, 213, 221, 223, 231, 233 が形成される。

【0052】そしてフォトレジストパターンを除去した後に、図 24 のように新しいフォトレジストを塗布し露光して、駆動回路部の P 型 TFT 上部と画素部の N 型 TFT のゲート電極 41, 410 を覆うフォトレジストパターン 600 が残るようにする。この際、画素部内のゲート電極 41, 410 上部に置かれるフォトレジストパターン 600 は、その縁部がアクティブ領域 200 のチャンネル領域 212 のへりに対して一定幅外側の方向に位置するように形成すべきであるが、これはフォトレジストパターン 600 を LDD 領域 215 を形成するためのマスクとして用いるためである。

【0053】フォトレジストパターン 600 をマスクとして N 型不純物を高濃度イオン注入して、チャンネル領域 212, 222 の外側の方向に薄くドーピングされている部分を高濃度イオン注入領域としてソース及びドレイン領域 211; 221, 213; 223 を形成する。この際、画素部の N 型 TFT の場合には、フォトレジストパターンの縁部がチャンネル領域 212 のへりから一定幅外側に位置するようにゲートパターン 41, 410 を覆っているため、チャンネル領域 212 とソース及びドレイン領域 211, 213 間に薄くドーピングされた LDD 領域 215 が存在するようになる。

【0054】次いで、フォトレジストパターンを除去した後、新しいフォトレジストパターン 700 を、図 25 のように形成する。この際は、上記と反対に駆動回路部の P 型 TFT 部分のみが露出するようにフォトレジストパターンが形成される。そしてホウ素のような P 型不純物イオン注入を実施してアクティブ領域 230 にソース及びドレイン領域 231, 233 を形成する。したがって、その間にはイオン注入が行われないチャンネル領域 232 になる。

【0055】そして図 26 に示されたようにフォトレジストパターンを除去した後に、上部ゲートパターン 41, 42, 43 を除去してレーザアニーリングを実施し、アクティブ領域に注入された不純物イオンを活性化

させる。次に通常通り、層間絶縁膜、ソース及びドレイン電極、保護膜及び画素電極などを形成して LCD の下部基板の電極構造を完成させる。

【0056】図 27 ないし図 31 は、本発明の第 2 の実施形態にかかる構成の工程順序図である。

【0057】まず、図 27 のようにガラス基板 10 に多結晶シリコンでアクティブ領域 210, 230 を形成してゲート絶縁膜を形成する。このパターンを形成するためにはガラス基板に低温 CVD 工程を通してアモルファスシリコン膜を形成してレーザアニーリングを通してポリシリコン化した後、マスク技法を利用して TFT のアクティブ領域をパターニングすればよい。シリコン膜を形成する前にガラス基板にまずバッファ層を絶縁材質で形成することもできる。

【0058】次に、図 28 のように下部ゲート膜を形成してマスク技法を利用して、ゲート膜を N チャンネル TFT 領域上部と P チャンネル TFT 領域のゲート位置にのみ残して下部ゲートパターン 400, 430 を形成し、さらに P 型不純物を基板全域にドーピングする。この過程で P チャンネル TFT が形成され N チャンネル TFT 領域は下部ゲート膜がイオン注入マスクの役割をするので別途のイオン注入マスクを形成するための工程段階を省くことができる。

【0059】そして図 29 のようにガラス基板全面に上部ゲート膜を形成し、マスク技法を利用して P チャンネル TFT 領域上部と N チャンネル TFT 領域のゲート部にのみ膜を残して、上部ゲートパターン 40, 41 を作る。その結果、P チャンネル TFT 領域上部は、下部ゲートパターン 430 を上部ゲートパターン 40 が覆う状態となり、N チャンネル TFT 領域は、領域全体を広く覆う下部ゲートパターン 400 上のゲート部分に上部ゲートパターン 41 が形成される。

【0060】図 30 は次の段階で、上部ゲートパターン 41 をエッチングマスクとして下部ゲートパターン 400 をエッチングしてゲート 410 を形成し、続いて N 型不純物でイオン注入を実施する様子を示している。

【0061】結果的にこの過程で N チャンネル TFT におけるソース領域 213, ドレイン領域 211, チャンネル領域 212 及びゲート 410 が構成される。ゲート下部であるチャンネル領域とイオン注入が行なわれたソース及びドレイン領域との間には、イオン注入が行われずオフセット領域 214 を構成する。

【0062】この際、P チャンネル TFT 領域では、上部ゲート膜に包まれた下部ゲートパターンはエッチング過程で保護されて維持され、アクティブ領域では P 型不純物がイオン注入された状態で N 型イオン注入から保護される。そして N チャンネル TFT 部分ではエッチング段階で等方性エッチングが行なわれ、上部ゲートパターンの下も一定幅にわたり下部ゲート膜がエッチングされ、アンダーカット現象を示しながら下部ゲートパター



ンが形成される。エッチングは等方性で行なわれ、膜質が均一であれば、下部ゲートパターンが上部ゲートパターン周辺部からアンダーカットされる幅はほぼ一定であるから、オフセット領域形成のための別途の露光工程が不要となり、露光時のミスアライメントといった工程上の困難さが軽減される。

【0063】図31は、次の段階で上部ゲートパターンを全部除去して必要に応じて低濃度でN型不純物をイオン注入することを示している。図30におけるオフセット領域214は低濃度イオン注入によってLDD領域215になる。

【0064】本実施の形態によれば、注入イオンの活性化のためのレーザアニリングや、不要部分におけるNチャンネルTFTのLDD領域やオフセット領域の除去方法については、特に言及していないが、これらについてはすでに説明した実施形態と同様の方法により実施することが可能である。

【0065】以上、添付図面を参照しながら、本発明にかかる液晶表示装置用薄膜トランジスタ形成方法の好適な実施形態について説明したが、本発明はかかる例に限られず、当業者であれば特許請求の範囲に記載された技術的思想の範疇内において各種の変更例または修正例に想到することは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

#### 【0066】

【発明の効果】本発明によるとガラス基板に画素部と駆動回路部を同時に形成するためにポリシリコンタイプのTFTを形成する場合に、NチャンネルTFTの形成時にポリシリコンにおけるキャリアの移動度が大きいために生じるオフ電流問題を解決できるように、電流バリア領域であるオフセット領域やLDD領域を、補助膜役割をする上部ゲート膜を利用した二重ゲート膜工程と等方性エッチングの特質であるアンダーカットの形状を利用して簡便に形成することができるようにする。

【0067】特に本発明の第2構成によると別途のイオン注入マスクが必要としないために工程段階を省くことができ、イオン注入マスクを形成するための工程で生じる付随的な問題を予防できる。

#### 【図面の簡単な説明】

【図1】本発明の第1構成にかかる実施の一形態を示す工程順序図である。

【図2】本発明の第1構成にかかる実施の一形態を示す工程順序図である。

【図3】本発明の第1構成にかかる実施の一形態を示す工程順序図である。

【図4】本発明の第1構成にかかる実施の一形態を示す工程順序図である。

【図5】本発明の第1構成にかかる実施の一形態を示す工程順序図である。

【図6】本発明の第1構成にかかる実施の一形態を示す

工程順序図である。

【図7】本発明の第1構成にかかる実施の一形態を示す工程順序図である。

【図8】本発明の第1構成にかかる実施の一形態を示す工程順序図である。

【図9】本発明の第1構成にかかる実施の別形態によるTFT形成方法を工程順序で示す図面である。

【図10】本発明の第1構成にかかる実施の別形態によるTFT形成方法を工程順序で示す図面である。

【図11】本発明の第1構成にかかる実施の別形態によるTFT形成方法を工程順序で示す図面である。

【図12】本発明の第1構成にかかる実施の別形態によるTFT形成方法を工程順序で示す図面である。

【図13】本発明の第1構成にかかる実施の別形態によるTFT形成方法を工程順序で示す図面である。

【図14】本発明の第1構成にかかる実施の別形態によるTFT形成方法を工程順序で示す図面である。

【図15】本発明の第1構成にかかる実施の別形態によるTFT形成方法を工程順序で示す図面である。

【図16】本発明の第1構成にかかる実施の別形態によるTFT形成方法を工程順序で示す図面である。

【図17】本発明の第1構成にかかる実施の別形態によるTFT形成方法を工程順序で示す図面である。

【図18】本発明の第1構成にかかる実施の別形態によるTFT形成方法を工程順序で示す図面である。

【図19】ゲートパターンによる散乱で、ゲート隣接部のLDD領域に活性化が生じない現象を示す説明図である。

【図20】図16に示す問題を解決するための付加工程の一例を示す説明図である。

【図21】図16に示す問題を解決するための付加工程の一例を示す説明図である。

【図22】本発明の他の構成にかかる実施の一形態による工程順序を示す断面図である。

【図23】本発明の他の構成にかかる実施の一形態による工程順序を示す断面図である。

【図24】本発明の他の構成にかかる実施の一形態による工程順序を示す断面図である。

【図25】本発明の他の構成にかかる実施の一形態による工程順序を示す断面図である。

【図26】本発明の他の構成にかかる実施の一形態による工程順序を示す断面図である。

【図27】本発明の第2構成にかかる実施の一形態を示す工程順序図である。

【図28】本発明の第2構成にかかる実施の一形態を示す工程順序図である。

【図29】本発明の第2構成にかかる実施の一形態を示す工程順序図である。

【図30】本発明の第2構成にかかる実施の一形態を示す工程順序図である。



15

16

【図 3 1】本発明の第 2 構成にかかる実施の一形態を示す工程順序図である。

【図 3 2】従来の薄膜トランジスタの構成を示す断面図である。

【符号の説明】

10 基板  
41 上部ゲートパターン

\* 211, 233

212, 232

213, 231

214

300

410

\* 430

ドレイン領域

チャンネル領域

ソース領域

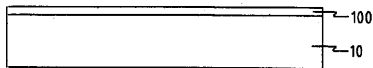
オフセット領域

ゲート絶縁膜

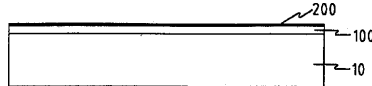
ゲート

下部ゲートパターン

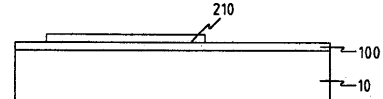
【図 1】



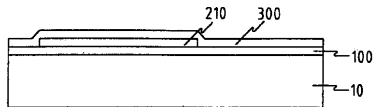
【図 2】



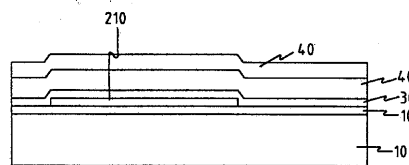
【図 3】



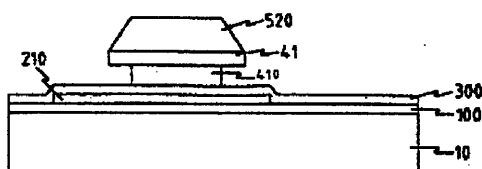
【図 4】



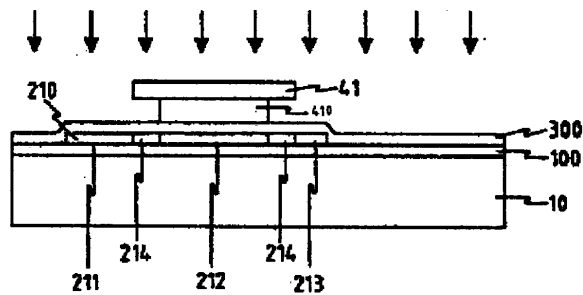
【図 5】



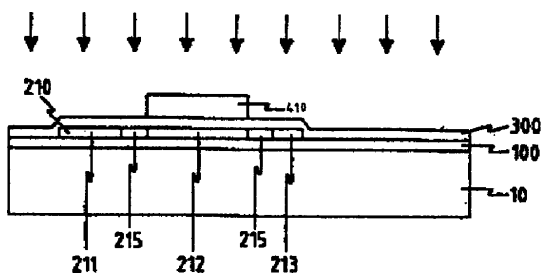
【図 6】



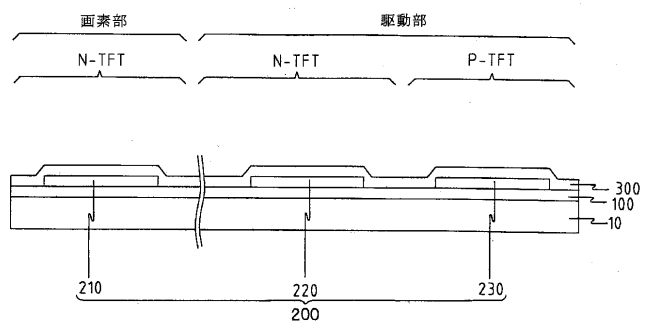
【図 7】



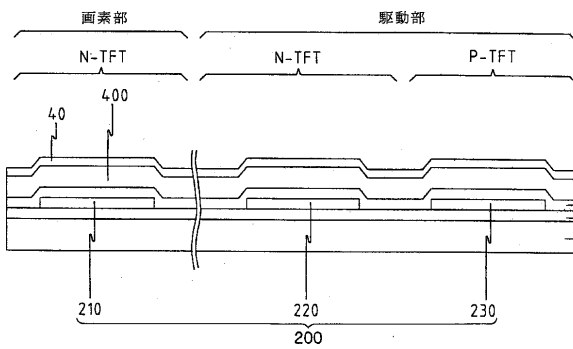
【図 8】



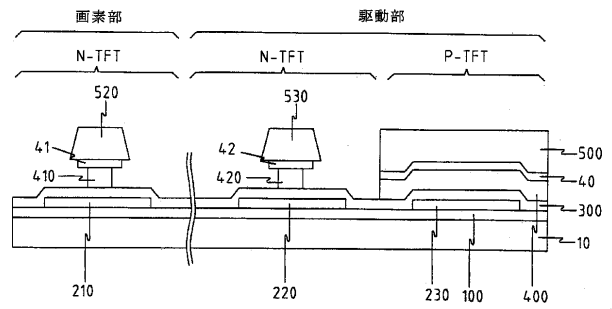
【図 9】



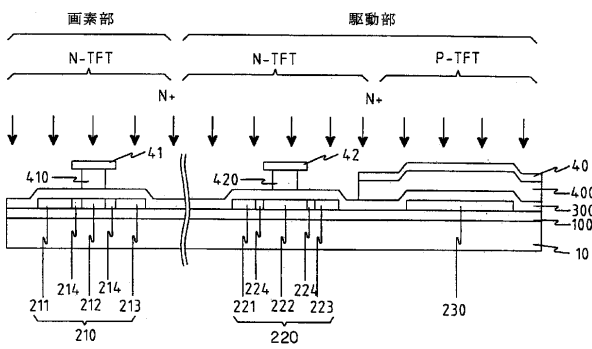
【図10】



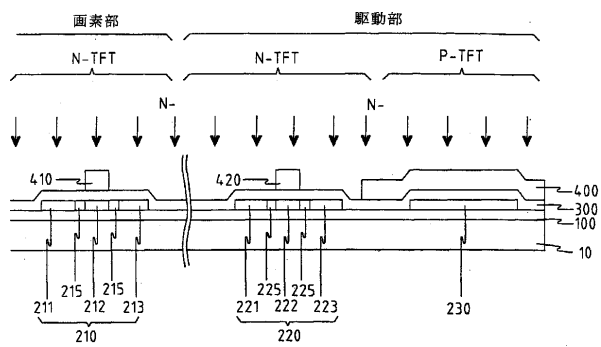
【図11】



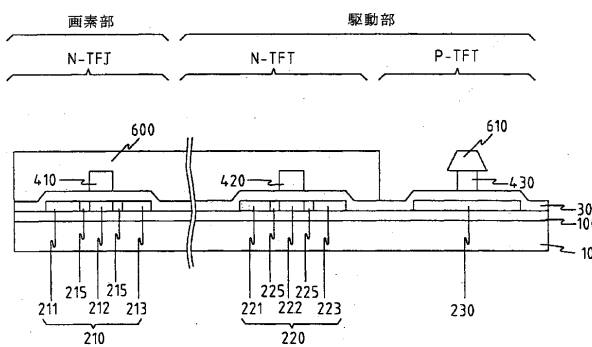
【図12】



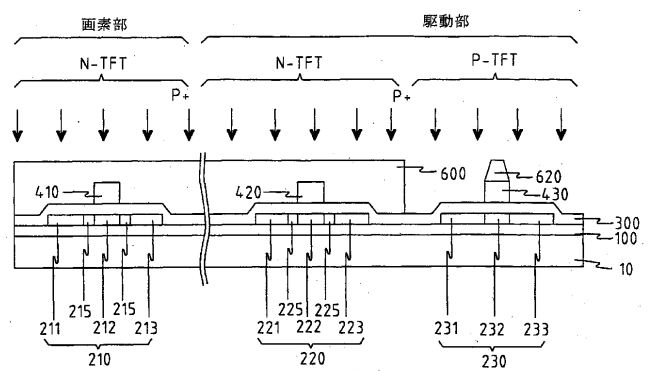
【図13】



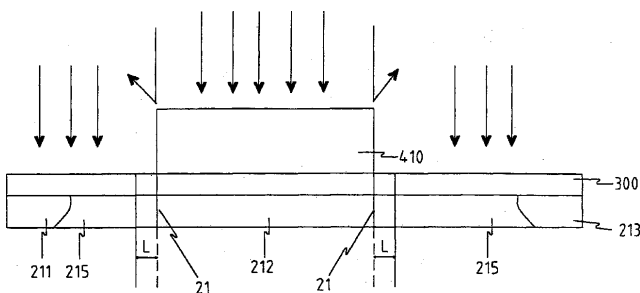
【図14】



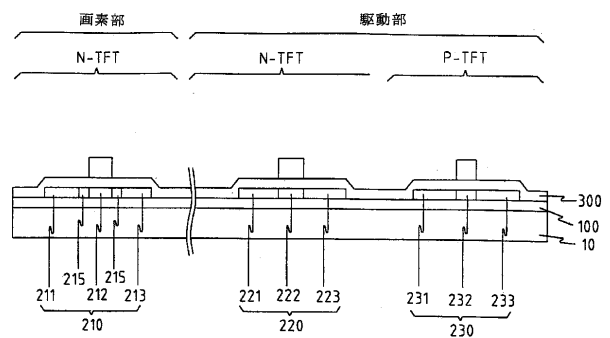
【図15】



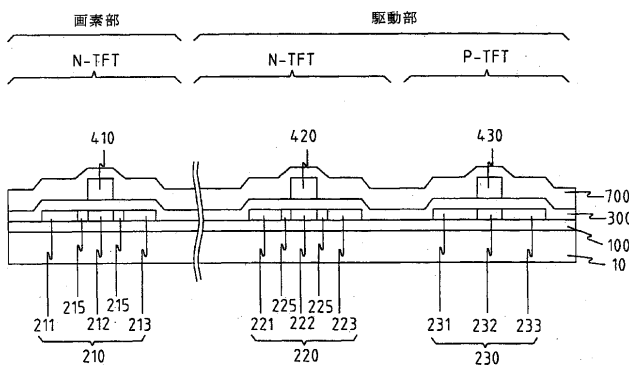
【図19】



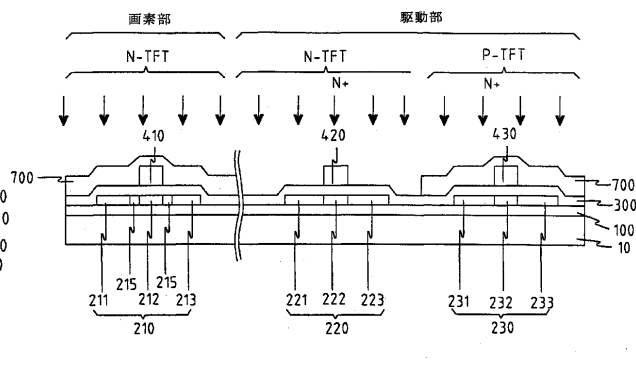
【図21】



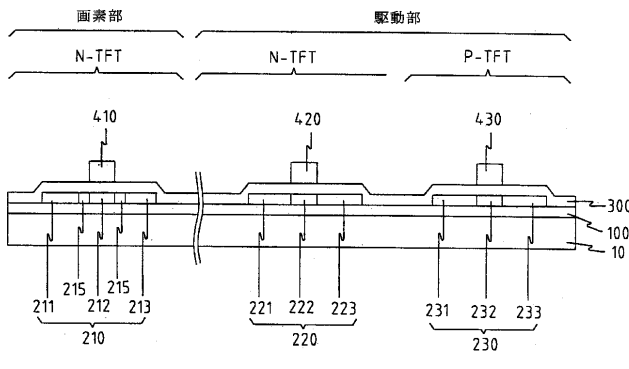
【図16】



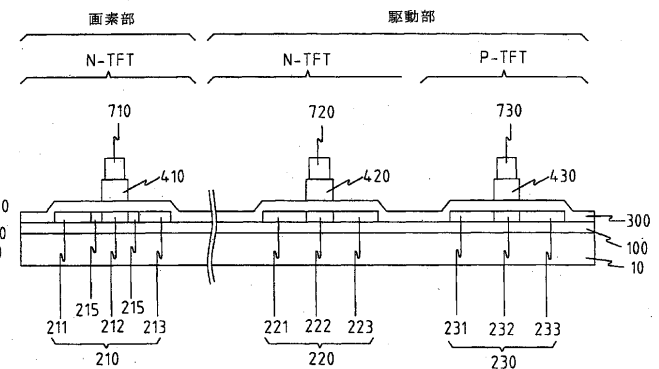
【図17】



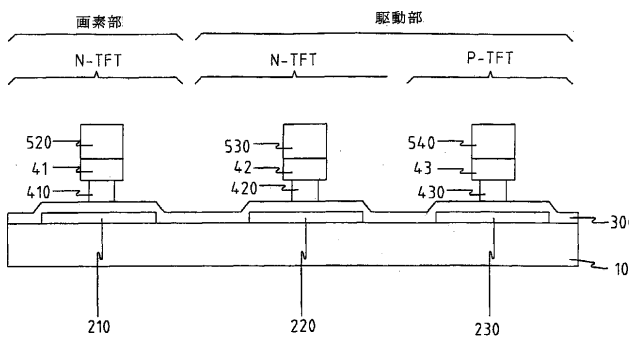
【図18】



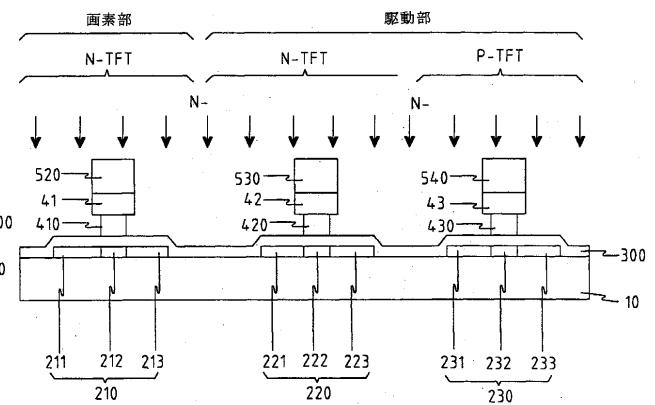
【図20】



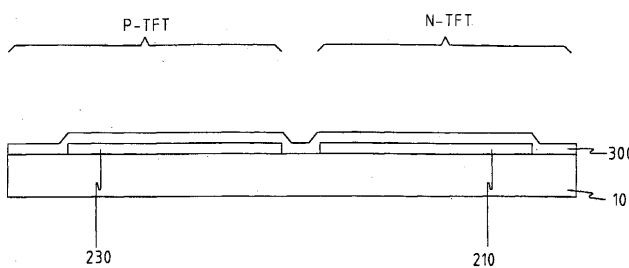
【図22】



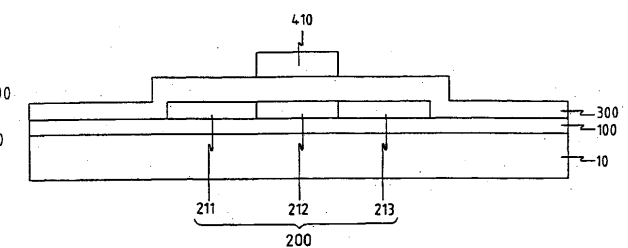
【図23】



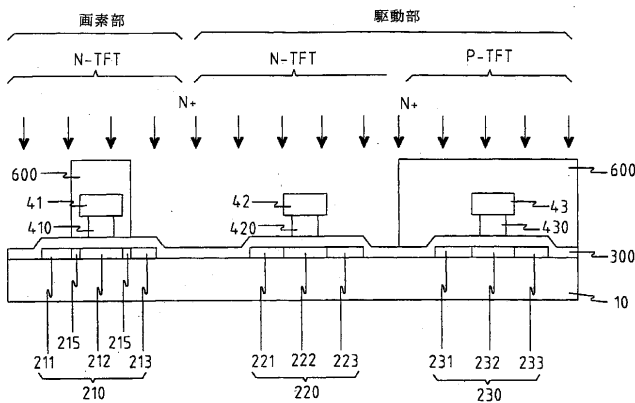
【図27】



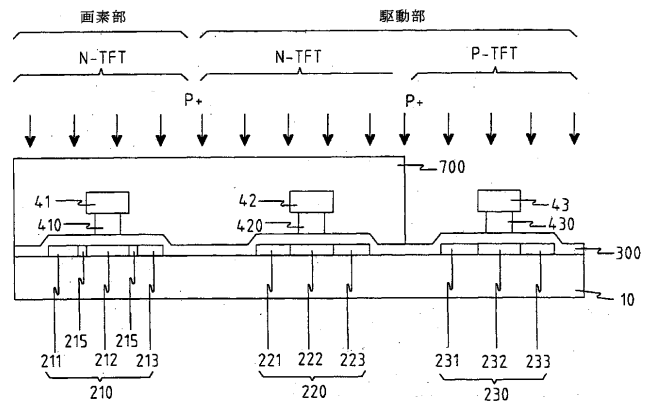
【図32】



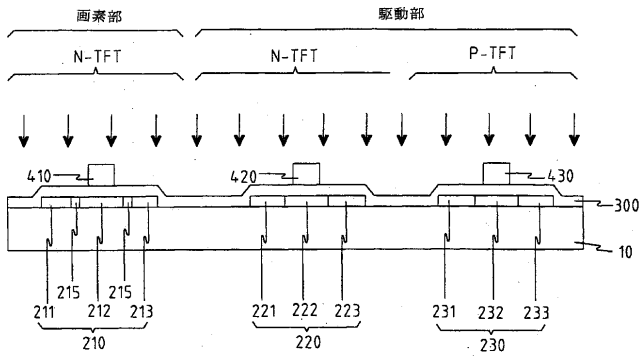
【圖 24】



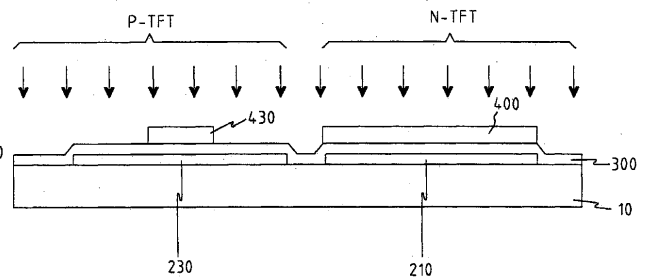
【図 25】



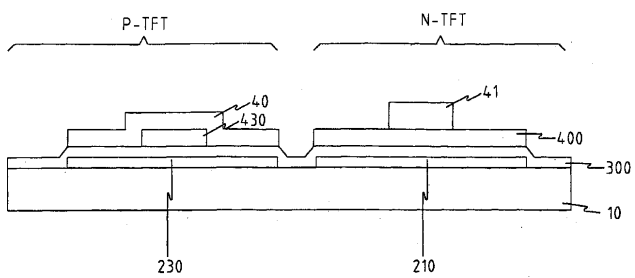
【圖 26】



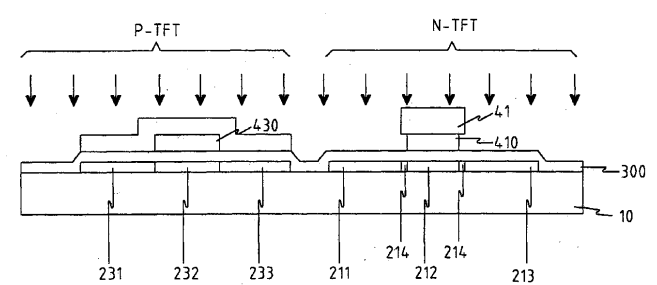
【図 28】



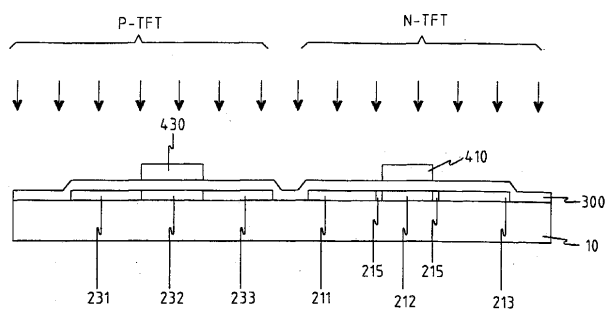
【圖 29】



【図 30】



【図 3 1】



## フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I H 0 1 L 29/78	テ-マコ-ト <sup>*</sup> (参考)
(72)発明者 尹 燦宙 大韓民国ソウル市冠岳区奉天 6 洞100 - 556		F タ-ム(参考) 2H092 GA59 JA25 JA33 JA34 JA35	
(72)発明者 鄭 柄厚 大韓民国京畿道安養市東安区虎溪洞 ( 番地 なし ) 木蓮マウル宇成アパート501 - 708		JA40 KA04 KA05 KA12 KA18 MA15 MA17 MA27 MA30 NA22 NA27 5F048 AC04 BA16 BB09 BB12 BC06	
(72)発明者 黄 長元 大韓民国京畿道城南市盆唐区数内洞29 陽 地マウル漢陽アパート603 - 908		BE08 5F052 AA02 DA02 DB01 DB04 JA01 5F110 AA16 BB02 BB04 CC02 DD02 DD13 EE03 EE04 EE07 EE14 EE22 EE43 EE50 FF02 FF27 FF29 GG02 GG13 GG25 GG42 GG44 HJ01 HJ13 HJ23 HM14 HM15 NN02 PP03 QQ02 QQ05 QQ11	

专利名称(译)	形成液晶显示装置用薄膜晶体管的方法		
公开(公告)号	<a href="#">JP2002252231A</a>	公开(公告)日	2002-09-06
申请号	JP2001384463	申请日	2001-12-18
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	李柱亨 ホンムンジャク 尹燦宙 鄭柄厚 黄長元		
发明人	李 柱亨 ホン ムンジャク 尹 燦宙 ▲鄭▼ 柄厚 ▲黄▼ 長元		
IPC分类号	G02F1/1368 G02F1/136 H01L21/20 H01L21/336 H01L21/8238 H01L27/08 H01L27/092 H01L29/423 H01L29/49 H01L29/786		
CPC分类号	H01L27/127 H01L27/1214 H01L29/42384 H01L29/4908 H01L29/66757 H01L29/78621		
FI分类号	G02F1/1368 H01L21/20 H01L27/08.331.E H01L29/78.617.A H01L29/78.616.A H01L29/78.617.M H01L27/08.321.E H01L27/088.331.E H01L27/092.E H01L29/78.613.A		
F-TERM分类号	2H092/GA59 2H092/JA25 2H092/JA33 2H092/JA34 2H092/JA35 2H092/JA40 2H092/KA04 2H092/KA05 2H092/KA12 2H092/KA18 2H092/MA15 2H092/MA17 2H092/MA27 2H092/MA30 2H092/NA22 2H092/NA27 5F048/AC04 5F048/BA16 5F048/BB09 5F048/BB12 5F048/BC06 5F048/BE08 5F052/AA02 5F052/DA02 5F052/DB01 5F052/DB04 5F052/JA01 5F110/AA16 5F110/BB02 5F110/BB04 5F110/CC02 5F110/DD02 5F110/DD13 5F110/EE03 5F110/EE04 5F110/EE07 5F110/EE14 5F110/EE22 5F110/EE43 5F110/EE50 5F110/FF02 5F110/FF27 5F110/FF29 5F110/GG02 5F110/GG13 5F110/GG25 5F110/GG42 5F110/GG44 5F110/HJ01 5F110/HJ13 5F110/HJ23 5F110/HM14 5F110/HM15 5F110/NN02 5F110/PP03 5F110/QQ02 5F110/QQ05 5F110/QQ11 2H192/AA24 2H192/CB02 2H192/CB34 2H192/CB53 2H192/CB83 2H192/CC32 2H192/EA76 2H192/FB02 2H192/HA64 5F152/BB02 5F152/CC02 5F152/CD13 5F152/CE05 5F152/CE12 5F152/CE16 5F152/CE24 5F152/FF01		
优先权	1998P19760 1998-05-29 KR 1998P48365 1998-11-12 KR 1998P53796 1998-12-08 KR		
其他公开文献	JP3564455B2		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

要解决的问题：提供一种形成LDD的TFT的方法，其中可以限制OFF电流。解决方案：该方法包括以下步骤：对形成在玻璃基板上的硅层进行构图并形成有源区；在其上侧形成栅极绝缘膜；在栅极绝缘膜上依次形成下栅极膜和上层膜；执行底切蚀刻，使得由下栅极膜形成的下栅极图案变得比由上栅极膜形成的上栅极图案窄并形成上栅极图案和下栅极图案；通过使用上栅极图案作为离子注入掩模来注入高浓度离子，以去除上栅极图案。利用这种结构，通过利用利用用作辅助膜的上栅极膜和作为各向同性蚀刻特征的底切形状的双栅极膜工艺，可以容易地形成偏移区域和LDD区域。

