

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002 - 215099

(P2002 - 215099A)

(43)公開日 平成14年7月31日(2002.7.31)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ド* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	550	G 0 2 F 1/133	5 5 0
G 0 9 G 3/20	622	G 0 9 G 3/20	6 2 2 Z
	670		6 7 0 D

審査請求 未請求 請求項の数 13 O L (全 11数)

(21)出願番号 特願2000 - 402656(P2000 - 402656)

(22)出願日 平成12年12月28日(2000.12.28)

(71)出願人 590000248

コーニンクレッカ フィリップス エレク
トロニクス エヌ ヴィ
KONINKLIJKE PHILIP
S ELECTRONICS N.V.
オランダ国 5621 ペーアー アイन्दー
フェン フルーネヴァウツウェッハ 1

(72)発明者 半沢 賢侍

兵庫県神戸市西区高塚台4丁目3番1 フィリ
ップスモバイルディスプレイシステムズ神
戸株式会社内

(74)代理人 100087789

弁理士 津軽 進 (外 1 名)

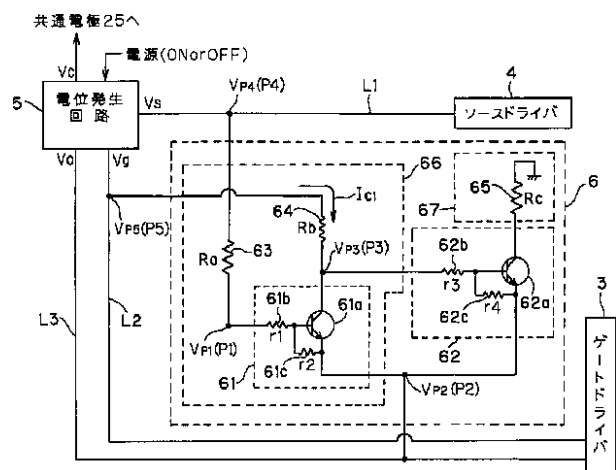
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】例えば水平同期信号等の信号を検出することなく、低コストで消去時間の短縮が可能な液晶表示装置を提供する。

【解決手段】電源がOFFになったときに、スイッチング素子(62)をON状態にし、このスイッチング素子(62)を経由させて、電荷流入部(67)を供給ライン(L3)に接続する。



【特許請求の範囲】

【請求項 1】 液晶層に電圧を印加する第 1 の電極及び第 2 の電極と、

第 1 のスイッチング手段を経由して前記第 1 の電極に電氣的に接続される第 1 及び第 2 のバスと、

前記第 1 のバスを含む経路を経由して前記第 1 のスイッチング手段に向けて供給される第 1 の電位を発生する電位発生手段と、

前記経路、前記第 1 の電極、又は前記電位発生手段に存在する電荷が流入する電荷流入部と、

前記電荷流入部に電荷が流入する第 1 の状態と、該第 1 の状態よりも前記電荷流入部に電荷が流入しにくい第 2 の状態とのうちのいずれかの状態に、前記電荷流入部への電荷の流入状態を切り換える第 2 のスイッチング手段とを備えたことを特徴とする液晶表示装置。

【請求項 2】 前記第 2 のスイッチング手段が ON 状態のときに前記電荷流入部を前記第 1 の状態にし、該第 2 のスイッチング手段が OFF 状態のときに前記電荷流入部を前記第 2 の状態に設定することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】 前記第 2 のスイッチング手段を ON 状態及び OFF 状態のうちのいずれかの状態に切換自在に制御する制御部を備えたことを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】 前記電位発生手段が複数の電位を発生するものであり、

前記制御部が、前記電位発生手段が発生する複数の電位を検出し、該検出した電位に基づいて、前記第 2 のスイッチング手段を、ON 状態及び OFF 状態のうちのいずれかの状態に切換自在に制御することを特徴とする請求 30 項 3 に記載の液晶表示装置。

【請求項 5】 前記第 1 のバスに信号を伝送する第 1 のドライバと、前記第 2 のバスに信号を伝送する第 2 のドライバとを備え、

前記電位発生手段が、前記第 1 の電位の他に、前記第 1 のドライバに向けて供給される第 2 の電位と、前記第 2 のドライバに向けて供給される第 3 の電位とを発生し、前記制御部が、前記第 1、第 2 及び第 3 の電位を検出し、該検出した電位に基づいて、前記第 2 のスイッチング手段を、ON 状態及び OFF 状態のうちのいずれかの 40 状態に切換自在に制御することを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】 前記制御部が、前記第 2 のスイッチング手段の ON 状態及び OFF 状態を切り換えるための第 3 のスイッチング手段を備えたことを特徴とする請求項 3 ~ 5 のうちのいずれか 1 項に記載の液晶表示装置。

【請求項 7】 前記第 1 の電極が画素電極であり、前記第 2 の電極が共通電極であることを特徴とする請求項 1 ~ 6 のうちのいずれか 1 項に記載の液晶表示装置。

【請求項 8】 前記第 1 のバスがゲートバス、前記第 2 *50

*のバスがソースバスであることを特徴とする請求項 1 ~ 7 のうちのいずれか 1 項に記載の液晶表示装置。

【請求項 9】 前記第 1 のドライバがゲートドライバ、前記第 2 のドライバがソースドライバであることを特徴とする請求項 5 ~ 8 のうちのいずれか 1 項に記載の液晶表示装置。

【請求項 10】 液晶層に電圧を印加する第 1 の電極及び第 2 の電極と、

第 1 のスイッチング手段を経由して前記第 1 の電極に電氣的に接続される第 1 及び第 2 のバスと、

前記第 1 のバスに向けて供給される第 1 の電位を発生する電位発生手段とを備えた液晶表示装置であって、前記電位発生手段が、該電位発生手段への電力の供給が停止されたときに、前記第 1 の電位よりも大きく前記第 1 のバスに向けて供給される第 2 の電位を発生することを特徴とする液晶表示装置。

【請求項 11】 前記電位発生手段が、前記第 2 の電位を出力する差動増幅器を有することを特徴とする請求項 10 に記載の液晶表示装置。

【請求項 12】 前記第 1 の電極が画素電極であり、前記第 2 の電極が共通電極であることを特徴とする請求項 10 又は 11 に記載の液晶表示装置。

【請求項 13】 前記第 1 のバスがゲートバス、前記第 2 のバスがソースバスであることを特徴とする請求項 10 ~ 12 のうちの何れか 1 項に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶層に電圧を印加する第 1 の電極及び第 2 の電極を備えた液晶表示装置に関する。

【0002】

【従来の技術】液晶ディスプレイに表示された画像を、このディスプレイの電源を OFF にして消去する場合、電源を OFF にしてから、ディスプレイに表示されていた画像が完全に消去するまでの時間（以下、消去時間と呼ぶ）が、4 秒 ~ 5 秒、場合によっては 30 秒に近い時間が必要な液晶ディスプレイがある。消去時間が長くなる理由は、電源を OFF にしても、しばらくの間は、或る大きさを持つ電圧が液晶層に印加されているからであると考えられる。消去時間が長ければ長いほど、それだけ画面に残像が生じていることになるが、このような残像は、ユーザにとって煩わしいため、残像ができるだけ早く消去されるように、消去時間を短縮することが要求されている。

【0003】例えば TFT 型液晶表示装置の場合、消去時間を短縮するために、ゲートドライバに、この液晶表示装置の電源が OFF になった直後に全ての TFT を ON 状態にするための機能（以下、全 ON 機能と呼ぶ）を持たせることが知られている。このような機能を備えたゲートドライバを用いると、電源が OFF になった直後

に、画素電極に OFF の画像データが書き込まれ、画素電極の電位が即座にゼロ電位に変化する。従って、画素電極と共通電極との電位差を短時間でほぼゼロにすることができ、消去時間を短縮することができる。

【0004】上記のゲートドライバの全 ON 機能を駆動するためには、全 ON 機能の駆動を専用に行うための電圧検出回路や信号検出回路が新たに必要となる。電圧検出回路は、LCD 外部から供給される電圧を検出し、この検出した値に応じて全 ON 機能を制御するものであり、一方、信号検出回路は、この電圧に加えて信号（例えば水平同期信号）も検出し、又はこのような信号のみを検出し、これら検出した電圧及び信号（又は信号のみ）に応じて、全 ON 機能を制御するものである。

【0005】

【発明が解決しようとする課題】電圧検出回路を用いる場合、高価な電圧検出ディテクタ IC が必要となり、コスト高になるという問題がある。また、信号検出回路を用いる場合、検出すべき信号の特性（例えば信号の振幅や周波数等）に応じて、信号検出回路の仕様を変更しなければならないという問題がある。

【0006】本発明は、上記の事情に鑑み、例えば水平同期信号等の信号を検出することなく、低コストで消去時間の短縮が可能な液晶表示装置を提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成する本発明の第 1 の液晶表示装置は、液晶層に電圧を印加する第 1 の電極及び第 2 の電極と、第 1 のスイッチング手段を経由して前記第 1 の電極に電氣的に接続される第 1 及び第 2 のバスと、前記第 1 のバスを含む経路を経由して前記第 1 のスイッチング手段に向けて供給される第 1 の電位を発生する電位発生手段と、前記経路、前記第 1 の電極、又は前記電位発生手段に存在する電荷が流入する電荷流入部と、前記電荷流入部に電荷が流入する第 1 の状態と、該第 1 の状態よりも前記電荷流入部に電荷が流入しにくい第 2 の状態とのうちのいずれかの状態に、前記電荷流入部への電荷の流入状態を切り換える第 2 のスイッチング手段とを備えたことを特徴とする。

【0008】本発明の第 1 の液晶表示装置は、前記経路、前記第 1 の電極、又は前記電位発生手段に存在する電荷が流入する電荷流入部を備えており、さらに、この電荷流入部への電荷の流入状態は、第 2 のスイッチング手段により切り換えられる。従って、この電荷流入部が第 2 の状態から第 1 の状態に変化した場合、前記経路、前記第 1 の電極、又は前記電位発生手段に存在する電荷は効率よくこの電荷流入部に流入する。このため、前記経路、前記第 1 の電極、又は前記電位発生手段の電位を、この電荷流入部に流入した電荷量に対応した電位分だけすばやく変化させることができる。このように、前記経路、前記第 1 の電極、又は前記電位発生手段の電位

を変化させることにより、後述するように、消去時間を短縮することが可能となる。また、本発明の第 1 の液晶表示装置では、上記の電荷流入部を備えることで、後述するように、例えば水平同期信号等の信号を検出することなく低コストで消去時間を短縮することが可能となる。

【0009】ここで、本発明の第 1 の液晶表示装置は、前記第 2 のスイッチング手段が ON 状態のときに前記電荷流入部を前記第 1 の状態にし、該第 2 のスイッチング手段が OFF 状態のときに前記電荷流入部を前記第 2 の状態に設定することが好ましい。

【0010】第 2 のスイッチング手段を ON 状態、OFF 状態に切り換えることにより、電荷流入部を第 1 の状態又は第 2 の状態に設定することができる。

【0011】ここで、本発明の第 1 の液晶表示装置は、前記第 2 のスイッチング手段を、ON 状態及び OFF 状態のうちのいずれかの状態に切換自在に制御する制御部を備えたことが好ましい。

【0012】制御部を備えることにより、前記第 2 のスイッチング手段の ON 状態、OFF 状態の切換えを容易に行うことができる。

【0013】ここで、本発明の第 1 の液晶表示装置は、前記電位発生手段が複数の電位を発生するものであり、前記制御部が、前記電位発生手段が発生する複数の電位を検出し、該検出した電位に基づいて、前記第 2 のスイッチング手段を、ON 状態及び OFF 状態のうちのいずれかの状態に切換自在に制御することが好ましい。

【0014】前記制御部を上記の構成にすることにより、例えば水平同期信号等の信号を検出することは不要であり、信号の特性とは無関係に制御部を設計することができる。

【0015】ここで、本発明の第 1 の液晶表示装置は、前記第 1 のバスに信号を送送する第 1 のドライバと、前記第 2 のバスに信号を送送する第 2 のドライバとを備え、前記電位発生手段が、前記第 1 の電位の他に、前記第 1 のドライバに向けて供給される第 2 の電位と、前記第 2 のドライバに向けて供給される第 3 の電位とを発生し、前記制御部が、前記第 1、第 2 及び第 3 の電位を検出し、該検出した電位に基づいて、前記第 2 のスイッチング手段を、ON 状態及び OFF 状態のうちのいずれかの状態に切換自在に制御することが好ましい。

【0016】電位発生手段に上記第 1 ～ 第 3 の電位を発生させ、これら電位を検出することで、例えば水平同期信号等の信号の特性とは無関係に制御部を設計することができる。

【0017】ここで、本発明の第 1 の液晶表示装置は、前記制御部が、前記第 2 のスイッチング手段の ON 状態及び OFF 状態を切り換えるための第 3 のスイッチング手段を備えたことが好ましい。

【0018】第 3 のスイッチング手段を備えることによ

り、この第3のスイッチング手段の簡単な切換えで、第2のスイッチング手段のON状態、OFF状態を制御することができる。

【0019】さらに、本発明の第1の液晶表示装置は、前記第1の電極が画素電極、前記第2の電極が共通電極であってもよく、前記第1のバスがゲートバス、前記第2のバスがソースバスであってもよく、前記第1のドライバがゲートドライバ、前記第2のドライバがソースドライバであってもよい。

【0020】また、本発明の第2の液晶表示装置は、液晶層に電圧を印加する第1の電極及び第2の電極と、第1のスイッチング手段を経由して前記第1の電極に電気的に接続される第1及び第2のバスと、前記第1のバスに向けて供給される第1の電位を発生する電位発生手段とを備えた液晶表示装置であって、前記電位発生手段が、該電位発生手段への電力の供給が停止されたときに、前記第1の電位よりも大きく前記第1のバスに向けて供給される第2の電位を発生することを特徴とする。

【0021】本発明の第2の液晶表示装置が備えている電位発生手段は、電力の供給が停止したときに、前記第1の電位よりも大きい第2の電位を発生し、この第2の電位は前記第1のバスに向けて供給される。このように、電力の供給が停止したときに、第1のバスに向けて第1の電位より大きい第2の電位を供給することにより、後述するように、消去時間を短縮することができる。また、本発明の第2の液晶表示装置では、上記の電位発生手段を備えることで、後述するように、例えば水平同期信号等の信号を検出することなく低コストで消去時間を短縮することが可能となる。

【0022】ここで、本発明の第2の液晶表示装置は、前記電位発生手段が、前記第2の電位を出力する差動増幅器を有することが好ましい。

【0023】このような差動増幅器を備えることにより、簡単な回路構成で第2の電位を発生させることができる。

【0024】ここで、本発明の第2の液晶表示装置は、前記第1の電極が画素電極、前記第2の電極が共通電極であってもよく、前記第1のバスがゲートバス、前記第2のバスがソースバスであってもよい。

【0025】

【発明の実施の形態】以下、本発明の実施形態について説明する。

【0026】図1は、本発明の第1の液晶表示装置の一実施形態である TFT 液晶ディスプレイの一例を示す概略構成図である。

【0027】この TFT 液晶ディスプレイ（以下、単に「ディスプレイ」という）1は液晶パネル2を備えている。この液晶パネル2はカラー画像を表示するパネルであり、R（赤）、G（緑）及びB（青）の各色を表す画素から構成される。

【0028】図2は、この液晶パネル2の画素構成を概略的に示す図である。

【0029】この液晶パネル2は、互いに垂直に延在するゲートバス23及びソースバス24を備えている。ここでは、ゲートバス23は800本備えられ、ソースバス24は3072本備えられているが、これらゲートバス23及びソースバス24の本数は、ディスプレイ1の用途などに応じて適時変更可能である。この図には、ゲートバス23は3本のみが図示され、ソースバス24は1本のみが図示されている。また、この液晶パネル2には、各画素毎に画素電極21及び TFT 22が備えられている。この図では、画素電極21及び TFT 22は、それぞれ2つだけ代表して示されている。 TFT 22のドレイン電極22cは画素電極21に接続されている。また、 TFT 22のゲート電極22aはゲートバス23に接続され、 TFT 22のソース電極22bはソースバス24に接続されている。更に、この液晶パネル2は、共通電極25を備えている。この共通電極25は、液晶層（図示せず）を介在させて各画素電極21に対向するように2次元的に広がっているが、ここでは、説明の便宜上、共通電極25を単なる直線で示してある。

【0030】図1に戻って説明を続ける。

【0031】液晶パネル2の周囲にはゲートドライバ3及びソースドライバ4が配置されており、これらドライバ3及び4は、電位発生回路5に接続されている。また、ディスプレイ1は、液晶パネル2に表示された画像を、電位発生回路5への直流電源の供給が遮断された直後に瞬時に消去するための画面消去回路6を備えている。

【0032】図3は、画面消去回路6の構成と、この画面消去回路6及びその他の回路の接続関係とを示す図である。

【0033】電位発生回路5は、所定の電位 V_s 、 V_g 、 V_0 及び V_c を発生する。電位 V_s 、 V_g 及び V_c は正の電位であるが、電位 V_0 は負の電位である。電位 V_s はソースドライバ4に向けて供給され、電位 V_g 及び V_0 はゲートドライバ3に向けて供給され、 V_c は共通電極25（図2参照）に向けて供給される。

【0034】また、画面消去回路6は抵抗65を含む電荷流入部67を備えている。この電荷流入部67はスイッチング素子62に接続されている。このスイッチング素子62は、トランジスタ62aと、抵抗62b及び62cとを有している。トランジスタ62aのコレクタは、このトランジスタ62aの保護用の抵抗65を経由して接地され、エミッタは、電位 V_0 の供給ラインL3を経由してゲートドライバ3に接続されている。また、画面消去回路6は、このスイッチング素子62のON、OFFを制御する制御部66を備えている。この制御部66は、スイッチング素子62と同一構造のスイッチング素子61を備えており、このスイッチング素子61

は、トランジスタ61aと、抵抗61b及び61cとを有している。このトランジスタ61aのコレクタは、点P3を経由してスイッチング素子62に接続されるとともに、抵抗64を経由して電位Vgの供給ラインL2に接続されている。また、トランジスタ61aのエミッタは、点P2で、トランジスタ62aのエミッタ及び供給ラインL3に接続されている。このトランジスタ61aのベースは抵抗61b及び抵抗63を経由して、電位Vsの供給ラインL1に接続されている。スイッチング素子61は、点P1の電位 V_{P1} と点P2の電位 V_{P2} との間の電位差 $V_{P1} - V_{P2}$ が、 $V_{P1} - V_{P2} > V_{on} \dots (1)$ を満たすときにON状態となり、 $V_{P1} - V_{P2} < V_{off} \dots (2)$ を満たすときにOFF状態となる。

【0035】 $V_{on} > V_{P1} - V_{P2} > V_{off}$ の場合、スイッチング素子61がON状態となるかOFF状態となるかは不定であり、このスイッチング素子61として用いられた製品の特性に応じて、ON状態になったりOFF状態になったりする。

【0036】また、スイッチング素子62は、スイッチング素子61と同様の特性を有しており、点P3の電位 V_{P3} と点P2の電位 V_{P2} との間の電位差 $V_{P3} - V_{P2}$ が、 $V_{P3} - V_{P2} > V_{on} \dots (3)$ を満たすときにON状態となり、 $V_{P3} - V_{P2} < V_{off} \dots (4)$ を満たすときにOFF状態となる。

【0037】 $V_{on} > V_{P3} - V_{P2} > V_{off}$ の場合、 $V_{P1} - V_{P2} = (V_{P4} - V_{P2}) \times (r1 + r2) / (Ra + r1 + r2)$

【0041】ここで、 $r1$ 及び $r2$ は、それぞれ抵抗61b及び61cの抵抗値、 Ra は抵抗63の抵抗値である。

【0042】本実施形態では、電位発生回路5が電位 V_0 及びVsを発生したときに、(1)式が満たされるように、電位 V_0 及びVsの値と、抵抗63、61b及び61cの値 Ra 、 $r1$ 及び $r2$ とが選択されている。従って、電位発生回路5への直流電源の供給が遮断されているときには(2)式を満たしていた電位差 $V_{P1} - V_{P2}$ は、電位発生回路5に直流電源が供給されることによりだんだん大きくなり、最終的に(1)式を満たす。(1)式を満たした時点で、スイッチング素子61は確実にON状態となる。スイッチング素子61がON状態となると、このON状態のスイッチング素子61には、コレクタ電流 I_{C1} が流れ、点P3の電位 $V3$ は、点P2の電位 $V2$ とほぼ等しくなる。従って、点P3と点P2との間の電位差 $V_{P3} - V_{P2}$ は、ほぼゼロである。このため、スイッチング素子62は、(4)式を満たした状態(つまりOFF状態)となる。これにより、電位

*合、スイッチング素子62がON状態となるかOFF状態となるかは不定であり、このスイッチング素子62として用いられた製品の特性に応じて、ON状態になったりOFF状態になったりする。

【0038】以下、図1に示すディスプレイ1の動作について、図1～図3を参照しながら順に説明する。

【0039】先ず、ディスプレイ1の本体の電源をオンすると、電位発生回路5に直流電源が供給され、電位Vs、Vg、 V_0 、及びVcの発生を開始する。電位Vsはソースドライバ4を駆動させるための電位であり、電位Vg及び V_0 はゲートドライバ3を経由してゲートバス23(図1参照)に向けて供給される電位であり、電位Vcは共通電極25に向けて供給される電位である。

【0040】電位発生回路5が電位の発生を開始した直後を考えると、点P2の電位 V_{P2} はまだ電位 V_0 には到達しておらずほぼゼロ電位であり、また、供給ラインL1上の点P4の電位 V_{P4} はまだ電位Vsには到達しておらずほぼゼロ電位であるため、点P1と点P2との電位差 $V_{P1} - V_{P2}$ はほぼゼロである。従って、スイッチング素子61は(2)式を満たした状態(つまりOFF状態)である。ところが、電位発生回路5が電位の発生を開始すると、時間の経過に従って、点P2の電位が電位 V_0 (V_0 は負の値である)に近づくとともに点P4の電位が電位Vs(V_s は正の値である)に近づくため、点P1の電位 V_{P1} と点P2の電位 V_{P2} との間の電位差 $V_{P1} - V_{P2}$ はだんだん大きくなる。ここで、点P1の電位 V_{P1} と点P2の電位 V_{P2} との間の電位差 $V_{P1} - V_{P2}$ は、点P4の電位 V_{P4} を用いて以下のように表すことができる。

Vg及び V_0 を供給する供給ラインL2及びL3は、抵抗65を含む電荷流入部67から電氣的に切断された状態になる。

【0043】この電荷流入部67から電氣的に切断されたゲートドライバ3に、電位Vg及び V_0 が供給されると、このゲートドライバ3は、800本のゲートバス23それぞれに、電位Vg又は電位 V_0 を供給する。具体的には、このゲートドライバ3は、800本のゲートバス23それぞれを1本ずつ順次選択し、この選択された1本のゲートバス23にのみ電位Vgを供給し、残りの799本には電位 V_0 を供給する。従って、電位Vgが供給されるゲートバス23に接続されたTF22(図2参照)のみがON状態となる。このとき、ソースドライバ4からは全てのソースバスに画像信号が伝送される。このため、ゲートバス23の選択順序に従って、各画素に画像が順次書き込まれ、液晶パネル2に1枚の画像が表示される。以下、同様にしてゲートバスの選択が順次繰り返し行われ、液晶パネル2に連続して画像が表示される。

【0044】次に、ディスプレイ1の本体の電源をOFFしたときの動作について、図1～図3とともに図4を参照して説明する。

【0045】図4は、ディスプレイ1の本体の電源をOFFしたときの電位の変化を模式的に示すグラフである。

【0046】時刻 $t = 0$ においてディスプレイ1の本体の電源をOFFすると、ソースドライバ4からソースバス24に供給されていた画像信号がOFFとなり、さらに、電位発生回路5への直流電源の供給が停止され、電位 V_s 、 V_g 、 V_0 、及び V_c の発生を停止する。電位発生回路5が電位 V_s 、 V_g 、 V_0 、及び V_c の発生を停止することにより、各電位 V_s 、 V_g 、 V_0 、及び V_c は次第にゼロ電位に近づき、最終的にゼロ電位になる。本実施形態では、電位発生回路5が電位 V_s 、 V_g 、 V_0 、及び V_c の発生を停止することにより、先ず、共通電極23の電位がゼロ電位になる。この共通電極23の電位がゼロになる様子を、図4の曲線 V_u に模式的に示す。

【0047】また、供給ラインL2には、電位 V_g が供給される1本のゲートバス（以下、単に「1本のゲートバス」という）23が接続され、供給ラインL3には、電位 V_0 が供給される799本のゲートバス（以下、単に「799本のゲートバス」という）23が接続される。これら1本のゲートバスと799本のゲートバスとのうち、1本のゲートバスについて考えると、この1本のゲートバス23は、電位発生回路5が電位の発生を停止した直後では、ほぼ電位 V_g （ > 0 ）に近い値を有する。従って、電位発生回路5が電位の発生を停止した直後では、この1本のゲートバス23に接続されるTFT22は、まだON状態にある。このため、このON状態にあるTFT22に接続された画素電極（以下、「活性状態の画素電極」という）21には、ソースドライバ4からソースバス24を経由して、画像信号がOFFである旨の信号が書き込まれ、この活性状態の画素電極21は瞬時にゼロ電位となる。この1本のゲートバス23の*

$$V_{p3} - V_{p2} = (V_{p5} - V_{p2}) \times (r3 + r4) / (Rb + r3 + r4)$$

【0049】ここで、 $r3$ 及び $r4$ は、それぞれ抵抗62b及び62cの抵抗値、 Rb は抵抗64の抵抗値である。本実施形態では、スイッチング素子61がOFF状態になった直後において、点P3の電位 V_{p3} と点P2の電位 V_{p2} との間の電位差 $V_{p3} - V_{p2}$ が(3)式を満たすように、電位 V_0 及び V_g の値と、抵抗64、62b及び62cの値 Rb 、 $r3$ 及び $r4$ とが選択されている。つまり、スイッチング素子61がOFF状態になった直後では、電位差 $V_{p3} - V_{p2}$ が V_{on} 以上の大きさである。従って、スイッチング素子62はON状態となる。これにより、供給ラインL3に、スイッチング素子62を経由して、抵抗65を含む電荷流入部67

*電位、及び活性状態の画素電極の電位は、図1に示すディスプレイ1の消去時間を決定する大きな要因にはならないため、以下では、これらの電位についての説明は省略し、799本のゲートバス23の電位と、この799本のゲートバス23に電氣的に接続される画素電極の電位について、詳しく説明する。尚、この説明にあたっては、「1本のゲートバス」と「799本のゲートバス」とを特に区別する必要が無い限り、「799本のゲートバス」を単に「ゲートバス」という場合がある。

【0048】ところで、電位発生回路5が電位の発生を停止すると、電位 V_{p4} 、 V_{p5} 及び V_{p2} がゼロ電位に近づくため、電位差 $V_{p4} - V_{p2}$ はゼロに近づくていく。従って、電位発生回路5に直流電源が供給されていたときには(1)式を満たしていた電位差 $V_{p1} - V_{p2}$ は、だんだん小さくなり、最終的に(2)式を満たす。(2)式を満たした時点で、スイッチング素子61は確実にOFF状態となる。ここで、電位 V_g を供給する供給ラインL2と、電位 V_s を供給する供給ラインL1とを比較すると、供給ラインL2はゲートドライバ3を経由してゲートバス23に接続されており、一方、供給ラインL1はソースドライバ4を経由してソースバス24に接続されている。ゲートバス23が、画素電極21や共通電極25等のその他の電極との間に形成する容量（以下、ゲートバス容量と呼ぶ）は、ソースバス24がその他の電極との間に形成する容量（以下、ソースバス容量と呼ぶ）と比較して、数倍（2～3倍）大きい。このようなゲートバス容量とソースバス容量との違いから、ゲートバス23に接続される供給ラインL2上の点P5の電位 V_{p5} は、ソースバス24に接続される供給ラインL1上の点P4の電位 V_{p4} よりも、時間的に遅くゼロ電位に到達する。従って、スイッチング素子61がOFF状態になった直後では、点P5の電位 V_{p5} は、まだゼロ電位よりも十分に大きい電位をもつ。ここで、点P3の電位 V_{p3} と点P2の電位 V_{p2} との間の電位差 $V_{p3} - V_{p2}$ は、点P5の電位 V_{p5} を用いて、以下のように表すことができる。

が電氣的に接続される。つまり、電位発生回路5への直流電源の供給が停止される直前（ $t = 0$ の直前）においては、供給ラインL3は、電荷流入部67から電氣的に切断されているが、電位発生回路5への直流電源の供給が停止されると、供給ラインL3には、スイッチング素子62を経由して電荷流入部67が電氣的に接続される。また、この供給ラインL3には、799本のゲートバス23が電氣的に接続されている。従って、この799本のゲートバス23上に溜まっていた電荷は、ゲートバス23の周囲に自然放電する他に、ゲートドライバ3、供給ラインL3、及びスイッチング素子62を経由して、電荷流入部67に流入する。このような電荷の移

動により、ゲートバス23の電位は、最終的にゼロ電位になる。ゲートバス23の電位が最終的にゼロ電位になる様子は、図4の曲線Vwに示されている。ゲートバス23の電位がゼロ電位になると、このゲートバス23に接続されているTF T 22のゲート電極22aの電位もゼロ電位となる。

【0050】ところで、電位発生回路5への直流電源の供給が停止されると、上述したように、ソースドライバ4から画像信号をOFFとする旨の信号が各ソースバス24に伝送される。従って、各TF T 22のソース電極22bもゼロ電位となる。このため、799本のゲートバス23に接続されているTF T 22に着目すると、各TF T 22のゲート電極22aの電位及びソース電極22bの電位はいずれもゼロ電位（つまり、電位差がゼロ）となる。一般に、TF T 22は、ゲート電極22aの電位がソース電極22bの電位よりもある程度小さい場合、TF T 22は完全なOFF状態となるが、上記のように、ゲート電極22aとソース電極22bとの間の電位差がほぼゼロの場合、TF T 22は完全なOFF状態になっておらず、電流をわずかではあるが流す状態（以下、半ON状態と呼ぶ）になる。この半ON状態にあるTF T 22に接続された画素電極21に溜まった電荷は、この画素電極21の周囲に自然放電する他に、この半ON状態にあるTF T 22を経由してゲートバス23やソースバス24に流入する。このような電荷の移動を経て、半ON状態にあるTF T 22に接続された画素電極21の電位は、最終的にゼロ電位になる。この画素電極21の電位が最終的にゼロ電位になる様子は、図4の曲線Vxに示されている。

【0051】このようにして、液晶パネル2の画素電極21の電位（曲線Vx）はゼロ電位となる。曲線Vxからわかるように、画素電極21は、時刻 t_1 においてゼロ電位となる。従って、時刻 t_1 において、共通電極25の電位（曲線Vu）と各画素電極21の電位（曲線Vx）との間の電位差はゼロとなり、液晶パネル2の画面が完全に消去される。

【0052】上記の構成によれば、液晶パネル2の画面が完全に消去されるまでの消去時間 t_e は $t_e = t_1$ となる。具体的には $t_e = 1$ 秒～2秒程度である。

【0053】一方、図1に示すディスプレイ1において、画面消去回路6を備えない場合について考える。この場合、ディスプレイは、電位発生回路5への直流電源の供給が停止されたときに供給ラインL3に接続される電荷流入部67を備えない構成となる。従って、画面消去回路6を備えない構成のディスプレイは、画面消去回路6を備えた構成のディスプレイと比較して、ゲートバス23に溜まった電荷が移動できる経路が少ない。このため、画面消去回路6を備えない構成のディスプレイは、画面消去回路6を備えた構成のディスプレイと比較して、ゲートバス23の電位変化が緩やかになる。具体

的には、画面消去回路6を備えた構成のディスプレイでは、図4に示すように、ゲートバス23の電位変化を表す曲線はVwであるが、一方、画面消去回路6を備えない構成のディスプレイでは、ゲートバス23の電位変化を表す曲線は、破線で示す曲線Vw'となる。従って、画面消去回路6を備えない構成のディスプレイでは、ゲートバス23の電位がゼロ電位になる時刻が、画面消去回路6を備えた構成のディスプレイよりもT1だけ遅くなる。このため、ゲートバス23に接続されたTF T 22が半ON状態になる時刻も遅くなり、これら半ON状態になったTF T 22に接続された画素電極21の電位変化も緩やかになる。具体的には、画面消去回路6を備えた構成のディスプレイでは、図4に示すように、画素電極21の電位変化を表す曲線はVxであるが、一方、画面消去回路6を備えない構成のディスプレイでは、画素電極21の電位変化を表す曲線は、破線で示す曲線Vx'となる。また、詳しい説明は省略するが、画面消去回路6を備えない構成のディスプレイでは、画素電極23の電位変化は、曲線Vu'で表される。このように、画面消去回路6を備えない構成にすると、画面消去回路6を備えた構成と比較して、共通電極25と各画素電極21との間の電位差がゼロになる時間が、T2だけ遅くなる。従って、画面消去回路6を備えない場合、消去時間 t_e は $t_e = t_1 + T2$ となる。具体的には、 $t_e = 4$ 秒～5秒程度になる。従って、画面消去回路6を備えることにより、消去時間 t_e を3秒程度短くできることがわかる。

【0054】また、本実施形態では、画面消去回路6が、電位発生回路5が発生する3つの電位Vs、Vg及びVoを検出し、これら検出した電位に基づいて画面消去回路6が駆動する。従って、画面消去回路6を駆動するための専用、高価な電圧検出ディテクタICを備えることは不要であり、コストの削減が図られる。

【0055】さらに、本実施形態では、上記のように、画面消去回路6は、電位発生回路5が発生する3つの電位Vs、Vg及びVoのみによって駆動する。従って、画面消去回路6の駆動に、例えば水平同期信号等の信号は無関係であり、このような信号の特性を考慮して画面消去回路6を設計する必要が無いという利点がある。

【0056】尚、本実施形態では、電荷流入部67の一端を接地しているが、非接地にしてもよい。

【0057】また、本実施形態では、TF T 22を短時間で半ON状態にするために、スイッチング素子62を供給ラインL3に接続し、ゲートバス23に溜まった電荷を供給ラインL3及びスイッチング素子62を経由させて電荷流入部67に流入させている。これにより、TF T 22のゲート電極22aが短時間でゼロ電位になり、TF T 22は短時間で半ON状態になる。しかしながら、電位発生回路5と画素電極21の間を電氣的に接続する経路上にスイッチング素子62が接続される構

成であれば、このスイッチング素子62が供給ラインL3以外の部分に接続される構成であっても、TFT22を短時間で半ON状態にすることが可能である。

【0058】更に、画面消去回路6は、2つのスイッチング素子61及び62と、3つの抵抗Ra、Rb及びRcとにより構成されているが、別の回路構成であってもよい。

【0059】図5は、本発明の第2の液晶表示装置の一実施形態であるディスプレイの一例を示す概略構成図である。

【0060】図5に示すディスプレイ100の説明にあたっては、図1に示すディスプレイ1と同一の構成要素には同一の符号を付して示し、図1に示すディスプレイ1との相違点のみについて説明する。

【0061】図5に示すディスプレイ100と図1に示すディスプレイ1との相違点は、図5に示すディスプレイ100が、図1に示す画面消去回路6は備えておらず、代わりに、図1に示す電位発生回路5とは異なる構造の電位発生回路50を備えている点のみである。

【0062】この電位発生回路50は、画面消去用電位発生部51を備えており、以下、この画面消去用電位発生回路51について説明する。

【0063】図6は、画面消去用電位発生部51を示す詳細図である。

【0064】この画面消去用電位発生部51は差動増幅器511を備えている。この差動増幅器511の入力端子511aには、電位発生回路50が発生する電位 V_0 が入力される。また、もう一方の入力端子511bは、抵抗512を経由して、この差動増幅器511の出力端子511cに接続されている。また、この入力端子511bは抵抗513を経由してスイッチング素子SWに接続されている。このスイッチング素子SWは、電位発生回路50に直流電源が供給されているときは開いており、電位発生回路50への直流電源の供給が停止すると閉じる。また、差動増幅器511の出力端子511cは供給ラインL3（図5参照）に接続されている。

【0065】以下、図5に示すディスプレイ100の動作について、図5及び図6とともに、必要に応じて図2を参照しながら説明する。

【0066】ディスプレイ100の本体の電源をONすると、電位発生回路50に直流電源が供給され、電位 V_s 、 V_g 、 V_0 及び V_c の他に、電位 V_1 （図6参照）*

$$V_{out} = (V_0 - V_1) \times R_a / R_b + V_0 \quad \dots (7)$$

【0071】ここで、Raは抵抗512の抵抗値、Rbは抵抗513の抵抗値である。ここでは、スイッチング素子SWが閉じた直後に、 $V_{out} = 0V$ になるように、 V_1 、Ra及びRbの値が調整されている。従って、電位発生回路50が電位の発生を停止する直前にいて電位 V_0 （ < 0 ）が供給されている799本のゲートバス23には、電位発生回路50が電位の発生を停止

*を発生する。電位 V_s 、 V_g 、 V_c 及び V_1 は正の電位であるが、電位 V_0 は負の電位である。電位 V_s 、 V_g 及び V_c は、ソースバス4、ゲートバス3、及び共通電極に供給され、電位 V_0 は差動増幅器511の入力端子511aに供給される（図6参照）。また、電位 V_1 は、スイッチング素子SW及び抵抗513を経由して差動増幅器511に供給される電位であるが、電位発生回路50に直流電源が供給された状態では、スイッチング素子SWは開いた状態となるため、電位 V_1 は差動増幅器511には供給されない。従って、電位発生回路50に直流電源が供給された状態では、差動増幅器511に電位 V_0 のみが供給される。このため、差動増幅器511の出力電位 V_{out} は、 $V_{out} = V_0$ となり、結局、供給ラインL3には電位 V_0 が供給される。従って、ゲートドライバ3には、供給ラインL2及びL3を経由して、電位 V_g 及び V_0 が供給されることになり、図1に示すディスプレイ1と同様の方法で、液晶パネル2に連続して画像が表示される。

【0067】次に、ディスプレイ100の本体の電源をOFFしたときの動作について説明する。

【0068】ディスプレイ100の本体の電源をOFFすると、ソースドライバ4に供給される画像信号がOFFとなり、さらに、電位発生回路50への直流電源の供給が停止され、電位 V_s 、 V_g 、 V_0 、 V_c 、及び V_1 の発生を停止する。ここで、電位発生回路50が電位 V_s 、 V_g 、 V_0 、及び V_1 の発生を停止した直後を考えると、各電位 V_s 、 V_g 、 V_0 、 V_c 、及び V_1 はまだゼロ電位には到達していない。従って、電位発生回路50が電位の発生を停止する直前において電位 V_g （ > 0 ）が供給されている1本のゲートバス23は、電位発生回路50が電位の発生を停止した直後では、まだゼロより大きい電位を有する。このため、この1本のゲートバス23に接続されるTFT22（図2参照）はON状態にある。このON状態にあるTFT22に接続された画素電極21には、ソースバス24を経由して画像信号をOFFにする旨の信号が書き込まれ、この画素電極21の電位は瞬時にゼロ電位になる。

【0069】また、電位発生回路50への直流電源の供給が停止されると、図6に示すスイッチング素子SWが閉じる。このスイッチング素子SWを閉じた直後の出力電位 V_{out} は、次式で表すことができる。

【0070】

した直後に、供給ラインL3を経由して瞬時にゼロ電位が書き込まれる。ここで、図5に示すディスプレイ100が、もし仮に、画面消去用電位発生部51を備えていない状態を考えると、このディスプレイ100の本体の電源をOFFした場合、この799本のゲートバス23の電位がゼロ電位になるためには、ゲートバス23に溜まった電荷がこのゲートバス23から自然消滅するのを

待たなければならない。これに対し、図 5 に示すディスプレイ 100 のように、電位発生回路 50 に直流電源が供給された直後に $V_{out} = 0V$ の電位を供給ライン L3 に供給する画面消去用電位発生部 51 を備えることにより、ゲートバス 23 に溜まった電荷がこのゲートバス 23 から自然消滅する前に、このゲートバス 23 の電位を瞬時にゼロ電位にすることができる。

【0072】また、画像信号が OFF であることから、この TFT 22 のソース電極 22b もゼロ電位となる。従って、上記の 799 本のゲートバス 23 に接続されている TFT 22 のゲート電極 22a とソース電極 22b との間の電位差はゼロとなる。このように、ゲート電極 22a とソース電極 22b との間の電位差がゼロの場合、TFT 22 は半 ON 状態になるため、画素電極 21 に溜まっている電荷が、この半 ON 状態の TFT 22 を経由して画素電極 21 からすばやく除去される。従って、この画素電極 21 の電位はゼロ電位となる。このようにして、液晶パネル 2 の全ての画素電極 21 の電位はすばやくゼロ電位となる。全ての画素電極 21 の電位がゼロ電位になった直後に、共通電極 25 の電位はゼロ電位となる。従って、共通電極 25 と、各画素電極 21 との間の電位差はゼロとなり、液晶パネル 2 の画面が完全に消去される。

【0073】このように、画面消去用電位発生部 51 を用いて TFT 21 を強制的に半 ON 状態に設定しても消去時間を短縮することができる。

【0074】図 5 に示すディスプレイ 100 では、画面消去用の電位を発生する画面消去用電位発生部 51 が、電位発生回路 50 が発生する 2 つの電位 V_0 及び V_1 を検出し、これら検出した電位に基づいて画面消去用電位発生部 51 が駆動する。従って、画面消去用電位発生部 51 を駆動するための専用、高価な電圧検出ディテクタ IC を備えることは不要であり、コストの削減が図られる。

【0075】また、図 5 に示すディスプレイ 100 では、上記のように、画面消去用電位発生部 51 は、電位発生回路 50 が発生する 2 つの電位 V_0 及び V_1 のみによって駆動する。従って、画面消去用電位発生部 51 の駆動に、例えば水平同期信号等の信号は無関係であり、このような信号の特性を考慮して画面消去用電位発生部 51 を設計する必要が無いという利点がある。

【0076】また、図 5 に示すディスプレイ 100 では、消去時間を短縮するために、電位発生回路 50 への直流電源の供給を停止したときに、差動増幅器 511 から $V_{out} = 0V$ を出力して TFT 21 を半 ON 状態に設定しているが、 $V_{out} = 0V$ とする代わりに、 V_{out} をゼロより大きい電位に設定してもよい。 V_{out} をゼロより大きい電位に設定すると、TFT 21 は半 ON 状態ではなく完全な ON 状態に設定されるため、画素電極に OFF の画像信号を書き込むことができ、やは

*り、消去時間を短縮することができる。

【0077】尚、図 5 に示すディスプレイ 100 では、画面消去用電位発生部 51 を電位発生回路 50 の一部に備えているが、画面消去用電位発生部 51 及び電位発生回路 50 は別々の回路で構成してもよい。

【0078】ところで、上記した本発明の第 1 及び第 2 の液晶表示装置の各実施形態では、電位発生回路 5 及び 50 への直流電源の供給、供給停止は、ディスプレイ 1 及び 100 の本体の電源を ON、OFF したときに行われている。しかしながら、このディスプレイ 1 及び 100 が、例えばパソコンのディスプレイに用いられる場合、電位発生回路 5 及び 50 への直流電源の供給、供給停止は、ディスプレイ 1 及び 100 の本体の電源ではなく、例えばパソコン本体の電源を ON、OFF したときに行われるような構成にしてもよい。このように、本発明では、電位発生回路 5 及び 50 への直流電源の供給、供給停止を行う方法を問うものではない。

【0079】また、本発明の液晶表示装置は、パソコン以外の電子機器に適用されてもよく、本発明の液晶表示装置を用いることにより、例えば水平同期信号等の信号を検出することなく、低コストで消去時間の短縮が可能となる。

【0080】

【発明の効果】以上説明したように、本発明の液晶表示装置によれば、例えば水平同期信号等の信号を検出することなく、低コストで消去時間の短縮が可能となる。

【図面の簡単な説明】

【図 1】本発明の液晶表示装置の第 1 実施形態であるディスプレイの一例を示す概略構成図である。

【図 2】液晶パネル 2 の画素構成を概略的に示す図である。

【図 3】画面消去回路 6 の構成と、この画面消去回路及び周辺回路の接続関係とを示す図である。

【図 4】電位の変化を示すグラフである。

【図 5】本発明の液晶表示装置の第 2 実施形態である TFT 型液晶表示装置の一例を示す概略構成図である。

【図 6】画面消去用電位発生部 51 を示す詳細図である。

【符号の説明】

1, 100 液晶表示装置

2 液晶パネル

3 ゲートドライバ

4 ゲートドライバ

5, 50 電位発生回路

6 画面消去回路

21 画素電極

22 TFT

22a ゲート電極

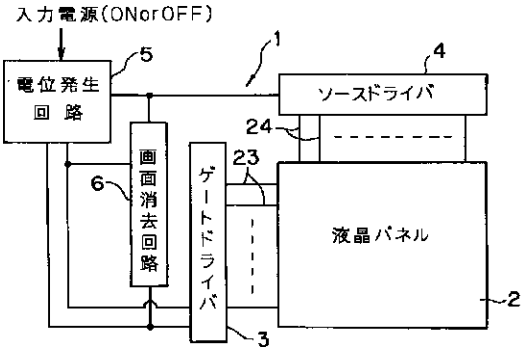
22b ソース電極

22c ドレイン電極

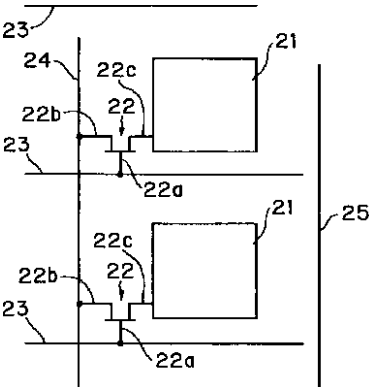
- 2 3 ゲートバス
- 2 4 ソースバス
- 2 5 共通電極
- 5 1 画面消去用電位発生部
- 6 1 , 6 2 スwitching素子
- 6 1 a , 6 2 a トランジスタ
- 6 1 b , 6 1 c , 6 2 b , 6 2 c , 6 3 , 6 4 , 6 5 *

- *抵抗
- 6 6 制御部
- 6 7 電荷流入部
- 5 1 1 差動増幅器
- 5 1 1 a , 5 1 1 b 入力端子
- 5 1 1 c 出力端子

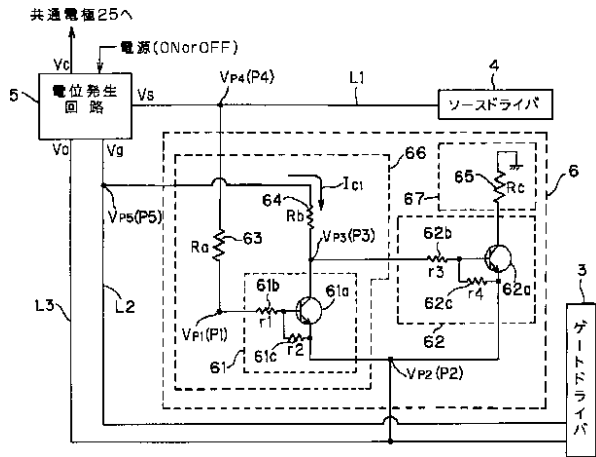
【図1】



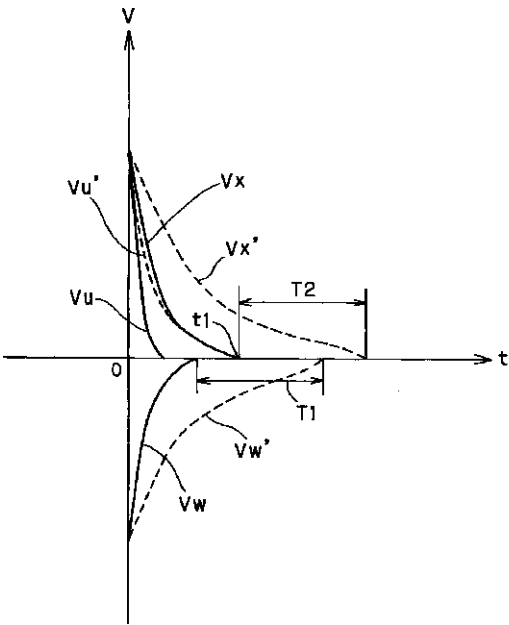
【図2】



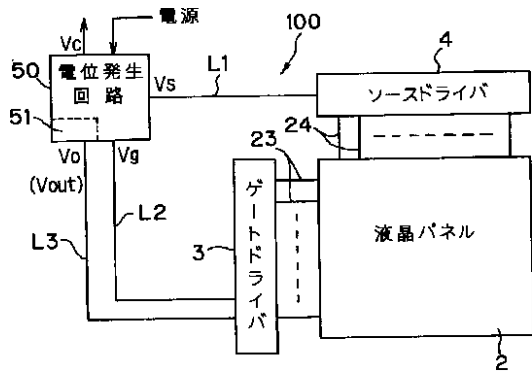
【図3】



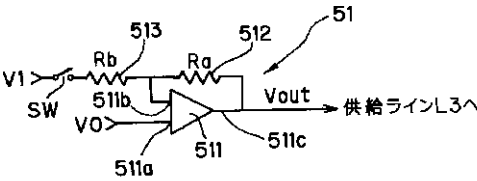
【図4】



【図5】



【図6】



フロントページの続き

(71)出願人 590000248

Groenewoudseweg 1,
5621 BA Eindhoven, Th
e Netherlands

(72)発明者 萩野 修司

兵庫県神戸市西区高塚台 4 丁目 3 番 1 フ
ィリップスモバイルディスプレイシステム
ズ神戸株式会社内

F ターム(参考) 2H093 NA16 NC58 ND60

5C006 AF67 BB16 BC03 FA52

5C080 AA10 BB05 DD01 FF11 JJ02

JJ03 JJ05

专利名称(译)	液晶表示装置		
公开(公告)号	JP2002215099A	公开(公告)日	2002-07-31
申请号	JP2000402656	申请日	2000-12-28
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	半沢賢侍 萩野修司		
发明人	半沢 賢侍 萩野 修司		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3696 G09G2310/0245 G09G2330/02		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.622.Z G09G3/20.670.D G09G3/20.612.A		
F-TERM分类号	2H093/NA16 2H093/NC58 2H093/ND60 5C006/AF67 5C006/BB16 5C006/BC03 5C006/FA52 5C080/AA10 5C080/BB05 5C080/DD01 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ05 2H093/NA80 2H193/ZE31 2H193/ZE38 2H193/ZH21		
其他公开文献	JP2002215099A5 JP4885353B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其允许以低成本缩短擦除时间而不检测诸如水平同步信号之类的信号。解决方案：当电源关闭时，开关元件（62）进入接通状态，电荷流入部分（67）通过该开关元件（62）与电源线（L3）连接。

