

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

WO2008/062575

発行日 平成22年3月4日 (2010.3.4)

(43) 国際公開日 平成20年5月29日 (2008.5.29)

(51) Int. Cl.	F I	テーマコード (参考)
G09F 9/30 (2006.01)	G09F 9/30 308Z	2H092
G02F 1/1343 (2006.01)	G09F 9/30 338	5C094
G02F 1/1362 (2006.01)	G02F 1/1343	
	G02F 1/1362	

審査請求 有 予備審査請求 未請求 (全 25 頁)

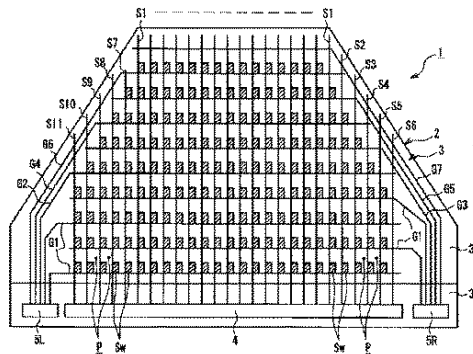
出願番号 特願2008-545319 (P2008-545319)	(71) 出願人 000005049
(21) 国際出願番号 PCT/JP2007/061613	シャープ株式会社
(22) 国際出願日 平成19年6月8日 (2007.6.8)	大阪府大阪市阿倍野区長池町2番2号
(31) 優先権主張番号 特願2006-314533 (P2006-314533)	(74) 代理人 110000040
(32) 優先日 平成18年11月21日 (2006.11.21)	特許業務法人池内・佐藤アンドパートナーズ
(33) 優先権主張国 日本国 (JP)	(72) 発明者 吉田 昌弘
	大阪府大阪市阿倍野区長池町2番2号
	シャープ株式会社内
	Fターム (参考) 2H092 GA24 GA28 GA30 JB22 JB23
	JB31 JB32 RA10
	5C094 AA03 AA15 AA21 AA53 BA03
	BA43 DA05 DA15 DA20 DB04
	FA01 FA10 JA01

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス基板、表示パネル、及び表示装置

(57) 【要約】

アクティブマトリクス基板において、矩形以外の形状に形成された液晶パネル（表示パネル）（2）の表示領域に対応するように、複数の画素（P）を設ける。また、複数の走査線（第1の信号線）（G）のうち、画素の設置数が他の行よりも少ない行に配線された走査線（G3～G7）と、複数のデータ線（第2の信号線）（S）のうち、画素の設置数が他の列よりも少ない列に配線されたデータ線（S2～S6、S8～S11）とを、表示領域以外の箇所で交差させる。



【特許請求の範囲】

【請求項 1】

複数の行及び複数の列を有するマトリクス状に複数の画素が設けられるとともに、表示パネルの基板として用いられるアクティブマトリクス基板であって、

前記マトリクス状の行方向に配線される複数の第 1 の信号線と、

前記第 1 の信号線と交差するように、前記マトリクス状の列方向に配線される複数の第 2 の信号線とを備え、

前記複数の画素では、矩形以外の形状に形成された表示パネルの表示領域に対応するように、前記複数の行のうち、少なくとも 1 つの行の画素の設置数と他の行の画素の設置数とが相異されるとともに、前記複数の列のうち、少なくとも 1 つの列の画素の設置数と他の列の画素の設置数とが相異され、

前記複数の第 1 の信号線のうち、画素の設置数が他の行よりも少ない行に配線された第 1 の信号線と、前記複数の第 2 の信号線のうち、画素の設置数が他の列よりも少ない列に配線された第 2 の信号線とを、前記表示領域以外の箇所で交差させた、

ことを特徴とするアクティブマトリクス基板。

10

【請求項 2】

前記複数の第 1 の信号線及び前記複数の第 2 の信号線において、画素の設置数が他の行よりも少ない行に配線された第 1 の信号線及び画素の設置数が他の列よりも少ない列に配線された第 2 の信号線の一方の信号線を延伸させて、表示領域以外の箇所で他方の信号線と交差させている請求項 1 に記載のアクティブマトリクス基板。

20

【請求項 3】

前記複数の第 1 の信号線及び前記複数の第 2 の信号線の少なくとも一方の信号線には、入力される信号の信号入力方向が互いに異なる信号線が含まれている請求項 1 または 2 に記載のアクティブマトリクス基板。

【請求項 4】

前記信号入力方向が互いに異なる信号線が、前記複数の第 1 の信号線及び前記複数の第 2 の信号線の一方の信号線に含まれている場合において、前記一方の信号線では、前記信号の入力側が前記表示領域以外の箇所で、前記複数の第 1 の信号線及び前記複数の第 2 の信号線の他方の信号線と交差している請求項 3 に記載のアクティブマトリクス基板。

30

【請求項 5】

前記複数の第 1 の信号線及び前記複数の第 2 の信号線において、前記表示領域以外の箇所で交差している交差部で互いに対向する対向面積が、前記表示領域で交差している交差部で互いに対向する対向面積より大きい請求項 1 ～ 4 のいずれか 1 項に記載のアクティブマトリクス基板。

【請求項 6】

前記表示領域以外の箇所で交差している交差部で互いに対向する対向面積が、前記表示領域で交差している交差部で互いに対向する対向面積の 2 倍以上である請求項 5 に記載のアクティブマトリクス基板。

【請求項 7】

前記複数の第 1 の信号線及び前記複数の第 2 の信号線において、前記表示領域以外の箇所で交差している交差部に設けられた絶縁膜の厚さが、前記表示領域で交差している交差部に設けられた絶縁膜の厚さより薄い請求項 1 ～ 6 のいずれか 1 項に記載のアクティブマトリクス基板。

40

【請求項 8】

前記表示領域以外の箇所で交差している交差部に設けられた絶縁膜の厚さが、前記表示領域で交差している交差部に設けられた絶縁膜の厚さの $1/2$ 以下である請求項 7 に記載のアクティブマトリクス基板。

【請求項 9】

前記複数の第 1 の信号線及び前記複数の第 2 の信号線が配線される基板本体と、
前記複数の第 1 の信号線及び前記複数の第 2 の信号線に対し、信号をそれぞれ入力させ

50

る第1及び第2の駆動回路が設置される回路設置部を備えている請求項1～8のいずれか1項に記載のアクティブマトリクス基板。

【請求項10】

請求項1～9のいずれか1項に記載されたアクティブマトリクス基板を備えていることを特徴とする表示パネル。

【請求項11】

外形形状が、矩形以外の形状に形成された表示領域の形状を基に定められている請求項10に記載の表示パネル。

【請求項12】

前記アクティブマトリクス基板に対向して配置される対向基板と、前記アクティブマトリクス基板と前記対向基板との間に設けられた液晶層とを備えている請求項10または11に記載の表示パネル。 10

【請求項13】

表示部を備えた表示装置であって、

前記表示部には、請求項10～12のいずれか1項に記載の表示パネルが用いられていることを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の画素がマトリクス状に設けられるアクティブマトリクス基板、及びこれをを用いた表示パネル並びに表示装置に関する。 20

【背景技術】

【0002】

近年、液晶表示装置に代表される薄型ディスプレイの普及に伴って、その用途も益々多様化している。例えば、自動車の計器盤（インストルメントパネル）などに液晶表示装置が用いられることもある。つまり、液晶表示装置では、用途の多様化に対応すべく、既存の矩形の表示領域以外に、台形状、円形、あるいは五角形以上の多角形などの異形の表示領域をもつ表示パネルを構成することが望まれており、外形デザインの設計自由度を高めることが要望されている。さらに、液晶表示装置では、表示領域以外の領域を小さくして、表示パネル内の有効表示面積率を高めることも、コスト面や機構面の点からも望まれて 30

【0003】

一方、従来の液晶表示装置には、例えば特開2000-75257号公報または特開2004-212500号公報に記載されているように、楕円形、扇形状、あるいは多角形等の異形の形状に形成された表示領域を備えたものが提案されている。具体的には、これらの従来例では、最初に矩形の液晶表示装置を形成した後、前記矩形の液晶表示装置に対して破断処理や分断処理を施すことにより、異形の表示領域を具備した液晶表示装置を製造していた。

【0004】

また、従来の液晶表示装置には、特開2005-195788号公報に記載されているように、例えば丸形の液晶パネルにおいて、扇形の切り欠き部を形成するとともに、切り欠き部及び外周部に対して、液晶パネルをアクティブ駆動するための2種類の信号線の入力端子をそれぞれ設置することが提案されている。 40

【0005】

すなわち、この従来例では、上記切り欠き部の縁に沿って、アクティブマトリクス基板上で同心円状に配線された複数の走査線にそれぞれ接続されて走査信号を入力する複数の走査線用の入力端子を設置していた。また、この従来例では、上記外周部の縁に沿って、アクティブマトリクス基板上で円の中心方向に各々延設された複数のデータ線にそれぞれ接続されてデータ信号を入力する複数のデータ線用の入力端子を設置していた。そして、この従来例では、アクティブマトリクス基板上で複数の走査線及び複数のデータ線を交差 50

させるとともに、交差部に応じてTFT（薄膜トランジスタ；Thin Film Transistor）や画素電極などを含んだ画素を複数設け、丸形の液晶パネルにおいて画素単位のアクティブ駆動を行うことが可能とされていた。

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、上記のような従来の液晶表示装置では、輝度ムラや一走査線分の画素または一データ線分の画素の輝度のみが他の画素の輝度と異なるライン状欠陥などが発生し、表示品位が低下するという問題点があった。

【0007】

10

具体的にいえば、上記従来の液晶表示装置では、上記のような異形の表示領域を形成した場合、そのアクティブマトリクス基板上の複数の走査線及び複数のデータ線において、画素数が異なる走査線及びデータ線が発生した。このため、従来の液晶表示装置では、複数の走査線及び複数のデータ線において、負荷が異なる走査線及びデータ線が生じて、輝度ムラやライン状欠陥などの発生を抑制することができずに、表示品位の低下を生じることがあった。

【0008】

また、従来の液晶表示装置において、画素数に応じて、走査線及びデータ線にそれぞれ対する信号の大きさ（電圧値）を変更することにより、複数の走査線及び複数のデータ線での各負荷の不均一を是正することも考えられる。しかしながら、このような信号電圧値を変更してアクティブ駆動する場合、画素数の相異に応じて走査線及びデータ線への各信号電圧値を細かく変更したり、表示すべき情報の輝度に従って各データ線への信号電圧値を変更したりすることなどが要求される。このため、信号電圧値を変更して負荷の不均一を是正することは実際上不可能であった。

20

【0009】

上記の課題を鑑み、本発明は、矩形以外の形状の表示領域に用いられるときでも、表示品位が低下するのを容易に防止することができるアクティブマトリクス基板、及びこれを用いた表示パネル並びに表示装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

30

上記の目的を達成するために、本発明にかかるアクティブマトリクス基板は、複数の行及び複数の列を有するマトリクス状に複数の画素が設けられるとともに、表示パネルの基板として用いられるアクティブマトリクス基板であって、

前記マトリクス状の行方向に配線される複数の第1の信号線と、

前記第1の信号線と交差するように、前記マトリクス状の列方向に配線される複数の第2の信号線とを備え、

前記複数の画素では、矩形以外の形状に形成された表示パネルの表示領域に対応するように、前記複数の行のうち、少なくとも1つの行の画素の設置数と他の行の画素の設置数とが相異されるとともに、前記複数の列のうち、少なくとも1つの列の画素の設置数と他の列の画素の設置数とが相異され、

40

前記複数の第1の信号線のうち、画素の設置数が他の行よりも少ない行に配線された第1の信号線と、前記複数の第2の信号線のうち、画素の設置数が他の列よりも少ない列に配線された第2の信号線とを、前記表示領域以外の箇所で交差させたことを特徴とするものである。

【0011】

上記のように構成されたアクティブマトリクス基板では、上記マトリクス状に設けられる複数の画素において、複数の行のうち、少なくとも1つの行の画素の設置数と他の行の画素の設置数とを相異させ、かつ、複数の列のうち、少なくとも1つの列の画素の設置数と他の列の画素の設置数とを相異させることにより、矩形以外の形状に形成された表示パネルの表示領域に対応可能に構成されている。また、複数の第1の信号線のうち、画素の

50

設置数が他の行よりも少ない行に配線された第1の信号線と、複数の第2の信号線のうち、画素の設置数が他の列よりも少ない列に配線された第2の信号線とを、表示領域以外の箇所では交差させている。これにより、画素の設置数が少ない第1及び第2の各信号線において、表示領域以外の箇所での交差部で容量を発生させることができ、第1及び第2の各信号線への信号電圧値を変更することなく、第1及び第2の各信号線において、負荷の不均一を是正することができる。したがって、上記従来例と異なり、矩形以外の形状の表示領域に用いられるときでも、負荷の不均一に起因する輝度ムラ及びライン状欠陥などの発生を抑制することができ、表示品位が低下するのを容易に防止することができる。

【0012】

尚、上記画素には、ユーザに視認される有効な上記表示領域に設けられる画素だけでなく、ユーザに視認されない非表示領域（表示領域以外の箇所）に設けられるダミー画素を含ませることができる。

10

【0013】

また、上記アクティブマトリクス基板では、前記複数の第1の信号線及び前記複数の第2の信号線において、画素の設置数が他の行よりも少ない行に配線された第1の信号線及び画素の設置数が他の列よりも少ない列に配線された第2の信号線の一方の信号線を延伸させて、表示領域以外の箇所では他方の信号線と交差させてもよい。

【0014】

この場合、アクティブマトリクス基板のコンパクト化を簡単に図ることができる。

【0015】

20

また、上記アクティブマトリクス基板において、前記複数の第1の信号線及び前記複数の第2の信号線の少なくとも一方の信号線には、入力される信号の信号入力方向が互いに異なる信号線が含まれていることが好ましく、さらに信号入力方向が互いに異なる信号線を交互に配線することが好ましい。

【0016】

この場合、上記信号入力方向を揃えて複数の信号線を配線する場合に比べて、当該信号線の配線作業を簡単に行わせることができる。また、信号線間の電気絶縁耐力を容易に高めることができ、信号電圧のリーク対策も容易なものとすることができる。さらには、信号入力方向が互いに異なる信号線を交互に配線した場合、信号線間の電気絶縁耐力をより容易に高めることができ、信号電圧のリーク対策もより容易なものとすることができる。

30

【0017】

また、上記アクティブマトリクス基板では、前記信号入力方向が互いに異なる信号線が、前記複数の第1の信号線及び前記複数の第2の信号線の一方の信号線に含まれている場合において、前記一方の信号線では、前記信号の入力側が前記表示領域以外の箇所で、前記複数の第1の信号線及び前記複数の第2の信号線の他方の信号線と交差していることが好ましい。

【0018】

この場合、上記信号の非入力側で交差させる場合に比べて、上記一方の信号線の配線作業の簡単化を図りつつ、当該一方の信号線間で信号電圧のリークが生じるのを容易に防ぐことができる。この結果、不良品の発生率が小さい製造簡単なアクティブマトリクス基板を構成することができる。

40

【0019】

また、上記アクティブマトリクス基板では、前記複数の第1の信号線及び前記複数の第2の信号線において、前記表示領域以外の箇所で交差している交差部で互いに対向する対向面積が、前記表示領域で交差している交差部で互いに対向する対向面積より大きくてもよい。

【0020】

この場合、表示領域以外の箇所で交差している交差部において、発生する容量を確実に大きくすることができ、第1及び第2の各信号線での負荷の不均一を容易に是正することができる。

50

【0021】

また、上記アクティブマトリクス基板において、前記表示領域以外の箇所では交差している交差部で互いに対向する対向面積が、前記表示領域で交差している交差部で互いに対向する対向面積の2倍以上であってもよい。

【0022】

この場合、第1及び第2の各信号線での負荷の不均一をより容易に是正することができる。

【0023】

また、上記アクティブマトリクス基板では、前記複数の第1の信号線及び前記複数の第2の信号線において、前記表示領域以外の箇所では交差している交差部に設けられた絶縁膜の厚さが、前記表示領域で交差している交差部に設けられた絶縁膜の厚さより薄くてもよい。

10

【0024】

この場合、表示領域以外の箇所では交差している交差部において、発生する容量を確実に大きくすることができ、第1及び第2の各信号線での負荷の不均一を容易に是正することができる。

【0025】

また、上記アクティブマトリクス基板において、前記表示領域以外の箇所では交差している交差部に設けられた絶縁膜の厚さが、前記表示領域で交差している交差部に設けられた絶縁膜の厚さの1/2以下であってもよい。

20

【0026】

この場合、第1及び第2の各信号線での負荷の不均一をより容易に是正することができる。

【0027】

また、上記アクティブマトリクス基板において、前記複数の第1の信号線及び前記複数の第2の信号線が配線される基板本体と、

前記複数の第1の信号線及び前記複数の第2の信号線に対し、信号をそれぞれ入力させる第1及び第2の駆動回路が設置される回路設置部を備えてもよい。

【0028】

この場合、複数の第1の信号線及び複数の第2の信号線と第1及び第2の駆動回路との接続作業を簡単に行えたとともに、コンパクトで取扱性に優れたアクティブマトリクス基板を構成することができる。

30

【0029】

また、本発明の表示パネルは、上記いずれかのアクティブマトリクス基板を備えていることを特徴とするものである。

【0030】

上記のように構成された表示パネルでは、矩形以外の形状の表示領域に用いられるときでも、表示品位の低下を容易に防止されたアクティブマトリクス基板が使用されているので、優れた表示性能を有する表示パネルを容易に構成することができる。

【0031】

また、上記表示パネルにおいて、外形形状が、矩形以外の形状に形成された表示領域の形状を基に定められていることが好ましい。

40

【0032】

この場合、表示領域以外の領域を小さくした高い有効表示面積率を有する表示パネルを容易に構成することができる。

【0033】

また、上記表示パネルにおいて、前記アクティブマトリクス基板に対向して配置される対向基板と、前記アクティブマトリクス基板と前記対向基板との間に設けられた液晶層とを備えてもよい。

【0034】

50

この場合、優れた表示性能を有する液晶パネルを容易に構成することができる。

【0035】

また、本発明の表示装置は、表示部を備えた表示装置であって、前記表示部には、上記いずれかの表示パネルが用いられていることを特徴とするものである。

【0036】

上記のように構成された表示装置では、矩形以外の形状の表示領域を有し、かつ、優れた表示性能を有する表示パネルが表示部に用いられているので、矩形以外の形状の表示領域を備えた高性能な表示装置を容易に構成することができる。

【発明の効果】

10

【0037】

本発明によれば、矩形以外の形状の表示領域に用いられるときでも、表示品位が低下するのを容易に防止することができるアクティブマトリクス基板、及びこれを用いた表示パネル並びに表示装置を提供することが可能となる。

【図面の簡単な説明】

【0038】

【図1】本発明の第1の実施形態にかかるアクティブマトリクス基板及びこれを用いた液晶表示装置の要部構成を示す平面図である。

【図2】(a)は図1に示したアクティブマトリクス基板の部分拡大図であり、(b)は(a)のIIb-IIb線断面図であり、(c)は(a)のIIc-IIc線断面図である。

20

【図3】図1に示した画素の具体的な構成を説明する図である。

【図4】(a)は図3のIVa-IVa線断面図であり、(b)は図3のIVb-IVb線断面図である。

【図5】比較品1のアクティブマトリクス基板及びこれを用いた液晶表示装置の要部構成を示す平面図である。

【図6】図5に示したアクティブマトリクス基板の部分拡大図である。

【図7】比較品2のアクティブマトリクス基板の部分拡大図である。

【図8】本発明の第2の実施形態にかかるアクティブマトリクス基板及びこれを用いた液晶表示装置の要部構成を示す平面図である。

【図9】(a)は図8に示したアクティブマトリクス基板の部分拡大図であり、(b)は(a)のIXb-IXb線断面図であり、(c)は(a)のIXc-IXc線断面図である。

30

【図10】本発明の第3の実施形態にかかるアクティブマトリクス基板及びこれを用いた液晶表示装置の要部構成を示す平面図である。

【図11】本発明の第4の実施形態にかかるアクティブマトリクス基板及びこれを用いた液晶表示装置の要部構成を示す平面図である。

【図12】本発明の第5の実施形態にかかるアクティブマトリクス基板及びこれを用いた液晶表示装置の要部構成を示す平面図である。

【発明を実施するための最良の形態】

【0039】

以下、本発明の表示装置の好ましい実施形態について、図面を参照しながら説明する。なお、以下の説明では、本発明を透過型の液晶表示装置に適用した場合を例示して説明する。

40

【0040】

[第1の実施形態]

図1は、本発明の第1の実施形態にかかるアクティブマトリクス基板及びこれを用いた液晶表示装置の要部構成を示す平面図である。図1において、本実施形態の液晶表示装置1は、台形状の外形状に形成された表示部としての液晶パネル2と、本発明のアクティブマトリクス基板3とを備えており、液晶表示装置1には、複数の画素Pが複数の行及び複数の列を有するマトリクス状に設けられている。

【0041】

50

アクティブマトリクス基板3は、図1に例示するように、複数のデータ線S₁～S₁₁（以下、“S”にて総称する。）及び複数の走査線G₁～G₇（以下、“G”にて総称する。）が配線された基板本体3aと、データ線Sに接続されてデータ信号を入力するソースドライバ4及び走査線Gに接続されて走査信号を入力するゲートドライバ5L及び5Rが設置されたドライバ設置部3bとを備えている。走査線G及びデータ線Sは、それぞれマトリクス状の行方向及び列方向に配線される第1及び第2の信号線を構成している。

【0042】

基板本体3aは、長方形と台形とを組み合わせた台形状の形状に構成されており、台形状の表示領域に対応可能になっている。一方、ドライバ設置部3bは、第2の駆動回路としてのソースドライバ4及び第1の駆動回路としてのゲートドライバ5L、5Rを設置する回路設置部を構成しており、長方形の形状に構成されている。尚、図1では、基板本体3aとドライバ設置部3bとを明確にするために、それらの境界線を実線（直線）にて示しているが、実際のアクティブマトリクス基板3では、基板本体3aとドライバ設置部3bとは一体的に構成されており、上記境界線は存在しない（後掲の図5、図8、図10～図12においても同様。）。

10

【0043】

また、基板本体3aでは、図1の上下方向に配線されたデータ線Sと、同図の左右方向に配線された走査線Gとの交差部単位に、複数のスイッチング素子S_w（図に斜線部にて図示）が設けられている。これらの各スイッチング素子S_wには、例えば薄膜トランジスタ（TFT）が用いられており、各スイッチング素子S_wは、上記複数の画素P毎に設けられている。

20

【0044】

すなわち、液晶パネル2では、スイッチング素子S_wが設けられ、かつ、隣接する2本のデータ線S及び隣接する2本の走査線Gにて区画された領域が、各画素Pの画素領域を構成している。そして、液晶パネル2では、図1に示すように、長方形と台形とを組み合わせた台形状の表示領域が形成されている。さらに、液晶パネル2では、その外形形状が台形状の表示領域を基に定められている。これにより、液晶パネル2では、表示領域以外の領域を小さくして、そのパネル全面（表示面）での有効表示面積率を容易に高めることができる。

【0045】

ここで、図3及び図4を参照して、液晶パネル2の画素Pについて具体的に説明する。

30

【0046】

図3は、図1に示した画素の具体的な構成を説明する図である。図4（a）は図3のIVa-IVa線断面図であり、図4（b）は図3のIVb-IVb線断面図である。

【0047】

図3に例示するように、画素Pでは、2本のデータ線S₁と走査線G₄、G₅とで囲まれた画素領域の内部に、スイッチング素子S_w、画素電極P_e、及び補助容量対向電極C_s'が設けられている。また、データ線S₁及びスイッチング素子S_w上には、ブラックマトリクス9が配置されている。尚、図3では、図面の簡略化のために、データ線S₁に関して図の左側に設けられた画素の画素電極P_eの図示は省略している。

40

【0048】

スイッチング素子S_wでは、ソース電極S_wsがデータ線S₁に接続され、ゲート電極S_wgが走査線G₄に接続されている。また、スイッチング素子S_wのドレイン電極S_wdは、補助容量配線C_sに対向するように設けられた補助容量対向電極C_s'に接続され、補助容量対向電極C_s'は、画素電極P_eに接続されている。

【0049】

そして、この画素Pでは、走査線G₄から走査信号がゲート電極S_wgに入力されてスイッチング素子S_wがオン状態にされたときに、表示すべき情報の階調に応じたデータ信号（電圧信号）がデータ線S₁からソース電極S_wsに入力される。その後、データ信号はソース電極S_wsからドレイン電極S_wd及び補助容量対向電極C_s'を経て画素電極

50

P eに出力され、データ信号の電圧が当該画素Pにて保持される。

【0050】

また、図4に示すように、液晶表示装置1は、アクティブマトリクス基板3の基板本体3 aと、アクティブマトリクス基板3の基板本体3 aに対向して配置される対向基板1 0と、アクティブマトリクス基板3の基板本体3 aと対向基板1 0との間に設けられた液晶層1 1とを備えている。

【0051】

基板本体3 aには、ガラス材または合成樹脂材からなる透明基板1 2が含まれており、図4 (a)に示すように、スイッチング素子S wの近傍では、互いに並設されたデータ線S 1及びゲート電極S w gと、これらのデータ線S 1及びゲート電極S w gを覆うように形成された絶縁膜6とが、透明基板1 2上に設けられている。さらに、絶縁膜6の上方には、スイッチング素子S wの半導体層S w 1、コンタクト層S w 2、S w 3、ソース電極S w s及びドレイン電極S w d、保護膜7、層間絶縁膜8、画素電極P e、及び配向膜1 3が順次積層されている。

10

【0052】

また、対向基板1 0には、ガラス材または合成樹脂材からなる透明基板1 4が含まれており、この透明基板1 4上にブラックマトリクス9、RGBのいずれかのカラーフィルタ1 5、及び隣接する画素Pのカラーフィルタ1 5'が形成されている。また、互いに異なる色のカラーフィルタ1 5、1 5'上には、対向(共通)電極1 6及び配向膜1 7が順次積層されている。

20

【0053】

また、図4 (b)に示すように、補助容量対向電極C s'の近傍では走査線G 4及び補助容量配線C sが透明基板1 2上に並設されており、絶縁膜6にて覆われている。補助容量配線C sは、絶縁膜6を介して補助容量対向電極C s'に対向配置されている。また、補助容量対向電極C s'は、コンタクトホールhにて画素電極P eに接続されている。さらに、走査線G 4は、絶縁膜6を介してデータ線S 1と交差するようになっている。

【0054】

液晶層1 1には、例えばTNモードの液晶が使用されており、液晶表示装置1では、透明基板1 2の下側(非表示面側)に配置されたバックライト装置(図示せず)からの光が照射されるようになっている。さらに、透明基板1 2の下側表面及び透明基板1 4の液晶層1 1と逆側の上側表面には、偏光板(図示せず)が貼り付けられている。そして、液晶表示装置1では、液晶層1 1が表示すべき情報に応じて、画素単位に駆動されることにより、当該液晶層1 1を通過する光量が制御されて、液晶パネル2の表示面に情報が表示される。

30

【0055】

図1に戻って、基板本体3 aでは、上記台形状の表示領域に対応するために、図1の左右方向に平行な複数の行のうち、少なくとも1つの行の画素Pの設置数と他の行の画素Pの設置数とが相異されている。また、基板本体3 aでは、図1の上下方向に平行な複数の列のうち、少なくとも1つの列の画素Pの設置数と他の列の画素Pの設置数とが相異されている。

40

【0056】

また、基板本体3 aでは、上記のような異形の画素領域を構成するために、データ線Sには、長さが異なるデータ線S 1~S 1 1を設けている。そして、ソースドライバ4が、データ線S 1~S 1 1に対して、データ信号を一方向(図の下方)から入力させるようになっている。

【0057】

一方、走査線Gには、ソースドライバ4を挟むように設けられたゲートドライバ5 L、5 Rのいずれかに接続されて、走査信号の信号入力方向が互いに異なる信号線G 1~G 7が含まれている。つまり、ゲートドライバ5 Lには、図1に示すように、2本の走査線G 1と、走査線G 2、G 4、G 6とが接続され、ゲートドライバ5 Rには、ゲートドライバ

50

5 Lに接続された2本の走査線G 1、G 2、G 4、G 6と交互に配線されるように、2本の走査線G 1と、走査線G 3、G 5、G 7とが接続されている。そして、ゲートドライバ5 Lは、対応する走査線G 1、G 2、G 4、G 6に対して、図の左側から走査信号を入力させ、ゲートドライバ5 Rは、対応する走査線G 1、G 3、G 5、G 7に対して、図の右側から走査信号を入力させるようになっている。

【0058】

以上のように、走査線Gでは、入力される走査信号の信号入力方向が互いに異なる走査線G 1、G 2、G 4、G 6と走査線G 1、G 3、G 5、G 7とが含まれているので、信号入力方向を揃えて複数の走査線Gを基板本体3 a上に配線する場合に比べて、当該走査線Gの配線作業を簡単に行わせることができる。さらに、走査線G間の電気絶縁耐力を容易に高めることができ、走査信号（電圧）のリーク対策も容易なものとすることができる。しかも、走査線G 1、G 2、G 4、G 6と走査線G 1、G 3、G 5、G 7とが交互に配線されているので、上記電気絶縁耐力及びリーク対策をより容易に高めることができる。

10

【0059】

尚、上記の説明以外に、データ線Sについて、走査線Gと同様に、データ信号の信号入力方向が互いに異なる二つのデータ線群に分けて、二つのソースドライバからそれぞれデータ信号を入力させることもできる。

【0060】

また、データ線S 6は、ダミーデータ線であり、最外周、つまり図1の右端列の各画素Pでの寄生容量が他の画素Pの寄生容量と同様になるように、基板本体3 a上に設けられている。また、このデータ線S 6では、4本の走査線G 1との各交差部の近傍に、図示を省略したスイッチング素子が接続されており、情報表示に寄与しないダミー画素が構成されている。そして、右端列の各画素Pにおいて、データ線Sと画素電極P e間の寄生容量の相異や開口率の相異に起因して輝度ムラが発生するのを防いでいる。

20

【0061】

同様に、走査線G 7は、ダミー走査線であり、最外周、つまり図1の上端行の各画素Pでの寄生容量が他の画素Pの寄生容量と同様になるように、基板本体3 a上に設けられている。また、この走査線G 7では、16本のデータ線S 1との各交差部の近傍に、図示を省略したスイッチング素子が接続されており、情報表示に寄与しないダミー画素が構成されている。そして、上端行の各画素Pにおいて、走査線Gと画素電極P e間の寄生容量の相異や開口率の相異に起因して輝度ムラが発生するのを防いでいる。

30

【0062】

尚、上記の説明では、ダミーデータ線S 6及びダミー走査線G 7の各々にスイッチング素子を接続してダミー画素を構成した場合について説明したが、本実施形態はこれに限定されるものではなく、ダミーデータ線S 6やダミー走査線G 7にスイッチング素子（さらには、画素電極）を接続しない構成でもよい。すなわち、ダミー画素を構成することなく、ダミーデータ線S 6やダミー走査線G 7だけを設けることにより、上記輝度ムラの発生を防止することもできる。

【0063】

さらに、基板本体3 aでは、データ線S及び走査線Gのうち、画素Pの設置数が少ない列に配線されたデータ線Sを適宜延伸させて、表示領域の外側で画素Pの設置数が少ない行に配線された走査線Gと交差させている。これにより、基板本体3 aでは、画素Pの設置数が少ない行及び列にそれぞれ配線された走査線Gとデータ線Sとの交差部の数を増加させて、上記台形状の表示領域に応じて、複数の行及び複数の列の各々において画素Pの設置数を異ならせたときでも、輝度ムラ及びライン状欠陥などの発生を抑制できるよう構成されている（詳細は後述）。

40

【0064】

具体的にいえば、基板本体3 aでは、データ線S 2、S 3が表示領域の外側で走査線G 7と交差するように延ばされている。また、データ線S 4、S 5が表示領域の外側で走査線G 5、G 7と各々交差するように延ばされ、データ線S 6が表示領域の外側で走査線G

50

3、G5、G7と交差するように延ばされている。また、データ線S8、S9が表示領域の外側で走査線G6と交差するように延ばされ、データ線S10、S11が表示領域の外側で走査線G4、G6と各々交差するように延ばされている。

【0065】

また、上記のように、画素Pの設置数が少ない行及び列にそれぞれ配線された走査線G及びデータ線Sを交差させているので、これらの走査線Gとデータ線Sとの交差部には容量が発生して、負荷を大きくすることができる。

【0066】

すなわち、図2(a)に例示するように、データ線S2は、走査線G7と交差するように、図の上側に向かって真直ぐに延ばされている。このデータ線S2と走査線G7との交差部では、表示領域の内側でのデータ線Sと走査線Gとの交差部と同様に、データ線S2及び走査線G7が、絶縁膜6を介して互いに対向した状態で交差する(図2(b)及び(c)を参照。)。これにより、データ線S2と走査線G7との交差部では、これらのデータ線S2と走査線G7との間の絶縁膜6に容量が発生する。

10

【0067】

言い換えれば、データ線S2と走査線G7との交差部では、表示領域の内側の交差部(例えば、図2(c)に示すデータ線S1と走査線G5との交差部)と同一の容量を発生させることが可能となり、データ線S2及び走査線G7の各負荷を大きくすることができる。この結果、基板本体3aでは、データ線S及び走査線Gの各々において、負荷の不均一を是正することができる。

20

【0068】

ここで、図5～図6も参照して、本実施形態品と比較品1との対比を行うことにより、本実施形態品において、負荷の不均一が是正されていることについて具体的に説明する。

【0069】

まず、図5及び図6を用いて、比較品1について説明する。この比較品1の液晶表示装置51は従来相当品であり、図5に示すように、比較品1の液晶パネル52には、基板本体53a及びドライバ設置部53bを備えたアクティブマトリクス基板53が使用されている。また、アクティブマトリクス基板53では、本実施形態品と同一の台形状の表示領域に対応するように、データ線S51～S61及び走査線G51～G57が配線され、複数の画素Pが設けられている。そして、液晶表示装置51では、本実施形態品と同様に、ソースドライバ54からのデータ信号がデータ線S51～S61に入力され、ゲートドライバ55L、55Rからの走査信号が対応する走査線G51～G57に入力されることで、情報の表示が行われるようになっている。

30

【0070】

また、比較品1の基板本体53aでは、本実施形態品と異なり、表示領域の外側で、画素Pの設置数が少ない行及び列にそれぞれ配線された走査線G52～G57とデータ線S52～S61とは交差されていない。具体的には、図6に例示するように、比較品1では、データ線S52は、図2に示した本実施形態品と異なり、走査線G57に向かって真直ぐに延ばされておらずに、表示領域の内側の画素Pの画素領域を構成するように、走査線G56と交差した箇所で止められている。

40

【0071】

以上のように構成された比較品1では、データ線S51～S61と走査線G51～G57との交差部の数は、次の表1に示すものとなる。

【0072】

【表 1】

データ線	交差部の数	走査線	交差部の数
データ線S 5 1	10ヶ所	走査線G 5 1	26ヶ所
データ線S 5 2	9ヶ所	走査線G 5 2	26ヶ所
データ線S 5 3	8ヶ所	走査線G 5 3	24ヶ所
データ線S 5 4	7ヶ所	走査線G 5 4	22ヶ所
データ線S 5 5	6ヶ所	走査線G 5 5	20ヶ所
データ線S 5 6	5ヶ所	走査線G 5 6	18ヶ所
データ線S 5 7	9ヶ所	走査線G 5 7	16ヶ所
データ線S 5 8	8ヶ所		
データ線S 5 9	7ヶ所		
データ線S 6 0	6ヶ所		
データ線S 6 1	5ヶ所		

10

【0073】

ここで、上記の各交差部で発生する容量を1 pFと仮定すると、例えばデータ線S 5 1とデータ線S 5 6とでは、5 pF (=10 - 5)の容量差が発生する。また、走査線G 5 1と走査線G 5 7とでは、10 pF (=26 - 16)の容量差が発生する。このようにデータ線S 5 1～S 6 1及び走査線G 5 1～G 5 7では、交差部の数(つまり、画素数)の相違により、容量差が各々生じており、負荷もまた各々不均一となっている。

20

【0074】

このため、比較品1では、データ線S 5 1～S 6 1及び走査線G 5 1～G 5 7に対し、それぞれ同じ電圧値のデータ信号及び走査信号をそれぞれ入力させた場合、データ線S 5 1～S 6 1及び走査線G 5 1～G 5 7の各々において、負荷の不均一に起因して、対応するデータ信号または走査信号の一定時間中に到達する電位に差が発生する。この結果、比較品1では、輝度ムラやライン状欠陥が発生して、表示品位の低下を招く。

【0075】

これに対して、本実施形態品では、上述のように、画素Pの設置数が少ない行及び列にそれぞれ配線された走査線Gとデータ線Sとを交差させているので、データ線S 1～S 11と走査線G 1～G 7との交差部の数は、次の表2に示すものとなる。

30

【0076】

【表 2】

データ線	交差部の数	走査線	交差部の数
データ線 S 1	10ヶ所	走査線 G 1	26ヶ所
データ線 S 2	10ヶ所	走査線 G 2	26ヶ所
データ線 S 3	9ヶ所	走査線 G 3	25ヶ所
データ線 S 4	9ヶ所	走査線 G 4	24ヶ所
データ線 S 5	8ヶ所	走査線 G 5	23ヶ所
データ線 S 6	8ヶ所	走査線 G 6	22ヶ所
データ線 S 7	9ヶ所	走査線 G 7	21ヶ所
データ線 S 8	9ヶ所		
データ線 S 9	8ヶ所		
データ線 S 10	8ヶ所		
データ線 S 11	7ヶ所		

10

【0077】

ここで、本実施形態品において、比較品 1 と同様に、上記の各交差部で発生する容量を 1 p F と仮定すると、例えばデータ線 S 1 とデータ線 S 6 との容量差は、2 p F (= 10 - 8) となり、比較品 1 での 5 p F に比べて、容量差が小さくされている。同様に、走査線 G 1 と走査線 G 7 との容量差は、5 p F (= 26 - 21) となり、比較品 1 での 10 p F に比べて、容量差が小さくされている。

20

【0078】

このように、本実施形態品では、比較品 1 に比べ、データ線 S 1 ~ S 11 及び走査線 G 1 ~ G 7 の各々において、容量差を小さくすることが可能となり、負荷の不均一を是正することができる。この結果、本実施形態品では、輝度ムラ及びライン状欠陥の発生を抑制することができる、表示品位の低下が生じるのを防ぐことができる。

【0079】

また、本実施形態品では、上述したように、データ線 S 及び走査線 G のうち、データ線 S だけを適宜延伸させて、表示領域の外側で走査線 G と交差させることにより、負荷の不均一を是正して表示品位の改善が図られている。すなわち、本実施形態品では、走査線 G は、走査信号の信号入力方向が交互となるように配線されるとともに、走査信号が入力されない非入力側を延ばすことなく、データ線 S と適宜交差するようになっている。これにより、走査線 G では、その配線作業の簡単化を行うことができ、アクティブマトリクス基板 3 を効率よく製造することができる。

30

【0080】

具体的にいえば、例えば図 7 に二点鎖線にて示すように、走査線 G 3 がデータ線 S 11 と交差するように、当該走査線 G 3 の非入力側を延ばしたり、走査線 G 5 がデータ線 S 9 ~ S 11 と交差するように、当該走査線 G 5 の非入力側を延ばしたりすることにより、走査線 G 1 などに対する走査線 G 3、G 5 の各負荷の不均一をさらに是正することができる。

40

【0081】

しかしながら、図 7 に示したように、走査線 G 3、G 5 の各非入力側を延伸させた場合、これらの非入力側の配線部分は、走査線 G 2、G 4 間及び走査線 G 4、G 6 間に設ける必要がある。このため、非入力側の配線部分と対応する走査線 G 2、G 4、G 6 との間で走査信号のリークの発生などが生じ易くなる。

【0082】

これに対して、本実施形態品では、走査線 G 3、G 5 の各非入力側を延伸させていないので、走査線 G 2 ~ G 6 の配線作業を簡単に行うことができ、さらには隣接する 2 本の走

50

査線G間で走査信号のリークが生じるのを容易に防ぐことができる。この結果、不良品の発生率が小さい製造簡単なアクティブマトリクス基板3を構成することができる。

【0083】

以上のように構成された本実施形態のアクティブマトリクス基板3では、複数の画素Pにおいて、複数の行のうち、少なくとも1つの行の画素Pの設置数と他の行の画素Pの設置数とを相異させ、かつ、複数の列のうち、少なくとも1つの列の画素Pの設置数と他の列の画素Pの設置数とを相異させることにより、台形状に形成された液晶パネル（表示パネル）2の表示領域に対応可能に構成されている。

【0084】

また、本実施形態のアクティブマトリクス基板3では、複数の走査線（第1の信号線）Gのうち、画素Pの設置数が他の行よりも少ない行に配線された走査線G3～G7と、複数のデータ線（第2の信号線）Sのうち、画素Pの設置数が他の列よりも少ない列に配線されたデータ線S2～S6、S8～S11とを、表示領域の外側で交差させている。これにより、本実施形態のアクティブマトリクス基板3では、画素Pの設置数が少ない走査線G3～G7とデータ線S2～S6、S8～S11との各々において、表示領域の外側での交差部で容量を発生させることができる。

【0085】

この結果、本実施形態のアクティブマトリクス基板3では、データ線S及び走査線Gへの各信号電圧値を変更することなく、データ線S及び走査線Gの各信号線において、負荷の不均一を是正することができる。したがって、本実施形態のアクティブマトリクス基板3では、上記従来例と異なり、台形状の表示領域に用いられるときでも、負荷の不均一に起因する輝度ムラ及びライン状欠陥などの発生を抑制することができ、表示品位が低下するのを容易に防止することができる。

【0086】

また、本実施形態の液晶パネル2では、台形状の表示領域に用いられるときでも、表示品位の低下を容易に防止されたアクティブマトリクス基板3が使用されているので、優れた表示性能を有する液晶パネルを容易に構成することができる。

【0087】

また、本実施形態の液晶表示装置1では、台形状の表示領域を有し、かつ、優れた表示性能を有する液晶パネル2が表示部に用いられているので、矩形以外の形状の表示領域を備えた高性能な液晶表示装置を容易に構成することができる。

【0088】

[第2の実施形態]

図8は、本発明の第2の実施形態にかかるアクティブマトリクス基板及びこれを用いた液晶表示装置の要部構成を示す平面図である。図9(a)は図8に示したアクティブマトリクス基板の部分拡大図であり、図9(b)は図9(a)のIXb-IXb線断面図であり、図9(c)は図9(a)のIXc-IXc線断面図である。図において、本実施形態と上記第1の実施形態との主な相違点は、複数のデータ線及び複数の走査線において、表示領域の外側で交差している交差部で互いに対向する対向面積が、表示領域で交差している交差部で互いに対向する対向面積より大きくした点である。なお、上記第1の実施形態と共通する要素については、同じ符号を付して、その重複した説明を省略する。

【0089】

すなわち、図8において、本実施形態のアクティブマトリクス基板3では、同図に○にて示した表示領域の外側の交差部において、互いに対向するデータ線S及び走査線Gの対向面積が表示領域の内側の交差部での対向面積より大きくなるように構成されている。

【0090】

具体的にいえば、図9(a)に例示するように、データ線S2、S3では、走査線G7と交差する交差部において、他の部分よりも大きく構成した拡大部S α が設けられている。また、データ線S4、S5では、各々走査線G5、G7と交差する交差部において、他の部分よりも大きく構成した拡大部S α が設けられている。

【0091】

また、拡大部 S_{α} では、交差部において走査線Gと対向するデータ線Sの対向面積が大きく、例えば2倍となるように、拡大部 S_{α} は、他の部分よりも大きい形状に構成されている。すなわち、図9(b)に例示する表示領域の内側でのデータ線S1に比べて、拡大部 S_{α} は、図9(c)に示すように、図の左右方向の寸法が2倍とされて、走査線G5と対向するデータ線S1の対向面積を2倍としている。これにより、データ線S1と走査線G7とでは、これらのデータ線S1と走査線G7との間の絶縁膜6に発生する容量を2倍とすることができる。

【0092】

以上の構成により、本実施形態のアクティブマトリクス基板3では、第1の実施形態に比べて、表示領域の外側で交差している交差部において、発生する容量を確実に大きくすることができ、データ線S及び走査線Gの各信号線において、負荷の不均一を容易に是正することができる。

【0093】

具体的にいえば、第1の実施形態と同様に、上記の各交差部で発生する容量を1 pFと仮定すると、データ線S1～S11及び走査線G1～G7の各信号線において、交差部で生じる容量の和は、次の表3に示すものとなる。

【0094】

【表3】

データ線	交差部での容量和	走査線	交差部での容量和
データ線S1	10 pF	走査線G1	26 pF
データ線S2	11 pF	走査線G2	26 pF
データ線S3	10 pF	走査線G3	26 pF
データ線S4	11 pF	走査線G4	26 pF
データ線S5	10 pF	走査線G5	26 pF
データ線S6	11 pF	走査線G6	26 pF
データ線S7	9 pF	走査線G7	26 pF
データ線S8	10 pF		
データ線S9	9 pF		
データ線S10	10 pF		
データ線S11	9 pF		

【0095】

表3より明らかなように、本実施形態のアクティブマトリクス基板3では、データ線Sでの容量分布、つまりデータ線S1～S11での最大の容量差は、2 pF (= 11 - 9) であり、表2に示した第1の実施形態での3 pF (= 10 - 7) に比べて、容量差が小さくされている。また、全ての走査線G1～G7において、26 pFとされているため、走査線Gでの容量分布は、0 pFであり、第1の実施形態での5 pF (= 26 - 21) の容量差が解消されている。

【0096】

以上のように、本実施形態のアクティブマトリクス基板3では、第1の実施形態に比べて、データ線S及び走査線Gの各信号線での負荷の不均一がより是正されており、輝度ムラ及びライン状欠陥の発生を確実に抑制して、表示品位の低下が生じるのを確実に防ぐことができる。

【0097】

尚、上記の説明では、データ線Sに拡大部 S_{α} を設けて、走査線Gに対する対向面積を2倍にした場合について説明したが、データ線S及び走査線Gの少なくとも一方に拡大部

を設けて、表示領域の外側の交差部で互いに対向するデータ線S及び走査線Gの対向面積を大きくする構成でもよい。

【0098】

また、上記拡大部によって対向面積を2倍以上に構成してもよい。このように構成した場合には、各画素Pに含まれるスイッチング素子Swなどでの容量差を小さくすることができ、データ線S及び走査線Gの各信号線での負荷の不均一をより容易に是正することができる。

【0099】

また、上記の説明以外に、データ線S及び走査線Gの各信号線において、表示領域の外側で交差している交差部に設けられた絶縁膜6の厚さを、表示領域で交差している交差部に設けられた絶縁膜6の厚さより薄くする構成でもよい。すなわち、図9(b)に示した絶縁膜6の厚さが、例えば 4000×10^{-10} (m)であるとき、図9(c)に示した絶縁膜6の厚さを 2000×10^{-10} (m)としてもよい。

【0100】

以上のように、表示領域で交差している交差部に設けられた絶縁膜6の厚さに対して、表示領域の外側で交差している交差部に設けられた絶縁膜6の厚さを1/2とすることにより、データ線Sと走査線Gとの間の絶縁膜6に発生する容量を2倍にすることができる。

【0101】

また、表示領域で交差している交差部に設けられた絶縁膜6の厚さに対して、表示領域の外側で交差している交差部に設けられた絶縁膜6の厚さを1/2以下とした場合には、上記拡大部にて対向面積を2倍以上とした場合と同様に、各画素Pに含まれるスイッチング素子Swなどでの容量差を小さくすることができ、データ線S及び走査線Gの各信号線での負荷の不均一をより容易に是正することができる。

【0102】

さらに、表示領域の外側で交差している交差部でのデータ線S及び走査線Gの対向面積及び絶縁膜6の厚さの双方を変更することにより、データ線S及び走査線Gの各信号線での負荷の不均一を是正することもできる。また、例えばデータ線Sと走査線Gとの間の絶縁膜が、絶縁膜6以外の絶縁膜を含んだ多層構造に構成されている場合では、表示領域の内側の交差部での絶縁膜の層数よりも、表示領域の外側の交差部での絶縁膜の層数を小さくすることにより、データ線S及び走査線Gの各信号線での負荷の不均一を是正することもできる。

【0103】

[第3の実施形態]

図10は、本発明の第3の実施形態にかかるアクティブマトリクス基板及びこれを用いた液晶表示装置の要部構成を示す平面図である。図において、本実施形態と上記第1の実施形態との主な相違点は、台形状に代えて、半円状の外形形状を有する液晶パネルを構成した点である。なお、上記第1の実施形態と共通する要素については、同じ符号を付して、その重複した説明を省略する。

【0104】

すなわち、図10に示すように、本実施形態の液晶表示装置1には、半円状の外形形状に形成された液晶パネル2と、アクティブマトリクス基板31とが設けられており、複数の画素Pが、半円状の表示領域に対応するように、設置されている。

【0105】

また、アクティブマトリクス基板31には、複数のデータ線S1～S11及び複数の走査線G1～G7が配線された基板本体31aと、データ線Sに接続されてデータ信号を入力するソースドライバ4及び走査線Gに接続されて走査信号を入力するゲートドライバ5L及び5Rが設置されたドライバ設置部31bとを備えている。

【0106】

また、アクティブマトリクス基板31では、画素Pの設置数が他の行よりも少ない行に

配線された走査線G 3～G 7と、画素Pの設置数が他の列よりも少ない列に配線されたデータ線S 2～S 6、S 8～S 11とを、表示領域の外側で交差させている。

【0107】

以上の構成により、本実施形態では、第1の実施形態と同様な作用効果を奏することができる。つまり、本実施形態のアクティブマトリクス基板31では、半円状の表示領域に用いられるときでも、負荷の不均一に起因する輝度ムラ及びライン状欠陥などの発生を抑制することができ、表示品位が低下するのを容易に防止することができる。したがって、半円状の表示領域を有し、かつ、優れた表示性能を有する液晶パネル2及び液晶表示装置1を容易に構成することができる。

【0108】

尚、上記の説明以外に、第2の実施形態と同様に、表示領域の外側で交差している交差部でのデータ線S及び走査線Gの対向面積及び絶縁膜6の厚さのいずれか一方を変更して、データ線S及び走査線Gの各信号線での負荷の不均一をより是正することもできる（後掲の各実施形態においても、同様。）。 10

【0109】

[第4の実施形態]

図11は、本発明の第4の実施形態にかかるアクティブマトリクス基板及びこれを用いた液晶表示装置の要部構成を示す平面図である。図において、本実施形態と上記第1の実施形態との主な相違点は、ドライバ設置部の形状を凹状に変更して、上記2つのゲートドライバを対向するように設置した点である。なお、上記第1の実施形態と共通する要素については、同じ符号を付して、その重複した説明を省略する。 20

【0110】

すなわち、図11に示すように、本実施形態のアクティブマトリクス基板32には、複数のデータ線S1～S11及び複数の走査線G1～G7が配線された基板本体32aと、データ線Sに接続されてデータ信号を入力するソースドライバ4及び走査線Gに接続されて走査信号を入力するゲートドライバ5L及び5Rが設置されたドライバ設置部32bとを備えている。ドライバ設置部32bは、液晶パネル2の外形形状に合わせて、凹状に構成されており、ゲートドライバ5L及び5Rが互いに対向するように設けられている。これにより、基板本体32a上で複数の走査線G1～G7を容易に配線することができるとともに、液晶パネル2の外形寸法が不必要に大きくなるのを極力防ぐことができる。 30

【0111】

また、アクティブマトリクス基板32では、画素Pの設置数が他の行よりも少ない行に配線された走査線G3～G7と、画素Pの設置数が他の列よりも少ない列に配線されたデータ線S2～S6、S8～S11とを、表示領域の外側で交差させている。

【0112】

以上の構成により、本実施形態では、第1の実施形態と同様な作用効果を奏することができる。

【0113】

[第5の実施形態]

図12は、本発明の第5の実施形態にかかるアクティブマトリクス基板及びこれを用いた液晶表示装置の要部構成を示す平面図である。図において、本実施形態と上記第1の実施形態との主な相違点は、台形状に代えて、1/4円状の外形形状を有する液晶パネルを構成した点である。なお、上記第1の実施形態と共通する要素については、同じ符号を付して、その重複した説明を省略する。 40

【0114】

すなわち、図12に示すように、本実施形態の液晶表示装置1では、1/4円状の外形形状に形成された液晶パネル2と、アクティブマトリクス基板31とが設けられており、複数の画素Pが、1/4円状の表示領域に対応するように、設置されている。

【0115】

また、アクティブマトリクス基板33は、複数のデータ線S1～S11及び複数の走査 50

線G 1～G 7が配線された基板本体3 3 aを備えている。また、本実施形態のアクティブマトリクス基板3 3では、液晶パネル2（液晶表示装置1）の外形形状を極力大きくしないように、例えば走査線Gに対して、走査信号を入力するゲートドライバ5 Rのみがドライバ設置部3 3 bに設置されている。つまり、図に示すように、ドライバ設置部3 3 bには、データ線Sに接続されてデータ信号を入力するソースドライバ4と、走査線Gに接続されて走査信号を入力するゲートドライバ5 Rとが設置されている。そして、ゲートドライバ5 Rは、走査線Gに対して、走査信号を図の右側から入力させるようになっている。

【0 1 1 6】

また、アクティブマトリクス基板3 3では、画素Pの設置数が他の行よりも少ない行に配線された走査線G 2～G 7と、画素Pの設置数が他の列よりも少ない列に配線されたデータ線S 2～S 6とを、表示領域の外側で交差させている。 10

【0 1 1 7】

以上の構成により、本実施形態では、第1の実施形態と同様な作用効果を奏することができる。つまり、本実施形態のアクティブマトリクス基板3 3では、1/4円状の表示領域に用いられるときでも、負荷の不均一に起因する輝度ムラ及びライン状欠陥などの発生を抑制することができ、表示品位が低下するのを容易に防止することができる。したがって、1/4円状の表示領域を有し、かつ、優れた表示性能を有する液晶パネル2及び液晶表示装置1を容易に構成することができる。

【0 1 1 8】

尚、上記の実施形態はすべて例示であって制限的なものではない。本発明の技術的範囲は特許請求の範囲によって規定され、そこに記載された構成と均等の範囲内のすべての変更も本発明の技術的範囲に含まれる。 20

【0 1 1 9】

例えば、上記の説明では、本発明を透過型の液晶表示装置に適用した場合について説明したが、本発明の表示装置はアクティブマトリクス基板を具備した表示パネルを表示部に使用したものであれば何等等限定されない。具体的には、本発明の表示パネル及び表示装置は、半透過型や反射型の液晶パネルあるいは有機EL（Electronic Luminescence）素子、無機EL素子、電界放出ディスプレイ（Field Emission Display）等のアクティブマトリクス基板を用いた各種表示パネル及びこれを表示部に用いた表示装置に適用することができる。 30

【0 1 2 0】

また、上記の説明では、走査線（第1の信号線）G及びデータ線（第2の信号線）Sのうち、データ線Sだけを延伸させた場合について説明したが、本発明のアクティブマトリクス基板は複数の第1の信号線のうち、画素の設置数が他の行よりも少ない行に配線された第1の信号線と、複数の第2の信号線のうち、画素の設置数が他の列よりも少ない列に配線された第2の信号線との少なくとも一方の信号線を延伸させて、表示領域以外の箇所では他方の信号線と交差させたものであればよい。

【0 1 2 1】

但し、上記実施形態のように、第1及び第2の信号線の一方の信号線だけを延伸させて、他方の信号線と表示領域以外の箇所で交差させる場合の方が、アクティブマトリクス基板のコンパクト化を簡単に図ることができる点で好ましい。 40

【0 1 2 2】

また、上記の説明では、ダミーデータ線S 6を延伸させて交差させたり、データ線S 1をダミー走査線G 7に交差させたりした構成について説明したが、本発明のアクティブマトリクス基板はこれに限定されるものではなく、ユーザに視認される有効な表示領域に設けられる画素用の第1及び第2の信号線だけを表示領域以外の箇所で交差させる構成でもよい。

【0 1 2 3】

また、上記の説明では、画素の設置数が少ない第1及び第2の信号線を表示領域の外側で交差させた場合について説明したが、本発明のアクティブマトリクス基板は表示領域以 50

外の箇所画素の設置数が少ない第1及び第2の信号線を交差させたものであればよい。

【0124】

具体的には、例えば表示領域の中心部に円形非表示領域が形成されているドーナツ状の表示パネルに適用する場合には、表示領域内側の円形非表示領域に対応する箇所画素の設置数が少ない第1及び第2の信号線を交差させればよい。このように、本発明のアクティブマトリクス基板は、ドーナツ状や額縁状などの表示領域の内部に非表示領域が設けられた異形の表示パネルに対しても、信号電圧の大きさを変更したり、遮光部材の設置を省略したりすることなく、第1及び第2の各信号線の負荷の不均一を是正して、高品位な表示パネルを容易に構成することができる。

【0125】

また、上記の説明では、マトリクス状の行方向に配線される第1の信号線として走査線を用いるとともに、マトリクス状の列方向に配線される第2の信号線としてデータ線を用いた場合について説明したが、データ線及び走査線を行方向及び列方向にそれぞれ配線して、第1及び第2の信号線としてもよい。

【0126】

また、上記の説明では、スイッチング素子に薄膜トランジスタを使用した場合について説明したが、本発明のスイッチング素子はこれに限定されるものではなく、電界効果トランジスタなどの他の3端子あるいは薄膜ダイオードなどの2端子のスイッチング素子を使用することもできる。

【0127】

また、上記の説明では、第1及び第2の信号線が配線された基板本体と、第1及び第2の信号線に対し、信号をそれぞれ入力させる第1及び第2の駆動回路が設置された回路設置部とを設けた場合について説明したが、本発明のアクティブマトリクス基板は、これに限定されるものではなく、少なくとも上記基板本体を備えたものであればよい。

【0128】

但し、上記実施形態のように、基板本体と一体的に構成される回路設置部を設ける場合の方が、複数の第1の信号線及び複数の第2の信号線と第1及び第2の駆動回路との接続作業を簡単に行えるときともに、コンパクトで取扱性に優れたアクティブマトリクス基板を構成することができる点で好ましい。

【0129】

また、上記の説明では、台形状、半円状、1/4円状の表示領域を有する液晶パネルに適用した場合について説明したが、本発明のアクティブマトリクス基板はこれに限定されない。具体的には、本発明のアクティブマトリクス基板は、三角形、平行四辺形、菱形、五角形以上の多角形、あるいは円形、半円等の円弧状の形状、または多角形と円弧状の形状とを組み合わせたものなどの矩形（正方形を含む。）以外の形状である異形の表示領域をもつ表示パネルに適用することができる。

【産業上の利用可能性】

【0130】

本発明は、矩形以外の形状の表示領域に用いられるときでも、表示品位が低下するのを容易に防止することができるアクティブマトリクス基板、及びこれを用いた高性能な表示パネル並びに表示装置に対して有用である。

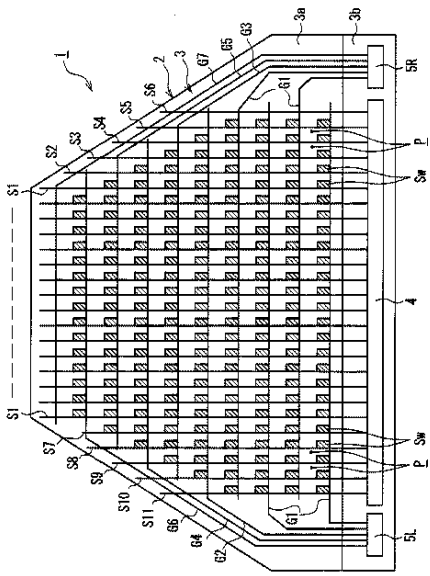
10

20

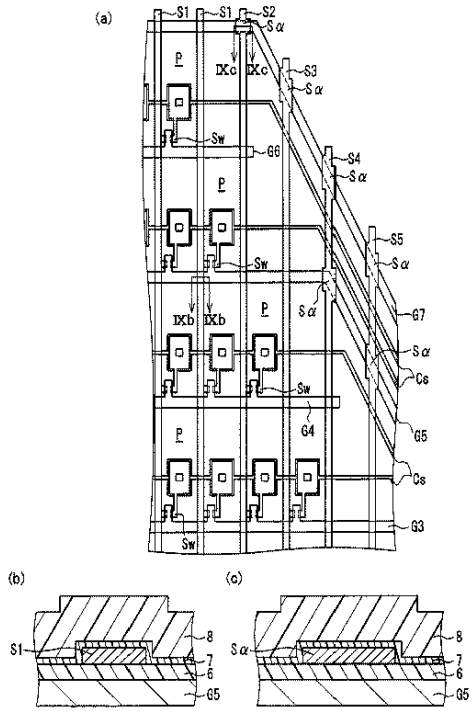
30

40

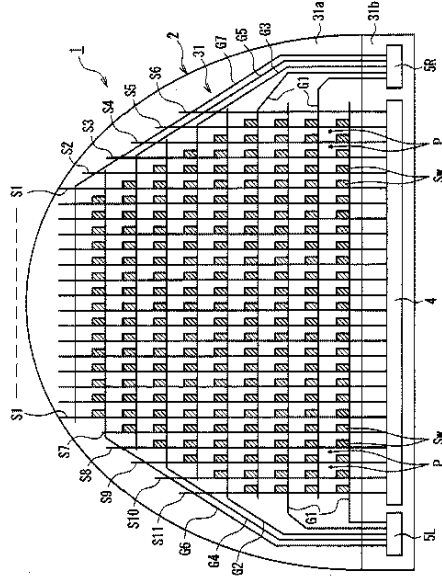
【図 1】



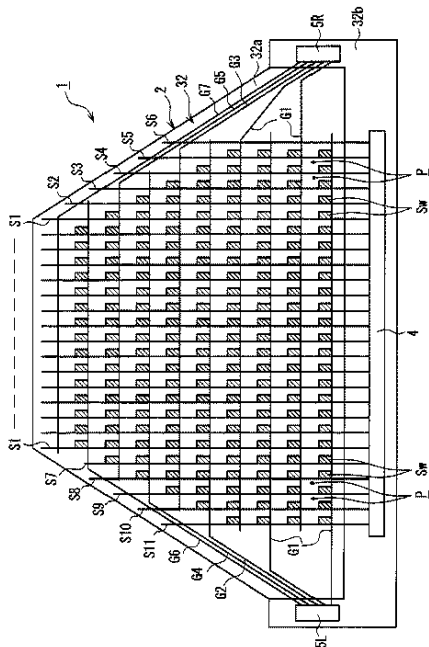
【図 9】



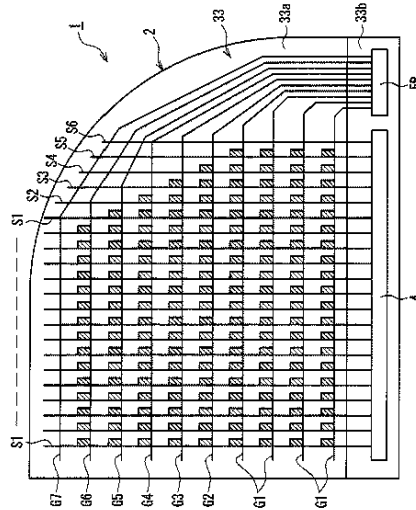
【図 10】



【図 11】



【図 12】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2007/061613
A. CLASSIFICATION OF SUBJECT MATTER G09F9/30(2006.01)i, G02F1/1345(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09F9/30, G02F1/1345 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007 Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-347600 A (Casio Computer Co., Ltd.), 15 December, 2000 (15.12.00), Full text; all drawings (Family: none)	1-13
A	JP 2006-234918 A (Kabushiki Kaisha Hitachi Displays), 07 September, 2006 (07.09.06), Full text; all drawings (Family: none)	1-13
A	JP 11-297760 A (Seiko Epson Corp.), 29 October, 1999 (29.10.99), Full text; all drawings (Family: none)	1-13
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 30 August, 2007 (30.08.07)		Date of mailing of the international search report 11 September, 2007 (11.09.07)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

国際調査報告		国際出願番号 PCT/J P 2 0 0 7 / 0 6 1 6 1 3									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G09F9/30(2006.01)i, G02F1/1345(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G09F9/30, G02F1/1345											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2007年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2007年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2007年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2007年	日本国実用新案登録公報	1996-2007年	日本国登録実用新案公報	1994-2007年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2007年										
日本国実用新案登録公報	1996-2007年										
日本国登録実用新案公報	1994-2007年										
国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号									
A	JP 2000-347600 A (カシオ計算機株式会社) 2000.12.15, 全文、全図 (ファミリーなし)	1-13									
A	JP 2006-234918 A (株式会社 日立ディスプレイズ) 2006.09.07, 全文、全図 (ファミリーなし)	1-13									
A	JP 11-297760 A (セイコーエプソン株式会社) 1999.10.29, 全文、全図 (ファミリーなし)	1-13									
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献									
国際調査を完了した日 30.08.2007		国際調査報告の発送日 11.09.2007									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 福島 浩司	2L 9018								
		電話番号 03-3581-1101 内線	3255								

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(注) この公表は、国際事務局（W I P O）により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願（日本語実用新案登録出願）の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	有源矩阵基板，显示面板和显示装置		
公开(公告)号	JPWO2008062575A1	公开(公告)日	2010-03-04
申请号	JP2008545319	申请日	2007-06-08
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	吉田昌弘		
发明人	吉田 昌弘		
IPC分类号	G09F9/30 G02F1/1343 G02F1/1362		
CPC分类号	G02F1/1345 G02F1/136286 G02F2001/13456 G02F2201/56 G09G3/3648 G09G2300/0426 G09G2320/0223		
FI分类号	G09F9/30.308.Z G09F9/30.338 G02F1/1343 G02F1/1362		
F-TERM分类号	2H092/GA24 2H092/GA28 2H092/GA30 2H092/JB22 2H092/JB23 2H092/JB31 2H092/JB32 2H092/RA10 5C094/AA03 5C094/AA15 5C094/AA21 5C094/AA53 5C094/BA03 5C094/BA43 5C094/DA05 5C094/DA15 5C094/DA20 5C094/DB04 5C094/FA01 5C094/FA10 5C094/JA01		
优先权	2006314533 2006-11-21 JP		
其他公开文献	JP4659885B2		
外部链接	Espacenet		

摘要(译)

在有源矩阵基板中，以与形成矩形以外的形状的液晶面板（显示面板）（2）的显示区域对应的方式，设置有多个像素（P）。此外，在多条扫描线（第一信号线）（G）中，布线成安装的像素数小于其他行的扫描线（G3~G7）和多条数据线（第一在两条信号线（S）中，布线成安装像素数小于其他列的列的数据线（S2~S6，S8~S11）在显示区域以外的位置交叉。

