

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02008/007480

発行日 平成21年12月10日 (2009.12.10)

(43) 国際公開日 平成20年1月17日 (2008.1.17)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 680H	2H193
G02F 1/133 (2006.01)	G09G 3/20 641R	5C006
H04N 5/66 (2006.01)	G09G 3/20 623A	5C058
	G09G 3/20 623B	5C080

審査請求 有 予備審査請求 未請求 (全 42 頁) 最終頁に続く

出願番号 特願2008-524727 (P2008-524727)
 (21) 国際出願番号 PCT/JP2007/055858
 (22) 国際出願日 平成19年3月22日 (2007.3.22)
 (31) 優先権主張番号 特願2006-193858 (P2006-193858)
 (32) 優先日 平成18年7月14日 (2006.7.14)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2006-356447 (P2006-356447)
 (32) 優先日 平成18年12月28日 (2006.12.28)
 (33) 優先権主張国 日本国 (JP)

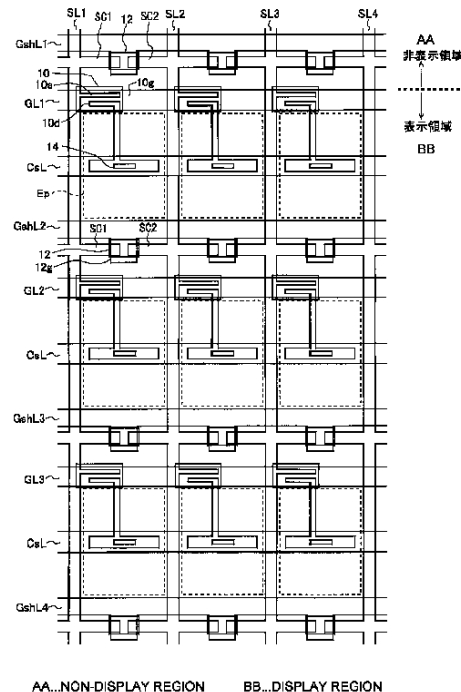
(71) 出願人 00005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100104695
 弁理士 島田 明宏
 (72) 発明者 津幡 俊英
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内
 Fターム(参考) 2H093 NA16 NA22 NA32 NA34 NA45
 NA53 NA63 NA64 NC10 NC12
 NC22 NC24 NC34 NC35 NC40
 NC50 ND05 ND09 ND35 ND39
 NE06
 2H193 ZA04 ZA32 ZC02 ZC20 ZC26
 ZD23 ZD32 ZD34 ZF22 ZF36
 最終頁に続く

(54) 【発明の名称】 アクティブマトリクス基板およびそれを備えた表示装置

(57) 【要約】

本発明は、アクティブマトリクス基板を備えた表示装置において、大型化や高解像度化が進み駆動周波数が上昇しても表示品質の低下が生じないようにすることを目的とする。

液晶表示装置のアクティブマトリクス基板において、各ゲートライン (GLj) に沿うようにチャージシェア制御信号線 (GshLj) が配設され、各ソースライン (SLi) につき、ゲートライン数に等しい個数のチャージシェアTFT (12) が設けられている。このチャージシェアTFT (12) のゲート端子はチャージシェア制御信号線 (GshLj) に接続され、ソース端子及びドレイン端子には、隣接ソースライン (SLi, SLi+1) が接続電極部 (SCi, SCi+1) によりおのおの接続されている。各チャージシェア制御信号線 (GshLj) には、チャージシェアTFT (12) を1水平期間毎に所定期間 Tsh だけオン状態とする信号 Gsh が与えられる。



AA...NON-DISPLAY REGION BB...DISPLAY REGION

【特許請求の範囲】**【請求項 1】**

複数のデータ信号線と、
前記複数のデータ信号線と交差する複数の走査信号線と、
前記複数のデータ信号線と前記複数の走査信号線との各交差点に対応して設けられ、対応する交差点を通過する走査信号線によってオンおよびオフされる画素スイッチング素子と、

前記画素スイッチング素子に対応する交差点を通過するデータ信号線に前記画素スイッチング素子を介して接続された画素電極と、

前記複数のデータ信号線のそれぞれにつき当該データ信号線の延びる方向に 2 以上の所定数ずつ設けられたチャージシェア用スイッチング素子であって、オン状態のときに前記複数のデータ信号線のそれぞれが他の隣接するデータ信号線に短絡されるように前記複数のデータ信号線に接続されたチャージシェア用スイッチング素子と、

前記チャージシェア用スイッチング素子をオンおよびオフするためのチャージシェア用制御信号線と
を備えることを特徴とするアクティブマトリクス基板。

【請求項 2】

前記複数のデータ信号線のそれぞれは、互いに電氣的に分離された第 1 および第 2 の信号線からなり、

前記チャージシェア用スイッチング素子は、前記第 1 および第 2 の信号線のそれぞれにつき前記データ信号線の延びる方向に 2 以上の所定数ずつ設けられていることを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

【請求項 3】

前記チャージシェア用スイッチング素子は、前記データ信号線の延びる方向に略均等間隔で配置されていることを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

【請求項 4】

前記チャージシェア用制御信号線は、前記複数の走査信号線にそれぞれ沿って配置された複数の制御信号線を含み、

前記チャージシェア用スイッチング素子は、前記複数のデータ信号線のそれぞれにつき前記複数の制御信号線に対応して設けられた複数のスイッチング素子を含み、

前記複数のスイッチング素子のそれぞれは、対応する制御信号線によってオンおよびオフされることを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

【請求項 5】

前記チャージシェア用スイッチング素子は、前記複数のデータ信号線の一端近傍に配置されたスイッチング素子群と、前記複数のデータ信号線の他端近傍に配置されたスイッチング素子群とからなることを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

【請求項 6】

前記チャージシェア用制御信号線は、非表示領域において前記複数のデータ信号線と交差するように配置された非表示領域制御信号線を含み、

前記チャージシェア用スイッチング素子は、非表示領域に配置され前記非表示領域制御信号線によってオンおよびオフされるスイッチング素子群を含むことを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

【請求項 7】

前記画素電極は、前記チャージシェア用制御信号線に重なるように配置されていることを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

【請求項 8】

前記チャージシェア用スイッチング素子を前記データ信号線に接続する電極部は、前記チャージシェア用制御信号線に重ならないように配置されていることを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

【請求項 9】

10

20

30

40

50

前記チャージシェア用スイッチング素子と、前記チャージシェア用スイッチング素子がオン状態のときに短絡させる2つの隣接データ信号線とを接続するための配線距離は、互いに等しいことを特徴とする、請求項1に記載のアクティブマトリクス基板。

【請求項10】

請求項1から9までのいずれか1項に記載のアクティブマトリクス基板と、前記複数の走査信号線を選択的に駆動するための複数の走査信号を生成し、当該複数の走査信号を前記複数の走査信号線に印加する走査信号線駆動回路と、

表示すべき画像を表す複数のデータ信号を、所定数のデータ信号線毎に極性が反転すると共に所定数の水平期間毎に極性が反転する電圧信号として生成し、当該複数のデータ信号を前記複数のデータ信号線に印加するデータ信号線駆動回路と、

前記複数のデータ信号線のそれぞれが他の隣接するデータ信号線に1水平期間毎に所定のチャージシェア期間だけ短絡されるように、前記チャージシェア制御信号線に与えるべきチャージシェア制御信号を生成するチャージシェア制御信号生成回路とを備えることを特徴とする表示装置。

【請求項11】

前記データ信号線駆動回路は、2以上の所定数の水平期間毎に電圧極性が反転するように前記複数のデータ信号を生成することを特徴とする、請求項10に記載の表示装置。

【請求項12】

前記データ信号線駆動回路は、1水平期間毎に前記チャージシェア期間は、前記複数のデータ信号線への前記複数のデータ信号の印加を遮断すると共に前記複数のデータ信号線を互いに短絡するスイッチ回路を含むことを特徴とする、請求項10に記載の表示装置。

【請求項13】

前記データ信号線駆動回路は、前記スイッチ回路によって前記複数のデータ信号線が互いに短絡されている時に前記複数のデータ信号線に固定電圧を与えることを特徴とする、請求項10に記載の表示装置。

【請求項14】

前記固定電圧の値は、前記データ信号の最小値と最大値との間の中央値であることを特徴とする、請求項13に記載の表示装置。

【請求項15】

前記複数のデータ信号の直流レベルは、黒表示に対応し、前記走査信号線駆動回路は、前記複数の走査信号線のそれぞれは各フレーム期間において少なくとも1回は前記チャージシェア期間以外の期間である有効走査期間で選択状態となり、当該有効走査期間で選択状態となった走査信号線は当該選択状態から非選択状態に変化する時点から所定の画素値保持期間が経過した後であって次のフレーム期間における有効走査期間で選択状態となる前に少なくとも1回は前記チャージシェア期間で選択状態となるように、前記複数の走査信号線を選択的に駆動することを特徴とする、請求項10に記載の表示装置。

【請求項16】

前記走査信号線駆動回路は、前記有効走査期間で選択状態となった走査信号線を、当該選択状態から非選択状態に変化する時点から前記画素値保持期間が経過した後であって次のフレーム期間における有効走査期間で選択状態となる前に、複数回、前記チャージシェア期間で選択状態とすることを特徴とする、請求項15に記載の表示装置。

【請求項17】

前記複数の走査信号線のそれぞれが前記有効走査期間で選択状態となる期間は、前記チャージシェア期間において前記複数の走査信号線のいずれかが選択状態となる期間と重ならないことを特徴とする、請求項16に記載の表示装置。

【請求項18】

前記データ信号線駆動回路は、前記複数のデータ信号線に印加すべき前記複数のデータ信号を出力する複数のバッファと、

10

20

30

40

50

前記チャージシエア期間において前記複数のバッファを休止させる休止制御部とを含むことを特徴とする、請求項 10 に記載の表示装置。

【請求項 19】

請求項 10 に記載の表示装置を備えたことを特徴とするテレビジョン受信機。

【請求項 20】

複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線と前記複数の走査信号線との各交差点に対応して設けられ、対応する交差点を通過する走査信号線によってオンおよびオフされる画素スイッチング素子と、前記画素スイッチング素子に対応する交差点を通過するデータ信号線に前記画素スイッチング素子を介して接続された画素電極とを含むアクティブマトリクス基板の駆動方法であって、

10

前記複数の走査信号線を選択的に駆動するための複数の走査信号を生成し、当該複数の走査信号を前記複数の走査信号線に印加する走査信号線駆動ステップと、

表示すべき画像を表す複数のデータ信号を、所定数のデータ信号線毎に極性が反転すると共に所定数の水平期間毎に極性が反転する電圧信号として生成し、当該複数のデータ信号を前記複数のデータ信号線に印加するデータ信号線駆動ステップと、

前記複数のデータ信号線のそれぞれを他の隣接するデータ信号線に 1 水平期間毎に短絡させるチャージシエアステップとを備え、

前記アクティブマトリクス基板は、

前記複数のデータ信号線のそれぞれにつき当該データ信号線の延びる方向に 2 以上の所定数ずつ設けられたチャージシエア用スイッチング素子であって、オン状態のときに前記複数のデータ信号線のそれぞれが他の隣接するデータ信号線に短絡されるように前記複数のデータ信号線に接続されたチャージシエア用スイッチング素子と、

20

前記チャージシエア用スイッチング素子をオンおよびオフするためのチャージシエア用制御信号線とを更に含み、

前記チャージシエアステップでは、1 水平期間毎に所定期間だけ前記チャージシエア用スイッチング素子をオンするための信号を前記チャージシエア用制御信号線に与えることにより、前記複数のデータ信号線のそれぞれが他の隣接するデータ信号線に短絡されることを特徴とする駆動方法。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、薄膜トランジスタ等のスイッチング素子を用いたアクティブマトリクス基板、および、それを備えた液晶表示装置等のアクティブマトリクス型の表示装置に関する。

【背景技術】

【0002】

アクティブマトリクス基板は、液晶表示装置や EL (Electroluminescence) 表示装置等のアクティブマトリクス型表示装置において広く用いられている。例えばアクティブマトリクス型の液晶表示装置では、液晶パネルとその駆動回路から主要部が構成されており、液晶パネルは、通常、スイッチング素子としての薄膜トランジスタ (Thin Film Transistor。以下「TFT」と略記する。) や画素電極等を含む画素回路がマトリクス状に配置されたアクティブマトリクス基板と、ガラス等の透明な絶縁性基板上に全面にわたって対向電極や配向膜が順次積層された対向基板と、両基板の間に挟持された液晶層と、両基板のそれぞれの外表面に貼り付けられた偏光板とから構成される。

40

【0003】

図 29 は、上記のような液晶表示装置に用いられる従来のアクティブマトリクス基板 700 の構造を示す平面図であり、1 つの画素に相当する部分のパターン構成を示している。アクティブマトリクス基板 700 は、複数のデータ信号線 715 と、当該複数のデータ信号線 715 と交差する複数の走査信号線 716 と、当該複数のデータ信号線 715 と当該複数の走査信号線 716 との各交差点近傍に形成されたスイッチング素子としての TFT

50

T712と、画素電極717とを備える。走査信号線716はTFT712のゲート電極を兼ねており、TFT712のソース電極719がデータ信号線715に接続され、ドレイン電極708がドレイン引き出し電極707を介して画素電極717に接続される。ドレイン引き出し電極707と画素電極717との間に配される絶縁膜には穴が開けられており、これによってドレイン引き出し電極707と画素電極717とを接続するコンタクトホール710が形成されている。画素電極717はITO (Indium Tin Oxide) 等の透明電極であり、当該アクティブマトリクス基板700を含む液晶パネルの後方からの光(バックライト光)を透過させる。

【0004】

このアクティブマトリクス基板700においては、走査信号線716に与えられる走査信号としてのゲートオン電圧によってTFT712がオン状態(ソース電極719とドレイン電極708とが導通した状態)となり、この状態においてデータ信号線715に与えられるデータ信号が、ソース電極719、ドレイン電極708およびドレイン引き出し電極707を介して画素容量(画素電極717と対向電極によって形成される容量)に書き込まれる。なお、このアクティブマトリクス基板700には、走査信号線716に沿って保持容量線718が形成されており、この保持容量線718は、TFT712のオフ期間中における液晶層の自己放電を回避する等の機能を有する。

【0005】

このようなアクティブマトリクス基板700を用いた液晶表示装置は、表示品位の劣化を防止するために、通常、交流電圧で駆動され、アクティブマトリクス基板700に液晶層を挟んで対向する対向基板に設けられた対向電極(「共通電極」ともいう)に印加される対向電圧を基準電位として、画素電極に一定時間ごとに正極性電圧と負極性電圧が交互に供給され、例えば2水平期間ごとに極性を反転する技術(以下「2H反転駆動」という)が提案されている(例えば日本の特開平8-43795号公報(特許文献2))。

【0006】

しかしながら、この2H反転駆動での極性反転の単位である2ラインのうち1ライン目の駆動では、当該1ライン目の駆動開始直前にデータ信号線への印加電圧の極性が反転するのに対し、当該2ラインにおける1ライン目の駆動から2ライン目の駆動に移行するときにはデータ信号線への印加電圧の極性は反転しない。このため、1ライン目の駆動では、2ライン目の駆動に比べてデータ信号線への充電に時間を要し、その結果、1ライン目と2ライン目とでは画素容量における充電量に差が生じる。この充電量の差は、1フレームにおいて極性反転単位の1ライン目に相当するN番目のラインの画素と、極性反転単位の2ライン目に相当する(N+1)番目のラインの画素との間の輝度差として現れ、ライン状の横筋ムラが視認されることになる。

【0007】

そこで、データ信号を1水平期間毎のブランキング期間に正極性と負極性の間のある中間電位とすることで充電特性を均一にする方法が提案されている(日本の特開2004-61590号公報(特許文献3))。

【特許文献1】日本の特開平9-152625号公報

【特許文献2】日本の特開平8-43795号公報

【特許文献3】日本の特開2004-61590号公報

【特許文献4】日本の特開平9-243998号公報

【特許文献5】日本の特開2002-268613号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

ところで、液晶パネルのデータ信号線に印加されるデータ信号の極性が1または2水平期間毎に反転すると共にデータ信号線毎にも反転するドット反転駆動方式が採用されたアクティブマトリクス型の液晶表示装置において、消費電力を低減するためにデータ信号S(1)~S(N)の極性反転時に隣接データ信号線間を短絡するという方式(以下「チャ

10

20

30

40

50

ージシェア方式」という)が採用される場合がある。2水平期間毎にデータ信号の極性が反転されるドット反転駆動方式(以下「2Hドット反転駆動方式」という)の液晶表示装置においてチャージシェア方式を採用した場合、2水平期間毎に隣接データ信号線が短絡される。したがって、この場合も、極性反転単位としての2ラインの間で画素容量の充電量に差が生じ、ライン状の横筋ムラが視認されることがある。

【0009】

このような2Hドット反転駆動の液晶表示装置において、隣接データ信号線間を2水平期間毎ではなく1水平期間毎に短絡することで、上記特許文献3(日本の特開2004-61590号公報)の技術と同様に、極性反転単位としての2ラインの充電特性を均一化(画素容量の充電量の差を解消)することができる。しかし、隣接データ信号線の短絡によって電荷が再分配されて各データ信号線の電位が一定値に落ち着くまでの時間が、極性反転単位としての2ラインのうちの1ライン目と2ライン目とで異なる。このため、電荷再分配のために隣接データ信号線が短絡される期間(以下「チャージシェア期間」という)において、図9に示すようにデータ信号線の電圧 V_s は、上記一定値すなわちデータ信号線電位の中央値(以下「ソースセンター電位」という)に到達せず、1ライン目の駆動開始前のチャージシェア期間直後の電位と、2ライン目の駆動開始前のチャージシェア期間直後の電位とが異なる。この場合、1ライン目と2ライン目の間で画素容量の充電量の差は十分には解消されず、ライン状の横筋ムラが依然として視認されることがある。

10

【0010】

近年、液晶表示装置等のアクティブマトリクス型の表示装置において解像度の向上が進んでおり、また、動画性能の改善等のために駆動周波数を高めるという手法が採用されることもある。このため、画素データの画素容量への書き込みに確保可能な充電時間が短くなる傾向にある。充電時間が短くなると、充電不足のために画素容量に正しい画素データが書き込めない虞が生じると共に、十分なチャージシェア期間の確保も困難になって2Hドット反転駆動方式の液晶表示装置における上記問題がより顕在化する。また、十分なチャージシェア期間を確保できないために各データ信号線電位がソースセンター電位に達しない場合には、そのことが充電不足を悪化させる要因にもなる。このように解像度の向上や駆動周波数の上昇に伴って充電不足が問題になる点は、1Hドット反転駆動方式の液晶表示装置においても同様である。

20

【0011】

これに対し日本の特開2002-268613号公報(特許文献5)には、隣接するデータ信号線を短絡させるスイッチング素子が、データドライバ(データ信号線駆動回路)から遠い側の液晶パネルの端部付近に形成された液晶表示装置が開示されている。このような構成によれば、データドライバから遠くなるほど増加するデータ線の電圧の歪曲を改善させることができるので、液晶表示装置の大型化に伴って寄生容量が増大しデータ線にデータ電圧が十分に充電されないという問題を低減または解消することができる。また、チャージシェア方式が採用されない従来の液晶表示装置に比べて、データ線にデータ電圧を十分に充電させることができる。しかし、上記のように解像度の向上や駆動周波数の上昇に起因する充電不足は、この構成によっては解決できない。

30

【0012】

以上のようにアクティブマトリクス基板を使用した従来の液晶表示装置においては、大型化や高解像度化が進み駆動周波数が上昇すると、画素容量における充電量の差や充電不足によって良好な画像の表示が困難となる。

40

【0013】

そこで本発明の目的は、表示装置の大型化や高解像度化が進み駆動周波数が上昇しても表示品質の低下が生じないアクティブマトリクス基板を提供することである。また、本発明の他の目的は、大型化や高解像度化が進み駆動周波数が上昇しても表示品質の低下が生じないアクティブマトリクス型の表示装置を提供することである。

【課題を解決するための手段】

【0014】

50

本発明の第1の局面は、アクティブマトリクス基板であって、
複数のデータ信号線と、
前記複数のデータ信号線と交差する複数の走査信号線と、
前記複数のデータ信号線と前記複数の走査信号線との各交差点に対応して設けられ、対応する交差点を通過する走査信号線によってオンおよびオフされる画素スイッチング素子と、
前記画素スイッチング素子に対応する交差点を通過するデータ信号線に前記画素スイッチング素子を介して接続された画素電極と、
前記複数のデータ信号線のそれぞれにつき当該データ信号線の延びる方向に2以上の所定数ずつ設けられたチャージシェア用スイッチング素子であって、オン状態のときに前記複数のデータ信号線のそれぞれが他の隣接するデータ信号線に短絡されるように前記複数のデータ信号線に接続されたチャージシェア用スイッチング素子と、
前記チャージシェア用スイッチング素子をオンおよびオフするためのチャージシェア用制御信号線とを備えることを特徴とする。

10

20

30

40

50

【0015】

本発明の第2の局面は、本発明の第1の局面において、
前記複数のデータ信号線のそれぞれは、互いに電氣的に分離された第1および第2の信号線からなり、
前記チャージシェア用スイッチング素子は、前記第1および第2の信号線のそれぞれにつき前記データ信号線の延びる方向に2以上の所定数ずつ設けられていることを特徴とする。

【0016】

本発明の第3の局面は、本発明の第1の局面において、
前記チャージシェア用スイッチング素子は、前記データ信号線の延びる方向に略均等間隔で配置されていることを特徴とする。

【0017】

本発明の第4の局面は、本発明の第1の局面において、
前記チャージシェア用制御信号線は、前記複数の走査信号線にそれぞれ沿って配置された複数の制御信号線を含み、
前記チャージシェア用スイッチング素子は、前記複数のデータ信号線のそれぞれにつき前記複数の制御信号線に対応して設けられた複数のスイッチング素子を含み、
前記複数のスイッチング素子のそれぞれは、対応する制御信号線によってオンおよびオフされることを特徴とする。

【0018】

本発明の第5の局面は、本発明の第1の局面において、
前記チャージシェア用スイッチング素子は、前記複数のデータ信号線の一端近傍に配置されたスイッチング素子群と、前記複数のデータ信号線の他端近傍に配置されたスイッチング素子群とからなることを特徴とする。

【0019】

本発明の第6の局面は、本発明の第1の局面において、
前記チャージシェア用制御信号線は、非表示領域において前記複数のデータ信号線と交差するように配置された非表示領域制御信号線を含み、
前記チャージシェア用スイッチング素子は、非表示領域に配置され前記非表示領域制御信号線によってオンおよびオフされるスイッチング素子群を含むことを特徴とする。

【0020】

本発明の第7の局面は、本発明の第1の局面において、
前記画素電極は、前記チャージシェア用制御信号線に重なるように配置されていることを特徴とする。

【0021】

本発明の第8の局面は、本発明の第1の局面において、

前記チャージシェア用スイッチング素子を前記データ信号線に接続する電極部は、前記チャージシェア用制御信号線に重ならないように配置されていることを特徴とする。

【0022】

本発明の第9の局面は、本発明の第1の局面において、

前記チャージシェア用スイッチング素子と、前記チャージシェア用スイッチング素子がオン状態のときに短絡させる2つの隣接データ信号線とを接続するための配線距離は、互いに等しいことを特徴とする。

【0023】

本発明の第10の局面は、表示装置であって、

本発明の第1から第9の局面のいずれかに係るアクティブマトリクス基板と、

前記複数の走査信号線を選択的に駆動するための複数の走査信号を生成し、当該複数の走査信号を前記複数の走査信号線に印加する走査信号線駆動回路と、

表示すべき画像を表す複数のデータ信号を、所定数のデータ信号線毎に極性が反転すると共に所定数の水平期間毎に極性が反転する電圧信号として生成し、当該複数のデータ信号を前記複数のデータ信号線に印加するデータ信号線駆動回路と、

前記複数のデータ信号線のそれぞれが他の隣接するデータ信号線に1水平期間毎に所定のチャージシェア期間だけ短絡されるように、前記チャージシェア制御信号線に与えるべきチャージシェア制御信号を生成するチャージシェア制御信号生成回路とを備えることを特徴とする。

【0024】

本発明の第11の局面は、本発明の第10の局面において、

前記データ信号線駆動回路は、2以上の所定数の水平期間毎に電圧極性が反転するように前記複数のデータ信号を生成することを特徴とする。

【0025】

本発明の第12の局面は、本発明の第10の局面において、

前記データ信号線駆動回路は、1水平期間毎に前記チャージシェア期間は、前記複数のデータ信号線への前記複数のデータ信号の印加を遮断すると共に前記複数のデータ信号線を互いに短絡するスイッチ回路を含むことを特徴とする。

【0026】

本発明の第13の局面は、本発明の第10の局面において、

前記データ信号線駆動回路は、前記スイッチ回路によって前記複数のデータ信号線が互いに短絡されている時に前記複数のデータ信号線に固定電圧を与えることを特徴とする。

【0027】

本発明の第14の局面は、本発明の第13の局面において、

前記固定電圧の値は、前記データ信号の最小値と最大値との間の中央値であることを特徴とする。

【0028】

本発明の第15の局面は、本発明の第10の局面において、

前記複数のデータ信号の直流レベルは、黒表示に対応し、

前記走査信号線駆動回路は、前記複数の走査信号線のそれぞれは各フレーム期間において少なくとも1回は前記チャージシェア期間以外の期間である有効走査期間で選択状態となり、当該有効走査期間で選択状態となった走査信号線は当該選択状態から非選択状態に変化する時点から所定の画素値保持期間が経過した後であって次のフレーム期間における有効走査期間で選択状態となる前に少なくとも1回は前記チャージシェア期間で選択状態となるように、前記複数の走査信号線を選択的に駆動することを特徴とする。

【0029】

本発明の第16の局面は、本発明の第15の局面において、

前記走査信号線駆動回路は、前記有効走査期間で選択状態となった走査信号線を、当該選択状態から非選択状態に変化する時点から前記画素値保持期間が経過した後であって次のフレーム期間における有効走査期間で選択状態となる前に、複数回、前記チャージシ

10

20

30

40

50

ア期間で選択状態とすることを特徴とする。

【0030】

本発明の第17の局面は、本発明の第16の局面において、

前記複数の走査信号線のそれぞれが前記有効走査期間で選択状態となる期間は、前記チャージシエア期間において前記複数の走査信号線のいずれかが選択状態となる期間と重ならないことを特徴とする。

【0031】

本発明の第18の局面は、本発明の第10の局面において、

前記データ信号線駆動回路は、

前記複数のデータ信号線に印加すべき前記複数のデータ信号を出力する複数のバッファと、

10

前記チャージシエア期間において前記複数のバッファを休止させる休止制御部とを含むことを特徴とする。

【0032】

本発明の第19の局面は、テレビジョン受信機であって、

本発明の第10の局面に係る表示装置を備えたことを特徴とする。

【0033】

本発明の第20の局面は、複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線と前記複数の走査信号線との各交差点に対応して設けられ、対応する交差点を通過する走査信号線によってオンおよびオフされる画素スイッチング素子と、前記画素スイッチング素子に対応する交差点を通過するデータ信号線に前記画素スイッチング素子を介して接続された画素電極とを含むアクティブマトリクス基板の駆動方法であって、

20

前記複数の走査信号線を選択的に駆動するための複数の走査信号を生成し、当該複数の走査信号を前記複数の走査信号線に印加する走査信号線駆動ステップと、

表示すべき画像を表す複数のデータ信号を、所定数のデータ信号線毎に極性が反転すると共に所定数の水平期間毎に極性が反転する電圧信号として生成し、当該複数のデータ信号を前記複数のデータ信号線に印加するデータ信号線駆動ステップと、

前記複数のデータ信号線のそれぞれを他の隣接するデータ信号線に1水平期間毎に短絡させるチャージシエアステップとを備え、

30

前記アクティブマトリクス基板は、

前記複数のデータ信号線のそれぞれにつき当該データ信号線の延びる方向に2以上の所定数ずつ設けられたチャージシエア用スイッチング素子であって、オン状態のときに前記複数のデータ信号線のそれぞれが他の隣接するデータ信号線に短絡されるように前記複数のデータ信号線に接続されたチャージシエア用スイッチング素子と、

前記チャージシエア用スイッチング素子をオンおよびオフするためのチャージシエア用制御信号線とを更に含み、

前記チャージシエアステップでは、1水平期間毎に所定期間だけ前記チャージシエア用スイッチング素子をオンするための信号を前記チャージシエア用制御信号線に与えることにより、前記複数のデータ信号線のそれぞれが他の隣接するデータ信号線に短絡されることを特徴とする。

40

【発明の効果】

【0034】

本発明の第1の局面によれば、各データ信号線はそれに隣接する他のデータ信号線に複数のチャージシエア用スイッチング素子を介して接続されているので、チャージシエア期間におけるデータ信号線間での電荷の移動が促進される。ここで、チャージシエア用スイッチング素子を1つのデータ信号線につき複数設けることは、1本のデータ信号線に充電されている電荷を細分化して各々のチャージシエア用スイッチング素子により移動させることに相当する。これにより、各データ信号線の電位を短い時間で中間電位（ソースセンタ電位）に到達させることができる。その結果、表示装置の大型化や高解像度化が進み

50

駆動周波数が上昇しても、画素容量における充電量の差や充電不足による表示品質の低下を抑制することができる。

【0035】

本発明の第2の局面では、各データ信号線は、互いに電氣的に分離された第1および第2の信号線からなり、上下分割駆動方式に対応した構成となっているので、本発明の当該局面に係るアクティブマトリクス基板は、駆動周波数を高くし動画表示性能向上を目的とする表示装置に好適である。このようなアクティブマトリクス基板において、各データ信号線はそれに隣接する他のデータ信号線に複数のチャージシェア用スイッチング素子を介して接続されているので、チャージシェア期間におけるデータ信号線間での電荷の移動が促進される。これにより、画素容量における充電量の差や充電不足による表示品質の低下を抑制することができる。

10

【0036】

本発明の第3の局面によれば、チャージシェア用スイッチング素子が、データ信号線の延びる方向に略均等間隔で配置されているので、表示装置の大型化や高解像度化が進んでも、チャージシェア期間において、データ信号線の電位をアクティブマトリクス基板全体で均一に中間電位に到達させることができる。

【0037】

本発明の第4の局面によれば、各走査信号線に沿ってチャージシェアのための制御信号線が配設され、各データ信号線につき各制御信号線に対応してチャージシェアのためのスイッチング素子が設けられているので、各データ信号線につき走査信号線の数に等しい個数のスイッチング素子が存在し、これらのスイッチング素子によって、チャージシェア期間にデータ信号線間での電荷の移動が行われる。したがって、チャージシェア期間が短くなっても、またアクティブマトリクス基板が大型化しても、データ信号線の電位をアクティブマトリクス基板全体で均一に中間電位に到達させることができる。また、チャージシェアのためのスイッチング素子が画素毎に存在し、そのスイッチング素子をオンおよびオフするための制御信号線が1画素行毎に存在することから、チャージシェアのためのスイッチング素子や制御信号線の配置は、アクティブマトリクス基板によって形成されるべき画像の画素配置に整合しており、チャージシェアのためのスイッチング素子や制御信号線の追加によって画素配置の規則性が乱されることもない。

20

【0038】

本発明の第5の局面によれば、データ信号線の一端近傍に配置されたスイッチング素子群とデータ信号線の他端近傍に配置されたスイッチング素子群とによって、チャージシェア期間にデータ信号線間での電荷の移動が行われる。したがって、データ信号線駆動回路内のスイッチ回路によってデータ信号線間での電荷の移動が行われる従来のチャージシェア方式に比べ、チャージシェア期間直後のデータ信号線の電位をアクティブマトリクス基板内で均一化することができる。

30

【0039】

本発明の第6の局面によれば、非表示領域において非表示領域制御信号線によってオンおよびオフされるスイッチング素子を介してもチャージシェア期間にデータ信号線間で電荷の移動が行われる。これにより、開口率の低下を抑制しつつチャージシェア期間におけるデータ信号線間での電荷の移動を促進することができる。

40

【0040】

本発明の第7の局面によれば、チャージシェア用制御信号線に重なるように画素電極が配置されることにより、画素領域として広い領域が確保されるので、開口率を大きくすることができる。

【0041】

本発明の第8の局面によれば、チャージシェア用スイッチング素子をデータ信号線に接続する電極部（接続電極部）は、チャージシェア用制御信号線に重ならないように配置されているので、チャージシェアのためのスイッチング素子としてのトランジスタのチャンネル部で膜残り欠陥などにより当該ランジスタが短絡し常時同通する場合（トランジスタの

50

短絡故障の場合)、レーザ照射等により接続電極部を分断することで当該短絡故障を修正することができる。また、このような配置構成は、チャージシェア用制御信号線とデータ信号線とが短絡する確率の低減にも有効である。

【0042】

本発明の第9の局面によれば、チャージシェア用スイッチング素子と、それがオンすることによって短絡させるべき2つの隣接データ信号線とを接続するための配線距離は、互いに等しいので、チャージシェア期間において、隣接するデータ信号線間で電荷を対称的に移動させることができる。

【0043】

本発明の第10の局面によれば、チャージシェア方式が採用されたアクティブマトリクス型表示装置において、データ信号の極性反転時のチャージシェア期間に各データ信号線が他の隣接するデータ信号線に短絡されて隣接データ線間で電荷が移動することにより、消費電力が低減される。また、例えば従来の2Hドット反転駆動方式の液晶表示装置では、極性反転の単位である2ラインの間で画素容量の充電量に差が生じ、ライン状の横筋ムラが視認されることがあったが、この表示装置では、各データ信号線が他の隣接データ信号線に短絡されるチャージシェア期間が1水平期間毎に設けられるので、このような充電量差やライン状の横筋ムラが抑制される。さらに、各データ信号線はそれに隣接する他のデータ信号線に複数のチャージシェア用スイッチング素子を介して接続されているので、チャージシェア期間におけるデータ信号線間での電荷の移動が短時間で行われる。その結果、表示装置の大型化や高解像度化が進み駆動周波数が上昇しても、画素容量における充電量の差や充電不足による表示品質の低下を抑制することができる。

【0044】

本発明の第11の局面によれば、データ信号の極性反転の周期が2水平期間以上となるので、データ信号線駆動回路での発熱量や消費電力を低減することができる。一般的には極性反転の周期が長くなるほど、すなわちnHドット反転駆動方式を採用した場合においてnが大きくなるほど、データ信号線駆動回路での発熱量や消費電力が大きく低減される。また、本発明の第10の局面の場合と同様の理由により、表示装置の大型化や高解像度化が進み駆動周波数が上昇しても、画素容量における充電量の差や充電不足による表示品質の低下を抑制することができる。

【0045】

本発明の第12の局面によれば、データ信号線駆動回路内のスイッチ回路によっても、チャージシェア期間(1水平期間毎の所定期間)にアクティブマトリクス基板上のデータ信号線が互いに短絡されるので、データ信号線間での電荷の移動が更に促進される。

【0046】

本発明の第13の局面によれば、データ信号線駆動回路内のスイッチ回路によってアクティブマトリクス基板上のデータ信号線が互いに短絡されている時(チャージシェア期間)にそれらのデータ信号線に固定電圧が与えられるので、各画素形成部内の寄生容量に基づく引き込み電圧の階調依存性を補償するためにデータ信号の補正量が表示階調によって異なっても、チャージシェア期間直後の各データ信号線の電圧が常に同一の電圧となる。これにより、データ信号が表示階調に応じて補正されている場合であっても、ライン状の横筋ムラ発生を抑制することができる。

【0047】

本発明の第14の局面によれば、チャージシェア期間直後には各データ信号線の電位がデータ信号の最小値と最大値との間の中央値となるので、画素電極に印加すべきデータ信号の極性によらず画素容量の充電量を均一化することができる。

【0048】

本発明の第15の局面によれば、アクティブマトリクス基板上の複数のデータ信号線に印加される複数のデータ信号は所定数のデータ信号線毎に極性が反転する電圧信号であるので、当該複数のデータ信号線のそれぞれが他の隣接するデータ信号線に短絡される期間すなわちチャージシェア期間では、各データ信号線の電圧は、データ信号の直流レベルに

10

20

30

40

50

ほぼ等しくなる。これは、各データ信号線の電圧が黒表示に対応する値（黒電圧）となることを意味する。一方、各走査信号線は、画素値書込のために有効走査期間で選択されてから所定の画素値保持期間が経過した後に少なくとも1回はチャージシェア期間で選択状態となる。これにより、次に画素値書込のために有効走査期間で選択状態となるまでは黒表示の期間となるので、全ての表示ラインにつき同じ長さの黒挿入を行い、画素値書込のための画素容量での充電期間を短縮することなく、十分な黒挿入期間の確保によるインパルス化によって動画像の表示性能を改善することができる。また、黒挿入のためにデータ信号線駆動回路等の動作速度を上げる必要もない。

【0049】

本発明の第16の局面によれば、有効走査期間に選択状態とされた走査信号線は、当該選択状態から非選択状態に変化する時点から画素値保持期間が経過した後であって次のフレーム期間における有効走査期間で選択状態となる前に、複数回、チャージシェア期間で選択状態とされる。これにより、インパルス化のための黒表示期間において表示輝度を十分な黒レベルとすることができる。

10

【0050】

本発明の第17の局面によれば、各走査信号線が有効走査期間で選択状態となる期間は、チャージシェア期間で走査信号線のいずれかが選択状態となる期間と重ならないので、走査信号線を選択状態とするための電源の負荷が過度に大きくなり、有効走査期間における画素値書込のためのパルスおよびチャージシェア期間における黒電圧書込のためのパルスとして各走査信号に含まれるパルスの波形鈍りが低減される。これにより、黒表示期間において画素の輝度を十分な黒レベルとしつつ、画素値書込用パルスの波形鈍りによる画素容量の充電不足を抑制することができる。

20

【0051】

本発明の第18の局面によれば、各データ信号線が他の隣接するデータ信号線に短絡されるチャージシェア期間においてデータ信号線駆動回路内のバッファが休止状態となるので、データ信号線駆動回路の消費電力を低減することができる。

【図面の簡単な説明】

【0052】

【図1】本発明の第1の実施形態におけるアクティブマトリクス基板のパターン構成の第1の例を示す平面図である。

30

【図2】上記第1の実施形態におけるアクティブマトリクス基板のパターン構成の第2の例を示す平面図である。

【図3】上記第1の実施形態におけるアクティブマトリクス基板のパターン構成の第3の例を示す平面図である。

【図4】上記第1の実施形態に係る液晶表示装置の構成を示すブロック図である。

【図5】上記第1の実施形態におけるアクティブマトリクス基板の一部（4画素に相当する部分）の構成を示す等価回路図である。

【図6】上記第1の実施形態に係る液晶表示装置におけるソースドライバの構成を示すブロック図である。

【図7】上記ソースドライバの出力部の一構成例を示す回路図である。

40

【図8】上記第1の実施形態に係る液晶表示装置の動作を説明するための信号波形図（A～F）である。

【図9】チャージシェア方式が採用された従来の2Hドット反転駆動の液晶表示装置におけるアクティブマトリクス基板の動作を説明するための詳細な信号波形図である。

【図10】上記第1の実施形態におけるアクティブマトリクス基板の動作を説明するための詳細な信号波形図である。

【図11】アクティブマトリクス基板の画素回路（画素形成部）におけるTFTのゲート・ドレイン間の寄生容量に起因して生じる引き込み電圧を説明するための電圧波形図（A、B）である。

【図12】チャージシェアリング方式の液晶表示装置において引き込み電圧の階調依存性

50

を補償するためにソース電圧が補正された場合の画素電圧およびソース電圧を示す電圧波形図（A，B）である。

【図13】本発明の第2の実施形態に係る液晶表示装置におけるソースドライバの出力部の第1の構成例を示す回路図である。

【図14】上記第2の実施形態に係る液晶表示装置におけるソースドライバの出力部の第2の構成例を示す回路図である。

【図15】本発明の第3の実施形態に係る液晶表示装置の構成を示すブロック図である。

【図16】本発明の第4の実施形態におけるゲートドライバの構成例を示すブロック図（A，B）である。

【図17】上記第4の実施形態におけるゲートドライバの動作を説明するための信号波形図（A～F）である。

【図18】上記第4の実施形態に係る液晶表示装置の駆動方法を説明するための信号波形図（A～H）である。

【図19】上記第4の実施形態の変形例に係る液晶表示装置の走査信号を説明するための信号波形図（A～G）である。

【図20】上記第1の実施形態の第1の変形例に係る液晶表示装置の構成を示すブロック図である。

【図21】上記第1の変形例におけるアクティブマトリクス基板の一部（4画素に相当する部分）の構成を示す等価回路図である。

【図22】上記第1の実施形態の第2の変形例に係る液晶表示装置の構成を示すブロック図である。

【図23】上記第2の変形例におけるアクティブマトリクス基板の一部（2画素列に相当する部分）の構成を示す等価回路図である。

【図24】上記第1から第4の実施形態の他の変形例に係る液晶表示装置のソースドライバの出力部の構成を示す回路図である。

【図25】図24に示すソースドライバの出力部における出力バッファの構成を示す回路図である。

【図26】本発明に係るアクティブマトリクス基板を使用したテレビジョン受信機用の表示装置の構成例を示すブロック図である。

【図27】本発明に係るアクティブマトリクス基板を使用したテレビジョン受信機のチューナ部を含めた全体構成を示すブロック図である。

【図28】上記テレビジョン受信機の機械的構成を示す分解斜視図である。

【図29】従来のアクティブマトリクス基板のパターン構成を示す部分平面図である。

【符号の説明】

【0053】

- 10 ... 画素 T F T（画素スイッチング素子）
- 12 ... チャージシェア T F T（チャージシェア用スイッチング素子）
- 100 ... 表示部
- 110，112，114，116 ... アクティブマトリクス基板
- 120 ... 対向基板
- 200 ... 表示制御回路
- 300 ... ソースドライバ（データ信号線駆動回路）
- 302 ... データ信号生成部
- 304 ... 出力部
- 400 ... ゲートドライバ（走査信号線駆動回路）
- 500 ... チャージシェア制御回路（チャージシェア制御信号生成回路）
- S C i，S C i + 1 ... 接続電極部（i = 1，2，...，N - 1）
- C p ... 画素容量
- E c ... 共通電極
- S W a ... 第1のM O S トランジスタ

10

20

30

40

50

S W b ... 第 2 の M O S トランジスタ
 S W b 2 ... 第 3 の M O S トランジスタ
 S W c ... 第 2 の M O S トランジスタ
 S L i ... ソースライン (データ信号線) ($i = 1, 2, \dots, N$)
 G L j ... ゲートライン (走査信号線) ($j = 1, 2, \dots, 2 M$)
 G s h L j ... チャージシエア制御信号線 ($j = 1, 2, \dots, 2 M$)
 S (i) ... データ信号 ($i = 1, 2, \dots, N$)
 G (j) ... 走査信号 ($j = 1, 2, \dots, 2 M$)
 V c o m ... 共通電圧 (対向電圧)
 C s h ... チャージシエア制御信号
 G s h ... マトリクス基板用チャージシエア制御信号 (チャージシエア用制御信号)
 P s h ... チャージシエアパルス
 P w ... 画素データ書込パルス
 P b ... 黒電圧印加パルス
 T s h ... チャージシエア期間
 T h d ... 画素データ保持期間 (画素値保持期間)

10

【発明を実施するための最良の形態】

【0054】

以下、添付図面を参照して本発明の実施形態について説明する。

20

< 1 . 第 1 の実施形態 >

< 1 . 1 構成および動作 >

本発明に係るアクティブマトリクス基板を使用した液晶表示装置の一例を第 1 の実施形態として説明する。図 4 は、本実施形態に係る液晶表示装置の構成を示すブロック図であり、図 5 は、本実施形態におけるアクティブマトリクス基板 1 1 0 の等価回路を示す回路図であり、このアクティブマトリクス基板 1 1 0 の一部 (隣接 4 画素に相当する部分) 1 0 1 の電気的構成を示している。

【0055】

この液晶表示装置は、データ信号線駆動回路としてのソースドライバ 3 0 0 と、走査信号線駆動回路としてのゲートドライバ 4 0 0 と、チャージシエア制御回路 5 0 0 と、アクティブマトリクス基板 1 1 0 を用いたアクティブマトリクス型の表示部 1 0 0 と、ソースドライバ 3 0 0、ゲートドライバ 4 0 0、およびチャージシエア制御回路 5 0 0 を制御するための表示制御回路 2 0 0 とを備えている。

30

【0056】

上記液晶表示装置における表示部 1 0 0 は、液晶層を挟持する 1 対の電極基板からなり、各電極基板の外表面には偏光板が貼り付けられている。上記 1 対の電極基板の一方はアクティブマトリクス基板 1 1 0 である。図 4 および図 5 に示すように、このアクティブマトリクス基板 1 1 0 では、ガラス等の絶縁性基板上に、複数本 ($2 M$ 本) の走査信号線としてのゲートライン $G L 1 \sim G L 2 M$ と、それらのゲートライン $G L 1 \sim G L 2 M$ のそれぞれと交差する複数本 (N 本) のデータ信号線としてのソースライン $S L 1 \sim S L N$ と、それらのゲートライン $G L 1 \sim G L 2 M$ とソースライン $S L 1 \sim S L N$ との交差点にそれぞれ対応して設けられた複数個 ($2 M \times N$ 個) の画素回路と、複数本 ($2 M$ 本) のチャージシエア制御信号線 $G s h L 1 \sim G s h L 2 M$ とが形成されている。各画素回路は、対応する交差点を通過するゲートライン $G L j$ にゲート端子が接続される共に当該交差点を通過するソースライン $S L i$ にソース端子が接続されたスイッチング素子である T F T 1 0 と、その T F T 1 0 のドレイン端子 (電極) に接続された画素電極 $E p$ とからなる。

40

【0057】

一方、上記 1 対の電極基板の他方は対向基板 1 2 0 と呼ばれ、ガラス等の透明な絶縁性基板上に全面にわたって共通電極 $E c$ が形成されている。この共通電極 $E c$ は、上記液晶層と共に上記複数個 ($2 M \times N$ 個) の画素回路に共通的に設けられている。そして、アクティブマトリクス基板 1 1 0 における各画素回路は、共通的に設けられた共通電極 $E c$ お

50

よび液晶層と共に画素形成部を構成し、この画素形成部では、画素電極 E_p と共通電極 E_c とにより液晶容量 C_{lc} が形成されている。また、通常、画素容量 C_p に確実に電圧を保持すべく、液晶容量 C_{lc} に並列に保持容量 C_{cs} が設けられる。すなわち、アクティブマトリクス基板 110 では、各ゲートライン GL_j に平行に保持容量線 C_{sL} が配設されており、この保持容量線 C_{sL} と絶縁膜等を挟んで対向する画素電極 E_p とによって上記保持容量 C_{cs} が形成されている。したがって、画素データとしてのデータ信号 $S(i)$ を書き込んで保持すべき画素容量 C_p は、液晶容量 C_{lc} と補助容量 C_{cs} とからなる。

【0058】

さらに本実施形態では、アクティブマトリクス基板 110 において、隣接するデータ信号線 SL_i と SL_{i+1} の間には ($i = 1, 2, \dots, N - 1$)、各ゲートライン GL_j ($j = 1, 2, \dots, 2M$) に沿って配設されたチャージシェア制御信号線 G_{shL_j} にゲート端子が接続されたチャージシェア用スイッチング素子としての TFT (以下「チャージシェア TFT」という) 12 が形成されている。このチャージシェア TFT 12 のソース端子とドレイン端子は、当該隣接するデータ信号線 SL_i と SL_{i+1} にそれぞれ接続されており、各チャージシェア信号線 G_{shL_j} にアクティブな信号 (TFT 12 をオンさせる電圧) が与えられると、アクティブマトリクス基板 110 上の全ての隣接ソースラインが互いに短絡される。このチャージシェア TFT 12 は、各ソースライン SL_i につき、ゲートライン GL_j の本数 ($2M$) に等しい個数だけ存在する。

【0059】

図 1 は、本実施形態に係るアクティブマトリクス基板 110 のパターン構成の第 1 の例を示す平面図である。ゲートライン GL_j とソースライン SL_i の交差部近傍に TFT 10 が設けられている ($i = 1, 2, \dots, N; j = 1, 2, \dots, 2M$) (以下、この TFT 10 をチャージシェア TFT 12 と区別するために「画素 TFT 10」という)。この例では、ゲートライン GL_j が画素 TFT 10 のゲート電極 (端子) 10g を兼ねており、画素 TFT 10 のソース電極 (端子) 10s はソースライン SL_i に接続され、ドレイン電極 (端子) 10d は保持容量配線 C_{sL} 上まで延伸され、層間絶縁膜に設けられたコンタクトホール 14 を介して画素電極 E_p に接続されている。

【0060】

また、ゲートライン GL_j に沿うようにチャージシェア制御信号線 G_{shL_j} が配置され、チャージシェア制御信号線 G_{shL_j} の近傍にはチャージシェア TFT 12 が設けられている。このチャージシェア TFT 12 のゲート電極 (端子) はチャージシェア制御信号線 G_{shL_j} に接続されており、チャージシェア TFT 12 のソース電極 (端子) およびドレイン電極 (端子) には、隣接するソースライン SL_i, SL_{i+1} が接続電極部 SC_i, SC_{i+1} によりおのおの接続されている。このチャージシェア制御信号線 G_{shL_j} は、表示領域内に複数設けられることが好ましく、既述のように、本例ではゲートライン GL_j と同数だけ設けられている。また、図 1 に示すように、このチャージシェア制御信号線 G_{shL_j} は非表示領域にも設けられていてもよい。この場合、非表示領域に設けられたチャージシェア制御信号線 G_{shL_k} は、当該非表示領域においてデータ信号線 $SL_1 \sim SL_N$ と交差点する。そして、当該非表示領域に隣接ソースライン SL_i と SL_{i+1} との間を接続するチャージシェア TFT 12 が設けられ ($i = 1, 2, \dots, N - 1$) これらのチャージシェア TFT 12 は、当該非表示領域内の上記チャージシェア制御信号線 G_{shL_k} によってオンおよびオフされる。このような構成によれば、開口率の低下を抑制しつつチャージシェア期間におけるソースライン間での電荷の移動を促進することができる。

【0061】

図 1 の例では、チャージシェア TFT 12 のソース電極およびドレイン電極に接続されている接続電極部 SC_i, SC_{i+1} は、チャージシェア制御信号線 G_{shL_j} と重ならない。このようにすれば、チャージシェア TFT 12 のチャネル部で膜残り欠陥等によりチャージシェア TFT 12 が常時導通状態となった場合 (TFT の短絡故障の場合) に、

10

20

30

40

50

レーザ照射等により接続電極部 SC_i または SC_{i+1} を分断することで当該短絡故障の修正が可能となる。また、チャージシェア制御信号線 $GshL$ とソースライン SL_i とが短絡する確率を低減することができる。

【0062】

また、図1の例では、上記の両接続電極部 SC_i , SC_{i+1} の長さは互いに等しい。これにより、隣接するソースライン同士の短絡により電荷が移動する場合に当該移動が対称的となる。

【0063】

図2は、本実施形態に係るアクティブマトリクス基板110のパターン構成の第2の例を示す平面図である。なお、この第2の例における構成要素のうち第1の例の構成要素と同一または対応するものについては同一の参照符号を付すものとし、同一部分の説明は省略する。この第2の例では、画素電極 E_p がチャージシェア制御信号線 $GshL_j$ およびチャージシェアTFT12と重なっている。このパターン構成は、画素領域を広くすることができるので、開口率の向上に有効である。ただし、チャージシェアTFT12に接続されている各ソースライン（接続電極部 SC_i , SC_{i+1} ）と画素電極 E_p との間の寄生容量を低減するという観点から、画素電極 E_p とチャージシェアTFT12の間には数 μm の厚みを有する層間絶縁膜を有することが望ましい。この層間絶縁膜としては、例えばアクリル系樹脂やSOG (Spin-on-Glass) 材料からなる有機膜や、それら有機膜とシリコンナイトライド ($SiNx$) 等との積層構造が用いられる。

10

【0064】

図3は、本実施形態に係るアクティブマトリクス基板110のパターン構成の第3の例を示す平面図である。なお、この第3の例における構成要素のうち第1の例の構成要素と同一または対応するものについては同一の参照符号を付すものとし、同一部分の説明は省略する。この第3の例では、チャージシェア制御信号線 $GshL_j$ がチャージシェアTFT12のゲート電極（端子）を兼ねており、チャージシェアTFT12のソース電極（端子）およびドレイン電極（端子）には、隣接するソースライン SL_i , SL_{i+1} が接続電極部 SC_i , SC_{i+1} によりおのおの接続されている。そして、これらのチャージシェアTFT12および接続電極部 SC_i , SC_{i+1} は、絶縁層を介してチャージシェア制御信号線 $GshL_j$ に覆われている。アクティブマトリクス基板の製造時の歩留まりの点では、接続電極部 SC_i , SC_{i+1} がチャージシェア制御信号線 $GshL_j$ と重ならない上記第1の例が有利であるが、開口率の点ではこの第3の例が有利である。

20

30

【0065】

図4および図5に示すように、各画素形成部における画素電極 E_p には、後述のように動作するソースドライバ300およびゲートドライバ400により、表示すべき画像に応じた電位が与えられ、共通電極 E_c には、図示しない電源回路から所定電位 V_{com} が与えられる（この所定電位 V_{com} は「対向電圧」または「共通電圧」と呼ばれる）。これにより、画素電極 E_p と共通電極 E_c との間の電位差に応じた電圧が液晶に印加され、この電圧印加によって液晶層に対する光の透過量が制御されることで画像表示が行われる。ただし、液晶層への電圧印加によって光の透過量を制御するためには偏光板が使用され、例えば、本実施形態に係る液晶表示装置では、ノーマリブラックとなるように偏光板が配置される。なお、図4に示すように、共通電極 E_c に与えられる対向電圧 V_{com} は保持容量線 CSL にも与えられる。

40

【0066】

表示制御回路200は、外部の信号源から、表示すべき画像を表すデジタルビデオ信号 Dv と、当該デジタルビデオ信号 Dv に対応する水平同期信号 HSY および垂直同期信号 $VS Y$ と、表示動作を制御するための制御信号 Dc とを受け取り、それらの信号 Dv , $HS Y$, $VS Y$, Dc に基づき、そのデジタルビデオ信号 Dv の表す画像を表示部100に表示させるための信号として、データスタートパルス信号 SSP と、データクロック信号 $SC K$ と、チャージシェア制御信号 Csh と、表示すべき画像を表すデジタル画像信号 DA （ビデオ信号 Dv に相当する信号）と、ゲートスタートパルス信号 GSP と、ゲートク

50

ロック信号 G C K と、ゲートドライバ出力制御信号 G O E とを生成し出力する。より詳しくは、ビデオ信号 D v を内部メモリで必要に応じてタイミング調整等を行った後に、デジタル画像信号 D A として表示制御回路 2 0 0 から出力し、そのデジタル画像信号 D A の表す画像の各画素に対応するパルスからなる信号としてデータクロック信号 S C K を生成し、水平同期信号 H S Y に基づき 1 水平期間毎に所定期間だけハイレベル (H レベル) となる信号としてデータスタートパルス信号 S S P を生成し、垂直同期信号 V S Y に基づき 1 フレーム期間 (1 垂直走査期間) 毎に所定期間だけ H レベルとなる信号としてゲートスタートパルス信号 G S P を生成し、水平同期信号 H S Y に基づきゲートクロック信号 G C K を生成し、水平同期信号 H S Y および制御信号 D c に基づきチャージシェア制御信号 C s h およびゲートドライバ出力制御信号 G O E を生成する。

10

【 0 0 6 7 】

上記のようにして表示制御回路 2 0 0 において生成された信号のうち、デジタル画像信号 D A とチャージシェア制御信号 C s h とデータスタートパルス信号 S S P およびデータクロック信号 S C K とは、ソースドライバ 3 0 0 に入力され、ゲートスタートパルス信号 G S P およびゲートクロック信号 G C K とゲートドライバ出力制御信号 G O E とは、ゲートドライバ 4 0 0 に入力される。また、チャージシェア制御信号 C s h はチャージシェア制御回路 5 0 0 にも入力される。

【 0 0 6 8 】

ソースドライバ 3 0 0 は、デジタル画像信号 D A とデータスタートパルス信号 S S P およびデータクロック信号 S C K とに基づき、デジタル画像信号 D A の表す画像の各水平走査線における画素値に相当するアナログ電圧としてデータ信号 S (1) ~ S (N) を 1 水平期間毎 (1 H 毎) に生成し、これらのデータ信号 S (1) ~ S (N) をソースライン S L 1 ~ S L N にそれぞれ印加する。本実施形態では、液晶層への印加電圧の極性が 1 フレーム期間毎に反転されると共に各フレーム内において n ゲートライン毎 (n は 2 以上) かつ 1 ソースライン毎にも反転されるようにデータ信号 S (1) ~ S (N) が出力される駆動方式すなわち n H ドット反転駆動方式が採用されている。したがって、ソースドライバ 3 0 0 は、ソースライン S L 1 ~ S L N への印加電圧の極性をソースライン毎に反転させ、かつ、各ソースライン S L i に印加されるデータ信号 S (i) の極性を n 水平期間毎に反転させる。ここで、ソースラインへの印加電圧の極性反転の基準となる電位は、データ信号 S (1) ~ S (N) の直流レベル (直流成分に相当する電位) であり、この直流レベルは、一般的には共通電極 E c の直流レベルとは一致せず、各画素形成部における T F T のゲート・ドレイン間の寄生容量 C g d による引き込み電圧 V d だけ共通電極 E c の直流レベルと異なる。ただし、寄生容量 C g d による引き込み電圧 V d が液晶の光学的しきい値電圧 V t h に対して十分に小さい場合には、データ信号 S (1) ~ S (N) の直流レベルは共通電極 E c の直流レベルに等しいとみなせるので、データ信号 S (1) ~ S (N) の極性すなわちソースラインへの印加電圧の極性は共通電極 E c の電位 V c o m を基準として n 水平期間毎に反転すると考えてもよい。

20

30

【 0 0 6 9 】

図 6 は、本実施形態におけるソースドライバの構成を示すブロック図である。このソースドライバは、データ信号生成部 3 0 2 と出力部 3 0 4 とから構成されている。データ信号生成部 3 0 2 は、データスタートパルス信号 S S P およびデータクロック信号 S C K に基づきデジタル画像信号 D A から、ソースライン S L 1 ~ S L N にそれぞれ対応するアナログ電圧信号 d (1) ~ d (N) を生成する。このデータ信号生成部 3 0 2 の構成は、従来のソースドライバと同様であるので説明を省略する。出力部 3 0 4 は、データ信号生成部 3 0 2 で生成されるアナログ電圧信号 d (i) をインピーダンス変換し、データ信号 S (i) として出力する (i = 1 , 2 , ... , N) 。

40

【 0 0 7 0 】

また、このソースドライバ 3 0 0 では、消費電力を低減するため及び n H ドット反転駆動時のライン状の横筋ムラを改善するために、1 水平期間毎に隣接ソースライン間が短絡されるチャージシェアリング方式が採用されている。このため、ソースドライバ 3 0 0 に

50

おける出力部 304 は、図 7 に示すように構成されている。すなわち、この出力部 304 は、デジタル画像信号 DA に基づき生成されたアナログ電圧信号 $d(1) \sim d(N)$ を受け取り、これらのアナログ電圧信号 $d(1) \sim d(N)$ をインピーダンス変換することによって、ソースライン $SL1 \sim SLN$ で伝達すべき映像信号としてデータ信号 $S(1) \sim S(N)$ を生成し、このインピーダンス変換のための電圧ホロワとして N 個の出力バッファ 31 を有している。各バッファ 31 の出力端子にはスイッチング素子としての第 1 の MOS トランジスタ SWa が接続され、各バッファ 31 からデータ信号 $S(i)$ は第 1 の MOS トランジスタ SWa を介してソースドライバ 300 の出力端子から出力される ($i = 1, 2, \dots, N$)。また、ソースドライバ 300 の隣接する出力端子間は、スイッチング素子としての第 2 の MOS トランジスタ SWb によって接続されている (これにより隣接ソースライン間が第 2 の MOS トランジスタ SWb によって接続されることになる)。そして、これらの出力端子間の第 2 の MOS トランジスタ SWb のゲート端子には、チャージシェア制御信号 Csh が与えられ、各バッファ 31 の出力端子に接続された第 1 の MOS トランジスタ SWa のゲート端子には、インバータ 33 の出力信号すなわちチャージシェア制御信号 Csh の論理反転信号が与えられる。

10

20

30

40

50

【0071】

したがって、チャージシェア制御信号 Csh が非アクティブ (ローレベル) のときには、第 1 の MOS トランジスタ SWa がオン (導通状態となり)、第 2 の MOS トランジスタ SWb がオフ (遮断状態となる) ので、各バッファ 31 からデータ信号は、第 1 の MOS トランジスタ SWa を介してソースドライバ 300 から出力される。一方、チャージシェア制御信号 Csh がアクティブ (ハイレベル) のときには、第 1 の MOS トランジスタ SWa がオフ (遮断状態となり)、第 2 の MOS トランジスタ SWb がオン (導通状態となる) ので、各バッファ 31 からデータ信号は出力されず (すなわちデータ信号 $S(1) \sim S(N)$ のソースライン $SL1 \sim SLN$ への印加は遮断され)、表示部 100 における隣接ソースラインが、第 2 の MOS トランジスタ SWb を介して短絡される。

【0072】

本構成におけるソースドライバ 300 では、図 8 (A) に示すように、 n 水平期間 (nH) 毎、ここでは $n = 2$ である 2 水平期間 ($2H$) 毎に極性の反転する映像信号としてアナログ電圧信号 $d(i)$ が生成され、表示制御回路 200 では、図 8 (B) に示すように、各アナログ電圧信号 $d(i)$ の 1 水平ブランキング期間程度の短い期間 Tsh だけハイレベル (Hレベル) となるチャージシェア制御信号 Csh が生成される。このチャージシェア制御信号 Csh が Hレベルとなる期間は、電荷再分配のために隣接データ信号線が短絡される期間であり、「チャージシェア期間」と呼ばれる。

【0073】

上記のように、チャージシェア制御信号 Csh がローレベル (Lレベル) のときには各アナログ電圧信号 $d(i)$ がデータ信号 $S(i)$ として出力され、チャージシェア制御信号 Csh が Hレベルのときには、データ信号 $S(1) \sim S(N)$ のソースライン $SL1 \sim SLN$ への印加が遮断されると共に隣接ソースラインが互いに短絡される。そして本構成では、 nH ドット反転駆動方式が採用されていることから隣接ソースラインの電圧は互いに逆極性であるため、各データ信号 $S(i)$ の値すなわち各ソースライン SLi の電圧は、チャージシェア期間 Tsh において、正極性と負極性の間の或る中間電位となる。本液晶表示装置では、各データ信号 $S(i)$ は、データ信号 $S(i)$ の直流レベル Vsd_c を基準として極性が反転するので、図 8 (F) に示すように、チャージシェア期間 Tsh においてデータ信号 $S(i)$ の直流レベル Vsd_c にほぼ等しくなる。ただし、ここでは理想的なデータ信号波形を記載しており、実際には後述するチャージシェア制御信号線 $GshLj$ に接続されたチャージシェア TFT 12 の動作により、後述の図 10 に示すようにソースラインの電位 Vs が、チャージシェア期間 Tsh 内に、上記直流レベル Vsd_c にほぼ等しい中間電位に到達することが可能となる (以下ではこの中間電位をも符号 " Vsd_c " で示すものとする)。ちなみに、データ信号の極性反転時に隣接ソースラインを短

絡することで各ソースラインの電圧をデータ信号 $S(i)$ の直流レベル V_{Sdc} に等しくするという構成は、図7に示した構成に限定されるものではない。

【0074】

ゲートドライバ400は、ゲートスタートパルス信号 GSP およびゲートクロック信号 GCK と、ゲートドライバ出力制御信号 GOE とに基づき、各データ信号 $S(1) \sim S(N)$ を各画素形成部(の画素容量 Cp)に書き込むために、デジタル画像信号 DA の各フレーム期間(各垂直走査期間)においてゲートライン $GL1 \sim GL2M$ をほぼ1水平期間ずつ順次選択する。すなわち、ゲートドライバ400は、図8(C)および図8(D)に示すような画素データ書込パルス Pw を含む走査信号 $G(1) \sim G(2M)$ をゲートライン $GL1 \sim GL2M$ にそれぞれ印加する。これにより、パルス Pw が印加されているゲートライン GLj は選択状態となり、選択状態のゲートライン GLj に接続された画素 $TFT10$ がオン状態となる(非選択状態のゲートラインに接続された画素 $TFT10$ はオフ状態となる)。ここで、画素データ書込パルス Pw は水平期間(1H)のうち表示期間に相当する有効走査期間でHレベルとなる。

10

【0075】

この画素データ書き込みパルス Pw によって或る画素 $TFT10$ がオン状態である間、当該画素 TFT のソース端子に接続されたソースライン SLi の電位が当該画素 $TFT10$ を介して画素電極 Ep に与えられる。これにより、ソースライン SLi の電圧としてのデータ信号 $S(i)$ が当該画素電極 Ep に対応する画素容量 Cp に書き込まれる。その後、当該画素 $TFT10$ がオフ状態になると、その画素容量 Cp に書き込まれた電圧は、当該画素 TFT に接続されたゲートライン GLj に次の画素データ書き込みパルス Pw が印加されるまで(ゲートライン GLj の次の選択まで)、画素データとして当該画素容量 Cp に保持される。

20

【0076】

チャージシエ制御回路500は、チャージシエ信号 Csh に基づき、図8(E)に示すようなチャージシエパルス Psh を含むマトリクス基板用チャージシエ制御信号 Gsh を生成し、これを各チャージシエ制御信号線 $GshL1 \sim GshL2M$ に印加する。これにより、チャージシエ期間 Tsh において、チャージシエ制御信号線 $GshL1 \sim GshL2M$ が一括選択され、全てのチャージシエ $TFT12$ がオン状態となる。ここで、チャージシエパルス Psh は1水平期間(1H)のうちブランキング期間に相当するチャージシエ期間 Tsh 内でHレベルとなる。

30

【0077】

図9は、チャージシエ方式が採用された従来の2Hドット反転駆動の液晶表示装置におけるアクティブマトリクス基板の動作を示す詳細な信号波形図である。この従来の液晶表示装置では、各ソースライン SLi の電位 Vs は、チャージシエ期間 Tsh 内に中間電位 V_{Sdc} に達しないことから、極性反転の単位である2ラインのうちの1ライン目の画素容量の充電量と2ライン目の画素容量の充電量とに差が生じ、この差が輝度差となって現れ、ライン状の横筋ムラが視認されることがある。

【0078】

これに対し本実施形態では、チャージシエ期間 Tsh の間は、ソースドライバ300の出力部304(図7参照)におけるチャージシエ動作に加え、アクティブマトリクス基板110において各チャージシエ制御信号線 $GshLj$ に接続されたチャージシエ $TFT12$ によってソースライン $SL1 \sim SLN$ が互いに短絡される。これにより、ソースライン間の電荷の移動が促進される。その結果、図10に示すように、チャージシエ期間 Tsh にデータ信号 $S(i)$ の直流レベル V_{Sdc} に等しい中間電位に各ソースライン SLi の電位 Vs が到達するので、横筋ムラの発生を抑制することができる。また、本実施形態では、チャージシエ $TFT12$ が画素毎に存在し、そのチャージシエ $TFT12$ をオンおよびオフするためのチャージシエ制御信号線 $GshLj$ が1画素行毎に存在することから、これらのチャージシエ $TFT12$ やチャージシエ制御信号線 $GshLj$ の配置は、アクティブマトリクス基板110によって形成されるべき画像の画素配置

40

50

に整合しており、チャージシェア T F T 1 2 やチャージシェア制御信号線 G s h L j の追加によって画素配置の規則性が乱されることもない。

【 0 0 7 9 】

< 1 . 2 問題点 >

一般に、T F T を使用したアクティブマトリクス型の液晶表示装置では、各画素形成部における画素 T F T 1 0 のゲート・ドレイン間に寄生容量 C g d が存在する。この寄生容量 C g d の存在により、各画素形成部における画素電極の電圧（以下「画素電圧」という）V d は、その画素電極に接続される T F T 1 0 がオン状態（導通状態）からオフ状態（遮断状態）へと切り替わる時に、画素容量 C p と寄生容量 C g d との比に応じて低下する（以下、寄生容量 C g d に起因するこのような画素電圧の変化を「レベルシフト」と呼び、この変化量を「引き込み電圧」と呼んで記号 “ V d ” で示すものとする）。具体的には、図 1 1 (A) および図 1 1 (B) に示すように、いずれかのゲートライン G L j に印加される走査信号 G (j) の電圧であるゲート電圧 V g (j) がオン電圧 V g h となって（時刻 t 1 または t 3 ）、当該ゲートライン G L j に接続された画素 T F T 1 0 を介してソースライン S L i の電圧 V s n または V s p が画素電極に与えられた後に、そのゲート電圧 V g (j) がオフ電圧 V g l へと変化すると（時刻 t 2 または t 4 ）、画素電圧 V d は、次式で表される引き込み電圧 V d だけ低下する（ j = 1 , 2 , … , 2 M ; i = 1 , 2 , … , N ）。

10

$$V d = (V g h - V g l) \cdot C g d / (C p + C g d) \dots (1)$$

液晶はそれに印加される電圧によって誘電率が変化するので、画素容量 C p は画素の階調によって異なる値を持つ。したがって、上記引き込み電圧 V d も画素の階調によって異なる。

20

【 0 0 8 0 】

一般に液晶表示装置では、液晶への印加電圧の極性が共通電極 E c の電位すなわち対向電圧を基準として所定周期で反転し、液晶における光の透過率はそれへの印加電圧の実効値に応じて変化する。したがって、フリッカの無い表示を得るには、液晶への印加電圧の平均値が “ 0 ” になるように対向電圧に対してソースラインの電圧（ソース電圧）すなわちデータ信号の値を上記引き込み電圧 V d だけ補正する必要がある。この引き込み電圧 V d は、上記のように、画素の階調によって異なる。そこで、全ての階調についてフリッカの無い表示を得るために、ソース電圧は、表示すべき画素の階調に応じて補正される。すなわち、ソース電圧の補正量は表示階調によって異なる。

30

【 0 0 8 1 】

ところで、チャージシェア期間 T s h 直後のソース電圧（以下「チャージシェア電圧」という）は、そのチャージシェア期間直前における各ソースドライバの全ソースラインについての電圧の平均値にほぼ等しい。上記のようにソース電圧の補正量が画素の階調によって異なるので、図 1 2 に示すように、チャージシェア電圧は表示階調によって異なる。

【 0 0 8 2 】

図 1 2 は、輝度の高い画素を表示する場合の画素電圧（以下「高輝度画素電圧」という）V d (B) の電圧波形 W d (B) と、輝度の低い画素を表示する場合の画素電圧（以下「低輝度画素電圧」という）V d (D) の電圧波形 W d (D) と、高輝度画素電圧 V d (B) を与えるためのデータ信号の電圧電圧（以下「高輝度ソース電圧」という）V s (B) の電圧波形 W s (B) と、低輝度画素電圧 V d (D) を与えるためのデータ信号の電圧（以下「低輝度ソース電圧」という）V s (D) の電圧波形 W s (D) とを示している。ただし、高輝度画素電圧の電圧波形 W d (B) および低輝度画素電圧の電圧波形 W d (D) と、高輝度ソース電圧の電圧波形 W s (B) および低輝度ソース電圧の電圧波形 W s (D) とでは、時間軸のスケールが異なっている。なお、この図 1 2 において、“ V s p (B) ” は高輝度ソース電圧 V s (B) の最大値を、“ V s n (B) ” は高輝度ソース電圧 V s (B) の最小値をそれぞれ示し、“ V s p (D) ” は低輝度ソース電圧 V s (D) の最大値を、“ V s n (D) ” は低輝度ソース電圧 V s (D) の最小値をそれぞれ示している。また、“ V c s h (B) ” は、高輝度ソース電圧 V s (B) がソースラインに与えら

40

50

れた場合のチャージシエア電圧を、“ $V_{csh}(D)$ ”は、低輝度ソース電圧 $V_s(D)$ がソースラインに与えられた場合のチャージシエア電圧をそれぞれ示している。

【0083】

この図12からわかるように、高輝度画素電圧 $V_d(B)$ と低輝度画素電圧 $V_d(D)$ とで引き込み電圧 V_d が異なり、高輝度ソース電圧 $V_s(B)$ と低輝度ソース電圧 $V_s(D)$ とで上記補正量が異なることから、ソースラインに高輝度ソース電圧 $V_s(B)$ が与えられる場合のチャージシエア電圧 $V_{csh}(B)$ と低輝度ソース電圧 $V_s(D)$ が与えられる場合のチャージシエア電圧 $V_{csh}(D)$ とは、異なっている。すなわち、表示階調によってチャージシエア電圧 V_{csh} が異なる。

【0084】

上記第1の実施形態における液晶表示装置では、チャージシエア期間 T_{sh} 直後のソース電圧であるチャージシエア電圧 V_{csh} が、ソース電圧が補正されることから表示階調によって異なる(図12(B)参照)。その結果、図10に示されている電圧 V_{SDc} が表示パターンによって異なり、横筋ムラが抑制できない場合がある。そこで次に、上記第1の実施形態におけるこのような問題を解決するように構成された液晶表示装置の一例を第2の実施形態として説明する。

【0085】

<2. 第2の実施形態>

本実施形態に係る液晶表示装置の全体的な構成は、上記第1の実施形態に係る液晶表示装置と同様であって図4に示す通りであり、同一または対応する部分には同一の参照符号を付すものとし、詳しい説明を省略する。本実施形態ではソースドライバ300と異なる点がある。そこで以下では、そのソースドライバの構成について説明する。

【0086】

本実施形態におけるソースドライバも、上記第1の実施形態と同様、図6に示すように、データ信号生成部302と出力部304とから構成されているが、出力部304の内部構成が第1の実施形態と相違する。データ信号生成部302の内部構成および動作は従来および上記第1の実施形態と同様であるので説明を省略する。

【0087】

図13は、本実施形態におけるソースドライバの出力部304の第1の構成例を示す回路図である。この構成例による出力部304は、スイッチング素子としての N 個の第1のMOSトランジスタ SW_a および $(N-1)$ 個の第2のMOSトランジスタ SW_b と、インバータ33とからなるスイッチ回路を含んでおり、この点では、上記第1の実施形態におけるソースドライバ300の出力部304(図7)と同様である。しかし、この第1の構成例による出力部304は、上記第1の実施形態におけるソースドライバ300の出力部304と異なり、チャージシエア電圧固定用電源35を含み、このチャージシエア電圧固定用電源35の正極がスイッチング素子としての第3のMOSトランジスタ SW_b2 を介して、いずれかのソースライン $SL(i)$ に接続されるべきソースドライバの出力端子に接続されている(図13に示した例では、 n 番目のソースライン SL_n に接続されるべき出力端子に接続されている)。そして、第3のMOSトランジスタ SW_b2 のゲート端子には、チャージシエア制御信号 C_{sh} が与えられ、チャージシエア電圧固定用電源35の負極は接地されている。このチャージシエア電圧固定用電源35は、 V_{SDc} に相当する固定電圧 E_{sh} を与える電圧供給部である。この電圧 E_{sh} は、0階調の負極性のデータ信号 $S(i)$ の値から0階調の正極性のデータ信号 $S(i)$ の値までの電圧範囲にあればよいが、データ信号 $S(i)$ の最大値と最小値との間の中央値であることが好ましい。

【0088】

上記のような第1の構成例によっても、第1の実施形態におけるソースドライバと同様、チャージシエア制御信号 C_{sh} に基づき、チャージシエア期間 T_{sh} 以外(の有効走査期間)では、データ信号生成部302で生成されたアナログ電圧信号 $d(1) \sim d(N)$ がバッファ31を介してデータ信号 $S(1) \sim S(N)$ として出力されてソースライン S

10

20

30

40

50

L 1 ~ S L N に印加され、チャージシエア期間 T s h では、データ信号 S (1) ~ S (N) のソースライン S L 1 ~ S L N への印加が遮断されると共に隣接ソースラインが互いに短絡される (結果的に全ソースライン S L 1 ~ S L N が互いに短絡される) 。これに加えて、この第 1 の構成例によれば、チャージシエア期間 T s h において各ソースライン S L i (i = 1 ~ N) にチャージシエア電圧固定用電源 3 5 の電圧 E s h が与えられる (図 1 3 参照) 。このため、引き込み電圧 V d の階調依存性を補償するためにソース電圧の補正量が表示階調によって異なっても、チャージシエア期間 T s h においてチャージシエア電圧を常に同一の電圧 E s h とすることができる。これにより、横筋ムラの発生を抑制することができる。なお、電圧供給部の電圧 E s h は、上記のようにデータ信号 S (i) の最大値と最小値との間の中央値とするのが好ましく、このようにすれば、画素電極に印加すべきデータ信号 S (i) の極性によらず画素容量の充電量を均一化することができる。

10

【 0 0 8 9 】

ところで、図 1 3 からわかるように上記第 1 の構成例では、多くのソースラインは複数の M O S トランジスタ S W b を介してチャージシエア電圧固定用電源 3 5 に接続される。このため、全てのソースライン S L 1 ~ S L N の電圧が同一のチャージシエア電圧 E s h に落ち着くまでに時間を要する。

【 0 0 9 0 】

そこで次に、チャージシエア期間 T s h において全てのソースライン S L 1 ~ S L N が短時間で同一の電圧 E s h となるために好適なソースドライバの出力部を第 2 の構成例として説明する。

20

【 0 0 9 1 】

図 1 4 は、本実施形態におけるソースドライバの出力部 3 0 4 の第 2 の構成例を示す回路図である。この構成例による出力部 3 0 4 における構成要素のうち第 1 の構成例におけるものと同一の構成要素については、同一の参照符号を付して説明を省略する。

【 0 0 9 2 】

本構成例による出力部 3 0 4 も、第 1 の構成例と同様、各ソースライン S L i (i = 1 ~ N) に対しスイッチング素子としての第 2 の M O S トランジスタ S W c が 1 個ずつ設けられている。しかし、第 1 の構成例では、隣接ソースライン間に 1 個ずつ第 2 の M O S トランジスタ S W b が挿入されるようにスイッチ回路が構成されるのに対し、本構成例では、各ソースライン S L i とチャージシエア電圧固定用電源 3 5 との間に 1 個ずつ第 2 の M O S トランジスタ S W c が挿入されるようにスイッチ回路が構成される。すなわち本構成例では、各ソースライン S L i に接続されるべきソースドライバの出力端子は、これら第 2 の M O S トランジスタ S W c のいずれか 1 つを介してチャージシエア電圧固定用電源 3 5 の正極に接続されている。そして、これら第 2 の M O S トランジスタ S W c のゲート端子のいずれにもチャージシエア制御信号 C s h が与えられる。

30

【 0 0 9 3 】

上記のような第 2 の構成例によっても、第 1 の構成例や第 1 の実施形態におけるソースドライバと同様、チャージシエア制御信号 C s h に基づき、チャージシエア期間 T s h 以外 (の有効走査期間) では、データ信号生成部 3 0 2 で生成されたアナログ電圧信号 d (1) ~ d (N) がバッファ 3 1 を介してデータ信号 S (1) ~ S (N) として出力されてソースライン S L 1 ~ S L N に印加され、チャージシエア期間 T s h では、データ信号 S (1) ~ S (N) のソースライン S L 1 ~ S L N への印加が遮断されると共に全ソースライン S L 1 ~ S L N が互いに短絡される。これに加えて、チャージシエア期間 T s h において各ソースライン S L i (i = 1 ~ N) にチャージシエア電圧固定用電源 3 5 の電圧 E s h が与えられる (図 1 4 参照) 。このため、引き込み電圧 V d の階調依存性を補償するためにソース電圧の補正量が表示階調によって異なっても、チャージシエア期間 T s h においてチャージシエア電圧を常に同一の電圧 E s h とすることができる。しかも、この第 2 の構成例によれば、チャージシエア期間 T s h において各ソースライン S L i (i = 1 ~ N) には、1 つの M O S トランジスタ S W c のみを介してチャージシエア電圧固定用電源 3 5 の電圧 E s h が与えられる。したがって、チャージシエア期間 T s h において各

40

50

ソースライン $S L i$ の電圧を同一の電圧 $E s h$ にする際の時間を短縮することができ、この第2の構成例は横筋ムラの発生を抑制する構成として好適である。

【0094】

< 3 . 第3の実施形態 >

本発明は、表示部100の上半分と下半分を別個の駆動回路で駆動する方式（以下「上下分割駆動方式」）の液晶表示装置にも適用可能である。以下、本発明に係るアクティブマトリクス基板を使用したこのような液晶表示装置の一例を第3の実施形態として説明する。

【0095】

図15は、本実施形態に係る液晶表示装置の構成を示すブロック図である。この液晶表示装置のアクティブマトリクス基板112では、各ソースラインは、中央で電氣的に互いに分離された上部ソースライン $S L i$ （上）と下部ソースライン $S L i$ （下）からなる。このアクティブマトリクス基板112の他の構成は、上記第1の実施形態におけるアクティブマトリクス基板110と同様である。したがって、このアクティブマトリクス基板112の画素回路の構成も、第1の実施形態におけるアクティブマトリクス基板110の画素回路と同様であり、隣接4画素に相当する部分101の等価回路は図5に示す通りである。

【0096】

アクティブマトリクス基板112の各ソースラインが上記のように上下に分離されていることに対応して、ソースドライバは、上部ソースライン $S L 1$ （上）～ $S L N$ （上）を駆動する上部ソースドライバ300aと、下部ソースライン $S L 1$ （下）～ $S L N$ （下）を駆動する下部ソースドライバ300bとからなる。また、ゲートドライバは、上部ソースライン $S L 1$ （上）～ $S L N$ （上）と交差するM本のゲートライン $G L 1$ ～ $G L M$ を駆動する上部ゲートドライバ400aと、下部ソースライン $S L 1$ （下）～ $S L N$ （下）と交差するM本のゲートライン $G L M+1$ ～ $G L 2M$ を駆動する下部ゲートドライバ400bとからなる。そして、チャージシェア制御回路は、上部ソースライン $S L 1$ （上）～ $S L N$ （上）と交差するM本のチャージシェア制御信号線 $G s h L 1$ ～ $G s h L M$ にマトリクス基板用チャージシェア制御信号 $G s h$ を印加する上部 $C S H$ 制御回路500aと、下部ソースライン $S L 1$ （下）～ $S L N$ （下）と交差するM本のチャージシェア制御信号線 $G s h L M+1$ ～ $G s h L 2M$ にマトリクス基板用チャージシェア制御信号 $G s h$ を印加する下部 $C S H$ 制御回路500bとからなる。

【0097】

また、表示制御回路200は、ソースドライバに供給されるべきデジタル画像信号として、上部ソースドライバ300aに供給される上部デジタル画像信号 $D A a$ と、下部ソースドライバ300bに供給される下部デジタル画像信号 $D A b$ とを生成し、ゲートドライバに供給されるべきゲートスタートパルス信号として、上部ゲートドライバ400aに供給される上部ゲートスタートパルス信号 $G S P a$ と、下部ゲートドライバ400bに供給される下部ゲートスタートパルス信号 $G S P b$ とを生成する。上部ソースドライバ300aは、上部ソースライン $S L 1$ （上）～ $S L N$ （上）に印加すべきデータ信号 $S a(1)$ ～ $S a(N)$ を上部デジタル画像信号 $D A a$ を用いて生成し、下部ソースドライバ300bは、下部ソースライン $S L 1$ （下）～ $S L N$ （下）に印加すべきデータ信号 $S b(1)$ ～ $S b(N)$ を下部デジタル画像信号 $D A b$ を用いて生成する。上部ゲートドライバ400aは、ゲートライン $G L 1$ ～ $G L M$ に印加すべき走査信号 $G(1)$ ～ $G(M)$ を上部ゲートスタートパルス $G S P a$ を用いて生成し、下部ゲートドライバ400bは、ゲートライン $G L M+1$ ～ $G L 2M$ に印加すべき走査信号 $G(M+1)$ ～ $G(2M)$ を下部ゲートスタートパルス $G S P b$ を用いて生成する。この液晶表示装置における上記以外の構成は、第1の実施形態と同様であるので、同一部分には同一の符号を付して説明を省略する。

【0098】

上記のような構成の液晶表示装置においても、チャージシェア期間 $T s h$ の間は、上部および下部ソースドライバ300a, 300bにおけるチャージシェア動作に加え、アク

10

20

30

40

50

タイプマトリクス基板 112 において各チャージシエア制御信号線 $GshLj$ に接続されたチャージシエア $TFT12$ によってソースライン $SL1 \sim SLN$ が互いに短絡されるので、上記第 1 の実施形態と同様の効果が得られる。

【0099】

< 4 . 第 4 の実施形態 >

次に、黒表示期間の挿入（黒挿入）により表示をインパルス化する方式を採用した本発明に係る液晶表示装置の一例を、本発明の第 4 の実施形態として説明する。本実施形態に係る液晶表示装置の全体的な構成は、上記第 1 の実施形態に係る液晶表示装置と同様であって図 4 に示す通りであり、同一または対応する部分には同一の参照符号を付すものとし、詳しい説明を省略する。本実施形態ではゲートドライバの内部構成が上記第 1 の実施形態におけるゲートドライバ 400 等の通常のゲートドライバと相違する。そこで以下では、本実施形態につきゲートドライバを中心に説明する。

10

【0100】

本実施形態におけるゲートドライバは、ゲートスタートパルス信号 GSP およびゲートクロック信号 GCK と、ゲートドライバ出力制御信号 $GOEr$ ($r = 1, 2, \dots, q$) とに基づき、各データ信号 $S(1) \sim S(N)$ を各画素形成部（の画素容量 Cp ）に書き込むために、デジタル画像信号 DA の各フレーム期間においてゲートライン $GL1 \sim GLM$ をほぼ 1 水平期間（有効走査期間）ずつ順次選択すると共に、後述の黒挿入のために、表示制御回路 200 からのチャージシエア制御信号 Csh が H レベルとなる 1 水平期間毎のチャージシエア期間 Tsh のうち各走査信号線 GLj につき予め選ばれたチャージシエア期間 Tsh 内において所定期間（後述の図 17 に示す黒電圧印加パルス Pb に相当する期間）だけゲートライン GLj を選択する ($j = 1 \sim 2M$)。

20

【0101】

図 16 (A) (B) は、ゲートドライバ 400 の一構成例を示すブロック図である。この構成例によるゲートドライバ 400 は、シフトレジスタを含む複数個 (q 個) の部分回路としてのゲートドライバ用 IC (Integrated Circuit) チップ 411, 412, ..., 41q からなる。

【0102】

各ゲートドライバ用 IC チップは、図 16 (B) に示すように、シフトレジスタ 40 と、当該シフトレジスタ 40 の各段に対応して設けられた第 1 および第 2 の AND ゲート 41, 43 と、第 2 の AND ゲート 43 の出力信号 $g1 \sim gp$ に基づき走査信号 $G1 \sim Gp$ を出力する出力部 45 とを備え、外部からスタートパルス信号 SPi 、クロック信号 CK および出力制御信号 OE を受け取る。スタートパルス信号 SPi はシフトレジスタ 40 の入力端に与えられ、シフトレジスタ 40 の出力端からは、後続のゲートドライバ用 IC チップに入力されるべきスタートパルス信号 SPo を出力する。また、第 1 の AND ゲート 41 のそれぞれにはクロック信号 CK の論理反転信号が入力され、第 2 の AND ゲート 43 のそれぞれには出力制御信号 OE の論理反転信号が入力される。そして、シフトレジスタ 40 の各段の出力信号 Qk ($k = 1 \sim p$) は、当該段に対応する第 1 の AND ゲート 41 に入力され、当該第 1 の AND ゲート 41 の出力信号は当該段に対応する第 2 の AND ゲート 43 に入力される。

30

40

【0103】

本構成例によるゲートドライバは、図 16 (A) に示すように、上記構成の複数 (q 個) のゲートドライバ用 IC チップ 411 ~ 41q が縦続接続されることによって実現される。すなわち、ゲートドライバ用 IC チップ 411 ~ 41q 内のシフトレジスタ 40 が 1 つのシフトレジスタを形成するように（以下、このように縦続接続によって形成されるシフトレジスタを「結合シフトレジスタ」という）、各ゲートドライバ用 IC チップ内のシフトレジスタの出力端（スタートパルス信号 SPo の出力端子）が次のゲートドライバ用 IC チップ内のシフトレジスタの入力端（スタートパルス信号 SPi の入力端子）に接続される。ただし、先頭のゲートドライバ用 IC チップ 411 内のシフトレジスタの入力端には、表示制御回路 200 からゲートスタートパルス信号 GSP が入力され、最後尾のゲ

50

ートドライバ用 IC チップ 4 1 q 内のシフトレジスタの出力端は外部と未接続となっている。また、表示制御回路 2 0 0 からのゲートクロック信号 G C K は、各ゲートドライバ用 IC チップ 4 1 1 ~ 4 1 q にクロック信号 C K として共通に入力される。一方、表示制御回路 2 0 0 において生成されるゲートドライバ出力制御信号 G O E は第 1 ~ 第 q のゲートドライバ出力制御信号 G O E 1 ~ G O E q からなり、これらのゲートドライバ出力制御信号 G O E 1 ~ G O E q は、ゲートドライバ用 IC チップ 4 1 1 ~ 4 1 q に出力制御信号 O E としてそれぞれ個別に入力される。

【 0 1 0 4 】

次に、図 1 7 を参照しつつ上記構成例によるゲートドライバの動作について説明する。表示制御回路 2 0 0 は、図 1 7 (A) に示すように、画素データ書込パルス P w に対応する期間 T s p w と 3 個の黒電圧印加パルス P b に対応する期間 T s p b w だけ H レベル (アクティブ) となる信号をゲートスタートパルス信号 G S P として生成すると共に、図 1 7 (B) に示すように、1 水平期間 (1 H) 毎に所定期間だけ H レベルとなるゲートクロック信号 G C K を生成する。このようなゲートスタートパルス信号 G S P およびゲートクロック信号 G C K が図 1 6 (A) のゲートドライバに入力されると、先頭のゲートドライバ用 IC チップ 4 1 1 のシフトレジスタ 4 0 の初段の出力信号 Q 1 として、図 1 7 (C) に示すような信号が出力される。この出力信号 Q 1 は、各フレーム期間において、画素データ書込パルス P w に対応する 1 個のパルス P q w と、3 個の黒電圧印加パルス P b に対応する 1 個のパルス P q b w とを含み、これらの 2 個のパルス P q w と P q b w との間は所定期間 T h d だけ離れている。このような 2 個のパルス P q w および P q b w がゲートクロック信号 G C K に従ってゲートドライバ内の結合シフトレジスタを順次転送されていく。それに応じて結合シフトレジスタの各段から、図 1 7 (C) に示すような波形の信号が 1 水平走査期間 (1 H) ずつ順次ずれて出力される。

【 0 1 0 5 】

また、表示制御回路 2 0 0 は、既述のように、ゲートドライバを構成するゲートドライバ用 IC チップ 4 1 1 ~ 4 1 q に与えるべきゲートドライバ出力制御信号 G O E 1 ~ G O E q を生成する。ここで、r 番目のゲートドライバ用 IC チップ 4 1 r に与えるべきゲートドライバ出力制御信号 G O E r は、当該ゲートドライバ用 IC チップ 4 1 r 内のシフトレジスタ 4 0 のいずれかの段から画素データ書込パルス P w に対応するパルス P q w が出力されている期間では、画素データ書込パルス P w の調整のためにゲートクロック信号 G C K のパルス近傍の所定期間 T a d で H レベルとなることを除き L レベルとなり、それ以外の期間では、ゲートクロック信号 G C K が H レベルから L レベルに変化した直後の所定期間 T o e だけ L レベルとなることを除き H レベルとなる。ただし、この所定期間 T o e は、いずれかのチャージシェア期間 T s h に含まれるように設定される。例えば、先頭のゲートドライバ用 IC チップ 4 1 1 には、図 1 7 (D) に示すようなゲートドライバ出力制御信号 G O E 1 が与えられる。なお、画素データ書込パルス P w の調整のためにゲートドライバ出力制御信号 G O E 1 ~ G O E q に含まれるパルス (これは上記所定期間 T a d で H レベルとなることに相当し、以下「書込期間調整パルス」という) は、必要な画素データ書込パルス P w に応じて、ゲートクロック信号 G C K の立ち上がりよりも早く立ち上がったたり、ゲートクロック信号 G C K の立ち下がりよりも遅く立ち下がったりする。また、このような書込期間調整パルスを使用せずに、ゲートクロック信号 G C K のパルスだけで画素データ書込パルス P w を調整するようにしてもよい。

【 0 1 0 6 】

各ゲートドライバ用 IC チップ 4 1 r (r = 1 ~ q) では、上記のようなシフトレジスタ 4 0 各段の出力信号 Q k (k = 1 ~ p)、ゲートクロック信号 G C K およびゲートドライバ出力制御信号 G O E r に基づき、第 1 および第 2 の A N D ゲート 4 1 , 4 3 により、内部走査信号 g 1 ~ g p が生成され、それらの内部走査信号 g 1 ~ g p が出力部 4 5 でレベル変換されて、ゲートラインに印加すべき走査信号 G 1 ~ G p が出力される。これにより、図 1 7 (E) (F) に示すように、ゲートライン G L 1 ~ G L M には、順次画素データ書込パルス P w が印加されると共に、各ゲートライン G L j (j = 1 ~ 2 M) では、画

10

20

30

40

50

素データ書込パルス P_w の印加終了時点（立ち下がり時点）から所定期間 T_{hd} だけ経過した時点で、黒電圧印加パルス P_b が印加され、その後、1 水平期間（1 H）間隔で2 個の黒電圧印加パルス P_b が印加される。このようにして3 個の黒電圧印加パルス P_b が印加された後は、次のフレーム期間の画素データ書込パルス P_w が印加されるまで L レベルが維持される。

【0107】

次に図18を参照しつつ、本実施形態における上記のソースドライバ300およびゲートドライバ400による表示部100（図4、図5）の駆動について説明する。表示部100における各画素形成部では、それに含まれる TFT10 のゲート端子に接続されるゲートライン GL_j に画素データ書込パルス P_w が印加されることにより、当該 TFT10 がオンし、当該 TFT10 のソース端子に接続されるソースライン SL_i の電圧がデータ信号 $S(i)$ の値として当該画素形成部に書き込まれる。すなわちソースライン SL_i の電圧が画素容量 C_p に保持される。その後、当該ゲートライン GL_j は黒電圧印加パルス P_b が現れるまでの期間 T_{hd} は非選択状態となるので、当該画素形成部に書き込まれた電圧がそのまま保持される。

10

【0108】

黒電圧印加パルス P_b は、その非選択状態の期間（以下「画素データ保持期間」という） T_{hd} の後のチャージシェア期間 T_{sh} にゲートライン GL_j に印加される。既述のようにチャージシェア期間 T_{sh} では、各データ信号 $S(i)$ の値すなわち各ソースライン SL_i の電圧は、データ信号 $S(i)$ の直流レベルにほぼ等しくなる（すなわち黒電圧となる）。したがって、当該ゲートライン GL_j への黒電圧印加パルス P_b の印加により、当該画素形成部の画素容量 C_p に保持される電圧は、黒表示に対応する電圧（黒電圧）に向かって変化する。しかし、黒電圧印加パルス P_b のパルス幅は短いので、画素容量 C_p における保持電圧を確実に黒電圧にするために、図18（D）（E）に示すように、各フレーム期間において1 水平走査期間（1 H）間隔で3 個の黒電圧印加パルス P_b が続けて当該ゲートライン GL_j に印加される。これにより、当該ゲートライン GL_j に接続される画素形成部によって形成される画素の輝度（画素容量での保持電圧によって決まる透過光量） $L(j, i)$ は、図18（H）に示すように変化する。

20

【0109】

したがって、各ゲートライン GL_j に接続される画素形成部に対応する1 表示ラインにおいて、画素データ保持期間 T_{hd} ではデジタル画像信号 DA に基づく表示が行われ、その後上記3 個の黒電圧印加パルス P_b が印加されてから次に当該ゲートライン GL_j に画素データ書込パルス P_w が印加される時点までの期間 T_{bk} では黒表示が行われる。このようにして、黒表示の行われる期間（以下「黒表示期間」という） T_{bk} が各フレーム期間に挿入されることにより、液晶表示装置による表示のインパルス化が行われる。

30

【0110】

図18（D）（E）からもわかるように、画素データ書込パルス P_w の現れる時点は走査信号 $G(j)$ 毎に1 水平走査期間（1 H）ずつずれているので、黒電圧印加パルス P_b の現れる時点も走査信号 $G(j)$ 毎に1 水平走査期間（1 H）ずつずれている。したがって、黒表示期間 T_{bk} も1 表示ライン毎に1 水平走査期間（1 H）ずつずれて、全ての表示ラインにつき同じ長さの黒挿入が行われる。このようにして、画素データ書込のための画素容量 C_p での充電期間を短縮することなく、十分な黒挿入期間が確保される。また、黒挿入のためにソースドライバ300等の動作速度を上げる必要もない。

40

【0111】

上記第4の実施形態では、図18（D）～（G）に示すように、画素データ書込パルス P_w と黒電圧印加パルス P_b とが時間的に重なっている。例えば、走査信号 $G(j+m)$ の画素データ書込パルス P_w が走査信号 $G(j)$ の黒電圧印加パルス P_b と時間的に重なっており、走査信号 $G(j+m+1)$ の画素データ書込パルス P_w が走査信号 $G(j)$ および $G(j+1)$ の黒電圧印加パルス P_b と時間的に重なっている。ここで、1 フレーム期間において各走査信号 $G(j)$ ($j = 1, 2, \dots, 2M$) に含まれる黒電圧印加パルス

50

P_bの個数（以下「1フレーム当たりの黒電圧印加パルス数」という）を増やすと、画素データ書込パルスP_wと時間的に重なる黒電圧印加パルスP_bの個数も増える。これによりアクティブマトリクス基板100上のゲートラインG_{L1}～G_{L2M}のうち同時にHレベルとなるゲートラインの本数が増えるので、当該Hレベルを与えるための電源の負荷が増大することになり、画素データ書込パルスP_wおよび黒電圧印加パルスP_bの波形が鈍る。黒電圧印加パルスP_bの時間幅は画素データ書込パルスP_wの時間幅に比べて格段に短いので、この波形鈍りは主として黒電圧印加パルスP_bに影響する。図18(H)からわかるように、1フレーム当たりの黒電圧印加パルス数を1から増やしていくと、黒表示期間T_{bk}において画素の輝度がより十分な黒レベルとなるが、上記のように黒電圧印加パルスの波形鈍りの影響も大きくなるので、1フレーム当たりの黒電圧印加パルス数を所定個数以上増やすと、黒表示期間T_{bk}において画素の輝度を十分な黒レベルとすることができなくなる。また、近年、アクティブマトリクス基板を使用した表示装置において、解像度の向上や、フレーム周波数を高めて補間画像の画素データを画素形成部に書き込むような動画視認性改善技術が求められており、このような状況下では、画素データ書込パルスP_wと黒電圧印加パルスP_bとの時間的な重なりによる画素データ書込パルスP_wの波形鈍りが、画素データの書込不足（画素容量の充電不足）につながる虞もある。

10

20

30

40

50

【0112】

そこで、図19に示すように、画素データ書込パルスP_wと黒電圧印加パルスP_bとが時間的に重ならないような走査信号G(1)～G(2M)がアクティブマトリクス基板100上のゲートラインG_{L1}～G_{L2M}にそれぞれ印加される構成とするのが好ましい。上記第4の実施形態（図18参照）とは異なり、図19に示す例では、各走査信号G(k)（k=1～2M）における画素データ書込パルスP_wは、いずれの走査信号における黒電圧印加パルスとも時間的に重ならない（図19(D)～(G)）。ゲートドライバをこのような走査信号G(1)～G(2M)が出力される構成とすることにより、同時にHレベルとなるゲートラインの本数（同時にHレベルとなる走査信号の個数）が少なくなる。その結果、黒表示期間T_{bk}において画素の輝度を十分な黒レベルとしつつ、画素データ書込パルスP_wの波形鈍りによる画素容量の充電不足を抑制することができる。

【0113】

<5. 変形例>

上記第1の実施形態では、チャージシェア用のスイッチング素子として、ソースドライバの出力部304にMOSトランジスタS_{wb}が設けられると共に（図7）、アクティブマトリクス基板110にチャージシェアTFT12が設けられている（図4、図5）。しかし、チャージシェア期間T_{sh}内にソースラインS_{Li}の電位をデータ信号S(i)の直流レベルV_{sd}cに等しい中間電位に到達させることができるのであれば、ソースドライバの出力部304におけるチャージシェア用のスイッチング素子（MOSトランジスタS_{wb}）を省略してもよい。

【0114】

また、上記第1～第4の実施形態におけるアクティブマトリクス基板では、各ゲートラインG_{Lj}に沿ってチャージシェア制御信号線G_{shLj}が配設されており（j=1, 2, ..., 2M）、各ソースラインS_{Li}につき、ゲートラインの本数（2M）に等しい個数のチャージシェアTFT12が設けられている（i=1, 2, ..., N）（図4、図5等）。しかし、本発明はこのような構成に限定されものではなく、チャージシェア期間T_{sh}内に、各ソースラインの電位をデータ信号S(i)の直流レベルV_{sd}cに等しい中間電位またはチャージシェア電圧固定用電源35の電位E_{sh}に到達させることができるようにすればよい。

【0115】

例えば、図4および図5に示す第1の実施形態の構成に代えて、図20および図21に示すように、ゲートラインG_{Lj}の1本おきにチャージシェア制御信号線を配設し、各ソースラインS_{Li}につき、ゲートラインの本数（2M）の1/2に等しい個数（M個）のチャージシェアTFT12を設けるようにしてもよい。ここで、図21は、図20に示す

液晶表示装置のアクティブマトリクス基板 114 の一部 (4 画素に相当する部分) 104 の等価回路を示す回路図である。

【0116】

また、図 4 および図 5 に示す第 1 の実施形態の構成に代えて、図 22 および図 23 に示すように、ソースライン $SL_1 \sim SL_N$ の両端部にのみチャージシエア制御信号線 $GshLa, GshLb$ を配設し、各ソースライン SL_i の一端と他端に 1 個ずつチャージシエア TFT 12 を設けるようにしてもよい。ここで、図 23 は、図 22 に示す液晶表示装置のアクティブマトリクス基板 116 の一部 (2 画素列に相当する部分) 106 の等価回路を示す回路図である。

【0117】

ところで、チャージシエア期間 Tsh 内に各ソースラインの電位を上記の中間電位 Vsd_c または固定電位 Esh に到達させるのに必要なチャージシエア TFT 12 の個数は、ソースラインの配線抵抗および配線容量や確保可能なチャージシエア期間 Tsh の長さに依存し、これらは表示装置の画面サイズ (これはアクティブマトリクス基板のサイズに相当) や解像度等によって決まる。したがって、一般的には、このような画面サイズや解像度等に応じて、各ソースライン SL_i について設けるべきチャージシエア TFT 12 の適切な個数を決定し、その個数のチャージシエア TFT 12 をソースライン SL_i の延びる方向に略均等に配置すればよい。そして、その個数に応じた本数のチャージシエア制御信号線を配設し、それらのチャージシエア制御信号線によって全てのチャージシエア TFT 12 をチャージシエア期間 Tsh はオン状態とすることができるよう構成されていればよい。このような構成によれば、各ソースラインに充電された電荷を、チャージシエア期間 Tsh において、アクティブマトリクス基板全体で均等にかつ短時間で隣接ソースラインに移動させることができる。これにより、各ソースラインの電位をアクティブマトリクス基板全体で均等にかつ短時間で中間電位 (ソースセンター電位) Vsd_c に到達させることができる。その結果、表示装置の大型化や高解像度化が進み駆動周波数が上昇しても、画素容量における充電量の差や充電不足による表示品質の低下を抑制することができる。

【0118】

なお、上記第 1 ~ 第 4 の実施形態ではドット反転駆動方式が採用されているが、本発明は、これに限定されるものではなく、2 以上の所定数のソースライン毎にデータ信号の極性が反転するように構成されていれば、他の駆動方式の表示装置にも適用可能である。例えば、2 本のソースライン毎にデータ信号の極性の反転する構成のアクティブマトリクス型の表示装置についても、チャージシエア方式の採用により消費電力を低減しつつ、本発明を適用することにより、画素容量における充電量の差や充電不足による表示品質の低下を抑制することができる。

【0119】

また、上記第 1 ~ 第 4 の実施形態では、ソースドライバ 300 の出力バッファ 31 として電圧ホロワが使用されており、この電圧ホロワを動作させるにはバイアス電圧の供給が必要である。しかし、出力バッファ 31 としての電圧ホロワは、バイアス電圧を供給されている間は、ソースライン SL_i を駆動していない場合であっても内部電流により電力を消費する。したがって、各出力バッファ 31 とソースライン SL_i との電氣的接続が遮断されるチャージシエア期間 Tsh では、各出力バッファ 31 へのバイアス電圧の供給を停止して内部電流が流れないようにするのが好ましい。図 24 は、このためのソースドライバの出力部 304 の構成例を示す回路図である。

【0120】

図 25 は、図 24 の構成で使用される出力バッファ 32 の構成例を示す回路図である。なお、他の構成の出力部においても図 25 の構成の出力バッファの使用が可能である。図 25 に示すように、出力バッファ 32 は、定電流源として機能すべき N チャネル型 MOS トランジスタ (以下「Nch トランジスタ」と略記する) Q_1 を有する第 1 の差動増幅器 321 と、定電流源として機能すべき P チャネル型 MOS トランジスタ (以下「Pch ト

10

20

30

40

50

ランジスタ」と略記する) Q2を有する第2の差動増幅器322と、PchトランジスタQ3とNchトランジスタQ4からなるプッシュプル形式の出力回路323とから構成されており、非反転入力端子Tinと、反転入力端子TinRと、出力端子Toutと、NchトランジスタQ1のゲート端子に接続された第1のバイアス用端子Tb1と、PchトランジスタQ2のゲート端子に接続された第2のバイアス用端子Tb2とを有している。そして出力端子Toutが反転入力端子TinRに直接に接続されており、この出力バッファ32は、第1のバイアス用端子Tb1に所定の第1バイアス電圧Vba1を、第2のバイアス用端子Tb2に所定の第2バイアス電圧Vba2をそれぞれ与えられると、電圧ホロワとして動作する。一方、第1のバイアス用端子Tb1に接地電位VSSを、第2のバイアス用端子Tb2に電源電圧VDDをそれぞれ与えられた場合には、NchトランジスタQ1およびPchトランジスタQ2がオフ状態となり、出力回路323のPchトランジスタQ3には電源電圧VDDに略等しい電圧が与えられ、NchトランジスタQ4には接地電位VSSに略等しい電圧が与えられる。これによって出力回路323のPchトランジスタQ3およびNchトランジスタQ4もオフ状態となる。これは、出力バッファ32が休止状態となることを意味し、この休止状態では、出力バッファ32の内部には電流が流れず、その出力は高インピーダンス状態となる。

【0121】

図24の構成例では、上記実施形態とは異なり、第1のMOSトランジスタSWaおよびインバータ33が削除され、各出力バッファ32の出力端Toutはソースドライバ300の出力端子に直接に接続されている。一方、この構成例では、第1および第2の切換スイッチ37, 38と、各出力バッファ32の第1のバイアス用端子Tb1を第1の切換スイッチ37に接続するための第1のバイアスラインLb1と、各出力バッファ32の第2のバイアス用端子Tb2を第2の切換スイッチ38に接続するための第2のバイアスラインLb2とを備えている。なお、各出力バッファ32の入力端としての非反転入力端子Tinには内部データ信号d(i)が与えられる。第1の切換スイッチ37は、第1のバイアスラインLb1に与えるべき電圧をチャージシェア制御信号Cshに基づき切り替えるためのスイッチである。この第1の切換スイッチ37により、第1のバイアスラインLb1には、チャージシェア制御信号CshがLレベルのときに第1バイアス電圧Vba1が与えられ、Hレベルのときに接地電位VSSが与えられる。第2の切換スイッチ38は、第2のバイアスラインLb2に与えるべき電圧をチャージシェア制御信号Cshに基づき切り替えるためのスイッチである。この第2の切換スイッチ38により、第2のバイアスラインLb2には、チャージシェア制御信号CshがLレベルのときに第2バイアス電圧Vba2が与えられ、Hレベルのときに電源電圧VDDが与えられる。これにより、各出力バッファ32は、チャージシェア制御信号CshがLレベルのときには電圧ホロワとして動作し、Hレベルのときに休止状態となる。このように第1および第2の切換スイッチ37, 38は各出力バッファ32の休止制御部として機能する。図24に示すソースドライバの出力部の他の構成は、図14に示すソースドライバの出力部304と同様であるので、同一部分には同一の参照符号を付して説明を省略する。なお、第1および第2バイアス電圧Vba1, Vba2の生成のための構成についても、従来と同様であるので説明を省略する。

【0122】

上記のような構成によれば、チャージシェア期間Tsh以外の期間では、チャージシェア制御信号CshがLレベルとなるので、各内部データ信号d(i)は出力バッファ32を介しデータ信号S(i)としてソースラインSLiに印加される(i=1~N)。一方、チャージシェア期間Tshでは、チャージシェア制御信号CshがHレベルとなるので、出力バッファ32は休止状態であってその出力は高インピーダンス状態となり、各ソースラインSLiには、第2のMOSトランジスタSWcを介して、(データ信号S(i)の直流レベルVsdに相当する)固定電圧Eshが与えられる。このようにして上記実施形態と同様の機能を実現しつつ、チャージシェア期間Tshにおいて各出力バッファを休止状態とすることによりソースドライバ300の消費電力を削減することができる。

【 0 1 2 3 】

なお、出力バッファ 3 2 の構成は、図 2 5 の構成に限定されるものではなく、バイアス電圧の切換によって内部電流を低減または遮断して休止状態とできるものであればよい。また、出力バッファ 3 2 の出力が休止状態において高インピーダンス状態にならない構成の場合には、図 1 4 に示す構成と同様に、第 1 の MOS トランジスタ S W a を各出力バッファ 3 2 とソースドライバの出力端子との間に介挿してもよい。さらに、図 2 4 に示す構成において、各ソースライン S L i (i = 1 ~ N) とチャージシェア電圧固定用電源 3 5 との間に挿入される第 2 の MOS トランジスタ S W c および当該チャージシェア電圧固定用電源 3 5 を省略してもよい。ただし、既述のように、表示における横筋ムラの発生を抑制するという観点からは図 2 4 に示す構成が好ましい。

10

【 0 1 2 4 】

< 6 . テレビジョン受信機への適用 >

次に、本発明に係るアクティブマトリクス基板をテレビジョン受信機に使用した例について説明する。図 2 6 は、テレビジョン受信機用の表示装置 8 0 0 の構成を示すブロック図である。この表示装置 8 0 0 は、Y / C 分離回路 8 0 と、ビデオクロマ回路 8 1 と、A / D コンバータ 8 2 と、液晶コントローラ 8 3 と、液晶パネル 8 4 と、バックライト駆動回路 8 5 と、バックライト 8 6 と、マイコン (マイクロコンピュータ) 8 7 と、階調回路 8 8 とを備えている。

【 0 1 2 5 】

上記液晶パネル 8 4 は、本発明に係るアクティブマトリクス基板を使用した表示部と、その表示部を駆動するためのソースドライバ、ゲートドライバおよびチャージシェア制御回路を含んでおり、その具体的な構成については、本発明の各実施形態や各変形例につき説明した何れの構成であってもよい (図 4 、 図 5 、 図 1 5 、 図 2 0 ~ 2 3 参照) 。

20

【 0 1 2 6 】

上記構成の表示装置 8 0 0 では、まず、テレビジョン信号としての複合カラー映像信号 S c v が外部から Y / C 分離回路 8 0 に入力され、そこで輝度信号と色信号に分離される。これらの輝度信号と色信号は、ビデオクロマ回路 8 1 にて光の 3 原色に対応するアナログ R G B 信号に変換され、さらに、このアナログ R G B 信号は A / D コンバータ 8 2 により、デジタル R G B 信号に変換される。このデジタル R G B 信号は液晶コントローラ 8 3 に入力される。また、Y / C 分離回路 8 0 では、外部から入力された複合カラー映像信号 S c v から水平および垂直同期信号も取り出され、これらの同期信号もマイコン 8 7 を介して液晶コントローラ 8 3 に入力される。

30

【 0 1 2 7 】

液晶パネル 8 4 には、液晶コントローラ 8 3 からデジタル R G B 信号が、上記同期信号に基づくタイミング信号と共に所定のタイミングで入力される。また、階調回路 8 8 では、カラー表示の 3 原色 R , G , B それぞれの階調電圧が生成され、それらの階調電圧も液晶パネル 8 4 に供給される。液晶パネル 8 4 では、これらの R G B 信号、タイミング信号および階調電圧に基づき内部のソースドライバやゲートドライバ等により駆動用信号 (データ信号、走査信号、チャージシェア制御信号等) が生成され、それらの駆動用信号に基づき (アクティブマトリクス基板を使用した) 内部の表示部にカラー画像が表示される。なお、この液晶パネル 8 4 によって画像を表示するには、液晶パネル 8 4 の後方から光を照射する必要があり、この表示装置 8 0 0 では、マイコン 8 7 の制御の下にバックライト駆動回路 8 5 がバックライト 8 6 を駆動することにより、液晶パネル 8 4 の裏面に光が照射される。

40

【 0 1 2 8 】

上記の処理を含め、システム全体の制御はマイコン 8 7 が行う。なお、外部から入力される映像信号 (複合カラー映像信号) としては、テレビジョン放送に基づく映像信号のみならず、カメラにより撮像された映像信号や、インターネット回線を介して供給される映像信号なども使用可能であり、この表示装置 8 0 0 では、様々な映像信号に基づいた画像表示が可能である。

50

【 0 1 2 9 】

上記構成の表示装置 8 0 0 でテレビジョン放送に基づく画像を表示する場合には、図 2 7 に示すように、当該表示装置 8 0 0 にチューナ部 9 0 が接続される。このチューナ部 9 0 は、アンテナ（不図示）で受信した受信波（高周波信号）の中から受信すべきチャンネルの信号を抜き出して中間周波信号に変換し、この中間周波数信号を検波することによってテレビジョン信号としての複合カラー映像信号 S c v を取り出す。この複合カラー映像信号 S c v は、既述のように表示装置 8 0 0 に入力され、この複合カラー映像信号 S c v に基づく画像が当該表示装置 8 0 0 によって表示される。

【 0 1 3 0 】

図 2 8 は、上記構成の表示装置をテレビジョン受信機とするときの機械的構成の一例を示す分解斜視図である。図 2 8 に示した例では、テレビジョン受信機は、その構成要素として、上記表示装置 8 0 0 の他に第 1 筐体 8 0 1 および第 2 筐体 8 0 6 を有しており、表示装置 8 0 0 を第 1 筐体 8 0 1 と第 2 筐体 8 0 6 とで包み込むようにして挟持した構成となっている。第 1 筐体 8 0 1 には、表示装置 8 0 0 で表示される画像を透過させる開口部 8 0 1 a が形成されている。また、第 2 筐体 8 0 6 は、表示装置 8 0 0 の背面側を覆うものであり、当該表示装置 8 0 0 を操作するための操作用回路 8 0 5 が設けられると共に、下方に支持用部材 8 0 8 が取り付けられている。

10

【 0 1 3 1 】

以上のようなテレビジョン受信機によれば、液晶パネル 8 4 内のアクティブマトリクス基板において各ソースライン S L i につき多数のチャージシェア T F T 1 2 が設けられているので、表示装置の大型化や高解像度化が進み駆動周波数が上昇しても、画素容量における充電量の差や充電不足を抑制して良好な画像表示を行うことができる。

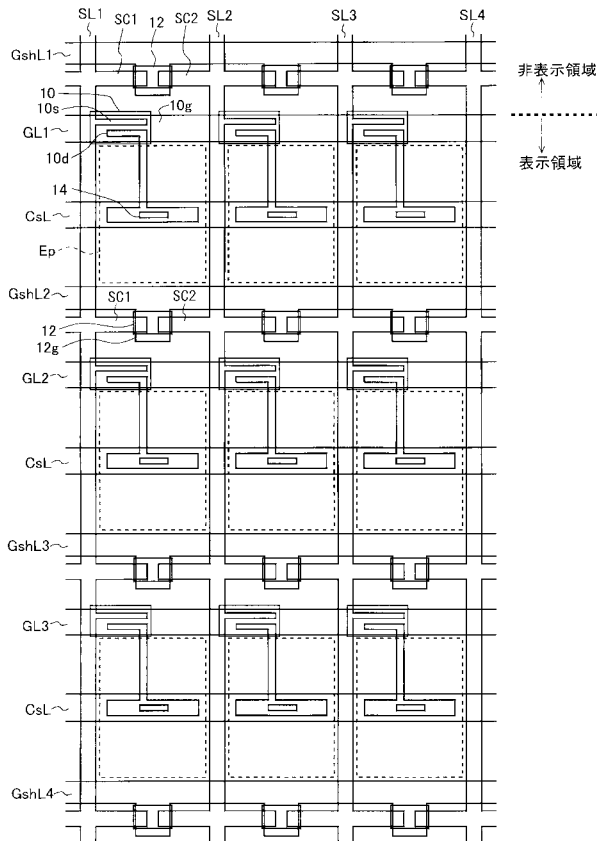
20

【 産業上の利用可能性 】

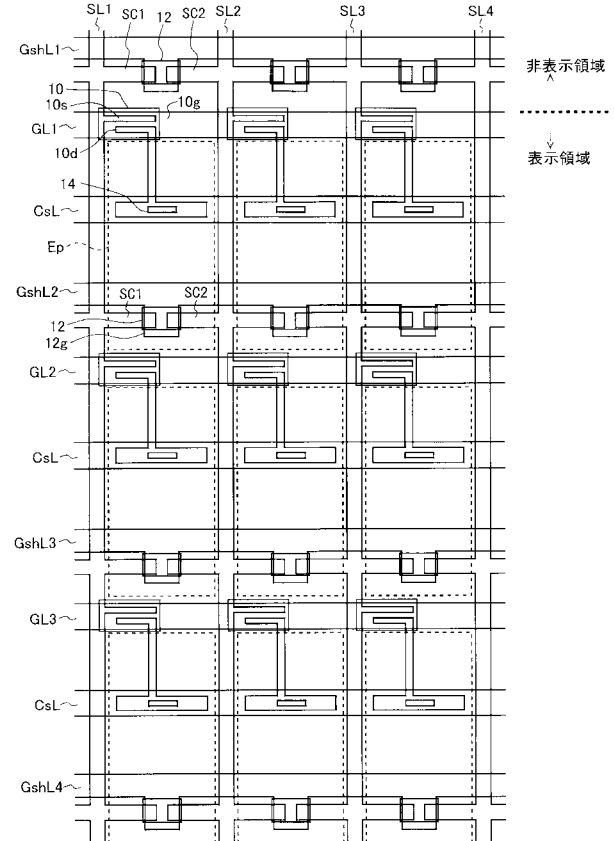
【 0 1 3 2 】

本発明は、アクティブマトリクス基板またはそれを備えた表示装置に適用されるものであって、特に、アクティブマトリクス型の液晶表示装置およびそれに使用されるアクティブマトリクス基板に適している。

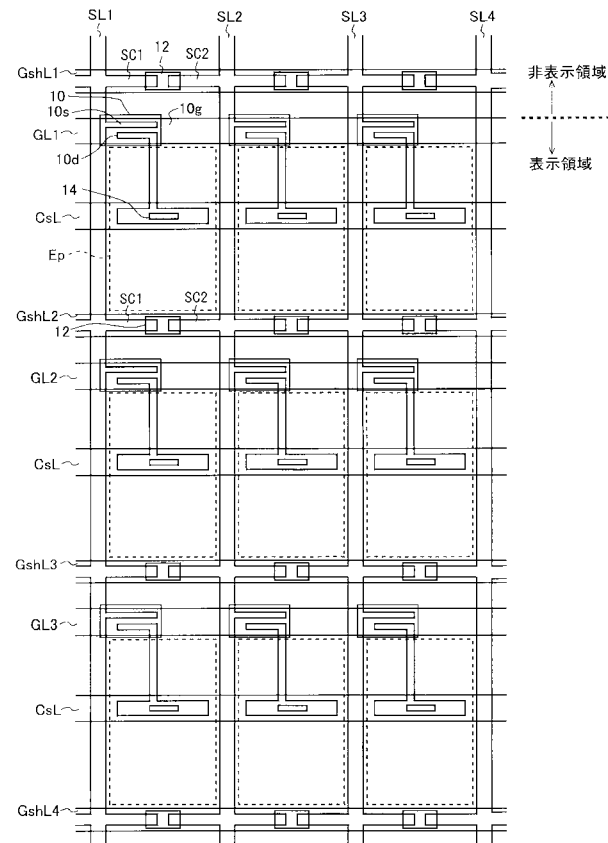
【図 1】



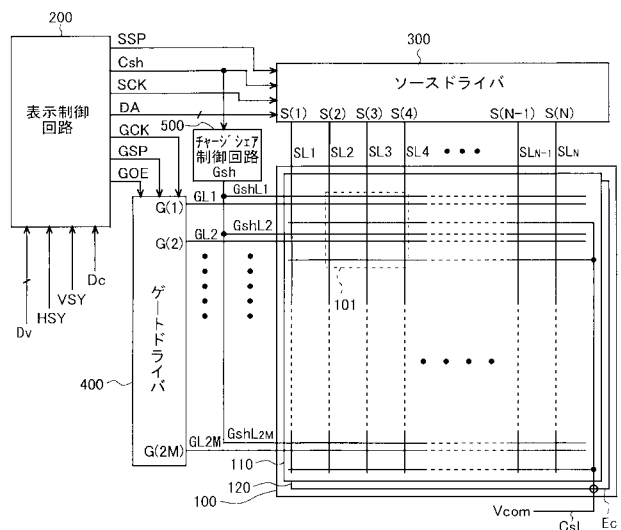
【図 2】



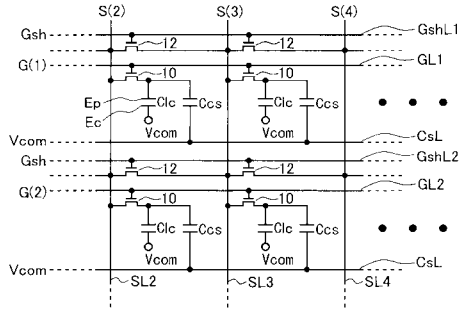
【図 3】



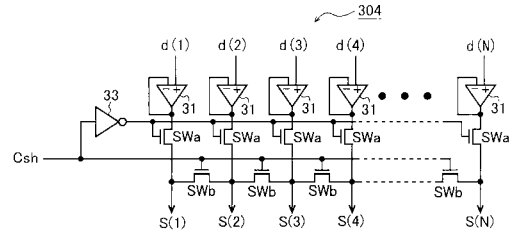
【図 4】



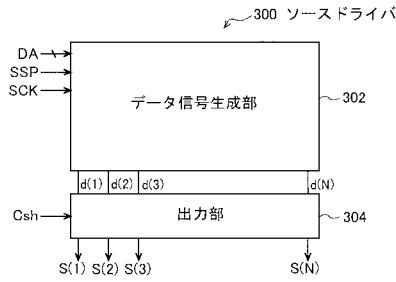
【 図 5 】



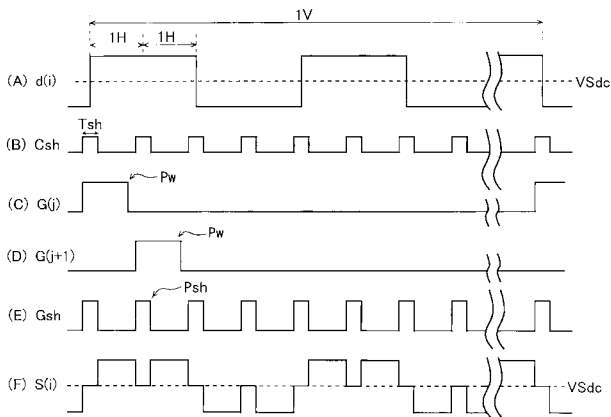
【 図 7 】



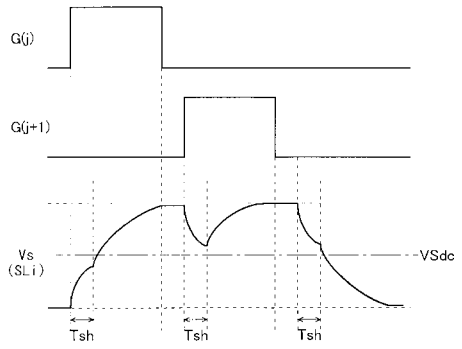
【 図 6 】



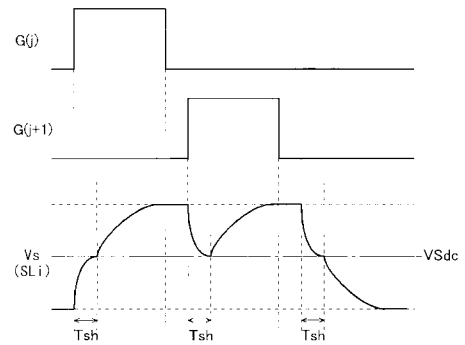
【 図 8 】



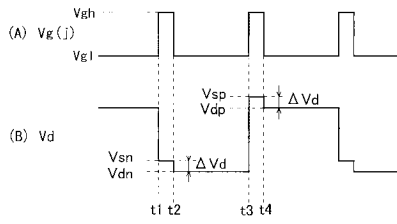
【 図 9 】



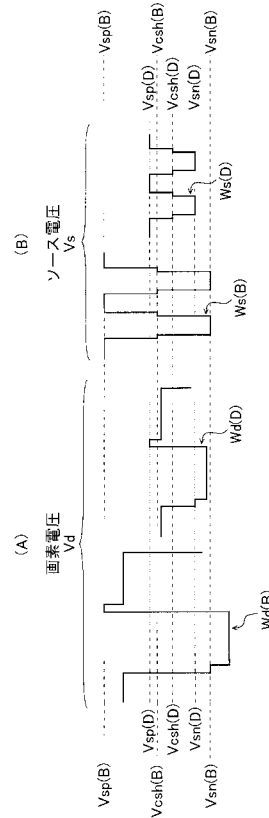
【 図 10 】



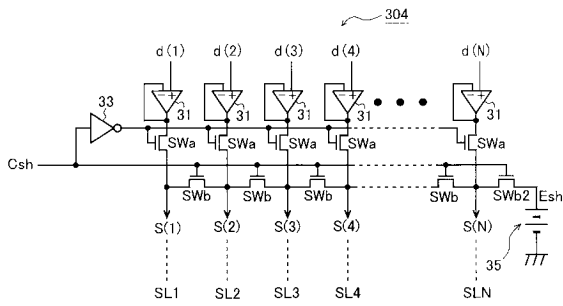
【 図 1 1 】



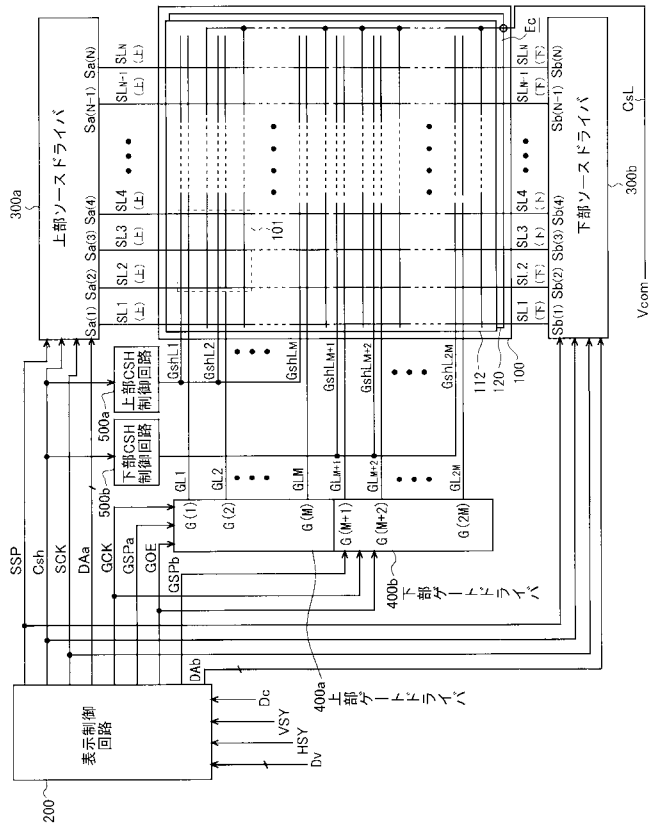
【 図 1 2 】



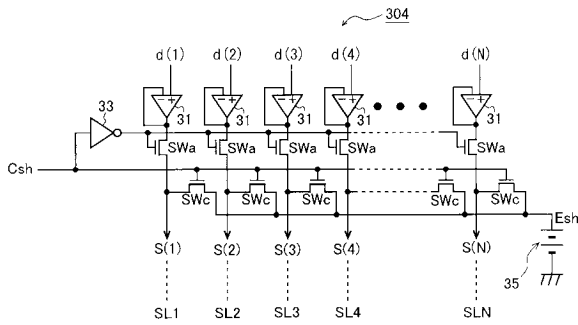
【 図 1 3 】



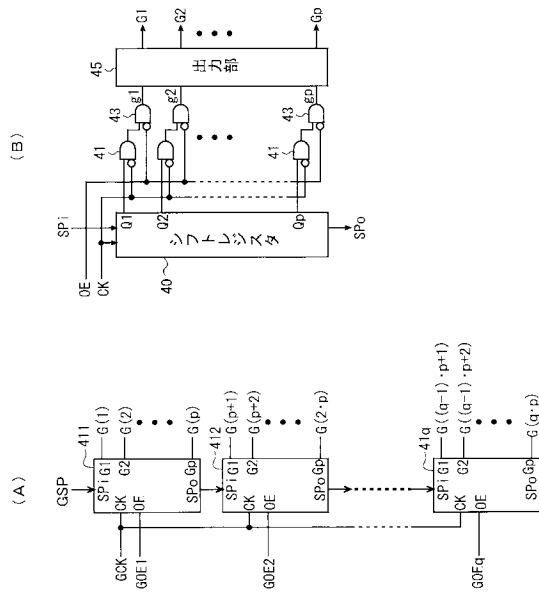
【 図 1 5 】



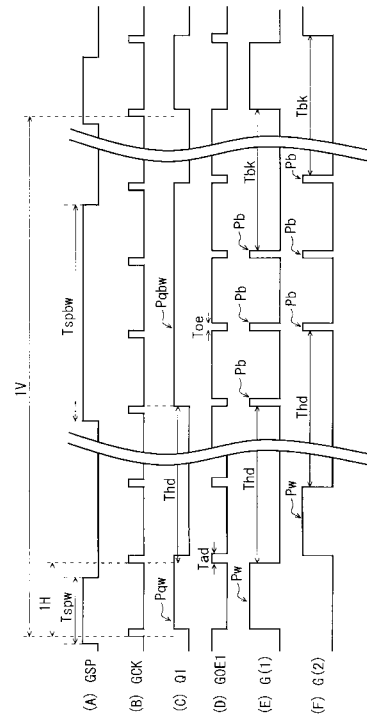
【 図 1 4 】



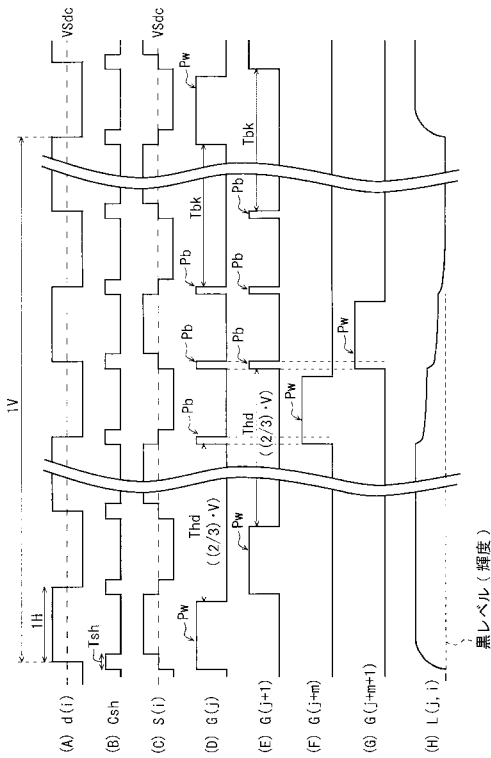
【 図 1 6 】



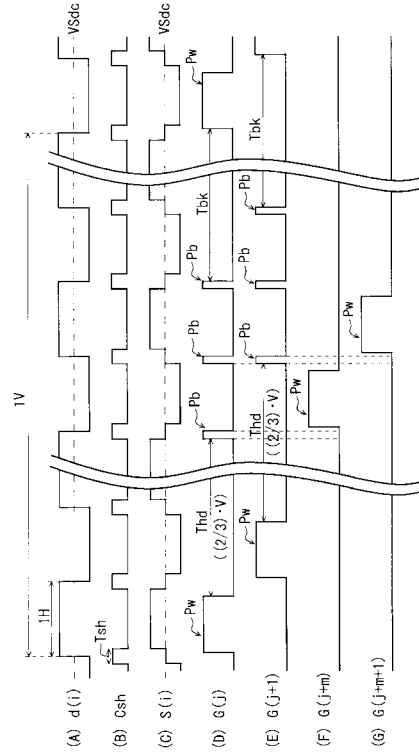
【 図 1 7 】



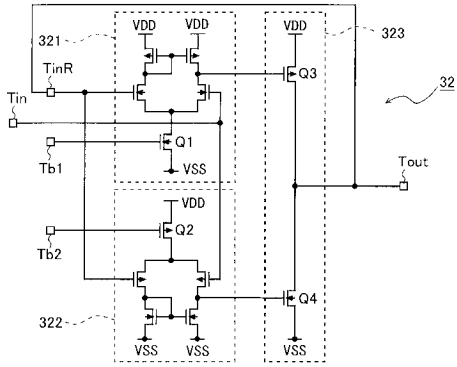
【 図 1 8 】



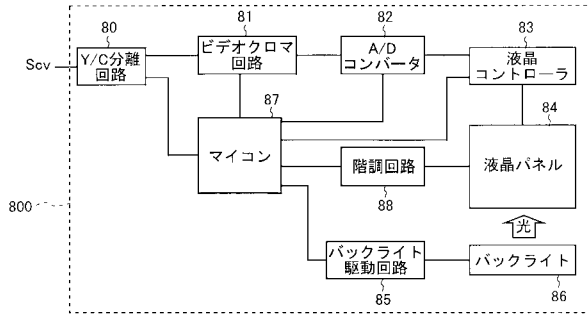
【 図 1 9 】



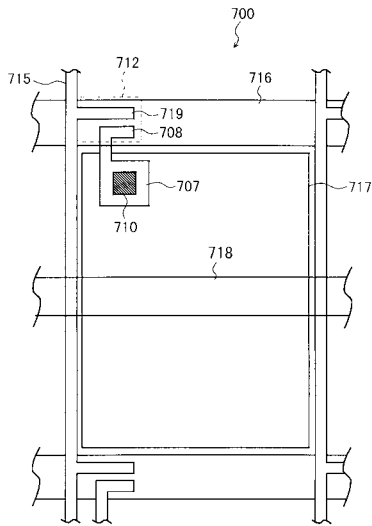
【図 25】



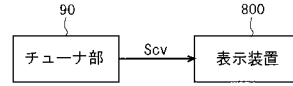
【図 26】



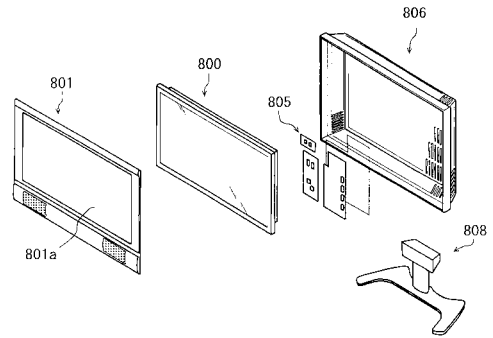
【図 29】



【図 27】



【図 28】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2007/055858
A. CLASSIFICATION OF SUBJECT MATTER G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G3/36, G02F1/133, G09G3/20 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007 Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-30975 A (Oki Electric Industry Co., Ltd.), 02 February, 1999 (02.02.99), Par. Nos. [0047] to [0093]; Figs. 1 to 5	1-6, 8-14, 18-20 11
Y A	Par. Nos. [0125] to [0138]; Figs. 9 to 10 & US 2004/0041763 A1 & US 6642916 B1	7, 15-17
Y	JP 2000-148098 A (Zaidan Hojin Industrial Technology Research Institute), 26 May, 2000 (26.05.00), Par. Nos. [0007] to [0014]; Figs. 5 to 7 (Family: none)	1-6, 8-14, 18-20
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 23 April, 2007 (23.04.07)		Date of mailing of the international search report 01 May, 2007 (01.05.07)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/055858

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 61-228491 A (Hitachi, Ltd.), 11 October, 1986 (11.10.86), Page 4, upper right column, line 11 to lower left column, line 10; Figs. 11 to 12 (Family: none)	8-9
Y	JP 2003-302951 A (Sharp Corp.), 24 October, 2003 (24.10.03), Par. Nos. [0051] to [0058]; Figs. 3, 5 & US 2003/0151572 A1	18
Y	JP 2002-62855 A (Texas Instruments Japan Ltd.), 28 February, 2002 (28.02.02), Par. Nos. [0041] to [0050]; Fig. 4 (Family: none)	11
A	JP 2002-268613 A (Samsung Electronics Co., Ltd.), 20 September, 2002 (20.09.02), Par. Nos. [0016] to [0037]; Figs. 3 to 7 & US 2002/0118154 A1 & EP 1235199 A2	1-20
A	JP 2004-334171 A (Hannstar Display Corp.), 25 November, 2004 (25.11.04), Par. Nos. [0035] to [0039]; Figs. 3 to 4 & US 2004/0217931 A1 & EP 1473693 A2	7
A	JP 2006-72078 A (Mitsubishi Electric Corp.), 16 March, 2006 (16.03.06), Par. Nos. [0021] to [0034]; Figs. 1 to 2 & US 2006/0050043 A1	15-17
P,A	JP 2007-41548 A (L.G. Philips LCD Co., Ltd.), 15 February, 2007 (15.02.07), Par. Nos. [0023] to [0055]; Figs. 3 to 9 & US 2007/0030230 A1	15-17
P,A	JP 2007-25691 A (Samsung Electronics Co., Ltd.), 01 February, 2007 (01.02.07), Full text; all drawings & EP 1746569 A1 & US 2007/0013643 A1	15-17

国際調査報告		国際出願番号 PCT/J P 2007/055858												
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i														
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G09G3/36, G02F1/133, G09G3/20														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2007年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2007年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2007年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2007年	日本国実用新案登録公報	1996-2007年	日本国登録実用新案公報	1994-2007年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2007年													
日本国実用新案登録公報	1996-2007年													
日本国登録実用新案公報	1994-2007年													
国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号												
Y	J P 11-30975 A (沖電気工業株式会社) 1999.02.02, 段落【0047】-【0093】、【図1】-【図5】	1-6, 8-14, 18-20												
Y	段落【0125】-【0138】、【図9】-【図10】	11												
A	& US 2004/0041763 A1 & US 6642916 B1	7, 15-17												
Y	J P 2000-148098 A (財団法人工業技術研究院)	1-6, 8-14, 18-												
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>の日の後に公表された文献</td> </tr> <tr> <td>「A」特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</td> <td>「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>「O」口頭による開示、使用、展示等に言及する文献</td> <td>「&」同一パテントファミリー文献</td> </tr> <tr> <td>「P」国際出願日前で、かつ優先権の主張の基礎となる出願</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	の日の後に公表された文献	「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献	「P」国際出願日前で、かつ優先権の主張の基礎となる出願	
* 引用文献のカテゴリー	の日の後に公表された文献													
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの													
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献													
「P」国際出願日前で、かつ優先権の主張の基礎となる出願														
国際調査を完了した日 23.04.2007	国際調査報告の発送日 01.05.2007													
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 西島 篤宏 電話番号 03-3581-1101 内線 3226	2G 9308												

国際調査報告		国際出願番号 PCT/JP2007/055858
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	2000.05.26, 段落【0007】-【0014】, 【図5】 - 【図7】 (ファミリーなし)	20
Y	JP 61-228491 A (株式会社日立製作所) 1986.10.11, 第4頁右上欄第11行-同頁左下欄第 10行, 第11図-第12図 (ファミリーなし)	8-9
Y	JP 2003-302951 A (シャープ株式会社) 2003.10.24, 段落【0051】-【0058】, 【図3】, 【図5】 & US 2003/0151572 A1	18
Y	JP 2002-62855 A (日本テキサス・インスツルメン ツ株式会社) 2002.02.28, 段落【0041】-【00 50】, 【図4】 (ファミリーなし)	11
A	JP 2002-268613 A (三星電子株式会社) 2002.09.20, 段落【0016】-【0037】, 【図3】 - 【図7】 & US 2002/0118154 A1 & EP 1235199 A2	1-20
A	JP 2004-334171 A (ハンスター ディスプレイ コーポレーション) 2004.11.25 段落【0035】-【0039】, 【図3】-【図4】 & US 2004/0217931 A1 & EP 1473693 A2	7
A	JP 2006-72078 A (三菱電機株式会社) 2006.03.16, 段落【0021】-【0034】, 【図1】 - 【図2】 & US 2006/0050043 A1	15-17
P, A	JP 2007-41548 A (エルジー フィリップス エル シーディー カンパニー リミテッド) 2007.02.15, 段落【0023】-【0055】, 【図3】 - 【図9】 & US 2007/0030230 A1	15-17
P, A	JP 2007-25691 A (三星電子株式会社) 2007.02.01, 全文, 全図 & EP 1746569 A1 & US 2007/0013643 A1	15-17

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 2 F 1/133 5 5 0	
	G 0 2 F 1/133 5 2 5	
	H 0 4 N 5/66 1 0 2 B	

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

Fターム(参考) 5C006 AA01 AA22 AC09 AF42 BB16 FA37
 5C058 AA06 BA01 BA23 BA25 BA35
 5C080 AA10 BB05 CC03 DD07 EE19 GG08 JJ02 JJ03 JJ04 JJ06

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	有源矩阵基板和具有该基板的显示装置		
公开(公告)号	JPWO2008007480A1	公开(公告)日	2009-12-10
申请号	JP2008524727	申请日	2007-03-22
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	津幡俊英		
发明人	津幡 俊英		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 H04N5/66		
CPC分类号	G02F1/13624 G09G3/3614 G09G3/3648 G09G3/3677 G09G3/3688 G09G2310/0291 G09G2310/061 G09G2310/08 G09G2320/0252 G09G2320/0261 G09G2330/023		
FI分类号	G09G3/36 G09G3/20.680.H G09G3/20.641.R G09G3/20.623.A G09G3/20.623.B G02F1/133.550 G02F1/133.525 H04N5/66.102.B		
F-TERM分类号	2H093/NA16 2H093/NA22 2H093/NA32 2H093/NA34 2H093/NA45 2H093/NA53 2H093/NA63 2H093/NA64 2H093/NC10 2H093/NC12 2H093/NC22 2H093/NC24 2H093/NC34 2H093/NC35 2H093/NC40 2H093/NC50 2H093/ND05 2H093/ND09 2H093/ND35 2H093/ND39 2H093/NE06 2H193/ZA04 2H193/ZA32 2H193/ZC02 2H193/ZC20 2H193/ZC26 2H193/ZD23 2H193/ZD32 2H193/ZD34 2H193/ZF22 2H193/ZF36 5C006/AA01 5C006/AA22 5C006/AC09 5C006/AF42 5C006/BB16 5C006/FA37 5C058/AA06 5C058/BA01 5C058/BA23 5C058/BA25 5C058/BA35 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD07 5C080/EE19 5C080/GG08 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
代理人(译)	岛田彰		
优先权	2006193858 2006-07-14 JP 2006356447 2006-12-28 JP		
其他公开文献	JP4812837B2		
外部链接	Espacenet		

摘要(译)

本发明的目的是即使在采用更大尺寸或更高分辨率并且增加驱动频率的情况下，也能够防止在设置有有源矩阵基板的显示装置中发生显示质量的劣化。在液晶显示装置的有源矩阵基板中，以沿着各栅极线 (GLj) 的方式配置电荷共享控制信号线 (GshLj)，在各源极线 (SLi) 设置有电荷共享TFT (12)。) 的数量等于栅极线的数量。电荷共享TFT (12) 的栅极端子连接到电荷共享控制信号线 (GshLj)，并且源极和漏极端子经由连接电极部分 (SCi和SCi) 与相邻的源极线 (SLi和SLi + 1) 连接。+1)。每个电荷共享控制信号线 (GshLj) 都提供有信号Gsh，该信号在每个水平周期的预定周期Tsh内接通电荷共享TFT (12)。

