

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号  
特許第4894081号  
(P4894081)

(45) 発行日 平成24年3月7日 (2012.3.7)

(24) 登録日 平成24年1月6日 (2012.1.6)

(51) Int.Cl.

F I

G O 9 G 3/36 (2006.01)

G O 2 F 1/133 (2006.01)

G O 9 G 3/20 (2006.01)

G O 9 G 3/36

G O 2 F 1/133 5 5 O

G O 9 G 3/20 6 1 2 T

G O 9 G 3/20 6 2 1 B

G O 9 G 3/20 6 4 2 A

請求項の数 10 (全 17 頁)

(21) 出願番号	特願2000-177928 (P2000-177928)	(73) 特許権者	000002185
(22) 出願日	平成12年6月14日 (2000.6.14)		ソニー株式会社
(65) 公開番号	特開2001-356740 (P2001-356740A)		東京都港区港南1丁目7番1号
(43) 公開日	平成13年12月26日 (2001.12.26)	(74) 代理人	100120640
審査請求日	平成19年1月15日 (2007.1.15)		弁理士 森 幸一
		(74) 代理人	100118290
			弁理士 吉井 正明
		(74) 代理人	100094363
			弁理士 山本 孝久
		(72) 発明者	山下 淳一
			東京都品川区北品川6丁目7番35号 ソ
			ニー株式会社内
		(72) 発明者	鹿島 文泰
			東京都品川区北品川6丁目7番35号 ソ
			ニー株式会社内
			最終頁に続く

(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

画素が行列状に配置され、各画素列ごとに信号ラインが配線されるとともに、隣り合う画素列間で奇数行離れた2行を単位としてゲートラインが配線されてなる画素部と、

前記画素部の各画素を行方向に走査しつつ前記ゲートラインに対して走査パルスを与える第1の駆動手段と、

前記第1の駆動手段から前記走査パルスが与えられた前記ゲートラインに接続されて隣り合う画素に対して前記信号ラインを通して逆極性の映像信号を順次供給する第2の駆動手段と、

前記第2の駆動手段による前記信号ラインへの前記逆極性の映像信号の供給に先立って、先ず、水平ブランキング期間内において同じ列の前段画素電位と同極性の一定レベルのプリチャージ信号を一括して供給することによって、その後ブラックレベルのプリチャージ信号を供給するとき、前記画素部の各画素に共通に与えるコモン電圧に対する前記信号ラインの電位振幅を奇数列と偶数列とで絶対値を等しくし、続いて前記逆極性の映像信号の各々と同極性のブラックレベルのプリチャージ信号および所定レベルのプリチャージ信号を順に供給する第3の駆動手段と

を備えた表示装置。

【請求項 2】

前記第3の駆動手段は、前記画素部の各画素において一方の主電極が前記信号ラインに接続され、他方の主電極が画素電極に接続された画素トランジスタがオフ状態にあるとき

10

20

に前記一定レベルのプリチャージ信号を一括して供給する

請求項 1 に記載の表示装置。

【請求項 3】

前記一定レベルのプリチャージ信号が、直前の信号ライン電位と同極性でかつ前記所定レベルのプリチャージ信号である

請求項 1 に記載の表示装置。

【請求項 4】

前記所定レベルがグレーレベルである

請求項 3 に記載の表示装置。

【請求項 5】

前記画素の表示エレメントが液晶セルである

請求項 1 に記載の表示装置。

【請求項 6】

映像信号を書き込んだ後の画素配列において、画素の極性が隣り合う左右の画素で同極性となりかつ上下の画素で逆極性となるように、隣り合う画素列間で奇数行離れた 2 行の画素に互いに逆極性の映像信号を書き込む表示装置の駆動に当たって、

水平走査の際に、前記逆極性の映像信号の信号ラインへの供給に先立って、先ず、水平ブランキング期間内において同じ列の前段画素電位と同極性の一定レベルのプリチャージ信号を一括して供給することによって、その後ブラックレベルのプリチャージ信号を供給するとき、前記画素部の各画素に共通に与えるコモン電圧に対する前記信号ラインの電位振幅を奇数列と偶数列とで絶対値を等しくし、

しかる後前記逆極性の映像信号の各々と同極性のブラックレベルのプリチャージ信号および所定レベルのプリチャージ信号を順に供給する

表示装置の駆動方法。

【請求項 7】

前記画素部の各画素において一方の主電極が前記信号ラインに接続され、他方の主電極が画素電極に接続された画素トランジスタがオフ状態にあるときに前記一定レベルのプリチャージ信号を一括して供給する

請求項 6 に記載の表示装置の駆動方法。

【請求項 8】

前記一定レベルのプリチャージ信号が、直前の信号ライン電位と同極性でかつ前記所定レベルのプリチャージ信号である

請求項 6 に記載の表示装置の駆動方法。

【請求項 9】

前記所定レベルがグレーレベルである

請求項 8 に記載の表示装置の駆動方法。

【請求項 10】

前記画素の表示エレメントが液晶セルである

請求項 6 に記載の表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示装置およびその駆動方法に関し、特にいわゆるドットライン反転駆動でかつ点順次プリチャージ駆動のアクティブマトリクス型表示装置およびその駆動方法に関する。

【0002】

【従来の技術】

画素が行列状に配置されてなる表示装置、例えばアクティブマトリクス型液晶表示装置（LCD；liquid crystal display）において、その駆動方式として、各画素を 1 ライン（1 行）ごとに画素単位で順次駆動する点順次駆動方式が知られている。また、この点順次

10

20

30

40

50

駆動方式として、1 H 反転駆動方式やドット反転駆動方式がある。

【0003】

1 H 反転駆動方式では、映像信号を書き込む際に、各画素に所定の直流電圧をコモン電圧  $V_{com}$  として供給するライン（以下、Csラインと称す）に左右の画素間で抵抗分が存在し、さらにCsラインと信号ラインとの間に寄生容量が存在することから、これらに起因してCsラインやゲートラインに映像信号が飛び込み、Csラインの電位が映像信号と同極性の方向にゆれるため、横方向のクロストークが顕著になったり、あるいはシェーディング不良を引き起こし、画質が大きく損なわれる。

【0004】

また、画素が画素情報を1フィールド期間保持している間に、信号ラインの電位が1 H（Hは水平走査期間）ごとにゆれる。ここで、1 H 反転駆動方式の場合には、隣り合う左右の画素に書き込まれる映像信号の極性が同じであることから、信号ラインの電位のゆれが大きくなり、この電位のゆれが画素トランジスタのソース/ドレインカップリングによって画素に飛び込むため、縦方向のクロストークが顕著になり、画質不良の要因となる。

【0005】

一方、ドット反転駆動方式では、隣り合う左右の画素に映像信号が同時に逆極性で書き込まれることから、Csラインや信号ラインの電位のゆれが隣り合う画素間でキャンセルされるため、1 H 反転駆動方式での画質不良の問題については解消できる。しかしながら、その反面、隣り合う左右の画素に書き込まれる映像信号の極性が異なることから、隣り合う画素の電界の影響を受けるため、画素の開口部の隅にドメイン（光抜け領域）が発生する。その結果、画素の開口率が低下し、透過率を落とすことになるため、コントラストの低下を招く。

【0006】

【発明が解決しようとする課題】

これに対して、映像信号を書き込んだ後の画素配列において、画素の極性が隣り合う左右の画素で同極性となり、かつ上下の画素で逆極性となるように、隣り合う画素列間で奇数行離れた2行、例えば上下の2行の画素に互いに逆極性の映像信号を同時に書き込む駆動方式が提案されている。以下、この駆動方式をドットライン反転駆動方式と呼称する。

【0007】

このドットライン反転駆動方式では、ドット反転駆動方式の場合と同様に、隣り合う信号ラインには互いに逆極性の映像信号が与えられるとともに、映像信号を書き込んだ後の画素配列において、画素の極性が1 H 反転駆動方式の場合と同様に、隣り合う左右の画素で同極性となるため、画素の開口率を低下させることなく、横方向のクロストークやシェーディング等の画質不良を改善できることになる。

【0008】

ところで、点順次駆動を行う際に、各画素に書き込む映像信号を1 Hごとに反転させる場合、画素部の各列ごとに配線された信号ラインへの映像信号の書き込みによる充放電電流が大きいと、縦スジとして表示画面上に見えてしまう。この映像信号の書き込みによる充放電電流をなるべく抑えるために、映像信号の書き込みに先立って、あらかじめプリチャージ信号を書き込むプリチャージ駆動方式が採られている。

【0009】

ここで、縦スジとして最も見えやすいのがグレーレベルである。したがって、プリチャージ信号レベルとしては、通常、縦スジの最も見えやすいグレーレベルが設定される。ところが、プリチャージ信号レベルをグレーレベルに設定すると、ウィンドウパターンなどを表示した際に、画素トランジスタのソース・ドレイン間での光リーク量が映像の場所によって異なることに起因して、縦方向のクロストークが発生し、画品位を損なうことになる。

【0010】

この縦方向のクロストークが発生しないようにするためには、プリチャージ信号レベルをブラックレベルに設定すれば良く、これにより、画素トランジスタのソース・ドレイン間

10

20

30

40

50

のリーク電流を画面全体に亘って均一にすることができる。ところが、プリチャージ信号レベルをブラックレベルに設定すると、逆に先述した縦スジが見えやすくなる。すなわち、縦方向のクロストークと縦スジとはトレードオフの関係にある。

#### 【0011】

このことから、ブラックレベルとグレーレベルを2ステップでプリチャージする点順次2ステッププリチャージ方式が提案されている。この点順次2ステッププリチャージ方式のアクティブマトリクス型液晶表示装置におけるプリチャージ駆動回路の構成例を図8に示す。

#### 【0012】

図8において、プリチャージ駆動回路100は、シフトレジスタ101およびプリチャージスイッチ回路102を有する回路構成となっている。シフトレジスタ101は、プリチャージスタートパルスPSTが入力されると、互いに逆相の水平クロックHCK, HCKXに同期してプリチャージスタートパルスPSTを順にシフト(転送)し、各シフト段(S/R)からプリチャージ制御パルスPCC1, PCC2, ...として順次出力する。

#### 【0013】

これらプリチャージ制御パルスPCC1, PCC2, ...は、プリチャージスイッチ回路102に供給される。このプリチャージスイッチ回路102にはさらに、プリチャージ信号ライン103oを通して奇数列用のプリチャージブラック信号PsigBoが、プリチャージ信号ライン103eを通して偶数列用のプリチャージブラック信号PsigBeが、プリチャージ信号ライン104oを通して奇数列用のプリチャージグレー信号PsigGoが、プリチャージ信号ライン104eを通して偶数列用のプリチャージグレー信号PsigGeがそれぞれ供給される。

#### 【0014】

プリチャージスイッチ回路102において、画素部の信号ライン105-1とプリチャージ信号ライン103oとの間にはプリチャージスイッチ106-1bが、信号ライン105-1とプリチャージ信号ライン104oとの間にはプリチャージスイッチ106-1gが、信号ライン105-2とプリチャージ信号ライン103eとの間にはプリチャージスイッチ106-2bが、信号ライン105-2とプリチャージ信号ライン104eとの間にはプリチャージスイッチ106-2gが、...それぞれ接続されている。

#### 【0015】

そして、これらプリチャージスイッチのドライブ信号としてシフトレジスタ101の各シフト段から出力されるプリチャージ制御パルスPCC1, PCC2, ...が用いられる。

#### 【0016】

具体的には、プリチャージスイッチ106-1bのスイッチドライブパルスPSD1bとして1段目のプリチャージ制御パルスPCC1が、プリチャージスイッチ106-1gのスイッチドライブパルスPSD1gとして3段目のプリチャージ制御パルスPCC3が、プリチャージスイッチ106-2bのスイッチドライブパルスPSD2bとして2段目のプリチャージ制御パルスPCC2が、プリチャージスイッチ106-2gのスイッチドライブパルスPSD2gとして4段目のプリチャージ制御パルスPCC4が、...それぞれ与えられる。

#### 【0017】

図9に、プリチャージスタートパルスPST、水平クロックHCK、ブラック系のスイッチドライブパルスPSD1b, PSD2b, ...およびグレー系のスイッチドライブパルスPSD1g, PSD2g, ...のタイミングチャートを示す。

#### 【0018】

ところで、ドットライン反転でかつ点順次プリチャージ駆動のアクティブマトリクス型液晶表示装置において、黒ウィンドウや黒線などの表示を行った場合には、図10に示すように、その境界部(濃度差が大きい部分)で水平(横方向)スキャン方向の手前に黒線が表示されるいわゆる尾引き(以下、これを横尾引きと称す)を発生する。このような横尾引きが発生することで、画品位が損ねられる。以下に、横尾引きの発生原因について述べ

10

20

30

40

50

る。

【0019】

ドットライン反転駆動では、先述したように、入力される映像信号の極性が奇数列と偶数列の画素ごとに、画素に共通に与えられるコモン電圧  $V_{com}$  を基準に正負に反転し、さらにそれが1Hごとに反転している。このときの画素電位の極性を図11に示す。同図において、コモン電圧  $V_{com}$  を基準としてそれよりも高い画素電位をHで、低い画素電位をLでそれぞれ示している。

【0020】

これにより、黒ウィンドウや黒線などの表示を行うとき、その境界部に対しては、図12に示すような画素電位の入力となる。図12において、Gはグレーレベルを、Bはブラックレベルをそれぞれ示している。

10

【0021】

図13には、点順次2ステッププリチャージ駆動を考慮した場合の信号ラインの電位変化を示す。ここで、一例として、プリチャージグレー信号のHレベルを10V、Lレベルを5V、プリチャージブラック信号のHレベルを13V、Lレベルを2Vにそれぞれ設定している。なお、通常の画素信号としては、グレー信号のHレベルが9V、Lレベルが6V、ブラック信号のHレベルが13V、Lレベルが2Vとなっている。

【0022】

ここで、図13から明らかなように、信号ラインの電位は奇数列では、N段目画素電位のグレーL プリチャージブラックH プリチャージグレーH N+1段目画素電位のブラックHと変化する。一方、偶数列では、N段目画素電位のブラックH プリチャージブラックL プリチャージグレーL N+1段目画素電位のブラックLと変化する。

20

【0023】

このとき、N段目画素電位からプリチャージブラック信号レベルへの電位変化は、奇数列側で+7V、偶数列側で-11Vとなるために互いに打ち消し合わない。この奇数列側と偶数列側の電位差が原因となって、先述した横尾引きが発生することになる。一般的に、信号ラインの電位変化は、画素トランジスタのゲート電極が行単位で接続されるゲートラインや画素にコモン電圧  $V_{com}$  を供給するCsラインへ寄生容量を介してカップリングしてしまう。

【0024】

すなわち、図12に示すような画素電位による黒ウィンドウや黒線などの表示の際には、このカップリングが奇数列と偶数列とで打ち消し合えず、それが原因となってゲートライン、Csライン共にゆれが乗ってしまう。このゆれがウィンドウ帯と同じく他画素に映像信号を書き込むときに入ってしまうので、ウィンドウの横尾引きが発生してしまうのである。

30

【0025】

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、ドットライン反転でかつ点順次プリチャージ駆動において、黒ウィンドウや黒線などの表示時における境界部の横尾引きを無くした表示装置およびその駆動方法を提供することにある。

【0026】

40

【課題を解決するための手段】

本発明による表示装置は、画素が行列状に配置され、各画素列ごとに信号ラインが配線されるとともに、隣り合う画素列間で奇数行離れた2行を単位としてゲートラインが配線されてなる画素部と、この画素部の各画素を行方向に走査しつつ前記ゲートラインに対して走査パルスを与える第1の駆動手段と、この第1の駆動手段から走査パルスが与えられたゲートラインに接続されて隣り合う画素に対して信号ラインを通して逆極性の映像信号を順次供給する第2の駆動手段と、この第2の駆動手段による信号ラインへの逆極性の映像信号の供給に先立って、先ず、水平ブランキング期間内において一定レベルのプリチャージ信号を一括して供給し、続いて逆極性の映像信号の各々と同極性のブラックレベルのプリチャージ信号および所定色レベルのプリチャージ信号を順に供給する第3の駆動手段と

50

を備えた構成となっている。

【 0 0 2 7 】

上記構成の表示装置において、第 1 の駆動手段による垂直走査によって選択された画素に対して、第 2 の駆動手段によって水平走査を行う際に、逆極性の映像信号を信号ラインへ供給するのに先立って、第 3 の駆動手段は先ず、水平ブランキング期間内において一定レベルのプリチャージ信号を一括して供給し、続いて逆極性の映像信号の各々と同極性のブラックレベルのプリチャージ信号と所定色レベルのプリチャージ信号とを順に供給する。その後、第 2 の駆動手段による逆極性の映像信号の信号ラインへの供給動作に移行する。

【 0 0 2 8 】

【 発明の実施の形態 】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【 0 0 2 9 】

図 1 は、本発明に係るドットライン反転駆動-点順次 2 ステッププリチャージ駆動方式のアクティブマトリクス型液晶表示装置の構成例を示す回路図である。ここでは、図面の簡略化のために、6 行 4 列の画素配列の場合を例に採って示している。なお、1 行目と 6 行目については、画素を 1 列おきに配置し、また映像信号を書き込まず、特定の色信号、例えば黒信号を書き込むダミーの画素配列となっている。

【 0 0 3 0 】

図 1 において、6 行 × 4 列分の画素 1 1 が行列状に配置されている。ただし、1 行目については奇数列の画素のみが、6 行目については偶数列の画素のみがダミー画素としてそれぞれ配置されている。画素 1 1 の各々は、画素トランジスタである薄膜トランジスタ T F T と、この薄膜トランジスタ T F T のドレイン電極に画素電極が接続された液晶セル L C と、薄膜トランジスタ T F T のドレイン電極に一方の電極が接続された保持容量 C s とから構成されている。

【 0 0 3 1 】

これら画素 1 1 の各々に対して、信号ライン 1 2 -1 ~ 1 2 -4 が各列ごとにその画素配列方向に沿って配線されている。一方、ゲートライン 1 3 -1 ~ 1 3 -5 は、各行ごとにその画素配列方向に沿ってではなく、奇数行離れた 2 ライン、例えば上下 2 ライン（上下 2 行）を単位としてその 2 行の画素間で蛇行して配線されている。

【 0 0 3 2 】

具体的には、ゲートライン 1 3 -1 は、1 行 1 列目、2 行 2 列目、1 行 3 列目、2 行 4 列目の各画素に対して配線されている。ゲートライン 1 3 -2 は、2 行 1 列目、3 行 2 列目、2 行 3 列目、3 行 4 列目の各画素に対して配線されている。ゲートライン 1 3 -3, 1 3 -4, 1 3 -5 についても同様にして、上下 2 ラインの画素間で蛇行して配線されている。

【 0 0 3 3 】

画素 1 1 の各々において、薄膜トランジスタ T F T のソース電極（または、ドレイン電極）は、対応する信号ライン 1 2 -1 ~ 1 2 -4 に各々接続されている。また、液晶セル L C の対向電極および保持容量 C s の他方の電極は、各画素間で共通に C s ライン 1 4 に接続されている。この C s ライン 1 4 には、所定の直流電圧がコモン電圧 V c o m として与えられる。

【 0 0 3 4 】

また、ゲートライン 1 3 -1 ~ 1 3 -5 に対しての接続関係は次のようになっている。すなわち、奇数列（1 列，3 列）については、各行（1 行目 ~ 5 行目）ごとに対応する行のゲートライン 1 3 -1 ~ 1 3 -5 に各画素の薄膜トランジスタ T F T のゲート電極が接続され、偶数列（2 列目，4 列目）については、各行（2 行目 ~ 6 行目）ごとに 1 行上の行のゲートライン 1 3 -1 ~ 1 3 -5 に各画素の薄膜トランジスタ T F T のゲート電極が接続されている。

【 0 0 3 5 】

以上により、画素 1 1 が行列状に配置され、これら画素 1 1 に対して信号ライン 1 2 -1 ~ 1 2 -4 が各列ごとに配線されかつゲートライン 1 3 -1 ~ 1 3 -5 が隣り合う画素列間で奇数

10

20

30

40

50

行離れた2行、例えば上下2行を単位としてこれら2行の画素間で蛇行して配線されてなる画素部15が構成されている。この画素部15において、ゲートライン13-1~13-5の各一端は、画素部15の例えば左側に配置された垂直駆動回路16の各行の出力端に接続されている。

#### 【0036】

垂直駆動回路16は、1フィールド期間ごとに垂直方向(行方向)に走査してゲートライン13-1~13-5に上下2行間で交互に接続された各画素11を順次選択する処理を行う。すなわち、垂直駆動回路16からゲートライン13-1に対して走査パルスVg1が与えられたときは、1行1列目、2行2列目、1行3列目、2行4列目の各画素が選択される。

10

#### 【0037】

ゲートライン13-2に対して走査パルスVg2が与えられたときは、2行1列目、3行2列目、2行3列目、3行4列目の各画素が選択される。以下同様にして、ゲートライン13-3, 13-4, 13-5に対して走査パルスVg3, Vg4, Vg5が順に与えられるときにも、上下2行間で水平方向(列方向)において交互に画素の選択が行われる。垂直駆動回路16の具体的な構成については、後で詳細に説明する。

#### 【0038】

画素部15の例えば上側には、水平駆動回路17が配置されている。この水平駆動回路17は、例えば2系統で入力される映像信号video1, 2を1Hごとに順次サンプリングし、垂直駆動回路16によって選択された各画素11に対して書き込む処理を行う。2系統の映像信号video1, 2としては、1Hごとに極性が反転しかつある基準電位(コモン電圧Vcom)に対して互いに逆極性の映像信号が入力される。ここでは、コモン電圧Vcomに対して映像信号の電位が高い場合を正極性(H)、低い場合を負極性(L)とする。

20

#### 【0039】

映像信号video1を入力するビデオライン18-1と画素部15の例えば奇数列の信号ライン12-1, 12-3の各々との間には、サンプリングスイッチSW1, SW3がそれぞれ接続されている。また、映像信号video2を入力するビデオライン18-2と画素部15の偶数列の信号ライン12-2, 12-4との間には、サンプリングスイッチSW2, SW4がそれぞれ接続されている。

30

#### 【0040】

そして、サンプリングスイッチSW1~SW4は、2個ずつ対(SW1とSW2, SW3とSW4)となっており、水平駆動回路17から順に出力されるサンプリングパルスVh1, Vh2に応答して順次オン動作を行うことにより、互いに逆極性の2系統の映像信号video1, 2を、2列(2画素)単位で信号ライン12-1~12-4を通して書き込むようになっている。

#### 【0041】

画素部15の例えば下側には、プリチャージ駆動回路19が配置されている。このプリチャージ駆動回路19は、映像信号video1, 2の書き込みによる充放電電流をなるべく抑えるために、映像信号video1, 2の書き込みに先立って、ブラックレベルのプリチャージ信号および所定の色レベル、例えばグレーレベルのプリチャージ信号を点順次2ステップにてあらかじめ書き込む処理を行う。このプリチャージ駆動回路19の具体的な構成および動作については、後で詳細に説明する。

40

#### 【0042】

次に、上記構成のドットライン反転駆動-点順次2ステッププリチャージ駆動方式のアクティブマトリクス型液晶表示装置において、その基本的な動作について図2のタイミングチャートを参照して説明する。なお、6行×4列の画素配列において、各画素のアドレスを図3に示すように付すものとする。ここで、dはダミーの画素を表している。

#### 【0043】

先ず最初の1ライン目において、垂直駆動回路16から走査パルスVg1が出力されると

50

、この走査パルス  $V_{g1}$  がゲートライン 13-1を通して画素  $d-1$  , 1-2 ,  $d-3$  , 1-4 の各薄膜トランジスタ TFT のゲート電極に印加されるため、これら画素  $d-1$  , 1-2 ,  $d-3$  , 1-4 がオン状態となる。

【0044】

ここで、互いに逆極性の映像信号  $video1$  , 2 がビデオライン 18-1 , 18-2を通して入力される一方、水平駆動回路 17 から順にサンプリングパルス  $V_{h1}$  ,  $V_{h2}$  が出力されることで、サンプリングスイッチ  $SW1$  と  $SW2$  、  $SW3$  と  $SW4$  が対で順次オン状態となる。

【0045】

すると、互いに逆極性の映像信号  $video1$  , 2 が、まず、サンプリングスイッチ  $SW1$  ,  $SW2$  を通して信号ライン 12-1 , 12-2 に与えられる。これにより、画素  $d-1$  には負極性 (図 3 中、L と記す) の映像信号  $video1$  が、画素 1-2 には正極性 (図 3 中、H と記す) の映像信号  $video2$  がそれぞれ書き込まれることになる。ただし、このときの映像信号  $video1$  としては黒信号を入力し、ダミー画素  $d-1$  には黒信号を書き込むものとする。

10

【0046】

続いて、サンプリングスイッチ  $SW3$  ,  $SW4$  を通して信号ライン 12-3 , 12-4 に映像信号  $video1$  , 2 が与えられる。これにより、画素  $d-3$  には負極性の映像信号  $video1$  が、画素 1-4 には正極性の映像信号  $video2$  がそれぞれ書き込まれることになる。このときにも、映像信号  $video1$  として黒信号が入力されることで、ダミー画素  $d-3$  には黒信号が書き込まれることになる。

20

【0047】

次に、2 ライン目において、垂直駆動回路 16 から走査パルス  $V_{g2}$  が出力されると、この走査パルス  $V_{g2}$  がゲートライン 13-2を通して画素 1-1 , 2-2 , 1-3 , 2-4 の各薄膜トランジスタ TFT のゲート電極に印加され、これら画素 1-1 , 2-2 , 1-3 , 2-4 がオン状態となる。2 ライン目では、映像信号  $video1$  , 2 の基準電位に対する極性が反転する。

【0048】

すなわち、1 ライン目では映像信号  $video1$  が負極性、映像信号  $video2$  が正極性であったのが、2 ライン目では映像信号  $video1$  が正極性、映像信号  $video2$  が負極性となる。そして、水平駆動回路 17 から再び順にサンプリングパルス  $V_{h1}$  ,  $V_{h2}$  が出力されることで、サンプリングスイッチ  $SW1$  と  $SW2$  、  $SW3$  と  $SW4$  が対で順次オン状態となる。

30

【0049】

すると、互いに逆極性の映像信号  $video1$  , 2 が、まず、サンプリングスイッチ  $SW1$  ,  $SW2$  を通して信号ライン 12-1 , 12-2 に与えられる。これにより、画素 1-1 には正極性の映像信号  $video1$  が、画素 2-2 には負極性の映像信号  $video2$  がそれぞれ書き込まれることになる。続いて、サンプリングスイッチ  $SW3$  ,  $SW4$  を通して信号ライン 12-3 , 12-4 に映像信号  $video1$  , 2 が与えられる。これにより、画素 1-3 には正極性の映像信号  $video1$  が、画素 2-4 には負極性の映像信号  $video2$  がそれぞれ書き込まれることになる。

40

【0050】

以降、互いに逆極性の映像信号  $video1$  , 2 が 1 H ごとに基準電位に対する極性が反転して入力される一方、上述した動作が繰り返されることにより、垂直駆動回路 16 による行方向 (垂直方向) の走査および水平駆動回路 17 による列方向 (水平方向) の走査が行われる。なお、ゲートライン 13-5 に対する走査の場合においては、映像信号  $video2$  として黒信号を入力し、ダミー画素  $d-2$  ,  $d-4$  に対して黒信号を書き込むものとする。

【0051】

上述したように、例えば 2 系統の映像信号  $video1$  , 2 をある基準電位に対して逆

50



極性で入力する一方、この逆極性の映像信号  $v i d e o 1, 2$  を、隣り合う画素列間で奇数行離れた 2 行（本例では、上下 2 行）の画素に同時に書き込むとともに、書き込んだ後の画素配列において画素の極性を、図 3 に示すように、隣り合う左右の画素では同極性とし、上下の画素では逆極性となるドットライン反転駆動を行うことにより、以下に記するような作用効果が得られる。

【 0 0 5 2 】

すなわち、図 2 のタイミングチャートから明らかなように、サンプリングパルス  $V h 1, V h 2$  が順に出力され、サンプリングスイッチ  $S W 1$  と  $S W 2, S W 3$  と  $S W 4$  が対で順次オン状態になると、信号ライン  $1 2 - 1$  と  $1 2 - 2, 1 2 - 3$  と  $1 2 - 4$  には、ある基準電位に対して互いに逆極性の映像信号  $v i d e o 1, 2$  が与えられるため、横方向のクロストークやシェーディング、さらには縦方向のクロストーク等の画質不良を改善できる。

10

【 0 0 5 3 】

すなわち、 $C s$  ライン  $1 4$  に画素間で抵抗分が存在することに起因して、映像信号  $v i d e o 1, 2$  が信号ライン  $1 2 - 1 \sim 1 2 - 4$  と  $C s$  ライン  $1 4$  との間に存在する寄生容量や画素  $1 1$  の保持容量  $C s$  等を介して  $C s$  ライン  $1 4$  へ飛び込むのを、隣り合う信号ラインに互いに逆極性の映像信号  $v i d e o 1, 2$  を与えることによってキャンセルできるため、 $C s$  ライン  $1 4$  の電位のゆれは生じなく、したがって横方向のクロストークの発生を抑えたり、シェーディング不良を解消できるのである。

【 0 0 5 4 】

また、薄膜トランジスタ  $T F T$  のソース/ドレイン電極と信号ライン  $1 2 - 1 \sim 1 2 - 4$  の各々との間に存在する寄生容量に起因して、信号ライン  $1 2 - 1 \sim 1 2 - 4$  における  $1 H$  ごとの電位のゆれが薄膜トランジスタ  $T F T$  のソース/ドレインカップリングによって画素に飛び込むのを、隣り合う信号ラインに互いに逆極性の映像信号  $v i d e o 1, 2$  を与えることによってキャンセルできるため、縦方向のクロストークの発生を抑えることができる。これにより、映像信号  $v i d e o 1, 2$  を十分なレベルで書き込むことができるため、コントラストを向上できることになる。

20

【 0 0 5 5 】

さらに、互いに逆極性の映像信号  $v i d e o 1, 2$  の画素への書き込みを、ドット反転駆動方式の場合のように水平 1 ラインで行うのではなく、異なる 2 ライン（本例では、上下 2 ライン）間において 1 画素おき（1 列おき）に行うことにより、映像信号の書き込み後の画素配列において、各画素の極性は、図 3 から明らかなように、隣り合う左右の画素で同極性となるため、ドット反転駆動方式の場合に問題となるドメインは発生しない。これにより、画素の開口率を低下させてなくて済むため、コントラストが低下することもない。

30

【 0 0 5 6 】

なお、ここでは、映像信号として 2 系統の映像信号  $v i d e o 1, 2$  を入力するとしたが、映像信号の入力数は 2 系統に限られるものではなく、 $2 m$ （ $m$  は整数）系統であれば良い。さらに、逆極性の映像信号  $v i d e o 1, 2$  を上下 2 行の画素に同時に書き込む構成としたが、必ずしも上下 2 行である必要はなく、要は、映像信号を書き込んだ後の画素配列において、画素の極性が隣り合う左右の画素で同極性となり、かつ上下の画素で逆極性となるように、異なる水平ラインの画素に同時に書き込める構成であれば良い。

40

【 0 0 5 7 】

また、上記の例では、アナログ映像信号を入力とし、これをサンプリングして点順次にて各画素を駆動するアナログインターフェース駆動回路を搭載した液晶表示装置に適用した場合について説明したが、ディジタル映像信号を入力とし、これをラッチした後アナログ映像信号に変換し、このアナログ映像信号をサンプリングして点順次にて各画素を駆動するディジタルインターフェース駆動回路を搭載した液晶表示装置にも、同様に適用可能である。

【 0 0 5 8 】

以上説明したドットライン反転駆動-点順次 2 ステッププリチャージ駆動方式のアクティ

50

ブマトリクス型液晶表示装置において、本発明では、プリチャージ駆動回路 19 の具体的な構成およびその駆動方法の特徴としている。

【0059】

図 4 は、プリチャージ駆動回路 19 の具体的な構成の一例を示すブロック図である。図 4 において、本例に係るプリチャージ駆動回路 19 は、シフトレジスタ 21、論理ゲート回路 22 およびプリチャージスイッチ回路 23 を有する回路構成となっている。

【0060】

シフトレジスタ 21 には、プリチャージの開始を指令するプリチャージスタートパルス P S T と、水平駆動回路 17 での水平走査の基準となる互いに逆相の水平クロック H C K , H C K X が入力される。シフトレジスタ 21 は、プリチャージスタートパルス P S T が入力されると、水平クロック H C K , H C K X に同期してプリチャージスタートパルス P S T を順にシフトし、各シフト段 ( S / R ) からプリチャージ制御パルス P C C 1 , P C C 2 , ……として順次出力する。

【0061】

これらプリチャージ制御パルス P C C 1 , P C C 2 , ……は、論理ゲート回路 22 に供給される。論理ゲート回路 22 にはさらに、一括プリチャージパルス F P C G がインバータ 24 で反転されて入力される。この一括プリチャージパルス F P C G については後で説明する。論理ゲート回路 22 は、画素部 15 の信号ライン 12-1, 12-2, ……に対応して設けられた N A N D ゲート 221-1, 221-2, ……およびインバータ 222-1, 222--2, 222-3, ……を有する構成となっている。

【0062】

この論理ゲート回路 22 において、N A N D ゲート 221-1, 221-2, ……には、各一方の入力としてインバータ 24 で反転された一括プリチャージパルス F P C G が与えられ、各他方の入力としてシフトレジスタ 21 の 3 段目以降の各シフト段 ( S / R ) から順次出力されるプリチャージ制御パルス P C C 3 , P C C 4 , ……が与えられる。

【0063】

通常、一括プリチャージパルス F P C G が L レベルの状態にあり、したがって N A N D ゲート 221-1, 221-2, ……の各一方の入力が H レベルの状態にあり、また各他方の入力も H レベルの状態にある。そして、シフトレジスタ 21 の 3 段目以降の各シフト段からプリチャージ制御パルス P C C 3 , P C C 4 , ……が順次出力され、N A N D ゲート 221-1, 221-2, ……の各他方の入力に L レベルのパルスが与えられることで、N A N D ゲート 221-1, 221-2, ……から順次 H レベルのパルスが出力される。

【0064】

プリチャージスイッチ回路 23 には、プリチャージ信号ライン 25 o を通して奇数列用のプリチャージブラック信号 P s i g B o が、プリチャージ信号ライン 25 e を通して偶数列用のプリチャージブラック信号 P s i g B e が、プリチャージ信号ライン 26 o を通して奇数列用のプリチャージグレー信号 P s i g G o が、プリチャージ信号ライン 26 e を通して偶数列用のプリチャージグレー信号 P s i g G e がそれぞれ供給される。

【0065】

このプリチャージスイッチ回路 23 において、画素部 15 の信号ライン 12-1 とプリチャージ信号ライン 25 o との間にはプリチャージスイッチ 27-1 b が、信号ライン 12-1 とプリチャージ信号ライン 26 o との間にはプリチャージスイッチ 27-1 g が、信号ライン 12-2 とプリチャージ信号ライン 25 e との間にはプリチャージスイッチ 27-2 b が、信号ライン 12-2 とプリチャージ信号ライン 26 e との間にはプリチャージスイッチ 27-2 g が、……それぞれ接続されている。

【0066】

そして、これらプリチャージスイッチのドライブ信号としてシフトレジスタ 21 の各シフト段から出力されるプリチャージ制御パルス P C C 1 , P C C 2 , P C C 3 , ……および論理ゲート回路 22 における N A N D ゲート 221-1, 221-2, 221-3, ……の各出力パルスが用いられる。

## 【 0 0 6 7 】

具体的には、プリチャージスイッチ 2 7 -1 b のスイッチドライブパルス P S D 1 b として 1 段目のプリチャージ制御パルス P C C 1 が、プリチャージスイッチ 2 7 -1 g のスイッチドライブパルス P S D 1 g として N A N D ゲート 2 2 1 -1 の出力パルスが、プリチャージスイッチ 2 7 -2 b のスイッチドライブパルス P S D 2 b として 2 段目のプリチャージ制御パルス P C C 2 が、プリチャージスイッチ 2 7 -2 g のスイッチドライブパルス P S D 2 g として N A N D ゲート 2 2 1 -2 の出力パルスが、.....それぞれ与えられる。

## 【 0 0 6 8 】

図 5 に、イネーブルパルス E N B、一括プリチャージパルス F P C G、プリチャージスタートパルス P S T、水平クロック H C K、ブラック系のスイッチドライブパルス P S D 1 b, P S D 2 b, .....およびグレー系のスイッチドライブパルス P S D 1 g, P S D 2 g, .....のタイミングチャートを示す。

## 【 0 0 6 9 】

ここで、イネーブルパルス E N B は、1 H の周期で発生されるパルスであり、垂直駆動回路 1 6 での垂直走査の際に、その H レベルの期間に各行ごとに 1 行分の画素に対する映像信号 v i d e o 1, 2 の書き込み動作を許容するとともに、その L レベルの期間が次の行へ移行する期間であり、この期間では画素トランジスタ（薄膜トランジスタ T F T）をオフ状態とすることで、画素 1 1 への映像信号 v i d e o 1, 2 の書き込みを禁止する。

## 【 0 0 7 0 】

よって、図 6 のタイミングチャートから明らかなように、イネーブルパルス E N B の L レベル期間は水平ブランキング期間（約 2 . 9  $\mu$  s e c）内の僅かな期間で発生する。図 6 のタイミングチャートにおいて、H S T は水平走査の開始を指令する水平スタートパルス、V C K は垂直走査の基準となる垂直クロック、F R P は映像信号 v i d e o 1, 2 の極性が反転するタイミングパルスである。

## 【 0 0 7 1 】

これらのタイミング関係において、一括プリチャージパルス F P C G は、水平ブランキング期間内、好ましくはイネーブルパルス E N B の L レベル期間における一部の期間において、例えば垂直クロック V C K に同期して H レベルとなる。この一括プリチャージパルス F P C G を含む各種のタイミング信号は、図示せぬタイミング生成回路で生成される。

## 【 0 0 7 2 】

上記構成のプリチャージ駆動回路 1 9 は、水平駆動回路 1 7 による水平走査時に、互いに逆極性の映像信号 v i d e o 1, 2 が信号ライン 1 2 -1, 1 2 -2, .....に書き込まれるのに先立って、後述する一括プリチャージを行うとともに、映像信号 v i d e o 1 と同極性で入力されるプリチャージブラック信号 P s i g B o およびプリチャージグレー信号 P s i g G o と、映像信号 v i d e o 2 と同極性で入力されるプリチャージブラック信号 P s i g B e およびプリチャージグレー信号 P s i g G e とを信号ライン 1 2 -1, 1 2 -2, ... に書き込む 2 ステッププリチャージを行う。

## 【 0 0 7 3 】

ここで、プリチャージ駆動回路 1 9 におけるプリチャージ動作について、図 5 のタイミングチャートを用いて説明する。

## 【 0 0 7 4 】

まず、一括プリチャージの動作について説明する。水平ブランキング期間内、例えばイネーブル信号 E N B の L レベル期間内において一括プリチャージパルス F P C G が入力されると、この一括プリチャージパルス F P C G が論理ゲート回路 2 2 の N A N D ゲート 2 2 1 -1, 2 2 1 -2, .....を通過してグレー系のスイッチドライブパルス P S D 1 g, P S D 2 g, .....として、プリチャージスイッチ 2 7 -1 g, 2 7 -2 g, .....に同時に与えられる。

## 【 0 0 7 5 】

これにより、プリチャージスイッチ 2 7 -1 g, 2 7 -2 g, .....が一斉にオン状態となり、前段画素電位と同極性のプリチャージグレー信号を全ての信号ライン 1 2 -1, 1 2 -2, ...

10

20

30

40

50

...に書き込む。このとき、プリチャージグレー信号  $PsigGo$ ,  $PsigGe$  が画素に書き込まれないようにするために、図 6 のタイミングチャートから明らかなように、一括プリチャージパルス  $FPCG$  をイネーブル信号  $ENB$  の立下がりタイミング以後に発生させ、前段画素電位と同極性のプリチャージグレー信号を書き込むために、タイミングパルス  $FRP$  の立ち上がりタイミング以前に消滅させることが必要である。

#### 【0076】

この一括プリチャージを伴うプリチャージ動作時の信号ラインの電位変化を図 7 に示す。ここで、一例として、点順次プリチャージグレー信号の H レベルを 10 V、L レベルを 5 V、点順次プリチャージブラック信号の H レベルを 13 V、L レベルを 2 V に、また一括プリチャージグレー信号の H レベルを 10 V、L レベルを 5 V にそれぞれ設定している。

10

なお、通常の画素信号としては、グレー信号の H レベルが 9 V、L レベルが 6 V、ブラック信号の H レベルが 13 V、L レベルが 2 V となっている。

#### 【0077】

この信号ラインの電位変化からも明らかなように、各画素に対して映像信号が書き込まれない水平ブランキング期間において、一括プリチャージによって信号ライン 12-1, 12-2, ... の各々に対して、一定レベル（本例では、H レベルが 10 V、L レベルが 5 V）のプリチャージグレー信号を書き込むことにより、コモン電圧  $V_{com}$  に対する信号ライン 12-1, 12-2, ... の電位振幅を、奇数列と偶数列とで等しくすることができる。

#### 【0078】

これにより、その後点順次プリチャージブラック信号を書き込むときの信号ライン 12-1, 12-2, ... の電位変化が、奇数列で +8 V、偶数列で -8 V となり、それらの絶対値が等しくなるため、信号ライン 12-1, 12-2, ... から  $Cs$  ライン 14 やゲートライン 13-1, 13-2, ... へのカップリングを完全にキャンセルすることができる。その結果、 $Cs$  ライン・ゲートライン共にゆれが入らないため、そのゆれに起因する横尾引きが発生することもない。

20

#### 【0079】

なお、N 段目の画素電位から一括プリチャージへの電位変化は、奇数列の場合 -1 V、偶数列の場合 -3 V となり、それらの絶対値が異なる。したがって、このときの信号ライン 12-1, 12-2, ... から  $Cs$  ライン 14 やゲートライン 13-1, 13-2, ... へのカップリングについてはキャンセルすることができず、 $Cs$  ライン・ゲートライン共にゆれが

30

#### 【0080】

しかし、一括プリチャージは画素トランジスタ（薄膜トランジスタ  $TFT$ ）がオフ状態にある水平ブランキング期間内において実行され、このゆれは当該ブランキング期間内に入ることになるため、 $Cs$  ライン・ゲートラインのゆれに起因する横尾引きが発生することはない。

#### 【0081】

なお、ここでは、一括プリチャージの際のプリチャージ信号として、前段画素電位と同極性のプリチャージグレー信号（5 V）を用いるとしたが、そのレベルは任意であり、また必ずしも前段画素電位と同極性である必要はない。ただし、水平ブランキング期間内の極めて短い期間で一括プリチャージが行われることから、その直後に実行される点順次プリチャージブラック信号の書き込みを確実にを行うためには、前段画素電位と同極性である方が好ましい。

40

#### 【0082】

続いて、点順次 2 ステップでのプリチャージ動作について説明する。プリチャージスタートパルス  $PST$  がシフトレジスタ 21 に与えられると、シフトレジスタ 21 の各シフト段からは水平クロック  $HCK$ ,  $HCKX$  に同期してプリチャージ制御パルス  $PC1$ ,  $PC2$ ,  $PC3$ , ... が順次出力される。

#### 【0083】

そして、これらプリチャージ制御パルス  $PC1$ ,  $PC2$ , ... がブラック系のスイッ

50

チドライブパルス  $PSD1b$ ,  $PSD2b$ , ... として、さらに  $NAND$  ゲート  $22-1$ ,  $22-1-2$ , ... の各出力パルスがグレー系のスイッチドライブパルス  $PSD1g$ ,  $PSD2g$ , ... として、プリチャージスイッチ  $27-1b$ ,  $27-2b$ , ... およびプリチャージスイッチ  $27-1g$ ,  $27-2g$ , ... に順次与えられる。

#### 【0084】

この一連の動作により、垂直駆動回路  $16$  での垂直走査によって選択された各行ごとに、各画素に互いに逆極性の映像信号  $video1$ ,  $2$  が書き込まれるのに先立って、映像信号  $video1$  と同極性で入力されるプリチャージブラック信号  $PsigBo$  およびプリチャージグレー信号  $PsigGo$  と、映像信号  $video2$  と同極性で入力されるプリチャージブラック信号  $PsigBe$  およびプリチャージグレー信号  $PsigGe$  が  $2$  ステップにて書き込まれる。

10

#### 【0085】

なお、上記実施形態では、画素の表示エレメントとして液晶セルを用いた液晶表示装置に適用した場合を例に採って説明したが、液晶表示装置への適用に限られるものではなく、ドットライン反転駆動-点順次プリチャージ駆動方式を採用した表示装置全般に適用可能である。

#### 【0086】

#### 【発明の効果】

以上説明したように、本発明によれば、ドットライン反転駆動-点順次プリチャージ駆動方式表示装置において、水平走査の際に、逆極性の映像信号を信号ラインへ供給するのに先立って先ず、水平ブランキング期間内において一定レベルのプリチャージ信号を一括して書き込み、その後  $2$  ステッププリチャージを行うようにしたことにより、プリチャージブラック信号の書き込み時の信号ラインから  $Cs$  ラインやゲートラインへのカップリングをキャンセルできるため、黒ウィンドウや黒線などの表示時における境界部の横尾引きを無くすることができる。

20

#### 【図面の簡単な説明】

【図1】本発明に係るドットライン反転駆動-点順次  $2$  ステッププリチャージ駆動方式のアクティブマトリクス型液晶表示装置の構成例を示す回路図である。

【図2】ドットライン反転駆動の基本的な動作説明のタイミングチャートである。

【図3】ドットライン反転駆動の場合の各画素のアドレスと各画素に書き込まれる映像信号の極性を示す図である。

30

【図4】本発明に係るプリチャージ駆動回路の具体的な構成の一例を示すブロック図である。

【図5】本発明に係るプリチャージ駆動回路の回路動作を説明するためのタイミングチャートである。

【図6】一括プリチャージが実行されるタイミングを示すタイミングチャートである。

【図7】一括プリチャージを伴うプリチャージ動作時の信号ラインの電位変化を示すポテンシャル図である。

【図8】従来例に係るプリチャージ駆動回路の構成の一例を示すブロック図である。

【図9】従来例に係るプリチャージ駆動回路の回路動作を説明するためのタイミングチャートである。

40

【図10】黒ウィンドウ表示時の表示状態を示す図である。

【図11】ドットライン反転駆動時における画素電位の極性を示す図である。

【図12】黒ウィンドウや黒線の表示時における境界部の画素電位を示す図である。

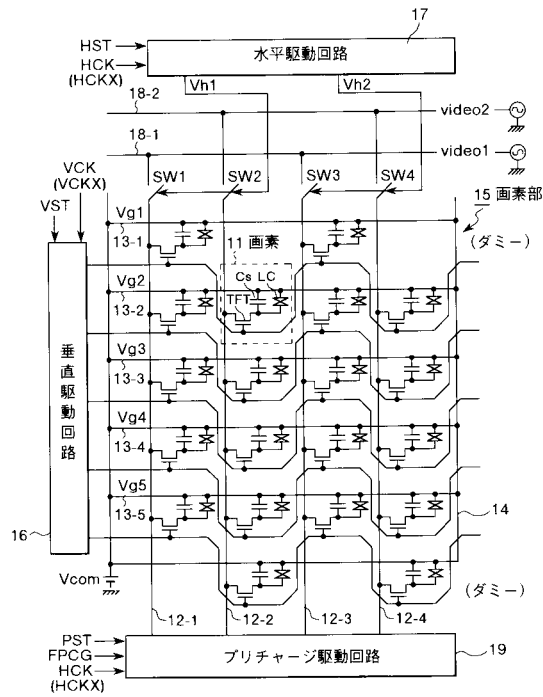
【図13】点順次  $2$  ステッププリチャージ駆動時の信号ラインの電位変化を示すポテンシャル図である。

#### 【符号の説明】

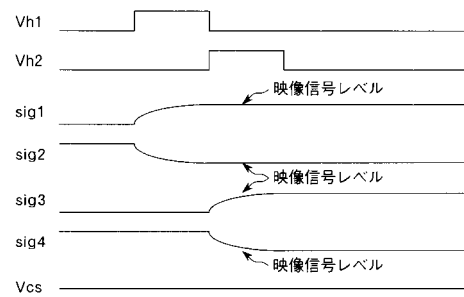
$11$  ... 画素、 $12-1 \sim 12-4$  ... 信号ライン、 $13-1 \sim 13-5$  ... ゲートライン、 $15$  ... 画素部、 $16$  ... 垂直駆動回路、 $17$  ... 水平駆動回路、 $19$  ... プリチャージ駆動回路、 $21$  ... シフトレジスタ、 $22$  ... 論理ゲート回路、 $23$  ... プリチャージスイッチ回路

50

【図 1】



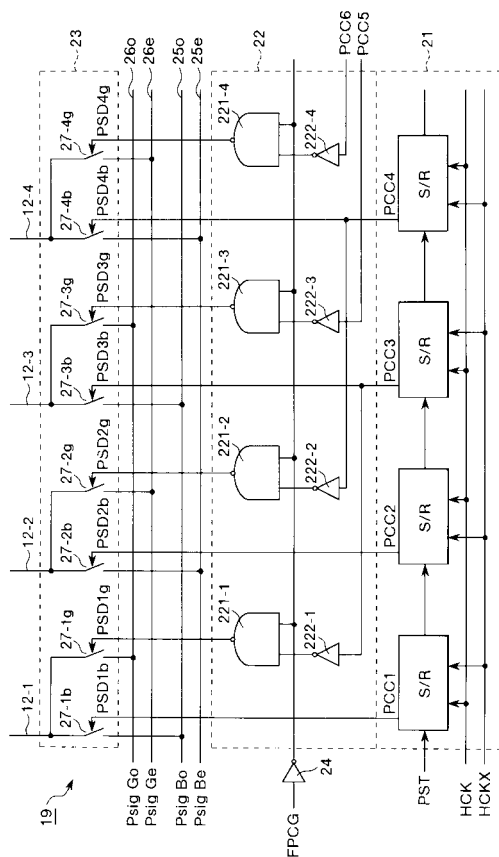
【図 2】



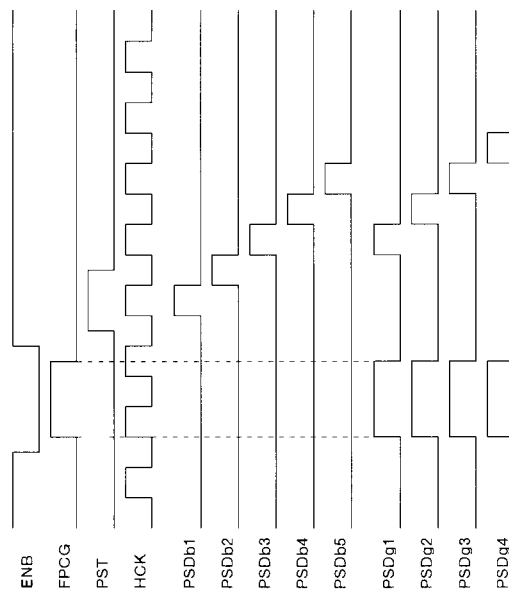
【図 3】

(d-1) L		(d-3) L		(ダミー)
(1-1) H	(1-2) H	(1-3) H	(1-4) H	1行目
(2-1) L	(2-2) L	(2-3) L	(2-4) L	2行目
(3-1) H	(3-2) H	(3-3) H	(3-4) H	3行目
(4-1) L	(4-2) L	(4-3) L	(4-4) L	4行目
	(d-2) H		(d-4) H	(ダミー)

【図 4】

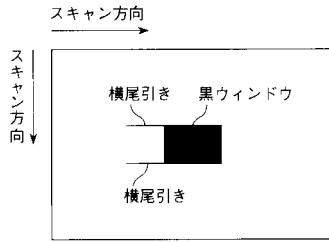


【図 5】



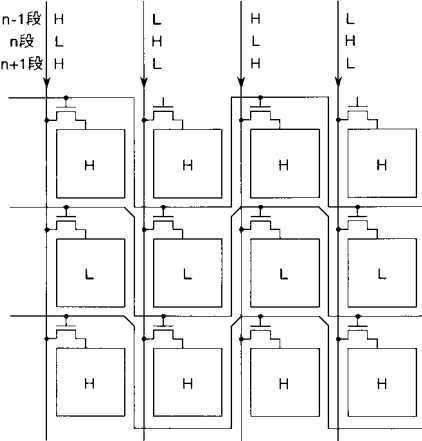


【図 10】

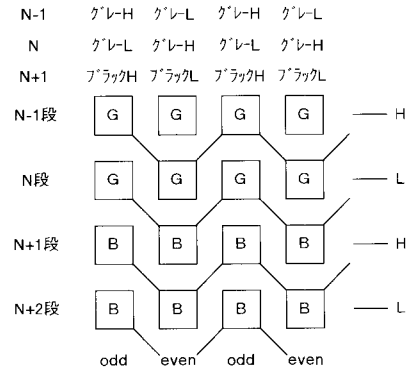


【図 11】

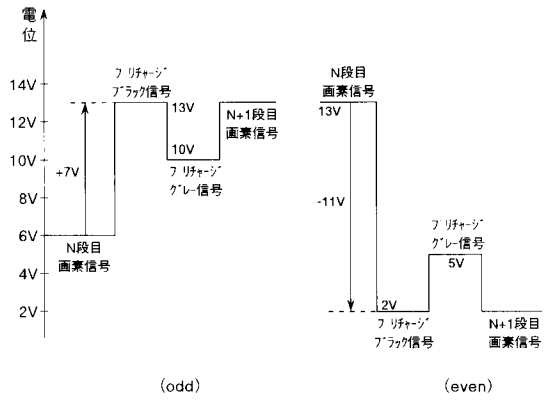
データが入る順番



【図 12】



【図 13】





---

フロントページの続き

審査官 武田 悟

(56)参考文献 特開平 6 - 2 6 5 8 4 6 ( J P , A )  
特開平 2 - 2 0 4 7 1 8 ( J P , A )  
特開平 1 0 - 1 4 3 1 1 3 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
G09G 3/00 - 3/38  
G02F 1/133

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	<a href="#">JP4894081B2</a>	公开(公告)日	2012-03-07
申请号	JP2000177928	申请日	2000-06-14
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	山下淳一 鹿島丈泰		
发明人	山下 淳一 鹿島 丈泰		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3614 G09G3/3648 G09G3/3688 G09G2310/0248 G09G2310/0297 G09G2320/0209		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.612.T G09G3/20.621.B G09G3/20.642.A		
F-TERM分类号	2H093/NA18 2H093/NA31 2H093/NA33 2H093/NA42 2H093/NC22 2H093/NC23 2H093/ND15 2H093/ND60 2H193/ZA04 2H193/ZA08 2H193/ZB46 2H193/ZC04 2H193/ZC15 2H193/ZC22 2H193/ZE06 5C006/AA01 5C006/AA22 5C006/AC27 5C006/AF42 5C006/AF43 5C006/AF59 5C006/AF73 5C006/BB16 5C006/BB27 5C006/BC03 5C006/BC13 5C006/BF26 5C006/FA22 5C006/FA36 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD10 5C080/EE17 5C080/FF11 5C080/GG07 5C080/GG08 5C080/JJ02 5C080/JJ04 5C080/JJ05		
代理人(译)	森浩一 吉井正明 山本隆久		
审查员(译)	武田 悟		
其他公开文献	JP2001356740A		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

要解决的问题：为了解决这样的问题：当在写入预充电黑信号的情况下发生从信号线到Cs线和栅极线的耦合时，耦合导致在显示这样的边界部分时水平拖尾。如黑色窗口和黑色线条。解决方案：在点线反转点顺序两步预充电驱动液晶显示装置中，在反向视频信号被提供给水平信号线之前，在水平消隐期间批量生成预充电脉冲FPCG。扫描，并根据一批预充电脉冲FPCG，批量写入与前一像素电位极性相同的预充电灰度信号，然后预充电黑信号和预充电灰度通过两个步骤写入具有与每个反极性视频信号相同极性的信号。

(d-1) L		(d-3) L	
(1-1) H	(1-2) H	(1-3) H	(1-4) H
(2-1) L	(2-2) L	(2-3) L	(2-4) L
(3-1) H	(3-2) H	(3-3) H	(3-4) H
(4-1) L	(4-2) L	(4-3) L	(4-4) L
	(d-2) H		(d-4) H