

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4885968号
(P4885968)

(45) 発行日 平成24年2月29日(2012.2.29)

(24) 登録日 平成23年12月16日(2011.12.16)

(51) Int.Cl. F I
G O 2 F 1/1368 (2006.01) G O 2 F 1/1368

請求項の数 13 (全 27 頁)

(21) 出願番号	特願2008-536287 (P2008-536287)	(73) 特許権者	000005049
(86) (22) 出願日	平成19年5月8日(2007.5.8)		シャープ株式会社
(86) 国際出願番号	PCT/JP2007/059513		大阪府大阪市阿倍野区長池町2番2号
(87) 国際公開番号	W02008/038432	(74) 代理人	110000338
(87) 国際公開日	平成20年4月3日(2008.4.3)		特許業務法人原謙三国際特許事務所
審査請求日	平成20年12月2日(2008.12.2)	(72) 発明者	村井 淳人
(31) 優先権主張番号	特願2006-263506 (P2006-263506)		日本国大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
(32) 優先日	平成18年9月27日(2006.9.27)		
(33) 優先権主張国	日本国(JP)		
		審査官	鈴木 俊光

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス基板およびそれを備えた液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

絶縁性基板と、

該絶縁性基板の上に互いに交差して配された映像信号線および走査信号線と、

これらの信号線の交点に配され、ゲート電極、ソース電極、およびドレイン電極を備えて成る薄膜トランジスタと、を有するアクティブマトリクス基板であって、

ソース電極およびドレイン電極の下層として用いるために形成された透明電極層が、互いに隣接する映像信号線と互いに隣接する走査信号線とで囲われた画素領域に共通電極として用いられていると共に、互いに隣接する上記共通電極を上記映像信号線に平行に繋いで形成された共通電極配線として用いられていることを特徴とするアクティブマトリクス基板。

【請求項2】

上記ゲート電極を形成するために成膜した金属膜が、上記走査信号線と平行に形成された補助共通電極配線として用いられ、該補助共通電極配線と上記共通電極とは、コンタクトホールを介して電氣的に接続されていることを特徴とする請求の範囲第1項に記載のアクティブマトリクス基板。

【請求項3】

上記共通電極には、上記コンタクトホールの外縁よりも外側および内側のそれぞれに端部を有する開口部が設けられており、

上記共通電極における上記コンタクトホールの外縁よりも外側の端部側において上記補

助共通電極配線と接続されていると共に、上記共通電極における上記コンタクトホールの外縁よりも内側の端部側と接続されているコンタクト電極パッドを有していることを特徴とする請求の範囲第2項に記載のアクティブマトリクス基板。

【請求項4】

上記画素領域には画素電極が設けられており、上記コンタクト電極パッドは、該画素電極と同一の材料および同一の製造工程にて形成されていることを特徴とする請求の範囲第3項に記載のアクティブマトリクス基板。

【請求項5】

上記補助共通電極配線は、隣接する上記走査信号線のほぼ中間付近に設けられていることを特徴とする請求の範囲第2項から第4項のいずれか1項に記載のアクティブマトリクス基板。

10

【請求項6】

上記補助共通電極配線は、隣接する上記走査信号線の一方の走査信号線の近傍に設けられていることを特徴とする請求の範囲第2項から第4項のいずれか1項に記載のアクティブマトリクス基板。

【請求項7】

上記補助共通電極配線が上記共通電極の外周部に上記映像信号線に平行に延び出していることを特徴とする請求の範囲第2項から第4項のいずれか1項に記載のアクティブマトリクス基板。

【請求項8】

上記補助共通電極配線は、上記共通電極の外周部に、さらに、上記走査信号線にも平行に延び出していることを特徴とする請求の範囲第7項に記載のアクティブマトリクス基板。

20

【請求項9】

上記ソース電極および上記ドレイン電極の上層として用いるために積層された金属層が、上記共通電極の外周を囲って設けられていることを特徴とする請求の範囲第1項から第4項のいずれか1項に記載のアクティブマトリクス基板。

【請求項10】

上記共通電極の外周を囲って設けられている金属層は、共通電極配線が形成された部分にも形成されていることを特徴とする請求の範囲第9項に記載のアクティブマトリクス基板。

30

【請求項11】

上記共通電極配線と上記走査信号線との交差部上に、金属層を設けたことを特徴とする請求の範囲第1項から第4項のいずれか1項に記載のアクティブマトリクス基板。

【請求項12】

少なくとも無機膜から構成された層と低誘電率有機材料から構成された層との2層を有する層間絶縁膜を備えていることを特徴とする請求の範囲第1項から第4項のいずれか1項に記載のアクティブマトリクス基板。

【請求項13】

上記請求の範囲第1項から第4項のいずれか1項に記載のアクティブマトリクス基板を備えたことを特徴とする液晶表示装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、TFTを用いたアクティブマトリクス基板およびそれを備えた液晶表示装置に関する。

【背景技術】

【0002】

従来、FFS (Fringe Field Switching) モードの液晶表示装置が知られている。FFSモードの液晶表示装置では、対向電極と画素電極が (a) ITOのような透明物質で形

50

成され、(b) 対向電極と画素電極が、上・下基板間の間隔よりも狭い間隔を有するように形成され、さらに、(c) 対向電極と画素電極との幅が、電極上部に配置されている液晶分子が全て駆動できる程度の幅を有するように形成されている。

【0003】

このFFSモードの液晶表示装置は、電極等が透明物質で形成されていることにより、IPS(In-Place-Switching)モードの液晶表示装置よりも高い開口率を得ることができる(つまり、電極部で光透過が発生することによりIPSモードよりも高い開口率を得ることができる)。

【0004】

図21の(a)は、特許文献1に記載のFFSモードの液晶表示装置に用いられているアクティブマトリクス基板の平面図であり、図21の(b)は図21の(a)のA-A'断面図である。

10

【0005】

図21の(a)に示すように、このアクティブマトリクス基板は、主に、互いに直交する複数のゲートバスライン101および複数のソースバスライン107と、これらのバスラインにて囲われた画素領域に櫛状にソースバスライン107と平行に設けられた複数の画素電極109と、ゲートバスライン101が画素領域側へ分岐した部分に設けられたTFT103と、ゲートバスライン101と平行に設けられた共通電極用配線(CS配線)110とを備えている。

【0006】

20

さらに、図21の(b)に示すように、このアクティブマトリクス基板は、絶縁性基板上に、透明導電膜から成る共通電極(ゲートバスライン下層)106が設けられ、その上にゲートバスライン上層101、およびCS配線110が設けられている。また、ゲート絶縁膜102を介して、ゲートバスライン上層101の上に、半導体層103、コンタクト層104、ソース・ドレイン電極上層107が積層されて、TFTを形成している。また、アクティブマトリクス基板の最上層には、層間絶縁膜(パッシベーション膜)108を介して画素電極109が設けられている。

【0007】

上記特許文献1に記載のアクティブマトリクス基板は、CS配線110を形成する共通電極がゲートバスライン下層106に設けられているため、次のような2つの問題があった。

30

【0008】

すなわち、図22に示すように、共通電極およびゲートバスライン上層が荒れると共に、TFTのチャンネル部111を形成する、ゲート絶縁膜102上の半導体層103、コンタクト層104、およびソース・ドレイン電極上層107が荒れる。特に、一般的な透明金属膜を透明電極として用いた場合、平坦性が低く、TFTのチャンネル部111の凹凸が大きくなり、移動度が低下するという問題が生じる。

【0009】

また、透明電極は、結晶化の転移温度が非常に低い、つまり、150度~200度程度でアモルファスからポリシリコン化(結晶化)してしまう。結晶化された状態とアモルファスの状態とを比較すると、エッチングレートに大きな差がある。そのため、かなり長い時間エッチングする必要がある。つまり、図23に示すように、オーバーエッチングをする必要がある。それゆえゲートバスライン101が逆テーパ(ひさし状)となり、ゲート絶縁膜102が該ゲートバスライン101をカバーできず、上層に形成される金属膜とのリーク発生などの良品率の低下を招くという問題が生じる。

40

【0010】

また、特許文献2に記載のアクティブマトリクス基板では、ゲート絶縁膜の上に、共通電極を設けていた。つまり、ゲートバスラインよりも上の層に、共通電極を設けていた。従って、上記の2つの問題を解消することができた。

【0011】

50

ところが、特許文献1および2は、共に、共通電極を液晶表示部の横向きに配されたゲートバスラインの金属層を用いて、ゲートバスラインと平行に形成していたため、図24に示すように、つまり、横向きにCS配線123が設けられていた。一般に液晶表示装置では、液晶表示部は、横長になっているものが多いため、ソースバスラインに比べて、ゲートバスラインは長くなっている。そのため、CS配線123にて形成された共通電極が高抵抗となり、信号の遅延の問題が生じる。これを解決するため、低抵抗化を目的としCS配線123の幅を太くした場合には、開口率が低下するという問題が生じる。

【0012】

これに対して、特許文献3では、図25に示すように、絵素電極よりも上に共通電極（透明電極材料、例えばITO）を設け、共通電極のスリット部以外の領域全てに透明電極材料を残して、共通電極を形成している。さらに、図26に示すように、ソースバスラインおよびゲートバスライン上、ほぼ全面に透明電極材料（CS配線）を設けている。このように、ソースバスラインにも平行にCS配線を設けることにより、上記の信号の遅延の問題を解消している。

【特許文献1】日本国公開特許公報「特開2001-235763号公報（公開日；平成13年8月31日）」

【特許文献2】日本国公開特許公報「特開2002-90781号公報（公開日；平成14年3月27日）」

【特許文献3】国際公開番号 WO 01/18597（公開日；平成13年3月15日）

【特許文献4】日本国公開特許公報「特開2001-221992号公報（公開日；平成13年8月17日）」

【特許文献5】日本国公開特許公報「特開平9-230380号公報（公開日；平成9年9月5日）」

【発明の開示】

【0013】

しかしながら、上記の特許文献3に開示された技術では、CS配線は、図26におけるソースバスラインとゲートバスラインの全面を覆うように形成されている。そのため、短絡などの欠陥の虞と、ゲートバスラインおよびソースバスラインとCS配線との寄生容量が大きくなる。

【0014】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、抵抗による信号の遅延および寄生容量による信号の遅延を小さくしたアクティブマトリクス基板およびそれを備えた液晶表示装置を提供することである。

【0015】

本発明のアクティブマトリクス基板は、上記課題を解決するために、絶縁性基板と、該絶縁性基板上に互いに交差して配された映像信号線および走査信号線と、これらの信号線の交点に配され、ゲート電極、ソース電極、およびドレイン電極を備えて成る薄膜トランジスタと、を有するアクティブマトリクス基板であって、ソース電極およびドレイン電極の下層として用いるために形成された透明電極層が、互いに隣接する映像信号線と互いに隣接する走査信号線とで囲われた画素領域に共通電極として用いられていると共に、互いに隣接する上記共通電極を上記映像信号線に平行に繋いで形成された共通電極配線として用いられていることを特徴としている。

【0016】

上記構成によれば、共通電極は、ソース電極およびドレイン電極の下層として用いるために形成された透明電極層が、互いに隣接する映像信号線と互いに隣接する走査信号線とで囲われた画素領域に共通電極として用いられていると共に、互いに隣接する共通電極を上記映像信号線に平行に繋いで形成された共通電極配線として用いられている。つまり、共通電極および共通電極配線は、ソース電極およびドレイン電極の下層として用いる透明電極層により形成している。これにより、共通電極が、ソース電極と接続された映像信号

10

20

30

40

50

線と平行に接続されて延びていることを実現している。一般に、映像信号線は、走査信号線よりも短いため、走査信号線に平行に延びている場合に比して、抵抗を小さくできる。

【0017】

さらに、上記構成によれば、上記共通電極配線は、映像信号線と交差する部分を持たず、走査信号線と直交する部分で交差するよう形成されている。ここで互いに隣接する映像信号線間に形成されているある一つの共通電極に着目した場合、一般に映像信号線の数は、走査信号線よりも多いため（映像信号線：走査信号線 = 3 (RGB) : 1）、映像信号線と直交する部分で交差するよう形成されている従来の構成にくらべ、共通電極と各信号線（映像信号線、走査信号線）との交差部の数が少なくなり、共通電極配線の寄生容量を小さくできる。

10

【0018】

以上のように、本発明では、共通電極および共通電極配線の抵抗を小さくできると共に、共通電極配線と信号線との寄生容量を小さくできる。そのため、共通電極配線の信号の遅延を小さくできる。

【0019】

さらに、上記構成によれば、ソース電極、ドレイン電極の下層に透明電極層（ITOなどの透明導電性材料）を形成しており、いわゆるハーフトーン露光を用いたフォトリソグラフィ法を用いて、ソース電極、ドレイン電極の形成と同一のフォトリソグラフィ工程で共通電極を形成することが可能となるため、製造方法の簡略化が可能となる。また、上述の通り同一のフォトリソグラフィ工程で共通電極を形成することが可能であるため、上記の特許文献2のように共通電極とソース電極、ドレイン電極を別のフォト工程で形成していた場合に比べ、フォトライメントズレによる歩留まり低下や、開口率低下を防ぐことができる。

20

【0020】

また、本発明のアクティブマトリクス基板では、上記ゲート電極を形成するために成膜した金属膜が、上記走査信号線と平行に形成された補助共通電極配線として用いられ、該補助共通電極配線と上記共通電極とは、コンタクトホールを介して電氣的に接続されていることが好ましい。

【0021】

上記構成によれば、走査信号線と平行に補助共通電極配線が設けられ、該補助共通電極配線と共通電極とが上記ゲート絶縁膜に設けたコンタクトホールを介して電氣的に接続されている。つまり、共通電極および共通電極配線と補助共通電極配線とで、網目状の構成を形成している。そのため、大きさや材料によらず、縦横比の関係だけで、抵抗が決まるような構成に近づけることができる（シート抵抗の概念）。従って、任意の2点間の抵抗を下げるができる。さらに、上記特許文献2に記載された技術では、図27に示すように、共通電極120と共通電極配線121とをソースメタル（ソースバスラインの金属層）122で接続しているため、オーミックコンタクトを取れない場合、絵素欠陥となるという問題があるが、上記網目状の構成とすることにより、4方向の冗長性を持たせることができ、上記のようなオーミックコンタクトが取れない絵素が発生しても、さらには、いずれかの共通電極および/または補助共通電極が断線を起こしても、絵素欠陥、ライン欠陥となることを極力防止できる。

30

40

【0022】

また、本発明のアクティブマトリクス基板では、上記共通電極には、上記コンタクトホールの外縁よりも外側および内側のそれぞれに端部を有する開口部が設けられており、上記共通電極における上記コンタクトホールの外縁よりも外側の端部側において上記補助共通電極配線と接続されていると共に、上記共通電極における上記コンタクトホールの外縁よりも内側の端部側と接続されているコンタクト電極パッドを有していることが好ましい。

【0023】

上記構成によれば、上記共通電極には、上記コンタクトホールの外縁よりも外側および

50

内側のそれぞれに端部を有する開口部が設けられており、上記共通電極における上記コンタクトホールの外縁よりも外側の端部側において上記補助共通電極配線と接続されていると共に、上記共通電極における上記コンタクトホールの外縁よりも内側の端部側と接続されているコンタクト電極パッドを有している。そのため、該コンタクト電極パッドを用いて共通電極と補助共通電極配線とを互いに電氣的に接続することが可能となる。また、ソース配線・電極、およびドレイン電極形成前に行なっていた共通電極と補助共通電極配線と接続するためのコンタクトホール形成工程を省くことが可能となる。

【0024】

また、本発明のアクティブマトリクス基板では、上記画素領域には画素電極が設けられており、上記コンタクト電極パッドは、該画素電極と同一の材料および同一の製造工程にて形成されていることが好ましい。

10

【0025】

上記構成によれば、画素電極とコンタクトパッドとを互いに同一の材料および同一の製造工程にて形成されている。そのため、製造方法の簡略化を図ることができる。

【0026】

また、本発明のアクティブマトリクス基板では、上記補助共通電極配線は、隣接する上記走査信号線のほぼ中間付近に設けられていることが好ましい。

【0027】

上記構成によれば、上記補助共通電極配線は、隣接する走査信号線のほぼ中央付近に設けられている。補助共通電極配線は、走査信号線に平行に設けられているため、補助共通電極配線を隣接する走査信号線のほぼ中央付近に設けることにより、補助共通電極配線と走査信号線との距離を最も大きく取ることができる。補助共通電極配線と走査信号線との距離が大きくなれば、パターン不良やゴミの付着による、補助共通電極配線と走査信号線との短絡の可能性を減らすことができる。

20

【0028】

また、本発明のアクティブマトリクス基板では、上記補助共通電極配線は、隣接する上記走査信号線の方の走査信号線の近傍に設けられていることが好ましい。

【0029】

上記構成によれば、補助共通電極配線は、隣接する走査信号線の一方側の走査信号線に近接して設けられている。走査信号線の近傍には、開口に寄与しない領域が存在する。それゆえ、補助共通電極配線の一部を開口に寄与しない領域に設けることができるため、高開口率化を実現できる。

30

【0030】

また、本発明のアクティブマトリクス基板では、上記補助共通電極配線が上記共通電極の外周部に上記映像信号線に平行に延び出していることが好ましい。

【0031】

共通電極の外周部は、いわゆる無効領域（液晶が動かない領域およびドメイン発生領域）が存在する。上記構成によれば、補助共通電極配線が、共通電極の外周部に映像信号線に平行に延び出している。そのため、この補助共通電極配線により、無効領域の遮光を行うことができ、高い表示品位を得ることができる。

40

【0032】

また、本発明のアクティブマトリクス基板では、上記補助共通電極配線は、上記共通電極の外周部に、さらに、上記走査信号線にも平行に延び出していることが好ましい。

【0033】

上記構成によれば、補助共通電極配線の低抵抗化および走査信号線の無効領域の遮光が可能となる。

【0034】

また、本発明のアクティブマトリクス基板では、上記ソース電極および上記ドレイン電極の上層として用いるために積層された金属層が、上記共通電極の外周を囲って設けられていることが好ましい。

50

【0035】

上記構成によれば、ソース電極およびドレイン電極の上層として用いるために積層された金属層は、上記の共通電極の外周を囲って設けられている。そのため、共通電極の周辺に遮光の機能を持たせることができると共に、共通電極と補助共通電極との低抵抗化を図ることができる。

【0036】

また、本発明のアクティブマトリクス基板では、上記共通電極の外周を囲って設けられている金属層は、上記共通電極配線が形成された部分にも形成されていることが好ましい。

【0037】

また、本発明のアクティブマトリクス基板では、上記共通電極配線と上記走査信号線との交差部上に、金属層を設けたことが好ましい。

【0038】

上記構成によれば、共通電極配線と走査信号線との交差部上に、金属層を設けている。そのため、共通電極配線の抵抗を低減することが可能となる。さらには、共通電極配線が透明電極層と金属層との積層構造となるため、走査信号線との交差部における断線などの不良が減少する。

【0039】

また、本発明のアクティブマトリクス基板では、少なくとも無機膜から構成された層と低誘電率有機材料から構成された層との2層を有する層間絶縁膜を備えていることが好ましい。

【0040】

ここで、低誘電率有機材料とは、例えば誘電率が5以下の材料が考えられる。上記構成によれば、層間絶縁膜が少なくとも無機膜から構成された層と低誘電率有機材料から構成された層との2層を有している。低誘電率有機材料が設けられていることにより、寄生容量を低減できる。さらに、前述のとおり層間絶縁膜を2層以上の構造とすることにより、リークなどの不良を低減できるため、高信頼性を実現できる。

【0041】

また、本発明の液晶表示装置は、上記のいずれかのアクティブマトリクス基板を備えたことが好ましい。

【0042】

本発明の他の目的、特徴、および優れた点は、以下に示す記載によって十分分かるであろう。また、本発明の利点は、添付図面を参照した次の説明で明白になるであろう。

【図面の簡単な説明】

【0043】

【図1】図1は、本発明の実施形態のアクティブマトリクス基板の1画素領域を示す断面図であり、(a)は、図2に示すA-A'断面図であり、(b)は、図2に示すB-B'断面図である。

【図2】本実施の形態のアクティブマトリクス基板の1画素領域を示す平面図である。

【図3】本発明の実施形態のアクティブマトリクス基板の製造過程を示す断面図であり、(a)~(i)は、図1の(a)に示すアクティブマトリクス基板の製造過程を示す断面図である。

【図4】本発明の実施形態の第1の変形例を示す断面図であり、(a)は、上記の図1の(a)に対応するA-A'断面図であり、(b)は、上記の図1の(b)に対応するB-B'断面図である。

【図5】本発明の実施形態を示すものであり、第2の変形例を示しており、図2に対応する平面図である。

【図6】本発明の実施形態の第2の変形例を示す断面図であり、(a)は、図5に示すA-A'断面図であり、(b)は、図5に示すB-B'断面図である。

【図7】本発明の実施形態を示すものであり、第3の変形例を示しており、図2に対応す

10

20

30

40

50

る平面図である。

【図 8】本発明の実施形態の第 3 の変形例を示す断面図であり、(a) は図 7 に示す A - A ' 断面図であり、(b) は図 7 に示す B - B ' 断面図である。

【図 9】本発明の実施形態を示すものであり、第 4 の変形例を示しており、図 2 に対応する平面図である。

【図 10】本発明の実施形態の第 4 の変形例を示す断面図であり、(a) は図 9 に示す A - A ' 断面図であり、(b) は図 9 に示す B - B ' 断面図である。

【図 11】本発明の実施形態を示すものであり、第 5 の変形例を示しており、図 2 に対応する平面図である。

【図 12】本発明の実施形態を示すものであり、図 11 に示す A - A ' 断面図である。

【図 13】本発明の実施形態を示すものであり、図 11 に示す C 部、つまり、共通電極と補助共通電極配線との交差部の拡大図である。

【図 14】本発明の実施形態を示すものであり、図 13 に示す B - B ' 断面図である。

【図 15】本発明の実施形態を示すアクティブマトリクス基板の製造過程を示す断面図であり、(a) ~ (i) は、図 12 に示すアクティブマトリクス基板の製造過程を示す断面図である。

【図 16】本発明の実施の形態を示すものであり、6 枚マスクプロセスにコンタクト部の形成方法について示す断面図および平面図であり、(a) ~ (e) は断面図であり、(f) ~ (j) は平面図である。

【図 17】本発明の実施の形態を示すものであり、5 枚マスクプロセスにコンタクト部の形成方法について示す断面図および平面図であり、(a) ~ (e) は断面図であり、(f) ~ (j) は平面図である。

【図 18】本発明の実施の形態を示す図 13 および図 14 の比較例を示す平面図および断面図であり、(a) は平面図であり、(b) は断面図である。

【図 19】本発明の実施の形態を示す図 13 および図 14 の比較例を示す平面図および断面図であり、(a) は平面図であり、(b) は断面図である。

【図 20】本発明の実施形態の第 6 の変形例を示す平面図であり、(a) (b) は、第 6 の変形例を示しており、図 2 に対応する平面図である。

【図 21】従来の F F S モードの液晶表示装置に用いられているアクティブマトリクス基板の平面図および断面図であり、(a) は、従来の F F S モードの液晶表示装置に用いられているアクティブマトリクス基板の平面図であり、(b) は (a) の A - A ' 断面図である。

【図 22】従来の共通電極およびゲートバスライン上層が荒れる様子を示すアクティブマトリクス基板の断面図である。

【図 23】従来のゲートバスラインが逆テーパ（ひさし状）となり、ゲート絶縁膜がゲートバスラインをカバレッジできない様子を示す断面図である。

【図 24】従来の共通電極配線の配置を示す LCD パネルの平面図である。

【図 25】従来のアクティブマトリクス基板を示す断面図である。

【図 26】従来のアクティブマトリクス基板を示す平面図である。

【図 27】従来のアクティブマトリクス基板を示す断面図である。

【符号の説明】

【 0 0 4 4 】

- 1 絶縁性基板
- 2 ゲート配線、ゲート（走査信号線；ゲート電極；ゲート電極を形成するために成膜した金属膜）
- 3 補助共通電極配線
- 4 ゲート絶縁膜
- 5 コンタクトホール（共通電極と補助共通電極配線とを接続するために形成）
- 5' コンタクトホール（共通電極と補助共通電極配線とを接続するために形成）
- 8 a ソース配線、ソース（映像信号線；ソース電極）

10

20

30

40

50

- 8 b 共通電極配線
- 9 共通電極
- 10 ドレイン（ドレイン電極）
- 12 コンタクトホール（ドレイン電極と絵素電極とを接続するために形成）
- 17 コンタクト電極パッド
- 18 T F T（薄膜トランジスタ）
- 19 透明導電膜（透明電極層）
- 21 金属層（ソース電極およびドレイン電極の上層として用いるために積層された金属層）
- 22 金属層
- 23 無機膜
- 24 低誘電率有機材料から成る膜（低誘電有機材料から構成された層）
- 25 遮光膜（共通電極の外周を囲って設けられている金属層）

10

【発明を実施するための最良の形態】

【0045】

本発明の一実施の形態について図面を用いて説明する。

【0046】

（アクティブマトリクス基板の構成について）

図2は、本実施の形態のアクティブマトリクス基板の1画素領域を示す平面図である。

【0047】

本実施の形態のアクティブマトリクス基板は、図2に示すように、互いに直交する複数のソース配線8 aおよび複数のゲート配線（走査信号線）2と、これらの配線にて囲われた領域（画素領域；後述）にソース配線（映像信号線）8 aと平行に複数設けられた矩形状（ストレート櫛歯形状）の絵素電極1 3と、絵素電極1 3の下側に配された共通電極9と、該共通電極9からソース配線8 aに平行に延びた共通電極配線8 bと、隣接するゲート配線2間にゲート配線2に平行な補助共通電極配線3と、スイッチング素子としてのT F T（Thin Film Transistor）1 8と、を備えている。

20

【0048】

なお、本明細書では、隣接する2本のソース配線8 aと隣接する2本のゲート配線2とで囲われた領域を画素領域（絵素領域）という。また、図2に示すように、共通電極配線3は、隣接するゲート配線2間に設けられている。

30

【0049】

なお、以下の説明では、説明の便宜上、ソース配線およびT F T 1 8を形成するソース（ソース電極）、ゲート配線およびT F T 1 8を形成するゲート（ゲート電極）とで同じ参照符号を用いる。

【0050】

また、本実施の形態では、絵素領域に共通電極9が設けられ、隣接する共通電極9をつなぐようにソース配線8 aに平行に共通電極配線8 bが設けられており、さらに、共通電極9とコンタクトホールを介して接続された補助共通電極配線3がゲート配線2と平行に設けられている。

40

【0051】

共通電極9と、補助共通電極配線3とは互いに、画素領域で交差しており、この交差部における共通電極9に、コンタクトホール5が設けられている（図1の（a）参照）。一方、絵素電極1 3には、T F T 1 8との接続のための、コンタクトホール1 2が設けられている（図1の（a）参照）。なお、コンタクトホール5は、必ずしも全ての絵素領域に設けられている必要はなく、例えば、1つおき、2つおきに設けられていてもよい。

【0052】

図1の（a）は、図2に示すA - A'断面図である。このA - A'断面は、T F T 1 8から、共通電極9と補助共通電極配線3との交差部に至る断面を示している。

【0053】

50

図1の(a)に示すように、アクティブマトリクス基板の最下層には、絶縁性基板1が設けられており、該絶縁性基板1上には、ゲート2および補助共通電極配線3が互いに離間して設けられている。ゲート2上には、ゲート絶縁膜4を介してチャンネル部を構成するa-Si層6およびn⁺-Si層7がこの順に形成されている。さらに、これらのチャンネル部上には、TFT18を構成するソース8aおよびドレイン(ドレイン電極)10が形成されている。ここで、本実施の形態では、ソース8aおよびドレイン10が、同図に示すように、下層の透明導電膜(ITO)19と上層の金属層21の2層構造となっている。さらに、ドレイン10の上層の金属層21は、コンタクトホール12によって、絵素電極13と接続されている。また、コンタクトホール12以外の箇所における金属層21の上部には、層間絶縁膜11が設けられている。

10

【0054】

一方、補助共通電極配線3上にはゲート絶縁膜4および共通電極9がこの順に設けられており、コンタクトホール5によって、補助共通電極配線3と共通電極9とが互いに接続されている。特に、図1の(a)から分かる通り、ソース8aおよびドレイン10の下層の透明導電膜(ITO;透明電極層)19と同レイヤーに配された層を共通電極9としている。また、共通電極9上には、層間絶縁膜11を介して絵素電極13が設けられている。なお、層間絶縁膜11は、例えば、SiNx、SiO₂などから成る無機膜にて形成できる。

【0055】

図1の(b)は、図2に示すB-B'断面図である。このB-B'断面は、ソース配線8aから、画素領域を通過し、ゲート配線2と共通電極配線8bとの交差部に至るまでの断面を示している。

20

【0056】

図1の(b)に示すように、ソース配線8aに対応する領域には、絶縁性基板1、ゲート絶縁膜4、ソース配線8a、層間絶縁膜11がこの順に設けられている。ソース配線8aは、下層の透明導電膜(ITO)19と上層の金属層21の2層構造となっている。また、画素領域には、絶縁性基板1、ゲート絶縁膜4、共通電極9、層間絶縁膜11、および絵素電極13がこの順に設けられている。さらに、ゲート配線2と共通電極配線8bとの交差部に対応する領域には、絶縁性基板1、ゲート配線2、ゲート絶縁膜4、a-Si層6、n⁺-Si層7、共通電極配線8b、金属層22、および層間絶縁膜11がこの順

30

【0057】

なお、図2および図1の(b)から分かる通り、上記金属層22は、共通電極配線8bのうち、ゲート配線2との交差部に設けられている。

【0058】

(アクティブマトリクス基板の製造方法について)

次に、上記のアクティブマトリクス基板の製造方法について説明する。なお、このアクティブマトリクス基板の製造方法では、6枚のマスクを使用する。但し、上記の補助共通電極配線3は、必須の構成ではなく、該補助共通電極配線3を設けない場合には、コンタクトホール5を作成する工程が不要となるため、5枚のマスクでアクティブマトリクス基板を製造できる。

40

【0059】

(工程1)

まず、図3の(a)に示すように、絶縁性基板1上に、Ti/Al/Tiなどを250nm程度スパッタリング法にて成膜し、フォトリソグラフィ法にてゲート2および補助共通電極配線3を互いに離間して形成する。なお、この工程1では、1枚目のマスクを使用する。

【0060】

(工程2)

次に、プラズマCVD(chemical vapor deposition)法によりゲート絶縁膜(窒化シ

50

リコン；SiNx）4を300nm程度、a-Si層6を150nm程度、n⁺-Si層7を50nm程度、この順に3層連続して成膜する。成膜後、図3の（b）に示すように、フォトリソグラフィ法にて、ゲート2および補助共通電極配線3に対応する位置を島状にパターンニングする。なお、この時点ではまだTFT18のチャンネル部は形成されていない。なお、この工程2では、2枚目のマスクを使用する。

【0061】**（工程3）**

次に、コンタクトホール5、ならびに、ゲート配線2およびソース配線8bの配線引き出し端子パッド部（不図示）を形成するために、図3の（c）に示すように、補助共通電極配線3上に設けられたゲート絶縁膜4をフォトリソグラフィ法により所定のパターンにエッチングする。なお、この工程3では、3枚目のマスクを使用する。

10

【0062】**（工程4）**

次に、下層にITOから成る透明導電膜を100nm程度、上層にMo/Al/MoNなどの金属層を150nm程度、連続してスパッタリング法により成膜する。成膜後、図3の（d）に示すように、ハーフトーン露光法により、透明導電膜および金属層を共に取り除く領域のフォトレジストの残膜量を0nmとし、透明導電膜および金属層を共に残す第1の領域（ソース8a、またはドレイン10を形成する領域）の残膜量を約3000nmとし、透明導電膜および金属層を共に残す第2の領域（共通電極9を形成する領域）の残膜量を約1000nmとするフォトレジスト14を形成する。なお、ここでは図示していないが、この工程により、共通電極配線8bを形成する領域にも残膜量を約3000nmとするフォトレジスト14を形成する。なお、この工程では、4枚目のマスクを使用する。

20

【0063】**（工程5）**

次に、リン酸 - 塩酸 - 硝酸系のエッチング液を用いた湿式エッチング液を用いた湿式エッチング法にて上記の金属層をエッチングすると共に、塩化第（II）鉄系のエッチャントを用いた湿式エッチング法により、透明導電膜をエッチングして、図3の（e）に示すように、ソース8a、およびドレイン10を形成する。

【0064】

また、この工程により、ソース8aおよびドレイン10を下層を透明導電膜（ITO）19とし、上層を金属層21とする2層構造にて形成できる。さらに、共通電極9を同時に形成できる。

30

【0065】

さらに、この工程および工程4より、特に注目すべきは、ソース8aおよびドレイン10を最下層を透明導電膜（ITO）19とし、該最下層の透明導電膜（ITO）19を共通電極9としても用いていることである。

【0066】

なお、ここでは、図示していないが、この工程により、共通電極配線8bも形成できる。

40

【0067】**（工程6）**

次に、O₂を含むガスを用いたドライエッチング法により、図3の（f）に示すように、共通電極9を形成する領域に設けられたフォトレジスト14を取り除く。

【0068】**（工程7）**

次に、図3の（g）に示すように、共通電極9を形成する領域の金属膜を、リン酸 - 塩酸 - 硝酸系のエッチング液による湿式エッチング法により取り除き、続いて、SF₆を含むガスを用いたドライエッチング法により、a-Si層6とn⁺-Si層7とから成るチャンネル部を形成する。これにより、画素毎に、スイッチング素子である、TFT18を形成

50

できる。

【0069】

(工程8)

次に、 O_2 を含むガスを用いたドライエッチング法により、図2(h)に示すように、ソース8a、共通電極配線8b、およびドレイン10を形成する領域のフォトリソストを取り除く。

【0070】

なお、ここでは、図示していないが、この工程により、共通電極配線8bを形成する領域のフォトリソストも同時に取り除く。

【0071】

(工程9)

次に、プラズマCVD法により、層間絶縁膜11として窒化シリコン膜を250nm~500nm程度成膜し、コンタクトホール12、ならびに、ゲート配線2およびソース配線8aの配線引き出し端子パッド部(不図示)を形成するために、該層間絶縁膜11をフォトリソグラフィ法により所定のパターンにエッチングする(5枚目のマスク使用)。続いて、層間絶縁膜11上に、ITOから成る透明導電膜を100nm程度スパッタリング法により成膜し、フォトリソグラフィ法により絵素電極13を所定のパターンにエッチングする(6枚目のマスク使用)。以上の工程により、図1の(a)に記載したアクティブマトリクス基板を形成できる。

【0072】

以上のように、本実施の形態のアクティブマトリクス基板では、図1の(a)に示すように、ソース・ドレイン電極を透明電極を最下層とする配線構造とし、さらに、該最下層の透明電極を共通電極としている。本実施の形態では、共通電極をゲート電極・配線の最下層にITO(コモン電極)に設けるのではなく、ソース電極・配線およびドレイン電極・配線の最下層に設けている。従来は、ゲート電極・配線と平行にITOを設けていた。

【0073】

これに対して、本実施の形態では、ソース電極・配線8aおよびドレイン電極・配線10を透明導電膜(ITO)19と該ITO19の上層に設けた不透明な金属層21にて形成している。これにより、ITO19にて形成される共通電極配線8bをソース配線と平行に引き出すことを可能としている。

【0074】

従来のように、ITOをゲート電極・配線の最下層に設けると、ゲート絶縁膜上のアモルファスシリコンがITOの上方に位置するため、ゲート電極・配線上が荒れるという問題がある。ゲート電極・配線上が荒れると、平坦度が低くなり、TFTチャネル部の凹凸が大きくなり、移動度が低下してしまう。これに対して、本実施の形態によれば、ITOをゲート電極・配線の最下層には配されていないため、アモルファスシリコンが荒れるという問題を回避できる。

【0075】

さらに、従来のように、ITOをゲート電極・配線の最下層に設けると、ITOは、結晶化の転移温度が非常に低い、つまり、150度~200度程度でアモルファスからポリ

【0076】

さらに、上記したように、ITOをソース電極・配線およびドレイン電極・配線の最下層に設けている。さらに、ITOにて形成される共通電極配線をソース配線と平行に引き出す構成としている。一般に、ゲート配線に比べて、ソース配線は短い。例えば、XGA

10

20

30

40

50

規格の場合、配線数は、縦 768 × 横 1024 である。そのため、表示部分の縦横比は、3 : 4 となる。さらに、大型 TV などでは採用されているフル HD 規格の場合、その配線数は縦 1080 × 横 1920 であり、縦横比は、9 : 16 となる。

【0077】

従って、ソース配線と平行な配線の方が、ゲート配線と平行な配線に比べて、抵抗による信号の遅延は小さくなる。

【0078】

さらに、本実施の形態では、上記のソース配線・電極 8a に平行な共通電極配線 8b に加えて、隣接するゲート電極・配線 2 間に、ゲート電極・配線 2 と平行に、補助共通電極配線 3 を設けている。つまり、繋ぎ変えを行うことにより、共通電極配線を網目状に設けている。これにより、表示部分の大きさによらず、縦横比の関係だけで、抵抗が決まるような構成に近づけることができる。従って、任意の 2 点間の抵抗を下げることもできる。加えて、共通電極配線を網目状に設けることにより、4 方向の冗長性を持たせることができる。

10

【0079】

また、図 1 の (b) に示すように、ゲート電極・配線 2 と共通電極配線 8b との交差部に対応する領域には、共通電極配線 8b の上層に金属層 22 を設けている。この交差部は、共通電極配線 8b が細いので、断線の虞が高いと共に、抵抗のロスが大きい。これに対して、上記のように、共通電極配線 8b の上層に金属層 22 を設けることにより、該金属層の下側で断線したとしても、金属層での繋がりを保障できると共に、低抵抗である金属層 22 を載せることにより、抵抗のロスを小さくできる。

20

【0080】

さらに、図 1 の (b) に示すように、ゲート電極・配線 2 と共通電極配線 8b との交差部に対応する領域には、ゲート電極・配線 2 と共通電極配線 8b との間に、a - Si 層 6、および n⁺ - Si 層 7 から成る半導体層を設けている。そのため、該半導体層を設けない構成に比して、ゲート電極・配線 2 と共通電極配線 8b との距離を大きくとることができる。容量を小さくできる。

【0081】

また、図 2 に示すように、共通電極配線 3 を隣接するゲート電極・配線 2 とゲート電極・配線 2 との中央付近に設けている。これにより、共通電極配線 3 とゲート電極・配線 2 との距離を大きくとることができる。それゆえ、パターン不良やゴミの付着による共通電極配線 3 とゲート電極・配線 2 との短絡が起こる可能性を減らすことができる。

30

【0082】

次に、上記した実施の形態の変形例について説明する。なお、以下に説明する変形例については、上記した実施の形態との共通点についてはその説明を省略し、同一の参照符号を用いる。なお、以下では、説明の便宜上、上記の実施の形態を代表例と呼ぶ。

【0083】

(第 1 の変形例)

図 4 の (a) は、第 1 の変形例を示しており、上記の図 1 の (a) に対応する A - A' 断面図であり、図 4 の (b) は、同じく第 1 の変形例を示しており、上記の図 1 の (b) に対応する B - B' 断面図である。なお、第 1 の変形例における平面図は、上記の図 2 と同じであるため、第 1 の変形例を示す平面図については省略する。

40

【0084】

上記の代表例では、図 1 の (a) および図 1 の (b) に示すとおり、層間絶縁膜 11 は 1 層の構造であるのに対し、第 1 の変形例では、図 4 の (a) および図 4 の (b) に示すとおり、層間絶縁膜 11 を 2 層構造としている。具体的には、第 1 の変形例では、層間絶縁膜 11 の構造を、SiNx、SiO₂ などから成る無機膜 23 と低誘電率有機材料から成る膜 24 との 2 層構造となっている。

【0085】

これにより、上記の代表例よりも寄生容量を低減できる。さらに、上記の代表例よりも

50

リークなどの不良を低減できるため、高信頼性を実現できる。

【0086】

ここで、上記の第1の変形例によりリークなどの不良を低減できる理由について説明する。2層の金属層が単層の絶縁膜を挟んでクロスする構造では、該単層の絶縁膜にピンホールや欠陥が存在した場合、上下金属膜にリークが発生する。さらに、同構造では、上層の金属層を湿式エッチング(ウェットエッチング)する際に用いるエッチャント(エッチング液)が下層の金属層をエッチングできる場合、もし、単層の絶縁膜にピンホールや欠陥が存在すると、下層の金属層がエッチングされ、断線などが発生する。通常、いくらラスト管理したとしても、絶縁膜には、少なからずピンホールや欠陥が存在する。

【0087】

これに対して、2層の絶縁膜にピンホールや欠陥が同じ位置に発生する確率は、単層の絶縁膜にピンホールや欠陥が発生する可能性に比べて劇的に低いため、上記の変形例1の構成のように、2層の金属層にて挟まれる絶縁膜を2層構造にすることにより、上下金属膜にリークが発生する可能性および下層の金属層が断線する可能性を劇的に減らすことができる。

【0088】

なお、この第1の変形例は、上記の工程9において、層間絶縁膜として、 SiN_x 、 SiO_2 などから成る無機膜を150nm~350nm程度成膜し、その上層に低誘電率有機材料から成る膜を2000nm~4000nm程度成膜することにより、作製できる。

【0089】

なお、第1の変形例では、層間絶縁膜が2層構造のものを記載したが、層間絶縁膜の構造は2層に限定されず、上記の SiN_x 、 SiO_2 などから成る無機膜23と低誘電率有機材料から成る膜24とを任意に積層させることにより3層以上の構造にしてもよい。

【0090】

(第2の変形例)

図5は、第2の変形例を示しており、上記の図2に対応する平面図である。また、図6の(a)は、図5に示すA-A'断面図であり、図6の(b)は、図5に示すB-B'断面図である。

【0091】

上記の代表例では、図2に示すとおり、補助共通電極配線3を隣接するゲート配線2のほぼ中央に配置させていた。これに対して、第2の変形例では、補助共通電極配線3を隣接するゲート配線2のうち一方ゲート配線2の近傍に配置させている。より具体的には、補助共通電極配線3は、ソース配線8aが伸びる方向に絵素電極13と一部交わらない部分を有している。つまり、補助共通電極配線3は、ソース配線8aが伸びる方向に絵素電極13からはみ出ている。また少なくとも共通電極配線8bの一部にコンタクトホール5'を位置させている。

【0092】

図6の(a)に示すA-A'断面、つまり、TFT18が設けられている領域から、画素領域の中央付近に至るまでの断面には、図2(a)とは異なり、補助共通電極配線3が設けられていない構成となっている。一方、図6の(b)に示すB-B'断面、つまり、ゲート配線2に対応する領域 画素領域 ゲート配線2と共通電極配線8bとの交差部に対応する領域に至るまでの断面には、図2(b)とは異なり、画素領域に、補助共通電極配線3が設けられており、該補助共通電極配線3と共通電極9(一部共通電極配線8bを含む)とが一部共通電極配線8bの領域に重畳する位置に形成されたコンタクトホール5'を介して接続されている。

【0093】

これにより、開口に寄与しない部分に補助共通電極配線3の一部を配置できる。つまり、無効領域(液晶が動かない領域およびドメイン領域)を少なくできる。そのため、高開口率化を実現できる。

【0094】

10

20

30

40

50

ここで、この高開口率化が実現できる理由についてより具体的に説明する。まず、無効領域について定義する。無効領域とは、次の(ア)～(エ)の領域を指す。

【0095】

(ア) 補助共通電極配線3を設けた部分

(イ) 共通電極9と絵素電極13との重畳部分のうち、少なくとも絵素電極13におけるソース配線8aと平行な方向の両端部分(絵素電極の櫛歯を束ねてつないでいる部分)の一部

(ウ) その他、設計上のルールによるが、ゲート電極・配線2と補助共通電極配線3とのギャップ、および、ソース配線8aと共通電極9とのギャップ

(エ) 液晶の配向状態により生じる無効領域

第2の変形例では、(イ)や(ウ)の領域の一部に(ア)を重畳させることで、代表例では、無効領域が(ア)+(イ)+(ウ)+(エ)であったのを、これらの領域から、重畳部分を差し引いた領域が無効領域となる。従って、第2の変形例では、代表例に比べて無効領域を小さくすることができ、高開口率を実現できる。

【0096】

この第2の変形例は、上記の工程1において、補助共通電極配線3を設ける位置をよりゲート2に近い位置に変更することによって、作製できる。

【0097】

なお、代表例における補助共通電極配線3の配置位置は、単なる一例にすぎず、隣接する2本のゲート配線2の間であれば、どこでもよい。

【0098】

(第3の変形例)

図7は、第3の変形例を示しており、上記の図2に対応する平面図である。また、図8の(a)は、図7に示すA-A'断面図であり、図8の(b)は、図7に示すB-B'断面図である。

【0099】

第3の変形例では、上記の代表例の構成に加えて、さらに、図7に示すように、補助共通電極配線3をソース配線8aに平行に画素領域の外周部(無効領域)に延伸させている。つまり、補助共通電極配線3をソース配線8aに平行に共通電極9の周辺部(外周部)に延伸させている。つまり、図7に示すように、補助共通電極配線3の平面形状をH型にしている。

【0100】

図8の(a)のA-A'断面は、第3の変形例の特徴部分を通さないため、図2(a)と同一である。図8の(b)のB-B'断面に示すとおり、画素領域におけるソース配線8aよりの無効領域(液晶が動かない領域およびドメイン発生領域)には、絶縁性基板上1に、補助共通電極配線3が設けられている。従って、代表例からプロセスを増やすことなく、無効領域の遮光が可能となり、高い表示品位を得ることができる。この第3の変形例は、上記の工程1において、補助共通電極配線3をソース配線8aよりの無効領域にソース配線8aと平行に形成することにより作製できる。

【0101】

さらに、補助共通電極配線3を、ソース配線8aと平行に画素領域の外周部に延伸させると共に、ゲート配線2と平行に画素領域の外周部に延伸させて、画素領域の外周部を取り囲むように設けてもよい。つまり、共通電極配線3を画素領域にリング型に設けてもよい。

【0102】

(第4の変形例)

図9は、第4の変形例を示しており、上記の図2に対応する平面図である。また、図10の(a)は、図9に示すA-A'断面図であり、図10の(b)は、図9に示すB-B'断面図である。

【0103】

10

20

30

40

50

第4の変形例では、図9、図10の(a)、および図10の(b)に示すように、共通電極9の周辺部(外周部)に、ソース8aおよびドレイン10の上層に設けた金属層21と同じ金属層がドメインを隠すための遮光膜(共通電極の外周を囲って設けられている金属層)25として設けられている。さらに、図9に示すように、共通電極配線8bの全面を覆うように、遮光膜25を設けてもよい。なお、ここで遮光膜25に用いられる金属層は、必ずしも遮光膜としての機能を有しているものに限定されない。つまり、遮光という機能は単なる一例にすぎない。

【0104】

この遮光膜25は、上記した工程7において、金属膜を取り除く際に、共通電極9を形成する箇所に対応する金属膜を全て取り除くのではなく、共通電極9の周辺部に金属膜を残すことにより形成できる。

10

【0105】

上記構成によれば、共通電極9の周辺に遮光の機能を持たせることができると共に、共通電極9および補助共通電極配線3に低抵抗の金属層からなる遮光膜25を設けることにより、共通電極9および補助共通電極配線3の低抵抗化を図ることができる。

【0106】

(第5の変形例)

図11は、第5の変形例を示しており、上記の図2に対応する平面図である。また、図12は、図11に示すA-A'断面図である。図13は、図11に示すC部、つまり、共通電極9と共通電極配線3との交差部の拡大図であり、図14は、図13に示すB-B'断面図である。図11に示すように、第5の変形例に示す絵素電極13は、共通電極9と補助共通電極配線3とが互いに交差する部分において、途切れており、該交差する部分には、絵素電極13と離間したコンタクト電極パッド17が設けられている。コンタクト電極パッド17は、共通電極9と補助共通電極配線3とを互いに電氣的に接続する。

20

【0107】

図13に示す、参照符号16は、共通電極9の開口部を示している。つまり、第5の変形例では、図12および図14に示すように、共通電極9が補助共通電極配線3との交差部において、開口部が設けられている。さらに、図12および図14から分かるように、層間絶縁膜11、およびゲート絶縁膜4は、コンタクト電極パッド17が設けられている位置においてくり貫かれている。

30

【0108】

上記の代表例では、共通電極9と補助共通電極配線3とは、ゲート絶縁膜4にコンタクトホール5を設けて、これらを互いに電氣的に接続させていた。これに対して、第5の変形例では、図12および図14に示すように、共通電極9と補助共通電極配線3との両方に接続されたコンタクト電極パッド17が設けられている。つまり、コンタクト電極パッド17にて共通電極9と補助共通電極配線3とが互いに接続されている。

【0109】

コンタクト電極パッド17は、層間絶縁膜11に沿って形成されており、一端が共通電極9に接続されており、と共に、他端が補助共通電極配線3に接続されている。これにより、図14に破線で示すように、補助共通電極配線3と共通電極9との電氣的に接続される。上記のコンタクト電極パッド17は、絵素電極13の形成と同時に行うことができる。なお、ここでは、コンタクト電極パッド17は、ソース配線8aが延びる方向に共通電極9と補助共通電極配線3とを接続しているが、これは単なる一例にすぎず、例えば、ゲート配線2が延びる方向に共通電極9と補助共通電極配線2とを接続してもよい。

40

【0110】

また、共通電極9の開口部16およびコンタクト電極パッド17の構成を図12・14に示すような構成にした理由については、後に図面を用いて説明する。

【0111】

上記の代表例では、アクティブマトリクス基板の作製には6枚マスクプロセスを必要とした。これに対して、この第5の変形例によれば、5枚マスクプロセスを実現できる。こ

50

の理由は、コンタクトホール5を形成するためのフォト工程を省き、層間絶縁膜11のフォト、パターニングの際に同時にコンタクトホール5を形成できるためである。

【0112】

次に、図12に示すアクティブマトリクス基板の製造方法について説明する。

【0113】

(工程1)

まず、図15の(a)に示すように、絶縁性基板1上に、Ti/Al/Tiなどを250nm程度スパッタリング法にて成膜し、フォトリソグラフィ法にてゲート2および補助共通電極配線3を互いに離間して形成する。なお、この工程1では、1枚目のマスクを使用する。

10

【0114】

(工程2)

次に、プラズマCVD(chemical vapor deposition)法によりゲート絶縁膜(窒化シリコン; SiNx)4を300nm程度、a-Si層6を150nm程度、n⁺-Si層7を50nm程度、この順に3層連続して成膜する。成膜後、図15の(b)に示すように、フォトリソグラフィ法にて、ゲート2および補助共通電極配線3に対応する位置を島状にパターニングする。なお、この時点ではまだTFT18のチャンネル部は形成されていない。なお、この工程2では、2枚目のマスクを使用する。

【0115】

(工程3)

次に、下層にITOから成る透明導電膜を100nm程度、上層にMo/Al/MoNなどの金属層を150nm程度、連続してスパッタリング法により成膜する。成膜後、図15の(c)に示すように、ハーフトーン露光法により、透明導電膜および金属層を共に取り除く領域のフォトレジストの残膜量を0nmとし、透明導電膜および金属層を共に残す第1の領域(ソース8aを形成する領域、およびドレイン10を形成する領域)の残膜量を約3000nmとし、透明導電膜のみを残す第2の領域(共通電極9を形成する領域)の残膜量を約1000nmとするフォトレジスト14を形成する。なお、ここでは図示していないが、この工程により、共通電極配線8bを形成する領域にも残膜量を約3000nmとするフォトレジスト14を形成する。なお、この工程3では、3枚目のマスクを使用する。

20

30

【0116】

(工程4)

次に、磷酸-塩酸-硝酸系のエッチング液を用いた湿式エッチング液を用いた湿式エッチング法にて上記の金属層をエッチングし、続いて、塩化第(II)鉄系のエッチャントを用いた湿式エッチング法により、透明導電膜をエッチングして、図15の(d)に示すように、ソース8a、およびドレイン10を形成する。

【0117】

また、この工程により、ソース8aおよびドレイン10を下層を透明導電膜(ITO)19とし、上層を金属層21とする2層構造にて形成できる。さらに、共通電極9を同時に形成できる。

40

【0118】

なお、ここでは、図示していないが、この工程により、共通電極配線8bも形成できる。

【0119】

(工程5)

次に、O₂を含むガスを用いたドライエッチング法により、図15の(e)に示すように、共通電極9を形成する領域に設けられたフォトレジスト14を取り除く。

【0120】

(工程6)

次に、図15の(f)に示すように、共通電極9を形成する領域の金属膜を、磷酸-塩

50

酸 - 硝酸系のエッチング液による湿式エッチング法により取り除き、続いて、 SF_6 を含むガスを用いたドライエッチング法により、 $a-Si$ 層 6 と n^+-Si 層 7 とから成るチャネル部を形成する。これにより、画素毎に、スイッチング素子である、TFT 18 を形成できる。

【0121】

(工程 7)

次に、 O_2 を含むガスを用いたドライエッチング法により、図 15 の (g) に示すように、ソース 8 a、共通電極配線 8 b、およびドレイン 10 を形成する領域のフォトリソレジストを取り除く。なお、ここでは、図示していないが、この工程により、共通電極配線 8 b を形成する領域のフォトリソレジストも同時に取り除く。

10

【0122】

(工程 8)

次に、プラズマ CVD 法により、図 15 の (h) に示すように、層間絶縁膜 11 として窒化シリコン膜を $150\text{ nm} \sim 650\text{ nm}$ 程度成膜し、コンタクトホール 5 およびコンタクトホール 12、ならびに、ゲート配線 2 およびソース配線 8 a の配線引き出し端子パッド部 (不図示) を形成するために、該層間絶縁膜 11 をフォトリソグラフィ法により所定のパターンにエッチングする。同時に、層間絶縁膜 11 をマスクにして、ゲート絶縁膜 4 をドライエッチングして補助共通電極配線 3 までコンタクトホール 5 を届かせる。

【0123】

なお、この工程では、4 枚目のマスクを使用する。

20

【0124】

(工程 9)

次に、図 15 の (i) に示すように、層間絶縁膜 11 上に、ITO から成る透明導電膜を 100 nm 程度スパッタリング法により成膜し、フォトリソグラフィ法により絵素電極 13 および共通電極 9 と補助共通電極配線 3 とを互いに電氣的に接続するためのコンタクト電極パッド 17 を所定のパターンにエッチングする。以上の工程により、図 12 に示されたアクティブマトリクス基板を形成できる。なお、この工程では、5 枚目のマスクを使用する。

【0125】

以上のように、この第 5 の変形例では、5 枚のマスクでアクティブマトリクス基板を製造できる。

30

【0126】

次に、5 枚マスクの場合と 6 枚マスクの場合のそれぞれについて、さらに、図面を用いて説明する。

【0127】

図 16 の (a) ~ 図 16 の (e) は、6 枚マスクの場合のアクティブマトリクス基板のコンタクトホール 5 の部分の製造過程を示す断面図であり、図 16 の (f) ~ 図 16 の (j) は、図 16 の (a) ~ 図 16 の (e) それぞれの平面を示す模式図である。

【0128】

1 枚目のマスクは、図 16 の (a) に示すように、補助共通電極配線 3 を形成するために用いる。2 枚目のマスクは、図示しない半導体層のフォトリソグラフィ法に用いる。3 枚目のマスクは、図 16 の (b) に示すように、コンタクトホール 5 を形成するために用いる。4 枚目のマスクは、図 16 の (c) に示すように、共通電極 9 を形成するために用いる。5 枚目のマスクは、図 16 の (d) に示すように、層間絶縁膜 11 をパターンニングするために用いる。6 枚目のマスクは、図 16 の (e) に示すように、絵素電極 13 を形成するために用いる。

40

【0129】

一方、図 17 の (a) ~ 図 17 の (e) は、5 枚マスクの場合のアクティブマトリクス基板のコンタクトホール 5 の部分の製造過程を示す断面図であり、図 17 の (f) ~ 図 17 の (j) は、図 17 の (a) ~ 図 17 の (e) それぞれの平面を示す模式図である。

50

【 0 1 3 0 】

1枚目のマスクは、図17の(a)に示すように、補助共通電極配線3を形成するために用いる。2枚のマスクは、図示しない半導体層のフォトリソグラフィ法に用いる。3枚目のマスクは、図17の(b)に示すように、共通電極9の開口部16を形成するために用いる。4枚目のマスクは、図17の(c)に示すように、層間絶縁膜11を形成するために用いる。ここで、図17の(d)に示すように、補助共通電極配線3まで達するコンタクトホール5の形成は、層間絶縁膜11をマスクにしてゲート絶縁膜2をドライエッチングすることにより行う。それゆえ、図17の(d)では、新たなマスクは不要である。5枚目のマスクは、図17の(e)に示すように、絵素電極13、および共通電極と補助共通電極配線3とを互いに電氣的に接続するためのコンタクト電極パッド17を形成するために用いる。なお、図17の(d)中、破線で示されている矢印は、補助共通電極配線3と共通電極9との電氣的な接続の流れを示している。

10

【 0 1 3 1 】

次に、第5の変形例では、図12に示すように、変則的なコンタクトホール5を設けている理由について説明する。この理由を説明するために、本実施の形態の第5の変形例の比較例を2つそれぞれ図面を用いて説明する。

【 0 1 3 2 】

図18の(a)および図18の(b)は、比較例を示しており、共通電極9の開口部16をコンタクトホール5の開口よりも大きくした場合の、図18の(a)は平面図を、図18の(b)は図18の(a)のB-B'断面図を示している。

20

【 0 1 3 3 】

この比較例の場合、図18の(b)に示すように、コンタクト電極パッド17は補助共通電極配線3とは互いに電氣的に接続できるが、コンタクト電極パッド17と共通電極9とは互いに電氣的に接続することができない。理由については、明らかであるため省略する。

【 0 1 3 4 】

同じく、図19の(a)および図19の(b)は、比較例を示しており、共通電極9の開口部16をコンタクトホールの開口よりも小さくした場合の、図19の(a)は平面図を、図19の(b)は図19の(a)のB-B'断面図を示している。

【 0 1 3 5 】

この比較例の場合、図19の(b)に示すように、コンタクト電極パッド17は共通電極9とは互いに電氣的に接続できるが、補助共通電極配線3とは互いに電氣的に接続することができない。その理由は、層間絶縁膜11をマスクにしてゲート絶縁膜4をドライエッチングし、補助共通電極配線3までコンタクトホール5を届かせた場合、共通電極9はITOなどの材料で形成されているため、ドライエッチングされず、結果として、ゲート絶縁膜4が逆テーパ、つまり、ひさし状になるため、コンタクト電極パッド17が段切れする。

30

【 0 1 3 6 】

これらの比較例を踏まえて、本実施の形態の第5の変形例におけるアクティブマトリクス基板は、コンタクト電極パッド17が、共通電極9と補助共通電極配線3との両方に電氣的に接続可能な構成となっている。つまり、上記の2つの比較例のいずれの構成をも取り入れた構成となっている。さらに、換言すれば、コンタクト電極パッド17は、コンタクトホール5の外縁よりも外側の端部側において補助共通電極配線3と接続されていると共に、共通電極9におけるコンタクトホール5の外縁よりも内側の端部側と接続されている。

40

【 0 1 3 7 】

なお、通常の6枚マスクプロセスでは、共通電極9と補助共通電極配線3を電氣的に接続するためのコンタクトホール5をソース、ドレイン形成前に形成するためにフォト工程が1回増える。5枚マスクでは、上記コンタクトホール5の形成するフォト工程は、ソース、ドレイン形成前には行わず、共通電極9の一部に開口部を設けておき(後に最下層

50

の補助共通電極配線 3 までコンタクトホール 5 を貫通させるため)、層間絶縁膜 1 1 のフォトリソ、パターニングの際に同時にコンタクトホール 5 を形成し、続く絵素電極 1 3 形成時に共通電極 9 と補助共通電極配線 3 とを電氣的に接続するコンタクト電極パッド 1 7 を形成することで 5 枚マスクが可能となる。また、請求項 1 に記載の構成では(補助共通電極配線なし)、上記のようなことは行わずとも 5 枚マスクプロセスとなる。これは、上記ソース、ドレイン形成前のコンタクトホール 5 のフォトリソ、パターニング工程が元々存在しないためである。

【 0 1 3 8 】

(第 6 の変形例)

上記の代表例では、画素電極 1 3 をストレート櫛歯形状にしていた。これに対して、第 6 の変形例では、画素電極 1 3 の形状に変形を加えている。

10

【 0 1 3 9 】

例えば、図 2 0 の (a) に示すように、絵素電極 1 3 を画素領域におけるソース配線 8 a の中央にその中心が位置するような V 字型にしてもよく、図 2 0 の (b) に示すように、絵素電極 1 3 を画素領域におけるゲート配線 2 の中央にその中心がくるような V 字型にしてもよい。なお、本変形例では、ドメイン発生が危惧される領域の共通電極 9 上にソース 8 a の上層の金属層 2 1 を残している。つまり、図 2 0 の (a) および図 2 0 の (b) に示すように、共通電極 9 の一部に、金属層 2 1 を設けている(図中破線部)。

【 0 1 4 0 】

絵素電極 1 3 をこのような形状にすることにより、マルチドメインによる広視野角を実現できる。

20

【 0 1 4 1 】

以上のように、本発明に係るアクティブマトリクス基板は、絶縁性基板と、該絶縁性基板上に互いに交差して配された映像信号線および走査信号線と、これらの信号線の交点に配され、ゲート電極、ソース電極、およびドレイン電極を備えて成る薄膜トランジスタと、を有するアクティブマトリクス基板であって、ソース電極およびドレイン電極の下層として用いるために形成された透明電極層が、互いに隣接する映像信号線と互いに隣接する走査信号線とで囲われた画素領域に共通電極として用いられていると共に、互いに隣接する共通電極を上記映像信号線に平行に繋いで形成された共通電極配線として用いられている。

30

【 0 1 4 2 】

従って、抵抗による信号の遅延および寄生容量による信号の遅延を小さくしたアクティブマトリクス基板を提供できる。

【 0 1 4 3 】

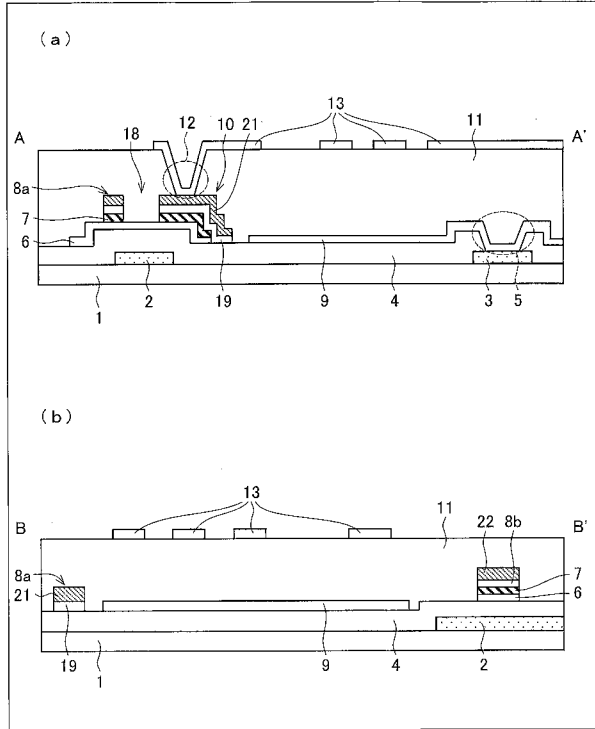
発明の詳細な説明の項においてなされた具体的な実施形態または実施例は、あくまでも、本発明の技術内容を明らかにするものであって、そのような具体例にのみ限定して狭義に解釈されるべきものではなく、本発明の精神と次に記載する請求の範囲内で、いろいろと変更して実施できるものである。

【 産業上の利用可能性 】**【 0 1 4 4 】**

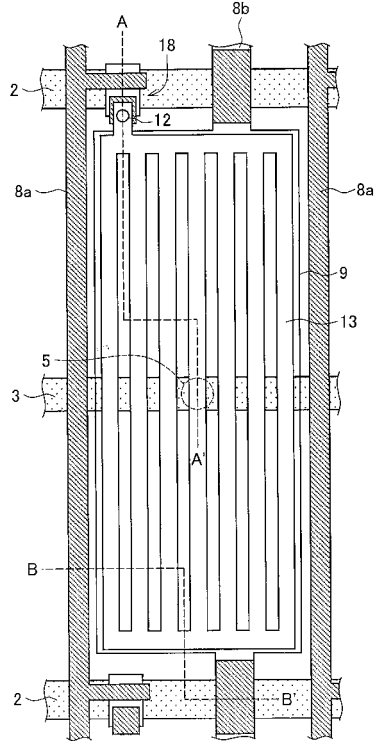
本発明は、液晶表示装置に適用することが可能であり、特に大型のテレビなどに特に好適に利用できる。

40

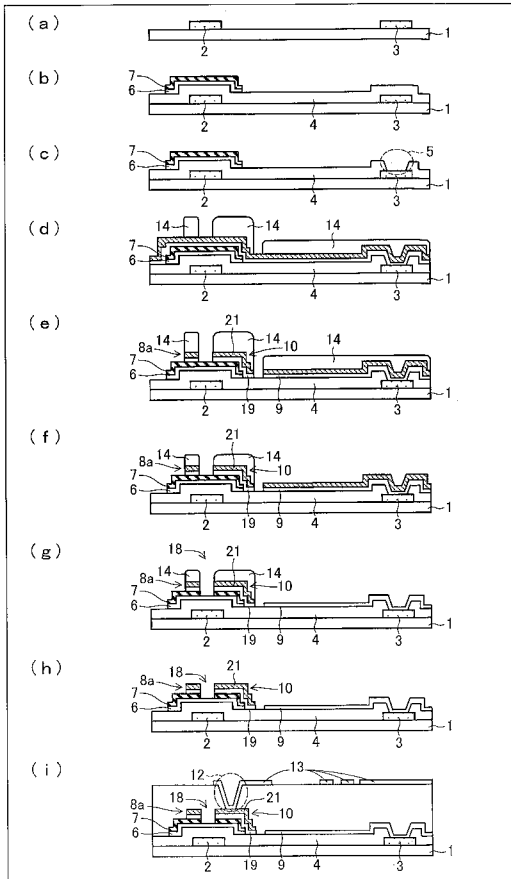
【図1】



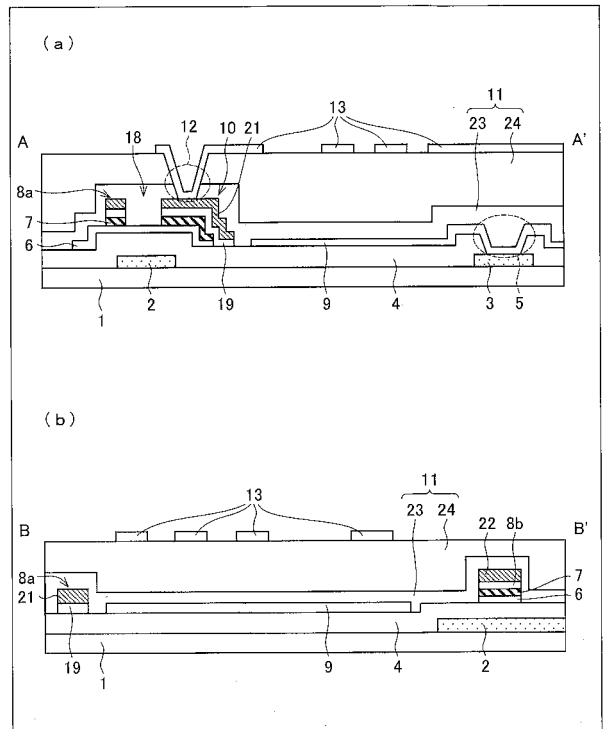
【図2】



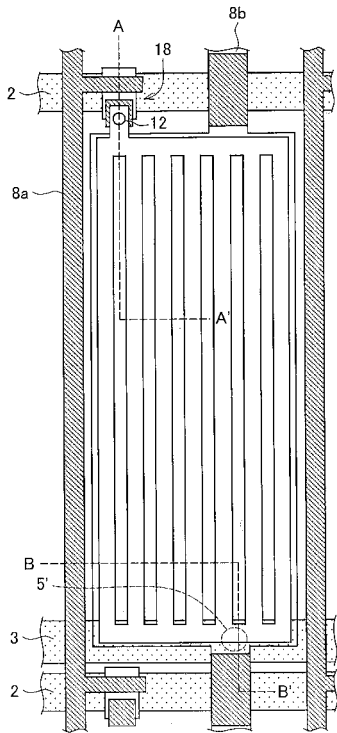
【図3】



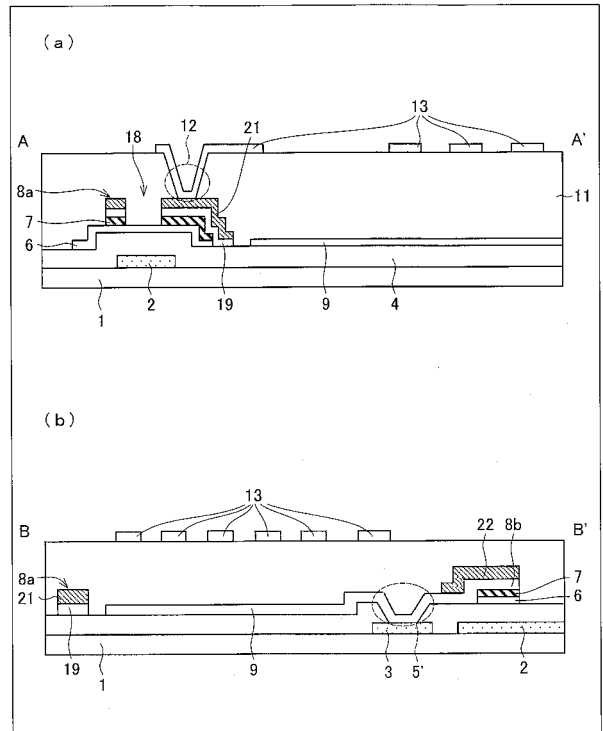
【図4】



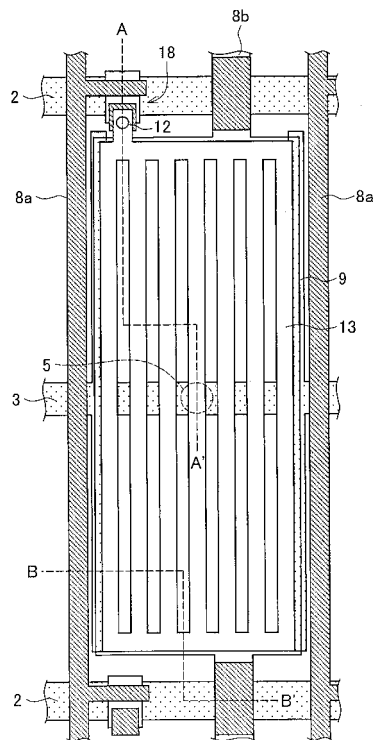
【図5】



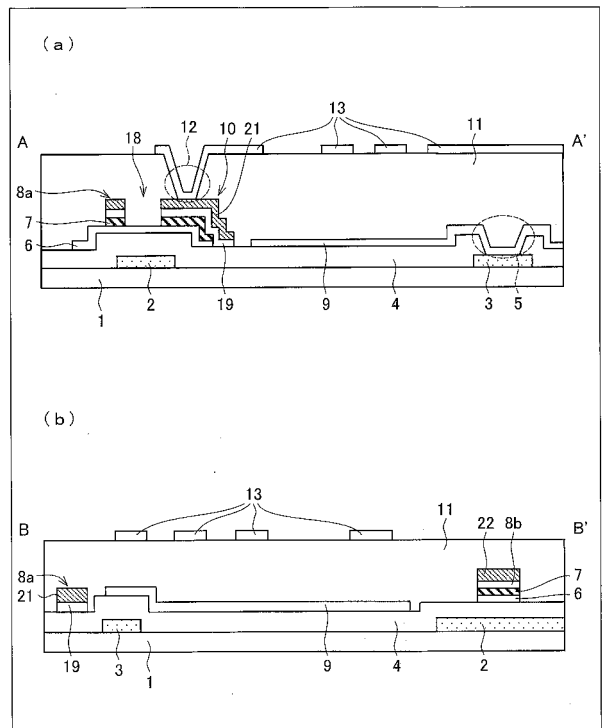
【図6】



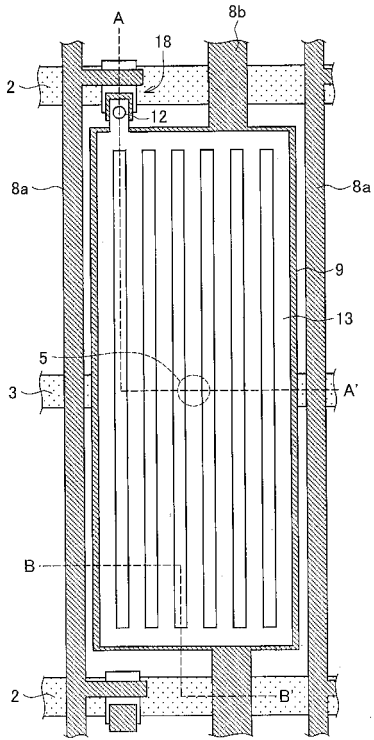
【図7】



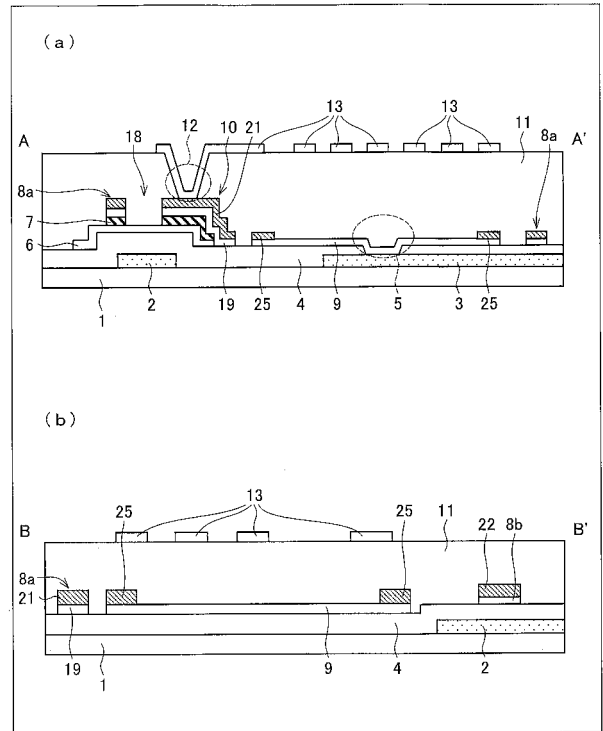
【図8】



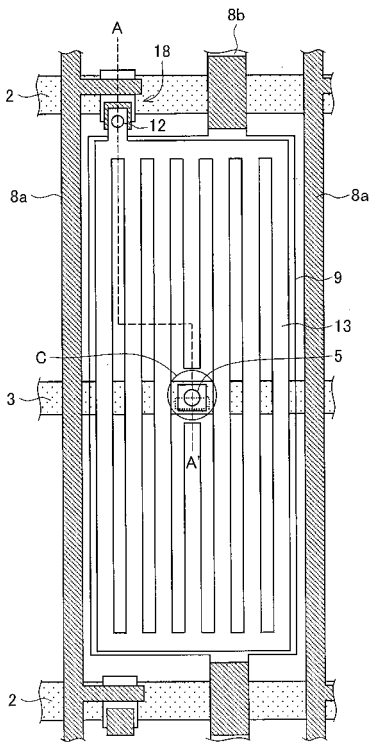
【図9】



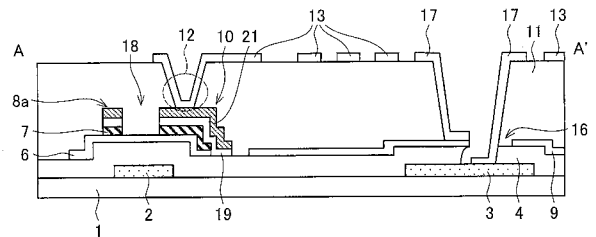
【図10】



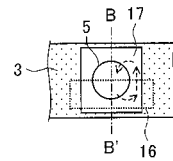
【図11】



【図12】

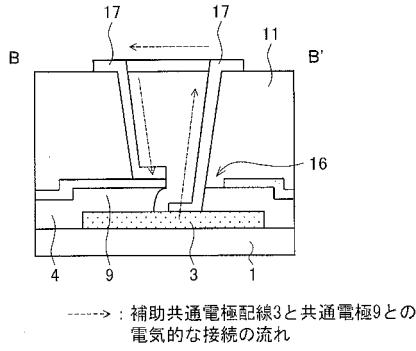


【図13】

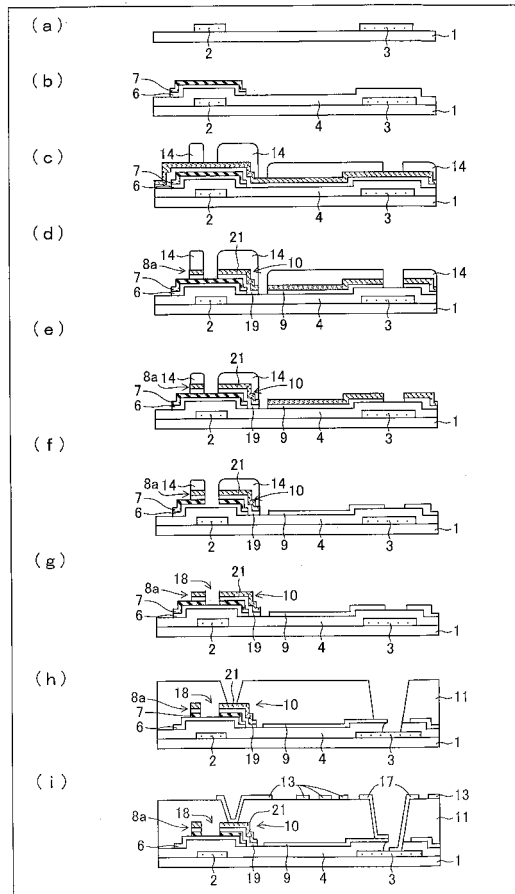


-----> : 補助共通電極配線3と共通電極9との電気的な接続の流れ

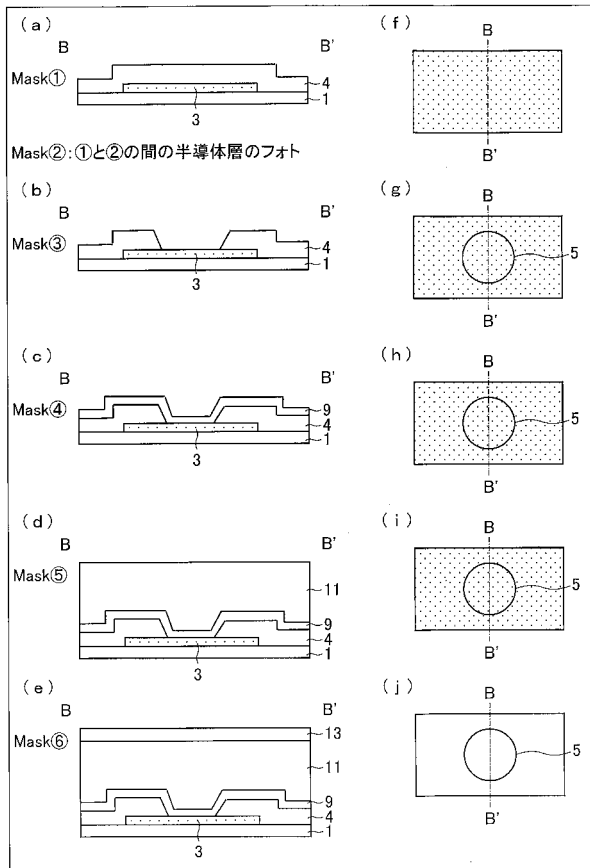
【図14】



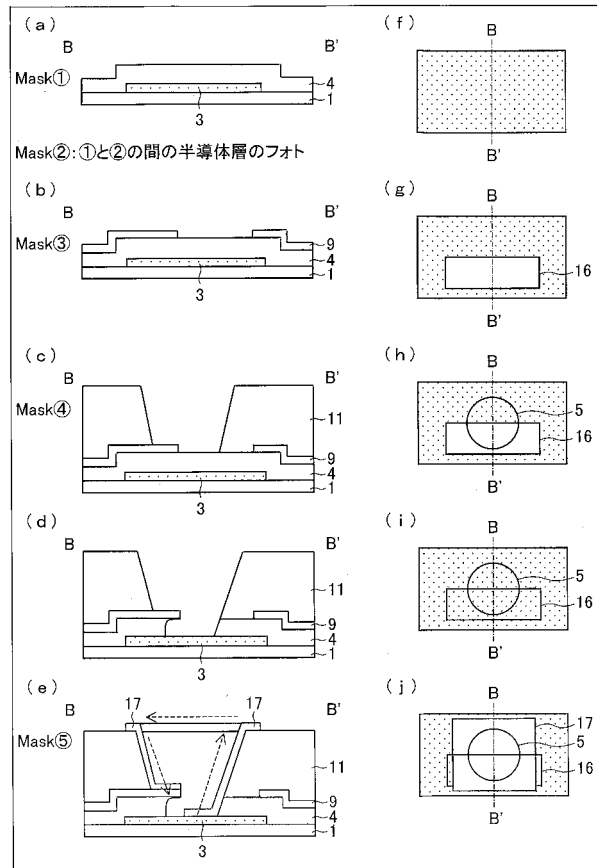
【図15】



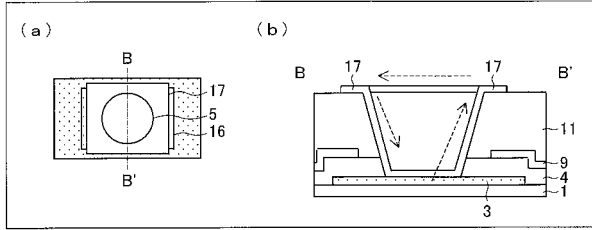
【図16】



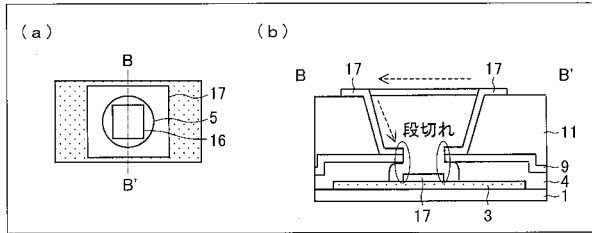
【図17】



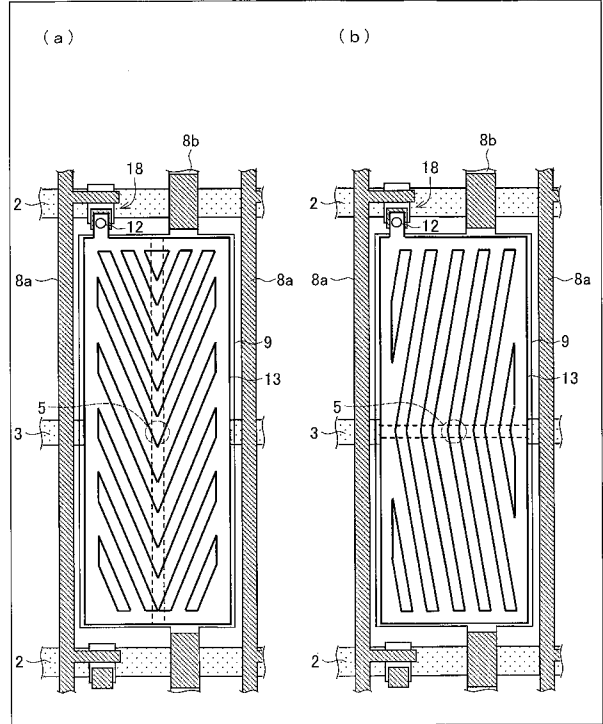
【図18】



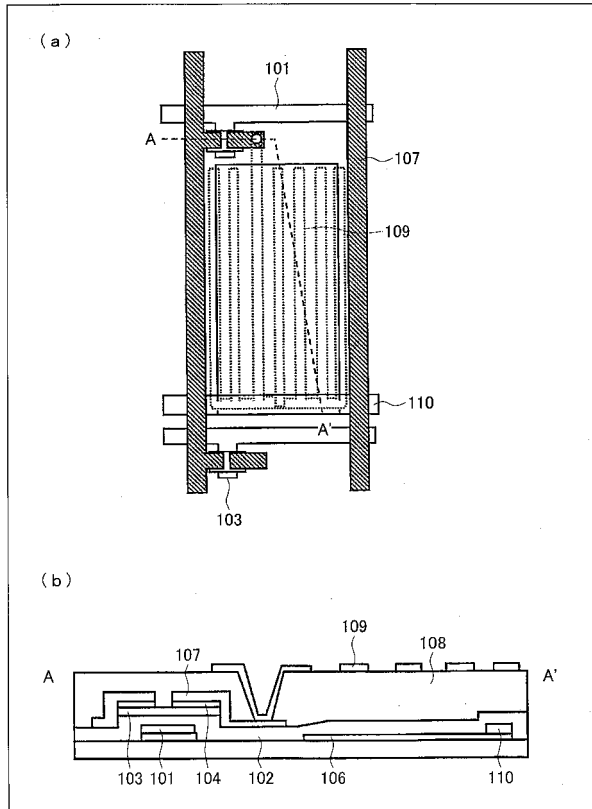
【図19】



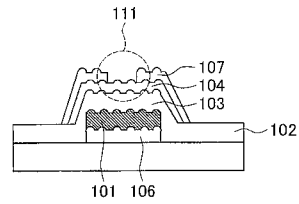
【図20】



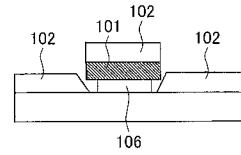
【図21】



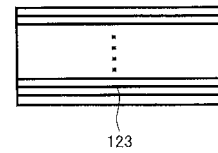
【図22】



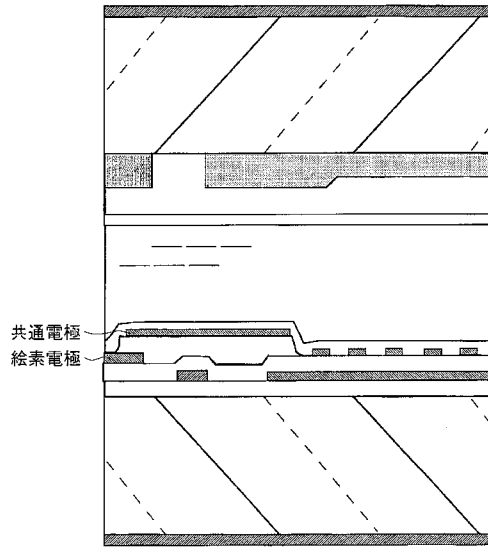
【図23】



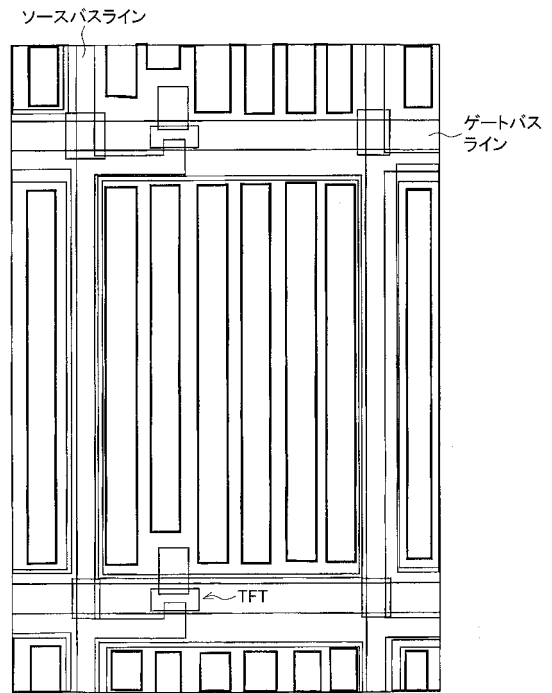
【図24】



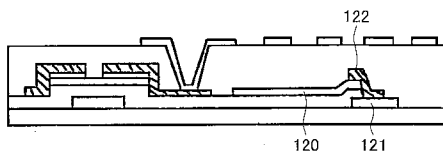
【図 25】



【図 26】



【図 27】



フロントページの続き

- (56)参考文献 特開2001-56476(JP,A)
特開2004-12731(JP,A)
特開2003-207797(JP,A)
特開2004-165286(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G02F 1/1368
H01L 29/786

专利名称(译)	有源矩阵基板和具有该基板的液晶显示装置		
公开(公告)号	JP4885968B2	公开(公告)日	2012-02-29
申请号	JP2008536287	申请日	2007-05-08
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	村井淳人		
发明人	村井 淳人		
IPC分类号	G02F1/1368		
CPC分类号	G02F1/134363 G02F1/136227 G02F1/1368 G02F2001/13606 G02F2001/136263 G02F2001/13629 G02F2201/121 H01L27/124 H01L27/1248		
FI分类号	G02F1/1368		
审查员(译)	铃木俊光		
优先权	2006263506 2006-09-27 JP		
其他公开文献	JPWO2008038432A1		
外部链接	Espacenet		

摘要(译)

有源矩阵衬底包括绝缘衬底(1);栅极线(2)和源极线(8a)在绝缘基板(1)上彼此正交设置;TFT和TFT(18)分别设置在信号线(2,8a),TFT(18)的交叉点上,TFT(18)包括栅极(2),源极(8a)和漏极(10)。形成用作源极(8a)和漏极(10)的下层的透明导电膜(19)用作由相邻源极线(8a)围绕的像素区域的公共电极(9)以及用于连接与源极线(8a)平行的相邻公共电极(9)的公共电极线(8b)。这提供了有源矩阵衬底,其中由电阻和寄生电容引起的信号延迟减小。

