

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4885353号
(P4885353)

(45) 発行日 平成24年2月29日 (2012. 2. 29)

(24) 登録日 平成23年12月16日 (2011. 12. 16)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36

G02F 1/133 550

G09G 3/20 612A

G09G 3/20 622Z

G09G 3/20 670D

請求項の数 1 (全 15 頁)

(21) 出願番号 特願2000-402656 (P2000-402656)
 (22) 出願日 平成12年12月28日 (2000. 12. 28)
 (65) 公開番号 特開2002-215099 (P2002-215099A)
 (43) 公開日 平成14年7月31日 (2002. 7. 31)
 審査請求日 平成19年12月18日 (2007. 12. 18)

(73) 特許権者 307003227

ティービーオー ホンコン ホールディン
 グ リミテッド
 香港, シャティン, サイエンス パーク
 イースト アベニュー, フィリップス エ
 レクトロニクス ビルディング 5, フロ
 ア 2

(74) 代理人 230104019

弁護士 大野 聖二

(74) 代理人 100106840

弁理士 森田 耕司

(74) 代理人 100115679

弁理士 山田 勇毅

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

互いに垂直に延在するゲートバス (23) 及びソースバス (24) と、

画素電極 (21) と、

前記ソースバス (24) に画像信号を供給するソースドライバ (4) と、

前記ゲートバス (23)、前記ソースバス (24)、及び前記画素電極 (21) に接続
 されて、オンになることで、前記ソースバス (24) からの画像信号を前記画素電極 (2
 1) に伝送する第1のスイッチング手段 (22) と、

前記ゲートバス (23) に前記第1のスイッチング手段 (22) をオンにするための第
 1の電位 (Vg) 又は前記第1のスイッチング手段 (22) をオフにするための第2の電
 位 (Vo) を供給するゲートドライバ (3) と、

第1の供給ライン (L1) を介して、前記ソースドライバ (4) に向けて、前記ソース
 ドライバ (4) を駆動するための第3の電位 (Vs) を発生し、第2の供給ライン (L2
) を介して、前記ゲートドライバ (3) に向けて、前記第1の電位 (Vg) を発生し、か
 つ、第3の供給ライン (L3) を介して、前記ゲートドライバ (3) に向けて、前記第2
 の電位 (Vo) を発生するための電位発生手段 (5) と、

画面消去手段 (6) とを備えた液晶表示装置であって、

前記画面消去手段 (6) は、

電荷流入部 (67) と、

前記第1の供給ライン (L1)、前記第2の供給ライン (L2)、及び前記第3の供

10

20

給ライン（ $L3$ ）に接続されて、前記第1の供給ライン（ $L1$ ）から入力される前記第3の電位（ V_s ）と前記第3の供給ライン（ $L3$ ）から入力される前記第2の電位（ V_o ）との電位差が所定の閾値以上となることでオンとなり、それによって前記第2の供給ライン（ $L2$ ）と前記第3の供給ライン（ $L3$ ）とを接続する第2のスイッチング手段（ 61 ）と、

前記第2の供給ライン（ $L2$ ）、前記電荷流入部（ 67 ）、及び前記第3の供給ライン（ $L3$ ）に接続されて、前記第2の供給ライン（ $L2$ ）から入力される前記第1の電位（ V_g ）と前記第3の供給ライン（ $L3$ ）から入力される前記第2の電位（ V_o ）との電位差が所定の閾値以上となることでオンとなり、それによって前記電荷流入部（ 67 ）と前記第3の供給ライン（ $L3$ ）とを接続する第3のスイッチング手段（ 62 ）と、

10

を備え、

前記電位発生手段（ 5 ）による前記第1ないし第3の電位（ V_g 、 V_o 、 V_s ）の発生が停止すると、

前記ソースドライバ（ 4 ）から前記ソースバス（ 24 ）に供給されていた前記画像信号がオフになり、

前記第1の供給ライン（ $L1$ ）上の電位が低下し、

前記第2の供給ライン（ $L2$ ）上の電位が、前記第1の供給ライン（ $L1$ ）上の電位より時間的に遅くゼロ電位に達するように低下し、

前記第1のスイッチング手段（ 22 ）が半オン状態になり、

前記第2のスイッチング手段（ 61 ）がオフになり、

20

前記第3のスイッチング手段（ 62 ）がオンになることで、

前記ゲートバス（ 23 ）に溜まった電荷が前記第3の供給ライン（ $L3$ ）及び前記第3のスイッチング手段（ 62 ）を経由して前記電荷流入部（ 67 ）に流入し、

前記第1の電位（ V_g ）は正の電位であり、前記第2の電位（ V_o ）は負の電位であり、前記第3の電位（ V_s ）は正の電位である

ことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶層に電圧を印加する第1の電極及び第2の電極を備えた液晶表示装置に関する。

30

【0002】

【従来の技術】

液晶ディスプレイに表示された画像を、このディスプレイの電源をOFFにして消去する場合、電源をOFFにしてから、ディスプレイに表示されていた画像が完全に消去するまでの時間（以下、消去時間と呼ぶ）が、4秒～5秒、場合によっては30秒に近い時間が必要な液晶ディスプレイがある。消去時間が長くなる理由は、電源をOFFにしても、しばらくの間は、或る大きさを持つ電圧が液晶層に印加されているからであると考えられる。消去時間が長ければ長いほど、それだけ画面に残像が生じていることになるが、このような残像は、ユーザにとって煩わしいため、残像ができるだけ早く消去されるように、消去時間を短縮することが要求されている。

40

【0003】

例えばTF型液晶表示装置の場合、消去時間を短縮するために、ゲートドライバに、この液晶表示装置の電源がOFFになった直後に全てのTFをON状態にするための機能（以下、全ON機能と呼ぶ）を持たせることが知られている。このような機能を備えたゲートドライバを用いると、電源がOFFになった直後に、画素電極にOFFの画像データが書き込まれ、画素電極の電位が即座にゼロ電位に変化する。従って、画素電極と共通電極との電位差を短時間でほぼゼロにすることができ、消去時間を短縮することができる。

【0004】

上記のゲートドライバの全ON機能を駆動するためには、全ON機能の駆動を専用に行う

50

ための電圧検出回路や信号検出回路が新たに必要となる。電圧検出回路は、ＬＣＤ外部から供給される電圧を検出し、この検出した値に応じて全ＯＮ機能を制御するものであり、一方、信号検出回路は、この電圧に加えて信号（例えば水平同期信号）も検出し、又はこのような信号のみを検出し、これら検出した電圧及び信号（又は信号のみ）に応じて、全ＯＮ機能を制御するものである。

【０００５】

【発明が解決しようとする課題】

電圧検出回路を用いる場合、高価な電圧検出ディテクタＩＣが必要となり、コスト高になるという問題がある。また、信号検出回路を用いる場合、検出すべき信号の特性（例えば信号の振幅や周波数等）に応じて、信号検出回路の仕様を変更しなければならないという問題がある。

10

【０００６】

本発明は、上記の事情に鑑み、例えば水平同期信号等の信号を検出することなく、低コストで消去時間の短縮が可能な液晶表示装置を提供することを目的とする。

【０００７】

【課題を解決するための手段】

上記目的を達成する本発明の第１の液晶表示装置は、液晶層に電圧を印加する第１の電極及び第２の電極と、第１のスイッチング手段を経由して前記第１の電極に電氣的に接続される第１及び第２のバスと、前記第１のバスを含む経路を経由して前記第１のスイッチング手段に向けて供給される第１の電位を発生する電位発生手段と、前記経路、前記第１の電極、又は前記電位発生手段に存在する電荷が流入する電荷流入部と、前記電荷流入部に電荷が流入する第１の状態と、該第１の状態よりも前記電荷流入部に電荷が流入しにくい第２の状態とのうちのいずれかの状態に、前記電荷流入部への電荷の流入状態を切り換える第２のスイッチング手段とを備えたことを特徴とする。

20

【０００８】

本発明の第１の液晶表示装置は、前記経路、前記第１の電極、又は前記電位発生手段に存在する電荷が流入する電荷流入部を備えており、さらに、この電荷流入部への電荷の流入状態は、第２のスイッチング手段により切り換えられる。従って、この電荷流入部が第２の状態から第１の状態に変化した場合、前記経路、前記第１の電極、又は前記電位発生手段に存在する電荷は効率よくこの電荷流入部に流入する。このため、前記経路、前記第１の電極、又は前記電位発生手段の電位を、この電荷流入部に流入した電荷量に対応した電位分だけすばやく変化させることができる。このように、前記経路、前記第１の電極、又は前記電位発生手段の電位を変化させることにより、後述するように、消去時間を短縮することが可能となる。また、本発明の第１の液晶表示装置では、上記の電荷流入部を備えることで、後述するように、例えば水平同期信号等の信号を検出することなく低コストで消去時間を短縮することが可能となる。

30

【０００９】

ここで、本発明の第１の液晶表示装置は、前記第２のスイッチング手段がＯＮ状態のときに前記電荷流入部を前記第１の状態にし、該第２のスイッチング手段がＯＦＦ状態のときに前記電荷流入部を前記第２の状態に設定することが好ましい。

40

【００１０】

第２のスイッチング手段をＯＮ状態、ＯＦＦ状態に切り換えることにより、電荷流入部を第１の状態又は第２の状態に設定することができる。

【００１１】

ここで、本発明の第１の液晶表示装置は、前記第２のスイッチング手段を、ＯＮ状態及びＯＦＦ状態のうちのいずれかの状態に切換自在に制御する制御部を備えたことが好ましい。

【００１２】

制御部を備えることにより、前記第２のスイッチング手段のＯＮ状態、ＯＦＦ状態の切換えを容易に行うことができる。

50

【 0 0 1 3 】

ここで、本発明の第 1 の液晶表示装置は、前記電位発生手段が複数の電位を発生するものであり、前記制御部が、前記電位発生手段が発生する複数の電位を検出し、該検出した電位に基づいて、前記第 2 のスイッチング手段を、ON 状態及び OFF 状態のうちのいずれかの状態に切換自在に制御することが好ましい。

【 0 0 1 4 】

前記制御部を上記の構成にすることにより、例えば水平同期信号等の信号を検出することは不要であり、信号の特性とは無関係に制御部を設計することができる。

【 0 0 1 5 】

ここで、本発明の第 1 の液晶表示装置は、前記第 1 のバスに信号を伝送する第 1 のドライバと、前記第 2 のバスに信号を伝送する第 2 のドライバとを備え、前記電位発生手段が、前記第 1 の電位の他に、前記第 1 のドライバに向けて供給される第 2 の電位と、前記第 2 のドライバに向けて供給される第 3 の電位とを発生し、前記制御部が、前記第 1、第 2 及び第 3 の電位を検出し、該検出した電位に基づいて、前記第 2 のスイッチング手段を、ON 状態及び OFF 状態のうちのいずれかの状態に切換自在に制御することが好ましい。

10

【 0 0 1 6 】

電位発生手段に上記第 1 ～ 第 3 の電位を発生させ、これら電位を検出することで、例えば水平同期信号等の信号の特性とは無関係に制御部を設計することができる。

【 0 0 1 7 】

ここで、本発明の第 1 の液晶表示装置は、前記制御部が、前記第 2 のスイッチング手段の ON 状態及び OFF 状態を切り換えるための第 3 のスイッチング手段を備えたことが好ましい。

20

【 0 0 1 8 】

第 3 のスイッチング手段を備えることにより、この第 3 のスイッチング手段の簡単な切換えで、第 2 のスイッチング手段の ON 状態、OFF 状態を制御することができる。

【 0 0 1 9 】

さらに、本発明の第 1 の液晶表示装置は、前記第 1 の電極が画素電極、前記第 2 の電極が共通電極であってもよく、前記第 1 のバスがゲートバス、前記第 2 のバスがソースバスであってもよく、前記第 1 のドライバがゲートドライバ、前記第 2 のドライバがソースドライバであってもよい。

30

【 0 0 2 0 】

また、本発明の第 2 の液晶表示装置は、液晶層に電圧を印加する第 1 の電極及び第 2 の電極と、第 1 のスイッチング手段を経由して前記第 1 の電極に電氣的に接続される第 1 及び第 2 のバスと、前記第 1 のバスに向けて供給される第 1 の電位を発生する電位発生手段とを備えた液晶表示装置であって、前記電位発生手段が、該電位発生手段への電力の供給が停止されたときに、前記第 1 の電位よりも大きく前記第 1 のバスに向けて供給される第 2 の電位を発生することを特徴とする。

【 0 0 2 1 】

本発明の第 2 の液晶表示装置が備えている電位発生手段は、電力の供給が停止したときに、前記第 1 の電位よりも大きい第 2 の電位を発生し、この第 2 の電位は前記第 1 のバスに向けて供給される。このように、電力の供給が停止したときに、第 1 のバスに向けて第 1 の電位より大きい第 2 の電位を供給することにより、後述するように、消去時間を短縮することができる。また、本発明の第 2 の液晶表示装置では、上記の電位発生手段を備えることで、後述するように、例えば水平同期信号等の信号を検出することなく低コストで消去時間を短縮することが可能となる。

40

【 0 0 2 2 】

ここで、本発明の第 2 の液晶表示装置は、前記電位発生手段が、前記第 2 の電位を出力する差動増幅器を有することが好ましい。

【 0 0 2 3 】

このような差動増幅器を備えることにより、簡単な回路構成で第 2 の電位を発生させるこ

50

とができる。

【 0 0 2 4 】

ここで、本発明の第 2 の液晶表示装置は、前記第 1 の電極が画素電極、前記第 2 の電極が共通電極であってもよく、前記第 1 のバスがゲートバス、前記第 2 のバスがソースバスであってもよい。

【 0 0 2 5 】

【発明の実施の形態】

以下、本発明の実施形態について説明する。

【 0 0 2 6 】

図 1 は、本発明の第 1 の液晶表示装置の一実施形態である T F T 液晶ディスプレイの一例を示す概略構成図である。

10

【 0 0 2 7 】

この T F T 液晶ディスプレイ（以下、単に「ディスプレイ」という）1 は液晶パネル 2 を備えている。この液晶パネル 2 はカラー画像を表示するパネルであり、R（赤）、G（緑）及び B（青）の各色を表す画素から構成される。

【 0 0 2 8 】

図 2 は、この液晶パネル 2 の画素構成を概略的に示す図である。

【 0 0 2 9 】

この液晶パネル 2 は、互いに垂直に延在するゲートバス 2 3 及びソースバス 2 4 を備えている。ここでは、ゲートバス 2 3 は 8 0 0 本備えられ、ソースバス 2 4 は 3 0 7 2 本備えられているが、これらゲートバス 2 3 及びソースバス 2 4 の本数は、ディスプレイ 1 の用途などに応じて適時変更可能である。この図には、ゲートバス 2 3 は 3 本のみが図示され、ソースバス 2 4 は 1 本のみが図示されている。また、この液晶パネル 2 には、各画素毎に画素電極 2 1 及び T F T 2 2 が備えられている。この図では、画素電極 2 1 及び T F T 2 2 は、それぞれ 2 つだけ代表して示されている。T F T 2 2 のドレイン電極 2 2 c は画素電極 2 1 に接続されている。また、T F T 2 2 のゲート電極 2 2 a はゲートバス 2 3 に接続され、T F T 2 2 のソース電極 2 2 b はソースバス 2 4 に接続されている。更に、この液晶パネル 2 は、共通電極 2 5 を備えている。この共通電極 2 5 は、液晶層（図示せず）を介在させて各画素電極 2 1 に対向するように 2 次元的に広がっているが、ここでは、説明の便宜上、共通電極 2 5 を単なる直線で示してある。

20

30

【 0 0 3 0 】

図 1 に戻って説明を続ける。

【 0 0 3 1 】

液晶パネル 2 の周囲にはゲートドライバ 3 及びソースドライバ 4 が配置されており、これらドライバ 3 及び 4 は、電位発生回路 5 に接続されている。また、ディスプレイ 1 は、液晶パネル 2 に表示された画像を、電位発生回路 5 への直流電源の供給が遮断された直後に瞬時に消去するための画面消去回路 6 を備えている。

【 0 0 3 2 】

図 3 は、画面消去回路 6 の構成と、この画面消去回路 6 及びその他の回路の接続関係とを示す図である。

40

【 0 0 3 3 】

電位発生回路 5 は、所定の電位 V_s 、 V_g 、 V_0 及び V_c を発生する。電位 V_s 、 V_g 及び V_c は正の電位であるが、電位 V_0 は負の電位である。電位 V_s はソースドライバ 4 に向けて供給され、電位 V_g 及び V_0 はゲートドライバ 3 に向けて供給され、 V_c は共通電極 2 5（図 2 参照）に向けて供給される。

【 0 0 3 4 】

また、画面消去回路 6 は抵抗 6 5 を含む電荷流入部 6 7 を備えている。この電荷流入部 6 7 はスイッチング素子 6 2 に接続されている。このスイッチング素子 6 2 は、トランジスタ 6 2 a と、抵抗 6 2 b 及び 6 2 c とを有している。トランジスタ 6 2 a のコレクタは、このトランジスタ 6 2 a の保護用の抵抗 6 5 を経由して接地され、エミッタは、電位 V_0

50

の供給ライン L 3 を経由してゲートドライバ 3 に接続されている。また、画面消去回路 6 は、このスイッチング素子 6 2 の ON、OFF を制御する制御部 6 6 を備えている。この制御部 6 6 は、スイッチング素子 6 2 と同一構造のスイッチング素子 6 1 を備えており、このスイッチング素子 6 1 は、トランジスタ 6 1 a と、抵抗 6 1 b 及び 6 1 c とを有している。このトランジスタ 6 1 a のコレクタは、点 P 3 を経由してスイッチング素子 6 2 に接続されるとともに、抵抗 6 4 を経由して電位 V g の供給ライン L 2 に接続されている。また、トランジスタ 6 1 a のエミッタは、点 P 2 で、トランジスタ 6 2 a のエミッタ及び供給ライン L 3 に接続されている。このトランジスタ 6 1 a のベースは抵抗 6 1 b 及び抵抗 6 3 を経由して、電位 V s の供給ライン L 1 に接続されている。スイッチング素子 6 1 は、点 P 1 の電位 V_{P1} と点 P 2 の電位 V_{P2} との間の電位差 $V_{P1} - V_{P2}$ が、

$$V_{P1} - V_{P2} > V_{on} \dots (1)$$

を満たすときに ON 状態となり、

$$V_{P1} - V_{P2} < V_{off} \dots (2)$$

を満たすときに OFF 状態となる。

【0035】

$V_{on} > V_{P1} - V_{P2} > V_{off}$ の場合、スイッチング素子 6 1 が ON 状態となるか OFF 状態となるかは不定であり、このスイッチング素子 6 1 として用いられた製品の特性に応じて、ON 状態になったり OFF 状態になったりする。

【0036】

また、スイッチング素子 6 2 は、スイッチング素子 6 1 と同様の特性を有しており、点 P 3 の電位 V_{P3} と点 P 2 の電位 V_{P2} との間の電位差 $V_{P3} - V_{P2}$ が、

$$V_{P3} - V_{P2} > V_{on} \dots (3)$$

を満たすときに ON 状態となり、

$$V_{P3} - V_{P2} < V_{off} \dots (4)$$

を満たすときに OFF 状態となる。

【0037】

$V_{on} > V_{P3} - V_{P2} > V_{off}$ の場合、スイッチング素子 6 2 が ON 状態となるか OFF 状態となるかは不定であり、このスイッチング素子 6 2 として用いられた製品の特性に応じて、ON 状態になったり OFF 状態になったりする。

【0038】

以下、図 1 に示すディスプレイ 1 の動作について、図 1 ~ 図 3 を参照しながら順に説明する。

【0039】

先ず、ディスプレイ 1 の本体の電源をオンすると、電位発生回路 5 に直流電源が供給され、電位 V s、V g、V 0、及び V c の発生を開始する。電位 V s はソースドライバ 4 を駆動させるための電位であり、電位 V g 及び V 0 はゲートドライバ 3 を経由してゲートバス 2 3 (図 1 参照) に向けて供給される電位であり、電位 V c は共通電極 2 5 に向けて供給される電位である。

【0040】

電位発生回路 5 が電位の発生を開始した直後を考えると、点 P 2 の電位 V_{P2} はまだ電位 V 0 には到達しておらずほぼゼロ電位であり、また、供給ライン L 1 上の点 P 4 の電位 V_{P4} はまだ電位 V s には到達しておらずほぼゼロ電位であるため、点 P 1 と点 P 2 との電位差 $V_{P1} - V_{P2}$ はほぼゼロである。従って、スイッチング素子 6 1 は (2) 式を満たした状態 (つまり OFF 状態) である。ところが、電位発生回路 5 が電位の発生を開始すると、時間の経過に従って、点 P 2 の電位が電位 V 0 (V 0 は負の値である) に近づくとともに点 P 4 の電位が電位 V s (V s は正の値である) に近づくため、点 P 1 の電位 V_{P1} と点 P 2 の電位 V_{P2} との間の電位差 $V_{P1} - V_{P2}$ はだんだん大きくなる。ここで、点 P 1 の電位 V_{P1} と点 P 2 の電位 V_{P2} との間の電位差 $V_{P1} - V_{P2}$ は、点 P 4 の電位 V_{P4} を用いて以下のように表すことができる。

$$V_{P1} - V_{P2} = (V_{P4} - V_{P2}) \times (r1 + r2) / (Ra + r1 + r2) \dots (5)$$

【 0 0 4 1 】

ここで、 r_1 及び r_2 は、それぞれ抵抗 6 1 b 及び 6 1 c の抵抗値、 R_a は抵抗 6 3 の抵抗値である。

【 0 0 4 2 】

本実施形態では、電位発生回路 5 が電位 V_0 及び V_s を発生したときに、(1) 式が満たされるように、電位 V_0 及び V_s の値と、抵抗 6 3、6 1 b 及び 6 1 c の値 R_a 、 r_1 及び r_2 とが選択されている。従って、電位発生回路 5 への直流電源の供給が遮断されているときには (2) 式を満たしていた電位差 $V_{P1} - V_{P2}$ は、電位発生回路 5 に直流電源が供給されることによりだんだん大きくなり、最終的に (1) 式を満たす。 (1) 式を満たした時点で、スイッチング素子 6 1 は確実に ON 状態となる。スイッチング素子 6 1 が ON 状態となると、この ON 状態のスイッチング素子 6 1 には、コレクタ電流 I_{C1} が流れ、点 P 3 の電位 V_3 は、点 P 2 の電位 V_2 とほぼ等しくなる。従って、点 P 3 と点 P 2 との間の電位差 $V_{P3} - V_{P2}$ は、ほぼゼロである。このため、スイッチング素子 6 2 は、(4) 式を満たした状態 (つまり OFF 状態) となる。これにより、電位 V_g 及び V_0 を供給する供給ライン L 2 及び L 3 は、抵抗 6 5 を含む電荷流入部 6 7 から電氣的に切断された状態になる。

10

【 0 0 4 3 】

この電荷流入部 6 7 から電氣的に切断されたゲートドライバ 3 に、電位 V_g 及び V_0 が供給されると、このゲートドライバ 3 は、8 0 0 本のゲートバス 2 3 それぞれに、電位 V_g 又は電位 V_0 を供給する。具体的には、このゲートドライバ 3 は、8 0 0 本のゲートバス 2 3 それぞれを 1 本ずつ順次選択し、この選択された 1 本のゲートバス 2 3 にのみ電位 V_g を供給し、残りの 7 9 9 本には電位 V_0 を供給する。従って、電位 V_g が供給されるゲートバス 2 3 に接続された TFT 2 2 (図 2 参照) のみが ON 状態となる。このとき、ソースドライバ 4 からは全てのソースバスに画像信号が伝送される。このため、ゲートバス 2 3 の選択順序に従って、各画素に画像が順次書き込まれ、液晶パネル 2 に 1 枚の画像が表示される。以下、同様にしてゲートバスの選択が順次繰り返され、液晶パネル 2 に連続して画像が表示される。

20

【 0 0 4 4 】

次に、ディスプレイ 1 の本体の電源を OFF したときの動作について、図 1 ~ 図 3 とともに図 4 を参照して説明する。

30

【 0 0 4 5 】

図 4 は、ディスプレイ 1 の本体の電源を OFF したときの電位の変化を模式的に示すグラフである。

【 0 0 4 6 】

時刻 $t = 0$ においてディスプレイ 1 の本体の電源を OFF すると、ソースドライバ 4 からソースバス 2 4 に供給されていた画像信号が OFF となり、さらに、電位発生回路 5 への直流電源の供給が停止され、電位 V_s 、 V_g 、 V_0 、及び V_c の発生を停止する。電位発生回路 5 が電位 V_s 、 V_g 、 V_0 、及び V_c の発生を停止することにより、各電位 V_s 、 V_g 、 V_0 、及び V_c は次第にゼロ電位に近づき、最終的にゼロ電位になる。本実施形態では、電位発生回路 5 が電位 V_s 、 V_g 、 V_0 、及び V_c の発生を停止することにより、まず、共通電極 2 3 の電位がゼロ電位になる。この共通電極 2 3 の電位がゼロになる様子を、図 4 の曲線 V_u に模式的に示す。

40

【 0 0 4 7 】

また、供給ライン L 2 には、電位 V_g が供給される 1 本のゲートバス (以下、単に「1本のゲートバス」という) 2 3 が接続され、供給ライン L 3 には、電位 V_0 が供給される 7 9 9 本のゲートバス (以下、単に「7 9 9 本のゲートバス」という) 2 3 が接続される。これら 1 本のゲートバスと 7 9 9 本のゲートバスとのうち、1 本のゲートバスについて考えると、この 1 本のゲートバス 2 3 は、電位発生回路 5 が電位の発生を停止した直後では、ほぼ電位 V_g (> 0) に近い値を有する。従って、電位発生回路 5 が電位の発生を停止した直後では、この 1 本のゲートバス 2 3 に接続される TFT 2 2 は、まだ ON 状態にあ

50

る。このため、このON状態にあるTF T 2 2に接続された画素電極（以下、「活性状態の画素電極」という）2 1には、ソースドライバ4からソースバス2 4を経由して、画像信号がOFFである旨の信号が書き込まれ、この活性状態の画素電極2 1は瞬時にゼロ電位となる。この1本のゲートバス2 3の電位、及び活性状態の画素電極の電位は、図1に示すディスプレイ1の消去時間を決定する大きな要因にはならないため、以下では、これらの電位についての説明は省略し、799本のゲートバス2 3の電位と、この799本のゲートバス2 3に電氣的に接続される画素電極の電位について、詳しく説明する。尚、この説明にあたっては、「1本のゲートバス」と「799本のゲートバス」とを特に区別する必要が無い限り、「799本のゲートバス」を単に「ゲートバス」という場合がある。

【0048】

ところで、電位発生回路5が電位の発生を停止すると、電位 V_{P4} 、 V_{P5} 及び V_{P2} がゼロ電位に近づくため、電位差 $V_{P4} - V_{P2}$ はゼロに近づくていく。従って、電位発生回路5に直流電源が供給されていたときには(1)式を満たしていた電位差 $V_{P1} - V_{P2}$ は、だんだん小さくなり、最終的に(2)式を満たす。(2)式を満たした時点で、スイッチング素子6 1は確実にOFF状態となる。ここで、電位 V_g を供給する供給ラインL 2と、電位 V_s を供給する供給ラインL 1とを比較すると、供給ラインL 2はゲートドライバ3を経由してゲートバス2 3に接続されており、一方、供給ラインL 1はソースドライバ4を経由してソースバス2 4に接続されている。ゲートバス2 3が、画素電極2 1や共通電極2 5等のその他の電極との間に形成する容量（以下、ゲートバス容量と呼ぶ）は、ソースバス2 4がその他の電極との間に形成する容量（以下、ソースバス容量と呼ぶ）と比較して、数倍（2～3倍）大きい。このようなゲートバス容量とソースバス容量との違いから、ゲートバス2 3に接続される供給ラインL 2上の点P 5の電位 V_{P5} は、ソースバス2 4に接続される供給ラインL 1上の点P 4の電位 V_{P4} よりも、時間的に遅くゼロ電位に到達する。従って、スイッチング素子6 1がOFF状態になった直後では、点P 5の電位 V_{P5} は、まだゼロ電位よりも十分に大きい電位をもつ。ここで、点P 3の電位 V_{P3} と点P 2の電位 V_{P2} との間の電位差 $V_{P3} - V_{P2}$ は、点P 5の電位 V_{P5} を用いて、以下のように表すことができる。

$$V_{P3} - V_{P2} = (V_{P5} - V_{P2}) \times (r3 + r4) / (Rb + r3 + r4) \dots (6)$$

【0049】

ここで、 $r3$ 及び $r4$ は、それぞれ抵抗6 2 b及び6 2 cの抵抗値、 Rb は抵抗6 4の抵抗値である。本実施形態では、スイッチング素子6 1がOFF状態になった直後において、点P 3の電位 V_{P3} と点P 2の電位 V_{P2} との間の電位差 $V_{P3} - V_{P2}$ が(3)式を満たすように、電位 V_0 及び V_g の値と、抵抗6 4、6 2 b及び6 2 cの値 Rb 、 $r3$ 及び $r4$ とが選択されている。つまり、スイッチング素子6 1がOFF状態になった直後では、電位差 $V_{P3} - V_{P2}$ が V_{on} 以上の大きさである。従って、スイッチング素子6 2はON状態となる。これにより、供給ラインL 3に、スイッチング素子6 2を経由して、抵抗6 5を含む電荷流入部6 7が電氣的に接続される。つまり、電位発生回路5への直流電源の供給が停止される直前（ $t = 0$ の直前）においては、供給ラインL 3は、電荷流入部6 7から電氣的に切断されているが、電位発生回路5への直流電源の供給が停止されると、供給ラインL 3には、スイッチング素子6 2を経由して電荷流入部6 7が電氣的に接続される。また、この供給ラインL 3には、799本のゲートバス2 3が電氣的に接続されている。従って、この799本のゲートバス2 3上に溜まっていた電荷は、ゲートバス2 3の周囲に自然放電する他に、ゲートドライバ3、供給ラインL 3、及びスイッチング素子6 2を経由して、電荷流入部6 7に流入する。このような電荷の移動により、ゲートバス2 3の電位は、最終的にゼロ電位になる。ゲートバス2 3の電位が最終的にゼロ電位になる様子は、図4の曲線Vwに示されている。ゲートバス2 3の電位がゼロ電位になると、このゲートバス2 3に接続されているTF T 2 2のゲート電極2 2 aの電位もゼロ電位となる。

【0050】

ところで、電位発生回路 5 への直流電源の供給が停止されると、上述したように、ソースドライバ 4 から画像信号を OFF とする旨の信号が各ソースバス 2 4 に伝送される。従って、各 TFT 2 2 のソース電極 2 2 b もゼロ電位となる。このため、799 本のゲートバス 2 3 に接続されている TFT 2 2 に着目すると、各 TFT 2 2 のゲート電極 2 2 a の電位及びソース電極 2 2 b の電位はいずれもゼロ電位（つまり、電位差がゼロ）となる。一般に、TFT 2 2 は、ゲート電極 2 2 a の電位がソース電極 2 2 b の電位よりもある程度小さい場合、TFT 2 2 は完全な OFF 状態となるが、上記のように、ゲート電極 2 2 a とソース電極 2 2 b との間の電位差がほぼゼロの場合、TFT 2 2 は完全な OFF 状態になっておらず、電流をわずかではあるが流す状態（以下、半 ON 状態と呼ぶ）になる。この半 ON 状態にある TFT 2 2 に接続された画素電極 2 1 に溜まった電荷は、この画素電極 2 1 の周囲に自然放電する他に、この半 ON 状態にある TFT 2 2 を経由してゲートバス 2 3 やソースバス 2 4 に流入する。このような電荷の移動を経て、半 ON 状態にある TFT 2 2 に接続された画素電極 2 1 の電位は、最終的にゼロ電位になる。この画素電極 2 1 の電位が最終的にゼロ電位になる様子は、図 4 の曲線 V_x に示されている。

【0051】

このようにして、液晶パネル 2 の画素電極 2 1 の電位（曲線 V_x ）はゼロ電位となる。曲線 V_x からわかるように、画素電極 2 1 は、時刻 t_1 においてゼロ電位となる。従って、時刻 t_1 において、共通電極 2 5 の電位（曲線 V_u ）と各画素電極 2 1 の電位（曲線 V_x ）との間の電位差はゼロとなり、液晶パネル 2 の画面が完全に消去される。

【0052】

上記の構成によれば、液晶パネル 2 の画面が完全に消去されるまでの消去時間 t_e は $t_e = t_1$ となる。具体的には $t_e = 1$ 秒 ~ 2 秒程度である。

【0053】

一方、図 1 に示すディスプレイ 1 において、画面消去回路 6 を備えない場合について考える。この場合、ディスプレイは、電位発生回路 5 への直流電源の供給が停止されたときに供給ライン L 3 に接続される電荷流入部 6 7 を備えない構成となる。従って、画面消去回路 6 を備えない構成のディスプレイは、画面消去回路 6 を備えた構成のディスプレイと比較して、ゲートバス 2 3 に溜まった電荷が移動できる経路が少ない。このため、画面消去回路 6 を備えない構成のディスプレイは、画面消去回路 6 を備えた構成のディスプレイと比較して、ゲートバス 2 3 の電位変化が緩やかになる。具体的には、画面消去回路 6 を備えた構成のディスプレイでは、図 4 に示すように、ゲートバス 2 3 の電位変化を表す曲線は V_w であるが、一方、画面消去回路 6 を備えない構成のディスプレイでは、ゲートバス 2 3 の電位変化を表す曲線は、破線で示す曲線 V_w' となる。従って、画面消去回路 6 を備えない構成のディスプレイでは、ゲートバス 2 3 の電位がゼロ電位になる時刻が、画面消去回路 6 を備えた構成のディスプレイよりも T_1 だけ遅くなる。このため、ゲートバス 2 3 に接続された TFT 2 2 が半 ON 状態になる時刻も遅くなり、これら半 ON 状態になった TFT 2 2 に接続された画素電極 2 1 の電位変化も緩やかになる。具体的には、画面消去回路 6 を備えた構成のディスプレイでは、図 4 に示すように、画素電極 2 1 の電位変化を表す曲線は V_x であるが、一方、画面消去回路 6 を備えない構成のディスプレイでは、画素電極 2 1 の電位変化を表す曲線は、破線で示す曲線 V_x' となる。また、詳しい説明は省略するが、画面消去回路 6 を備えない構成のディスプレイでは、画素電極 2 3 の電位変化は、曲線 V_u' で表される。このように、画面消去回路 6 を備えない構成にすると、画面消去回路 6 を備えた構成と比較して、共通電極 2 5 と各画素電極 2 1 との間の電位差がゼロになる時間が、 T_2 だけ遅くなる。従って、画面消去回路 6 を備えない場合、消去時間 t_e は $t_e = t_1 + T_2$ となる。具体的には、 $t_e = 4$ 秒 ~ 5 秒程度になる。従って、画面消去回路 6 を備えることにより、消去時間 t_e を 3 秒程度短くできることがわかる。

【0054】

また、本実施形態では、画面消去回路 6 が、電位発生回路 5 が発生する 3 つの電位 V_s 、 V_g 及び V_o を検出し、これら検出した電位に基づいて画面消去回路 6 が駆動する。従っ

て、画面消去回路 6 を駆動するための専用に、高価な電圧検出ディテクタ IC を備えることは不要であり、コストの削減が図られる。

【 0 0 5 5 】

さらに、本実施形態では、上記のように、画面消去回路 6 は、電位発生回路 5 が発生する 3 つの電位 V_s 、 V_g 及び V_o のみによって駆動する。従って、画面消去回路 6 の駆動に、例えば水平同期信号等の信号は無関係であり、このような信号の特性を考慮して画面消去回路 6 を設計する必要が無いという利点がある。

【 0 0 5 6 】

尚、本実施形態では、電荷流入部 6 7 の一端を接地しているが、非接地にしてもよい。

【 0 0 5 7 】

また、本実施形態では、TFT 2 2 を短時間で半 ON 状態にするために、スイッチング素子 6 2 を供給ライン L 3 に接続し、ゲートバス 2 3 に溜まった電荷を供給ライン L 3 及びスイッチング素子 6 2 を経由させて電荷流入部 6 7 に流入させている。これにより、TFT 2 2 のゲート電極 2 2 a が短時間でゼロ電位になり、TFT 2 2 は短時間で半 ON 状態になる。しかしながら、電位発生回路 5 と画素電極 2 1 との間を電氣的に接続する経路上にスイッチング素子 6 2 が接続される構成であれば、このスイッチング素子 6 2 が供給ライン L 3 以外の部分に接続される構成であっても、TFT 2 2 を短時間で半 ON 状態にすることが可能である。

【 0 0 5 8 】

更に、画面消去回路 6 は、2 つのスイッチング素子 6 1 及び 6 2 と、3 つの抵抗 R_a 、 R_b 及び R_c とにより構成されているが、別の回路構成であってもよい。

【 0 0 5 9 】

図 5 は、本発明の第 2 の液晶表示装置の一実施形態であるディスプレイの一例を示す概略構成図である。

【 0 0 6 0 】

図 5 に示すディスプレイ 1 0 0 の説明にあたっては、図 1 に示すディスプレイ 1 と同一の構成要素には同一の符号を付して示し、図 1 に示すディスプレイ 1 との相違点のみについて説明する。

【 0 0 6 1 】

図 5 に示すディスプレイ 1 0 0 と図 1 に示すディスプレイ 1 との相違点は、図 5 に示すディスプレイ 1 0 0 が、図 1 に示す画面消去回路 6 は備えておらず、代わりに、図 1 に示す電位発生回路 5 とは異なる構造の電位発生回路 5 0 を備えている点のみである。

【 0 0 6 2 】

この電位発生回路 5 0 は、画面消去用電位発生部 5 1 を備えており、以下、この画面消去用電位発生回路 5 1 について説明する。

【 0 0 6 3 】

図 6 は、画面消去用電位発生部 5 1 を示す詳細図である。

【 0 0 6 4 】

この画面消去用電位発生部 5 1 は差動増幅器 5 1 1 を備えている。この差動増幅器 5 1 1 の入力端子 5 1 1 a には、電位発生回路 5 0 が発生する電位 V_o が入力される。また、もう一方の入力端子 5 1 1 b は、抵抗 5 1 2 を経由して、この差動増幅器 5 1 1 の出力端子 5 1 1 c に接続されている。また、この入力端子 5 1 1 b は抵抗 5 1 3 を経由してスイッチング素子 SW に接続されている。このスイッチング素子 SW は、電位発生回路 5 0 に直流電源が供給されているときは開いており、電位発生回路 5 0 への直流電源の供給が停止すると閉じる。また、差動増幅器 5 1 1 の出力端子 5 1 1 c は供給ライン L 3 (図 5 参照) に接続されている。

【 0 0 6 5 】

以下、図 5 に示すディスプレイ 1 0 0 の動作について、図 5 及び図 6 とともに、必要に応じて図 2 を参照しながら説明する。

【 0 0 6 6 】

ディスプレイ 100 の本体の電源を ON すると、電位発生回路 50 に直流電源が供給され、電位 V_s 、 V_g 、 V_0 及び V_c の他に、電位 V_1 (図 6 参照) を発生する。電位 V_s 、 V_g 、 V_c 及び V_1 は正の電位であるが、電位 V_0 は負の電位である。電位 V_s 、 V_g 及び V_c は、ソースバス 4、ゲートバス 3、及び共通電極に供給され、電位 V_0 は差動増幅器 511 の入力端子 511a に供給される (図 6 参照)。また、電位 V_1 は、スイッチング素子 SW 及び抵抗 513 を経由して差動増幅器 511 に供給される電位であるが、電位発生回路 50 に直流電源が供給された状態では、スイッチング素子 SW は開いた状態となるため、電位 V_1 は差動増幅器 511 には供給されない。従って、電位発生回路 50 に直流電源が供給された状態では、差動増幅器 511 に電位 V_0 のみが供給される。このため、差動増幅器 511 の出力電位 V_{out} は、 $V_{out} = V_0$ となり、結局、供給ライン L3 には電位 V_0 が供給される。従って、ゲートドライバ 3 には、供給ライン L2 及び L3 を経由して、電位 V_g 及び V_0 が供給されることになり、図 1 に示すディスプレイ 1 と同様の方法で、液晶パネル 2 に連続して画像が表示される。

【0067】

次に、ディスプレイ 100 の本体の電源を OFF したときの動作について説明する。

【0068】

ディスプレイ 100 の本体の電源を OFF すると、ソースドライバ 4 に供給される画像信号が OFF となり、さらに、電位発生回路 50 への直流電源の供給が停止され、電位 V_s 、 V_g 、 V_0 、 V_c 、及び V_1 の発生を停止する。ここで、電位発生回路 50 が電位 V_s 、 V_g 、 V_0 、及び V_1 の発生を停止した直後を考えると、各電位 V_s 、 V_g 、 V_0 、 V_c 、及び V_1 はまだゼロ電位には到達していない。従って、電位発生回路 50 が電位の発生を停止する直前において電位 V_g (> 0) が供給されている 1 本のゲートバス 23 は、電位発生回路 50 が電位の発生を停止した直後では、まだゼロより大きい電位を有する。このため、この 1 本のゲートバス 23 に接続される TFT 22 (図 2 参照) は ON 状態にある。

この ON 状態にある TFT 22 に接続された画素電極 21 には、ソースバス 24 を経由して画像信号を OFF にする旨の信号が書き込まれ、この画素電極 21 の電位は瞬時にゼロ電位になる。

【0069】

また、電位発生回路 50 への直流電源の供給が停止されると、図 6 に示すスイッチング素子 SW が閉じる。このスイッチング素子 SW を閉じた直後の出力電位 V_{out} は、次式で表すことができる。

【0070】

$$V_{out} = (V_0 - V_1) \times R_a / R_b + V_0 \quad \dots (7)$$

【0071】

ここで、 R_a は抵抗 512 の抵抗値、 R_b は抵抗 513 の抵抗値である。ここでは、スイッチング素子 SW が閉じた直後に、 $V_{out} = 0V$ になるように、 V_1 、 R_a 及び R_b の値が調整されている。従って、電位発生回路 50 が電位の発生を停止する直前において電位 V_0 (< 0) が供給されている 799 本のゲートバス 23 には、電位発生回路 50 が電位の発生を停止した直後に、供給ライン L3 を経由して瞬時にゼロ電位が書き込まれる。ここで、図 5 に示すディスプレイ 100 が、もし仮に、画面消去用電位発生部 51 を備えていない状態を考えると、このディスプレイ 100 の本体の電源を OFF した場合、この 799 本のゲートバス 23 の電位がゼロ電位になるためには、ゲートバス 23 に溜まった電荷がこのゲートバス 23 から自然消滅するのを待たなければならない。これに対し、図 5 に示すディスプレイ 100 のように、電位発生回路 50 に直流電源が供給された直後に $V_{out} = 0V$ の電位を供給ライン L3 に供給する画面消去用電位発生部 51 を備えることにより、ゲートバス 23 に溜まった電荷がこのゲートバス 23 から自然消滅する前に、このゲートバス 23 の電位を瞬時にゼロ電位にすることができる。

【0072】

また、画像信号が OFF であることから、この TFT 22 のソース電極 22b もゼロ電位

となる。従って、上記の 799 本のゲートバス 23 に接続されている TFT 22 のゲート電極 22a とソース電極 22b との間の電位差はゼロとなる。このように、ゲート電極 22a とソース電極 22b との間の電位差がゼロの場合、TFT 22 は半 ON 状態になるため、画素電極 21 に溜まっている電荷が、この半 ON 状態の TFT 22 を経由して画素電極 21 からすばやく除去される。従って、この画素電極 21 の電位はゼロ電位となる。このようにして、液晶パネル 2 の全ての画素電極 21 の電位はすばやくゼロ電位となる。全ての画素電極 21 の電位がゼロ電位になった直後に、共通電極 25 の電位はゼロ電位となる。従って、共通電極 25 と、各画素電極 21 との間の電位差はゼロとなり、液晶パネル 2 の画面が完全に消去される。

【0073】

10

このように、画面消去用電位発生部 51 を用いて TFT 21 を強制的に半 ON 状態に設定しても消去時間を短縮することができる。

【0074】

図 5 に示すディスプレイ 100 では、画面消去用の電位を発生する画面消去用電位発生部 51 が、電位発生回路 50 が発生する 2 つの電位 V_0 及び V_1 を検出し、これら検出した電位に基づいて画面消去用電位発生部 51 が駆動する。従って、画面消去用電位発生部 51 を駆動するための専用に、高価な電圧検出ディテクタ IC を備えることは不要であり、コストの削減が図られる。

【0075】

また、図 5 に示すディスプレイ 100 では、上記のように、画面消去用電位発生部 51 は、電位発生回路 50 が発生する 2 つの電位 V_0 及び V_1 のみによって駆動する。従って、画面消去用電位発生部 51 の駆動に、例えば水平同期信号等の信号は無関係であり、このような信号の特性を考慮して画面消去用電位発生部 51 を設計する必要が無いという利点がある。

20

【0076】

また、図 5 に示すディスプレイ 100 では、消去時間を短縮するために、電位発生回路 50 への直流電源の供給を停止したときに、差動増幅器 511 から $V_{out} = 0V$ を出力して TFT 21 を半 ON 状態に設定しているが、 $V_{out} = 0V$ とする代わりに、 V_{out} をゼロより大きい電位に設定してもよい。 V_{out} をゼロより大きい電位に設定すると、TFT 21 は半 ON 状態ではなく完全な ON 状態に設定されるため、画素電極に OFF の画像信号を書き込むことができ、やはり、消去時間を短縮することができる。

30

【0077】

尚、図 5 に示すディスプレイ 100 では、画面消去用電位発生部 51 を電位発生回路 50 の一部に備えているが、画面消去用電位発生部 51 及び電位発生回路 50 は別々の回路で構成してもよい。

【0078】

ところで、上記した本発明の第 1 及び第 2 の液晶表示装置の各実施形態では、電位発生回路 5 及び 50 への直流電源の供給、供給停止は、ディスプレイ 1 及び 100 の本体の電源を ON、OFF したときに行われている。しかしながら、このディスプレイ 1 及び 100 が、例えばパソコンのディスプレイに用いられる場合、電位発生回路 5 及び 50 への直流電源の供給、供給停止は、ディスプレイ 1 及び 100 の本体の電源ではなく、例えばパソコン本体の電源を ON、OFF したときに行われるような構成にしてもよい。このように、本発明では、電位発生回路 5 及び 50 への直流電源の供給、供給停止を行う方法を問うものではない。

40

【0079】

また、本発明の液晶表示装置は、パソコン以外の電子機器に適用されてもよく、本発明の液晶表示装置を用いることにより、例えば水平同期信号等の信号を検出することなく、低コストで消去時間の短縮が可能となる。

【0080】

【発明の効果】

50

以上説明したように、本発明の液晶表示装置によれば、例えば水平同期信号等の信号を検出することなく、低コストで消去時間の短縮が可能となる。

【図面の簡単な説明】

【図 1】本発明の液晶表示装置の第 1 実施形態であるディスプレイの一例を示す概略構成図である。

【図 2】液晶パネル 2 の画素構成を概略的に示す図である。

【図 3】画面消去回路 6 の構成と、この画面消去回路及び周辺回路の接続関係とを示す図である。

【図 4】電位の変化を示すグラフである。

【図 5】本発明の液晶表示装置の第 2 実施形態である T F T 型液晶表示装置の一例を示す概略構成図である。 10

【図 6】画面消去用電位発生部 5 1 を示す詳細図である。

【符号の説明】

- 1 , 1 0 0 液晶表示装置
- 2 液晶パネル
- 3 ゲートドライバ
- 4 ゲートドライバ
- 5 , 5 0 電位発生回路
- 6 画面消去回路
- 2 1 画素電極
- 2 2 T F T
- 2 2 a ゲート電極
- 2 2 b ソース電極
- 2 2 c ドレイン電極
- 2 3 ゲートバス
- 2 4 ソースバス
- 2 5 共通電極
- 5 1 画面消去用電位発生部
- 6 1 , 6 2 スイッチング素子
- 6 1 a , 6 2 a トランジスタ
- 6 1 b , 6 1 c , 6 2 b , 6 2 c , 6 3 , 6 4 , 6 5 抵抗
- 6 6 制御部
- 6 7 電荷流入部
- 5 1 1 差動増幅器
- 5 1 1 a , 5 1 1 b 入力端子
- 5 1 1 c 出力端子

20

30

フロントページの続き

(72)発明者 半沢 賢侍
兵庫県神戸市西区高塚台4丁目3番1 フィリップスモバイルディスプレイシステムズ神戸株式会社内

(72)発明者 萩野 修司
兵庫県神戸市西区高塚台4丁目3番1 フィリップスモバイルディスプレイシステムズ神戸株式会社内

審査官 安藤 達哉

(56)参考文献 特開平10-333642(JP,A)
特開2000-089193(JP,A)
特開平09-127486(JP,A)
特開平04-371999(JP,A)
特開平08-220508(JP,A)
特開平10-161080(JP,A)
特開平08-184806(JP,A)

(58)調査した分野(Int.Cl., DB名)
IPC G09G 3/00 - 3/38
G02F 1/133

专利名称(译)	液晶表示装置		
公开(公告)号	JP4885353B2	公开(公告)日	2012-02-29
申请号	JP2000402656	申请日	2000-12-28
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
当前申请(专利权)人(译)	三通小便の香港控股有限公司		
[标]发明人	半沢賢侍 萩野修司		
发明人	半沢 賢侍 萩野 修司		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3696 G09G2310/0245 G09G2330/02		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.612.A G09G3/20.622.Z G09G3/20.670.D		
F-TERM分类号	2H093/NA16 2H093/NA80 2H093/NC58 2H093/ND60 2H193/ZE31 2H193/ZE38 2H193/ZH21 5C006/AF67 5C006/BB16 5C006/BC03 5C006/FA52 5C080/AA10 5C080/BB05 5C080/DD01 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ05		
代理人(译)	森田浩二		
审查员(译)	安藤达也		
其他公开文献	JP2002215099A5 JP2002215099A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其允许以低成本缩短擦除时间而不检测诸如水平同步信号之类的信号。解决方案：当电源关闭时，开关元件（62）进入接通状态，电荷流入部分（67）通过该开关元件（62）与电源线（L3）连接。

【 図 3 】

