

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4859464号
(P4859464)

(45) 発行日 平成24年1月25日 (2012. 1. 25)

(24) 登録日 平成23年11月11日 (2011. 11. 11)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 621B

G09G 3/20 623C

G09G 3/20 623D

G09G 3/20 621A

請求項の数 6 (全 12 頁) 最終頁に続く

(21) 出願番号 特願2006-461 (P2006-461)
 (22) 出願日 平成18年1月5日 (2006. 1. 5)
 (65) 公開番号 特開2007-183329 (P2007-183329A)
 (43) 公開日 平成19年7月19日 (2007. 7. 19)
 審査請求日 平成20年8月20日 (2008. 8. 20)

(73) 特許権者 502356528
 株式会社 日立ディスプレイズ
 千葉県茂原市早野3300番地
 (74) 代理人 100083552
 弁理士 秋田 収喜
 (73) 特許権者 506087819
 パナソニック液晶ディスプレイ株式会社
 兵庫県姫路市飾磨区妻鹿日田町1-6
 (74) 代理人 100083552
 弁理士 秋田 収喜
 (74) 代理人 110000154
 特許業務法人はるか国際特許事務所
 (72) 発明者 山岸 康彦
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内
 最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

複数の画素を有する液晶表示パネルと、
 前記各画素を駆動する駆動回路とを備え、
 前記各画素は、画素電極と、対向電極とを有し、

前記画素電極に対して前記対向電極に印加する対向電圧よりも高電位の映像電圧を印加するときを正極性の駆動状態、また、前記画素電極に対して前記対向電極に印加する対向電圧よりも低電位の映像電圧を印加するときを負極性の駆動状態とするとき、前記駆動回路は、前記各画素の駆動状態として、1フレーム毎に、正極性の駆動状態から負極性の駆動状態、あるいは、負極性の駆動状態から正極性の駆動状態へ変化させるとともに、N (Nは2以上の偶数) フレーム毎に、前記各画素の駆動状態の位相反転させる液晶表示装置において、

前記駆動回路は、1表示ライン毎に、前記各画素の駆動状態を、正極性の駆動状態から負極性の駆動状態、あるいは、負極性の駆動状態から正極性の駆動状態へ変化させ、さらに、前記位相反転直後の最初のフレームにおいて、前記各画素の前記アクティブ素子をオンとする選択電圧の出力タイミングと、前記位相反転直後の最初のフレーム以外のフレームにおいて、前記各画素の前記アクティブ素子をオンとする選択電圧の出力タイミングとを異ならせ、前記位相反転直後の最初のフレームにおいて、各表示ラインの各画素に、1水平走査期間の始めの所定時間、直前の表示ラインの各画素の画素電極に印加される映像電圧を印加した後、前記各表示ラインの画素に印加される自画素用の映像電圧を印加する

10

20

ことを特徴とする液晶表示装置。

【請求項 2】

前記所定時間を $T A 1$ 、1 水平走査期間を $T A 2$ とするとき、 $T A 1 < T A 2$ を満足することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

$T A 1 \geq T A 2 / 3$ を満足することを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記位相反転直後の最初のフレームにおいて、前記アクティブ素子をオンとする選択電圧の出力タイミングと、前記画素電極に映像電圧を印加するタイミングとの間隔を $T 1$ 、前記位相反転直後の最初のフレーム以外のフレームにおいて、前記各画素の前記アクティブ素子をオンとする選択電圧の出力タイミングと、前記画素電極に映像電圧を印加するタイミングとの間隔を $T 2$ とするとき、 $T 1 > T 2$ であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 5】

$T 1 \geq 3 \times T 2$ であることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】

前記対向電極に印加する対向電圧は、一定の電圧であることを特徴とする請求項 1 ないし請求項 5 のいずれか 1 項に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係り、特に、交流化駆動方法により生じる画質低下を抑制して高品質の映像表示を可能とした液晶表示装置に関する。

【背景技術】

【0002】

コンピュータやその他の情報機器の高精細度カラーモニター、あるいはテレビ受像機の表示デバイスとして、液晶表示モジュールが使用される。

液晶表示モジュールは、基本的には、少なくとも一方が透明なガラス等からなる二枚の（一对の）基板の間に、液晶層を挟持した、所謂、液晶表示パネルを有し、この液晶表示パネルの基板に形成した画素形成用の各種電極に選択的に電圧を印加して、所定画素の点灯と消灯を行うもので、コントラスト性能、高速表示性能に優れている。

図 4 は、従来の液晶表示モジュールの概略構成を示すブロック図である。

図 4 に示す液晶表示モジュールは、液晶表示パネル 1、ゲート・ドライバ部 2、ソース・ドライバ部 3、表示制御回路 4、電源回路 5 で構成される。

ゲート・ドライバ部 2、ソース・ドライバ部 3 は、表示パネル 1 の周辺部に設置される。ゲート・ドライバ部 2 は、液晶表示パネル 1 の一辺に配置された複数のゲート・ドライバ IC から構成される。また、ソース・ドライバ部 3 は、液晶表示パネル 1 の他の辺に配置された複数のソース・ドライバ IC から構成される。

【0003】

表示制御回路 4 は、パソコンやテレビ受信回路等の表示信号源（ホスト側）から入力する表示信号を、データの交流化等、液晶表示パネル 1 の表示に適したタイミング調整を行い、表示形式の表示データに変換して同期信号（クロック信号）と共にゲート・ドライバ部 2、ソース・ドライバ部 3 に入力する。

ゲート・ドライバ部 2 とソース・ドライバ部 3 は、表示制御回路 4 の制御の基に走査線に走査電圧を供給し、また、映像線に映像電圧を供給して映像を表示する。電源回路 5 は液晶表示装置に要する各種の電圧を生成する。

図 5 は、図 4 に示す液晶表示パネル 1 の画素部の等価回路を示す図である。なお、同図は、実際の画素の幾何学的配置に対応しており、有効表示領域（画素部）にマトリクス状に配置される複数のサブピクセルは、1 サブピクセル当たり 1 つの薄膜トランジスタ（TFT）で構成したものである。

図5において、DR, DG, DBは、映像線（ドレイン線、ソース線ともいう）、Gは走査線（ゲート線ともいう）、R, G, Bは各色（赤、緑、青）の画素電極（ITO1）であり、ITO2は対向電極（コモン電極）、Clcは液晶層を等価的に示す液晶容量、Cstgは、共通信号線COMとソース電極の間に形成された保持容量である。

【0004】

図4に示す液晶表示パネル1において、列方向に配置された各画素の薄膜トランジスタ（TFT）のドレイン電極は、それぞれ映像線（DR, DG, DB）に接続され、各映像線（D）は列方向に配置された画素に、表示データに対応する映像電圧を供給するソース・ドライバ部3に接続される。

また、行方向に配置された各画素における薄膜トランジスタ（TFT）のゲート電極は、それぞれ走査線（G）に接続され、各走査線（G）は、1水平走査時間、薄膜トランジスタ（TFT）のゲートに走査電圧（正または負のバイアス電圧）を供給するゲート・ドライバ部2に接続される。

液晶表示パネル1に画像を表示する際、ゲート・ドライバ部2は、走査線（G0, G1, …Gj, Gj+1）を上から下に向かって（G0→G1…の順番で）選択し、一方で、ある走査線の選択期間中に、ソース・ドライバ部3は、表示データに対応する映像電圧を、映像線（DR, DG, DB）に供給し、画素電極（ITO1）に印加する。

ここでは、各画素に供給される映像電圧が、大きくなるほど高い輝度を示す、所謂、ノーマリ黒表示モード（Normally Black-displaying Mode）で動作することを前提とする。

映像線（D）に供給された電圧は、薄膜トランジスタ（TFT）を経由して、画素電極（ITO1）に印加され、最終的に、保持容量（Cstg）と、液晶容量（Clc）に電荷がチャージされ、液晶分子をコントロールすることにより画像が表示される。

【0005】

先の動作を、タイミング波形を踏まえて以下に説明する。

図6は、図4に示す液晶表示モジュールにおいて、ゲート・ドライバ部2から走査線（G）に出力される電圧波形と、ソース・ドライバ部3から出力される映像電圧（VD）の映像線上の電圧波形を示す図である。

図6に示すクロック（CL1）は、出力タイミングを制御するクロックであり、ソース・ドライバ部3は、クロック（CL1）の立ち下がり時点から、表示データに対応した映像電圧（図6のVD）を映像線（DR, DG, DB）に対して出力する。なお、図6では、白を表示する場合の、映像電圧（VD）の電圧波形を示してある。

映像線（DR, DG, DB）に供給される映像電圧（VD）は、図5の液晶容量（Clc）に直流電圧が印加されることを防止するため、一水平走査期間（1H）毎に、対向電極（ITO2）に印加されるコモン電圧（VCOM）に対して高電位の映像電圧（以下、正極性（+）の映像電圧）と、コモン電圧（VCOM）に対して低電位の映像電圧（以下、負極性（-）の映像電圧）とに、極性を切り替えて交流化駆動する。なお、図6は、この交流化駆動方法として、コモン対称法の一つであるドット反転法を採用した場合について図示している。

【0006】

一方、ゲート・ドライバ部2からは、走査線（G0, G1, …Gj, Gj+1）の垂直走査の順に、一水平走査期間（1H）の間、Highレベル（以下、Hレベル）の走査電圧（VG）を印加し、走査線に接続された全ての薄膜トランジスタ（TFT）をオンの状態、即ち、選択状態とすることで、ソース・ドライバ部3から出力された映像電圧（VD）を、液晶容量（Clc）と保持容量（Cstg）に印加する。

逆に、Lowレベル（以下、Lレベル）の走査電圧（VG）の場合、走査線（G0, G1, …Gj, Gj+1）に接続された全ての薄膜トランジスタ（TFT）はオフ状態、即ち、非選択状態となる。

映像電圧（VD）は、図6に示す通り、映像電圧（VD）の立ち上がり、立ち下がり過程において、映像線（DR, DG, DB）の配線抵抗と液晶容量（Clc）の時定数にしたがって、波形が鈍るため、映像電圧（VD）が十分に飽和した状態になった後で、走

10

20

30

40

50

査電圧（V_G）を選択期間のHレベルの電圧から、非選択期間のLレベルの電圧とする。

例えば、図6の水平走査期間（N）においては、正極性の映像電圧（V_D）が十分に飽和した時点から、次の水平走査期間（N+1）の映像電圧（V_D）が出力されるクロック（C_{L1}）の立ち下がり時点までに、わずかな時間差（T_{gd}）を設けて、走査電圧（V_G）をHレベルの電圧からLレベルの電圧とする。

なお、以下、本明細書において、T_{gd}を、ゲート遅延時間と称する。

【発明の開示】

【発明が解決しようとする課題】

【0007】

図7は、従来の液晶表示モジュールにおいて、垂直走査期間（以下、フレームという）毎に、白と黒を交互に表示した場合の、ある画素における画素極性及び画素電圧レベルを簡易的に表した模式図である。

10

図7に示す様に、負極性時「白表示」、正極性時「黒表示」といった液晶の交流化周期に合わせて映像電圧が変化した場合、画素電圧は、コモン電圧（V_{COM}）に対して、正極性側（プラス側）に偏り、液晶に対して実効値として直流が印加されるパターンとなる。

特に、このパターンは、動画映像を表示する場合に良く発生し、常時、液晶に直流信号が印加されるため、表示品位を低下させると共に、液晶自体の寿命を著しく低下させる。

また、フレーム毎に、白と黒の映像が交互に変化する表示データは、テレビ信号などのインターレース（飛越）走査信号を液晶駆動でのプログレッシブ（順次）走査に変換する際に良く起こり、例えば、液晶表示モジュールにテレビ映像やDVD映像を表示して観賞する場合、液晶の駆動電圧の偏りが発生し、画質劣化を引き起こす原因となる。

20

【0008】

図8は、図7に示す交流化駆動方法において、ある一定周期（期間A、期間B）で画素極性の位相を反転した場合のフレーム毎の画素極性を表す。

図8に示す位相反転信号によって、期間Aの第1フレームの画素電圧は、正極性（+）となり、期間Bは負極性（-）から電圧が開始されるため、期間Aと期間Bの各区分における画素極性を比較すると、全て正極（+）、負極性（-）の反対の極性となる。

以下、本明細書では、この交流化駆動方法を、位相反転駆動法と称する。

図9は、この位相反転駆動法において、フレーム毎に、白と黒を交互に表示した場合の、ある画素における画素極性及び画素電圧レベルを簡易的に表した模式図である。

30

図9に示す様に、位相反転駆動法によって、コモン電位（V_{COM}）より、負極性側（マイナス側）に偏っていた画素電圧は、位相反転後、正極性側（プラス側）に偏ることとなる。このように、画素電圧の偏りを、ある一定周期で、正極性側、および、負極性側になるように交流化駆動することで、結果として液晶に印加される実効的な直流電圧を低減することができる。

【0009】

一方、図9に示す第Nフレーム目の画素極性と、位相反転切替え後の第1フレームの画素極性に着目すると、正極性（プラス（+））の画素極性が連続する。同一の画素極性の連続は、位相反転の切替えタイミングによっては、{（-）→（-）} 又は {（+）→（+）} となる場合がある。

40

そして、画素極性が連続する場合、液晶駆動（交流化）条件が見かけ上変わるため、副作用として表示画面にフリッカが発生する。

フリッカは、図8で示した位相反転信号の切替えタイミング、即ち、位相反転信号の立ち上がり、および立ち下がり直後の第1フレームに発生する。結果として、位相反転駆動においては、液晶に直流電圧が印加されるのを防止する効果がある一方、副作用としてフリッカが発生し、表示品位を低下させる問題点がある。

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示装置において、交流化駆動方法により生じる画質低下を抑制して高品質の映像表示が可能となる技術を提供することにある。

50

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【課題を解決するための手段】

【0010】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

(1) 複数の画素を有する液晶表示パネルと、前記各画素を駆動する駆動回路とを備え、前記各画素は、画素電極と、対向電極とを有し、前記画素電極に対して前記対向電極に印加する対向電圧よりも高電位の映像電圧を印加するときを正極性の駆動状態、また、前記画素電極に対して前記対向電極に印加する対向電圧よりも低電位の映像電圧を印加するときを負極性の駆動状態とするとき、前記駆動回路は、前記各画素の駆動状態として、 m ($m \geq 1$) フレーム毎に、正極性の駆動状態から負極性の駆動状態、あるいは、負極性の駆動状態から正極性の駆動状態へ変化させるとともに、 N ($N \geq m$) フレーム毎に、前記各画素の駆動状態の位相反転させる液晶表示装置において、前記駆動回路は、前記位相反転直後の最初のフレームにおいて、前記各画素の駆動状態として、始めの所定時間、前記位相反転前の最後のフレームの駆動状態と反対極性の駆動状態とした後、前記位相反転前の最後のフレームの駆動状態と同一極性の駆動状態とする。

【0011】

(2) 複数の画素を有する液晶表示パネルと、前記各画素を駆動する駆動回路とを備え、前記各画素は、画素電極と、対向電極とを有し、前記画素電極に対して前記対向電極に印加する対向電圧よりも高電位の映像電圧を印加するときを正極性の駆動状態、また、前記画素電極に対して前記対向電極に印加する対向電圧よりも低電位の映像電圧を印加するときを負極性の駆動状態とするとき、前記駆動回路は、前記各画素の駆動状態として、 m ($m \geq 1$) フレーム毎に、正極性の駆動状態から負極性の駆動状態、あるいは、負極性の駆動状態から正極性の駆動状態へ変化させるとともに、 N ($N \geq m$) フレーム毎に、前記各画素の駆動状態の位相反転させる液晶表示装置において、前記駆動回路は、前記各フレーム期間内において、1表示ライン毎に、前記各画素の駆動状態を、正極性の駆動状態から負極性の駆動状態、あるいは、負極性の駆動状態から正極性の駆動状態へ変化させ、さらに、前記位相反転直後の最初のフレームにおいて、任意の表示ラインの各画素に、1水平走査期間の始めの所定時間、直前の表示ラインの各画素の画素電極に印加される映像電圧を印加した後、前記任意の表示ラインの画素に印加される自画素用の映像電圧を印加する。

(3) (1) または (2) において、前記所定時間を $T A 1$ 、1 水平走査期間を $T A 2$ とするとき、 $T A 1 < T A 2$ を満足する。

(4) (3) において、 $T A 1 \geq T A 2 / 3$ を満足する。

【0012】

(5) 複数の画素を有する液晶表示パネルと、前記各画素を駆動する駆動回路とを備え、前記各画素は、画素電極と、アクティブ素子と、対向電極とを有し、前記画素電極に対して前記対向電極に印加する対向電圧よりも高電位の映像電圧を印加するときを正極性の駆動状態、また、前記画素電極に対して前記対向電極に印加する対向電圧よりも低電位の映像電圧を印加するときを負極性の駆動状態とするとき、前記駆動回路は、前記各画素の駆動状態として、 m ($m \geq 1$) フレーム毎に、正極性の駆動状態から負極性の駆動状態、あるいは、負極性の駆動状態から正極性の駆動状態へ変化させるとともに、 N ($N \geq m$) フレーム毎に、前記各画素の駆動状態の位相反転させる液晶表示装置において、前記駆動回路は、前記位相反転直後の最初のフレームにおいて、前記各画素の前記アクティブ素子をオンとする選択電圧の出力タイミングと、前記位相反転直後の最初のフレーム以外のフレームにおいて、前記各画素の前記アクティブ素子をオンとする選択電圧の出力タイミングとを異ならせる。

(6) (5) において、前記位相反転直後の最初のフレームにおいて、前記アクティブ素子をオンとする選択電圧の出力タイミングと、前記画素電極に映像電圧を印加するタイミ

ングとの間隔を T_1 、前記位相反転直後の最初のフレーム以外のフレームにおいて、前記各画素の前記アクティブ素子をオンとする選択電圧の出力タイミングと、前記画素電極に映像電圧を印加するタイミングを T_2 とすると、 $T_1 > T_2$ 、より好ましくは、 $T_1 \geq 3 \times T_2$ である。

【0013】

(7) 複数の画素を有する液晶表示パネルと、前記各画素を駆動する駆動回路とを備え、前記各画素は、画素電極と、アクティブ素子と、対向電極とを有し、前記画素電極に対して前記対向電極に印加する対向電圧よりも高電位の映像電圧を印加するときを正極性の駆動状態、また、前記画素電極に対して前記対向電極に印加する対向電圧よりも低電位の映像電圧を印加するときを負極性の駆動状態とすると、前記駆動回路は、前記各画素の駆動状態として、 m ($m \geq 1$) フレーム毎に、正極性の駆動状態から負極性の駆動状態、あるいは、負極性の駆動状態から正極性の駆動状態へ変化させるとともに、 N ($N \geq m$) フレーム毎に、前記各画素の駆動状態の位相反転させる液晶表示装置において、前記駆動回路は、前記位相反転直後の最初のフレームにおいて、前記各画素のアクティブ素子を1表示ライン毎にオンとする選択走査を停止する。

10

(8) (1) ないし (7) において、前記 m は、1である。

(9) (1) ないし (8) において、前記対向電極に印加する対向電圧は、一定の電圧である。

【発明の効果】

【0014】

20

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

本発明の液晶表示装置によれば、交流化駆動方法により生じる画質低下を抑制して高品質の映像表示が可能となる。

【発明を実施するための最良の形態】

【0015】

以下、図面を参照して本発明の実施例を詳細に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【実施例1】

30

本発明の実施例の液晶表示モジュールの概略構成は、前述した図4に示す従来の液晶表示モジュールと同じであるので、本実施例の液晶表示モジュールの概略構成の説明は省略する。

図1-1は、本発明の実施例1の液晶表示モジュールにおいて、ゲート・ドライバ部2から走査線(G)に出力される電圧波形と、ソース・ドライバ部3から出力される映像電圧(VD)の映像線上の電圧波形を示す図である。

尚、図1-1、及び前述の図6において、(−)、(+)の表記は、画素の最終的な極性を表し、(−′)、(+′)は、一時的に画素に対して印加される極性を表している。

図1-1の右側に位置する波形は、画素極性を第Nフレーム毎に位相反転した際の、位相反転直後の第1フレームにおける、M番目の水平走査期間の電圧波形を表しており、図1-1の左側に位置する波形は、第2フレーム以降から位相反転直前の第Nフレーム期間における、M番目の水平走査期間の電圧波形を簡易的に表している。

40

【0016】

図1-1の左側に示す第2フレーム以降から位相反転直前の第Nフレーム期間におけるM番目の水平走査期間の波形は、前述の図6で説明した通り、映像電圧(VD)が十分に飽和した時間、即ち、ゲート遅延時間(Tgd)のタイミングにおいて、走査電圧(VG)をHレベルの選択電圧から、Lレベルの非選択電圧に切り替えることで、画素に対して、正極性(プラス極性)の映像電圧(VD)を印加する通常駆動の電圧波形を表す。

一方、図1-1の右側に示す位相反転直後の第1フレームにおけるM番目の水平走査期間の波形は、(M−1)番目の水平走査期間の約(1/2)の時間から走査電圧(VG)

50

が立ち上がり、M番目の水平走査期間の約 $(1/2)$ の時間において走査電圧(VG)を立ち下げる。

従って、M番目の水平走査期間における、ゲート遅延時間(Tgx)は、通常駆動のゲート遅延時間(Tgd)に、変動遅延時間(ΔT)を加算した値、即ち、 $Tgx (= Tgd + \Delta T)$ と表すことが出来る。ここで、TgxとTgdの関係は、 $Tgx \geq 3 \times Tgd$ が好ましい。

言い換えると、変動遅延時間(ΔT)は、画素極性(−')と、画素極性(+)における映像電圧(VD)の実効的な印加時間が、ほぼ等しくなる様に設定される。

位相反転直後の第1フレーム期間に、ゲート遅延時間をTgxとすることで、本来、M番目の水平走査期間において、正極性(プラス極性(+))の映像電圧(VD)を画素に
10 対して十分印加するところを、(M−1)番目の水平走査期間の負極性(マイナス極性(−'))の映像電圧(VD)と、M番目の水平走査期間の正極性(プラス極性(+))の映像電圧(VD)を一水平走査期間に同時に印加する制御を行う。

また、次の(M+1)番目の水平走査期間においては、前述した説明と逆極性の制御が行われ、以後繰り返される。

【0017】

図2は、本発明の実施例1の液晶表示モジュールにおいて、白と黒の映像電圧に対するフレーム毎のある画素電圧と画素極性を模式的に表した図である。

各フレーム毎に白と黒を交互に表示する場合で、Nフレーム毎に位相反転駆動を行った場合、前述の図8、図9で説明した様に、第Nフレーム以前の画素電圧は、コモン電圧(VCOM)に対して、負極性側(マイナス側)に偏り、位相反転後の第1フレーム以降の画素電圧は、正極性側(プラス側)に偏る。
20

同時に、位相反転切替え前の最後のNフレームと、位相反転切替え後の最初の1フレームの画素極性が(+)→(+)と連続するが、図1にて説明した駆動法により、一水平走査期間に、負極性(マイナス極性)と正極性(プラス極性)を同時に書き込むため、図2に示す通り、一時的に、負極性(マイナス極性(−'))の映像電圧が発生し、位相反転駆動の切替え付近における画素極性が、(+)→(−')→(+)となり、擬似的に作り出した負極性(−')の効果により、画素極性が同極性(+)→(+)で連続することを回避し、見かけ上の画素極性が正極性(+)、負極性(−)の連続性を維持できるため、
30 前述の図8、図9で指摘した位相反転時におけるフリッカが発生するのを防止することができる。

【0018】

図1-1に示す例では、位相反転直後の1フレーム期間に、(M−1)番目の水平走査期間の負極性(マイナス極性(−'))の映像電圧(VD)と、M番目の水平走査期間の正極性(プラス極性(+))の映像電圧(VD)を一水平走査期間に同時に印加する。

しかしながら、1番目の水平走査期間では、直前の水平走査期間の負極性の映像電圧(VD)が存在しない。

そこで、一般に、ノーマリ黒表示モードでは、垂直ブランク期間に、黒の映像電圧が、また、ノーマリ白表示モードでは、垂直ブランク期間に、白の映像電圧が印加されることを利用し、図1-1に示す例においては、位相反転直後の第1フレーム期間の1番目の水平走査期間では、垂直ブランク期間内の、負極性(マイナス極性(−'))の黒の映像電圧(VD)と、1番目の水平走査期間の正極性(プラス極性(+))の映像電圧(VD)を同時に印加する。
40

図1-2は、本発明の実施例1の液晶表示モジュールにおいて、ゲート・ドライバ部2から走査線(G)に出力される電圧波形と、ソース・ドライバ部3から出力される映像電圧(VD)の映像線上の電圧波形の他の例を示す図である。

図1-2の右側に位置する波形は、画素極性をNフレーム毎に位相反転した際の、位相反転直後の第1フレームにおける、1番目の水平走査期間の電圧波形を表しており、図1-1の左側に位置する波形は、第2フレーム以降から位相反転直前の第Nフレーム期間における、1番目の水平走査期間の電圧波形を簡易的に表している。なお、図1-2では、
50

白を表示する場合の電圧波形を示している。

【0019】

[実施例2]

図3は、本発明の実施例2の液晶表示モジュールにおいて、白と黒の映像電圧に対するフレーム毎の、ある画素電圧と画素極性、並びに、ゲート走査電圧(VG)を模式的に表した図である。

図3に示すように、本実施例では、位相反転直後の第1フレームにおいて、ゲート信号線(G)の走査自体を停止し、本来白の映像電圧を画素に印加するところを、一フレーム期間の間何も画素に映像電圧を印加せず、位相反転前の第Nフレームで印加された正極性(プラス(+))極性の黒の映像電圧を保持する制御を行う。

従って、あるゲート線における走査電圧(VG)は、通常1フレームの周期(例:約60Hz)で駆動されているが、第Nフレームと第2フレームの期間に着目すると走査電圧(VG)が1/2フレーム(例:約30Hz)の駆動となる。

この制御によって、画素極性が、第Nフレーム目から(+)→(+)→(-)と同一極性が連続するところを、フレーム単位の画素極性は、見かけ上、(+)→(-)となる。

この結果、前述の図2で説明した様に、通常駆動と同様に、画素極性(+)、(-)の連続性が維持されるため、位相反転でのフリッカは発生しない。

【0020】

なお、図2、図3の説明において、画素極性が全て逆になっても同様の効果が得られることは言うまでもなく、また、位相反転後の第1フレームだけでなく、第2フレーム以降にかけて、前述した駆動方法を実施しても問題なく、さらに、通常駆動におけるフレーム毎の画素極性が(+)→(-)の連続でなく、例えば、(+)→(+)→(-)→(-)といった交流化の組合せに対しても、本発明が適用可能である。

以上説明したように、位相反転駆動を採用することにより、フレーム毎に、白と黒を交互に表示した場合に、位相反転駆動の切替えタイミングにおいて、同一の画素極性が連続することで、液晶駆動特性が一時的に変わり、その結果、フリッカが発生する。

しかしながら、本実施例では、位相反転直後における第1フレームにおいて、画素極性の連続性(+)→(-)を維持することで、フリッカを低減することが可能となる。これにより、液晶に直流が印加されるのを防止すると共に、常に安定した良好な表示を得ることが可能となる。

なお、前述の説明では、本発明を、交流化駆動方法として、対向電極(ITO2)の電圧が一定であるコモン対称法(例えば、ドット反転法)を採用する液晶表示モジュールに適用した実施例について説明したが、本発明は、これに限定されるものではなく、交流化駆動方法として、対向電極(ITO2)の電圧が、Hレベルの電圧とLレベルの電圧とに変動するコモン反転法(例えば、1ライン反転法)を採用する液晶表示モジュールに適用可能である。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【図面の簡単な説明】

【0021】

【図1-1】本発明の実施例1の液晶表示モジュールにおいて、ゲート・ドライバ部から走査線に出力される電圧波形と、ソース・ドライバ部から出力される映像電圧の映像線上の電圧波形を示す図である。

【図1-2】本発明の実施例1の液晶表示モジュールにおいて、ゲート・ドライバ部から走査線(G)に出力される電圧波形と、ソース・ドライバ部から出力される映像電圧(VD)の映像線上の電圧波形の他の例を示す図である。

【図2】本発明の実施例1の液晶表示モジュールにおいて、フレーム毎に、白と黒を交互に表示した場合の、ある画素における画素極性及び画素電圧レベルを簡易的に表した模式図である。

【図3】本発明の実施例2の液晶表示モジュールにおいて、フレーム毎に、白と黒を交互に表示した場合の、ある画素電圧と画素極性、並びに、ゲート走査電圧（VG）を模式的に表した図である。

【図4】従来の液晶表示モジュールの概略構成を示すブロック図である。

【図5】図4に示す液晶表示パネルの画素部の等価回路を示す図である。

【図6】従来の液晶表示モジュールにおいて、ゲート・ドライバ部から走査線に出力される電圧波形と、ソース・ドライバ部から出力される映像電圧の映像線上の電圧波形を示す図である。

【図7】従来の液晶表示モジュールにおいて、フレーム毎に、白と黒を交互に表示した場合の、ある画素における画素極性及び画素電圧レベルを簡易的に表した模式図である。

10

【図8】図7に示す交流化駆動方法において、ある一定周期（期間A，期間B）で画素極性の位相を反転した場合のフレーム毎の画素極性を表す。

【図9】位相反転駆動法において、フレーム毎に、白と黒を交互に表示した場合の、ある画素における画素極性及び画素電圧レベルを簡易的に表した模式図である。

【符号の説明】

【0022】

1 液晶表示パネル

2 ゲート・ドライバ部

3 ソース・ドライバ部

4 表示制御回路

20

5 電源回路

DR, DG, DB 映像線（映像線（D）、ソース線）

G 走査線（ゲート線）

ITO1 画素電極

ITO2 対向電極（コモン電極）

TFT 薄膜トランジスタ

C1c 液晶容量

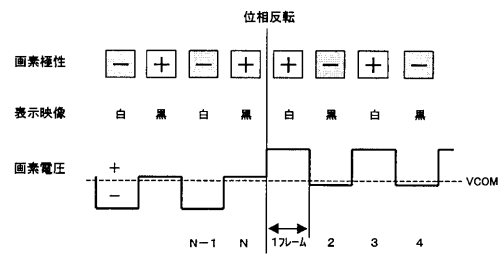
Cstg 保持容量

COM 共通信号線。

30

【図 9】

図 9



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 1 1 E
G 0 9 G 3/20 6 7 0 K
G 0 2 F 1/133 5 5 0
G 0 2 F 1/133 5 2 5

審査官 森口 忠紀

(56)参考文献 特開 2 0 0 4 - 0 4 5 7 4 1 (J P, A)
特開 2 0 0 5 - 3 5 2 1 9 0 (J P, A)
特開平 0 9 - 2 3 6 7 8 7 (J P, A)
特開平 0 8 - 0 5 4 8 6 2 (J P, A)
特開 2 0 0 5 - 1 8 9 8 2 0 (J P, A)

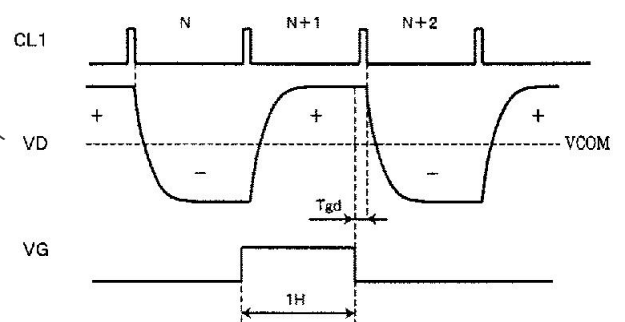
(58)調査した分野(Int.Cl., D B名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3, 5 0 5 - 1 / 1 3 3, 5 8 0

专利名称(译)	液晶表示装置		
公开(公告)号	JP4859464B2	公开(公告)日	2012-01-25
申请号	JP2006000461	申请日	2006-01-05
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
当前申请(专利权)人(译)	日立显示器有限公司 松下液晶显示器有限公司		
[标]发明人	山岸康彦		
发明人	山岸 康彦		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3614 G09G3/3648 G09G2320/0247		
FI分类号	G09G3/36 G09G3/20.621.B G09G3/20.623.C G09G3/20.623.D G09G3/20.621.A G09G3/20.611.E G09G3/20.670.K G02F1/133.550 G02F1/133.525		
F-TERM分类号	2H093/NA31 2H093/NC13 2H093/ND12 2H093/ND35 5C006/AC21 5C006/AC26 5C006/AC27 5C006/AC28 5C006/AF42 5C006/AF44 5C006/AF71 5C006/BB16 5C006/BC11 5C006/FA16 5C006/FA23 5C006/FA38 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD18 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
其他公开文献	JP2007183329A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其通过抑制由于交替驱动方法产生的图像质量的劣化而允许高质量的图像显示。ŽSOLUTION：当像素电极上施加高于施加到对电极的反电压的图像电压的驱动状态为正时，处于这样的驱动状态，即图像电压低于施加到对电极的反电压当像素电极施加到负像素时，每个像素的驱动状态从正驱动状态反转到负驱动状态或者从负驱动状态反转到正驱动状态每m帧 ($m \geq 1$) ;并且在每N个帧 ($N \geq m$) 的每个像素的驱动状态的相位反转时，在每个像素的驱动状态的相位反转之后的第一帧上，使每个像素的驱动状态成为驱动状态极性相反的极性与在开始规定时间内的相位反转之前的最后一帧的驱动状态的极性相反，之后，使其成为极性的驱动状态，其极性等于最后一帧的驱动状态的极性，之前相位反转。Ž

図 6



【図 7】