

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4812837号
(P4812837)

(45) 発行日 平成23年11月9日(2011.11.9)

(24) 登録日 平成23年9月2日(2011.9.2)

| | |
|----------------------|--------------------------|
| (51) Int.Cl. | F I |
| G09G 3/36 (2006.01) | G09G 3/36 |
| G09G 3/20 (2006.01) | G09G 3/20 680H |
| G02F 1/133 (2006.01) | G09G 3/20 641R |
| H04N 5/66 (2006.01) | G09G 3/20 623A |
| | G09G 3/20 623B |
| | 請求項の数 18 (全 36 頁) 最終頁に続く |

(21) 出願番号 特願2008-524727 (P2008-524727)
 (86) (22) 出願日 平成19年3月22日(2007.3.22)
 (86) 国際出願番号 PCT/JP2007/055858
 (87) 国際公開番号 W02008/007480
 (87) 国際公開日 平成20年1月17日(2008.1.17)
 審査請求日 平成20年9月30日(2008.9.30)
 (31) 優先権主張番号 特願2006-193858 (P2006-193858)
 (32) 優先日 平成18年7月14日(2006.7.14)
 (33) 優先権主張国 日本国(JP)
 (31) 優先権主張番号 特願2006-356447 (P2006-356447)
 (32) 優先日 平成18年12月28日(2006.12.28)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100104695
 弁理士 島田 明宏
 (72) 発明者 津幡 俊英
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内
 審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス基板およびそれを備えた表示装置

(57) 【特許請求の範囲】

【請求項1】

複数のデータ信号線と、
 前記複数のデータ信号線と交差する複数の走査信号線と、
 前記複数のデータ信号線と前記複数の走査信号線との各交差点に対応して設けられ、対応する交差点を通過する走査信号線によってオンおよびオフされる画素スイッチング素子と、

前記画素スイッチング素子に対応する交差点を通過するデータ信号線に前記画素スイッチング素子を介して接続された画素電極と、

前記複数のデータ信号線のそれぞれにつき当該データ信号線の延びる方向に2以上の所定数ずつ設けられたチャージシエア用スイッチング素子であって、オン状態のときに前記複数のデータ信号線のそれぞれが他の隣接するデータ信号線に短絡されるように前記複数のデータ信号線に接続されたチャージシエア用スイッチング素子と、

前記チャージシエア用スイッチング素子をオンおよびオフするためのチャージシエア用制御信号線と

を備え、

前記画素電極は、前記チャージシエア用制御信号線に重なるように配置されていることを特徴とする、アクティブマトリクス基板。

【請求項2】

前記複数のデータ信号線のそれぞれは、互いに電氣的に分離された第1および第2の信

号線からなり、

前記チャージシェア用スイッチング素子は、前記第 1 および第 2 の信号線のそれぞれにつき前記データ信号線の延びる方向に 2 以上の所定数ずつ設けられていることを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

【請求項 3】

前記チャージシェア用スイッチング素子は、前記データ信号線の延びる方向に略均等間隔で配置されていることを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

【請求項 4】

前記チャージシェア用制御信号線は、前記複数の走査信号線にそれぞれ沿って配置された複数の制御信号線を含み、

前記チャージシェア用スイッチング素子は、前記複数のデータ信号線のそれぞれにつき前記複数の制御信号線に対応して設けられた複数のスイッチング素子を含み、

前記複数のスイッチング素子のそれぞれは、対応する制御信号線によってオンおよびオフされることを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

【請求項 5】

前記チャージシェア用スイッチング素子は、前記複数のデータ信号線の一端近傍に配置されたスイッチング素子群と、前記複数のデータ信号線の他端近傍に配置されたスイッチング素子群とからなることを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

【請求項 6】

前記チャージシェア用制御信号線は、非表示領域において前記複数のデータ信号線と交差するように配置された非表示領域制御信号線を含み、

前記チャージシェア用スイッチング素子は、非表示領域に配置され前記非表示領域制御信号線によってオンおよびオフされるスイッチング素子群を含むことを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

【請求項 7】

前記チャージシェア用スイッチング素子を前記データ信号線に接続する電極部は、前記チャージシェア用制御信号線に重ならないように配置されていることを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

【請求項 8】

前記チャージシェア用スイッチング素子と、前記チャージシェア用スイッチング素子がオン状態のときに短絡させる 2 つの隣接データ信号線とを接続するための配線距離は、互いに等しいことを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

【請求項 9】

請求項 1 から 8 までのいずれか 1 項に記載のアクティブマトリクス基板と、

前記複数の走査信号線を選択的に駆動するための複数の走査信号を生成し、当該複数の走査信号を前記複数の走査信号線に印加する走査信号線駆動回路と、

表示すべき画像を表す複数のデータ信号を、所定数のデータ信号線毎に極性が反転すると共に所定数の水平期間毎に極性が反転する電圧信号として生成し、当該複数のデータ信号を前記複数のデータ信号線に印加するデータ信号線駆動回路と、

前記複数のデータ信号線のそれぞれが他の隣接するデータ信号線に 1 水平期間毎に所定のチャージシェア期間だけ短絡されるように、前記チャージシェア制御信号線に与えるべきチャージシェア制御信号を生成するチャージシェア制御信号生成回路とを備えることを特徴とする表示装置。

【請求項 10】

前記データ信号線駆動回路は、2 以上の所定数の水平期間毎に電圧極性が反転するように前記複数のデータ信号を生成することを特徴とする、請求項 9 に記載の表示装置。

【請求項 11】

前記データ信号線駆動回路は、1 水平期間毎に前記チャージシェア期間は、前記複数のデータ信号線への前記複数のデータ信号の印加を遮断すると共に前記複数のデータ信号線を互いに短絡するスイッチ回路を含むことを特徴とする、請求項 9 に記載の表示装置。

10

20

30

40

50

【請求項 1 2】

前記データ信号線駆動回路は、前記スイッチ回路によって前記複数のデータ信号線が互いに短絡されている時に前記複数のデータ信号線に固定電圧を与えることを特徴とする、請求項 1 1に記載の表示装置。

【請求項 1 3】

前記固定電圧の値は、前記データ信号の最小値と最大値との間の中央値であることを特徴とする、請求項 1 2に記載の表示装置。

【請求項 1 4】

前記複数のデータ信号の直流レベルは、黒表示に対応し、

前記走査信号線駆動回路は、前記複数の走査信号線のそれぞれは各フレーム期間において少なくとも 1 回は前記チャージシェア期間以外の期間である有効走査期間で選択状態となり、当該有効走査期間で選択状態となった走査信号線は当該選択状態から非選択状態に変化する時点から所定の画素値保持期間が経過した後であって次のフレーム期間における有効走査期間で選択状態となる前に少なくとも 1 回は前記チャージシェア期間で選択状態となるように、前記複数の走査信号線を選択的に駆動することを特徴とする、請求項 9に記載の表示装置。

10

【請求項 1 5】

前記走査信号線駆動回路は、前記有効走査期間で選択状態となった走査信号線を、当該選択状態から非選択状態に変化する時点から前記画素値保持期間が経過した後であって次のフレーム期間における有効走査期間で選択状態となる前に、複数回、前記チャージシェア期間で選択状態とすることを特徴とする、請求項 1 4に記載の表示装置。

20

【請求項 1 6】

前記複数の走査信号線のそれぞれが前記有効走査期間で選択状態となる期間は、前記チャージシェア期間において前記複数の走査信号線のいずれかが選択状態となる期間と重ならないことを特徴とする、請求項 1 5に記載の表示装置。

【請求項 1 7】

前記データ信号線駆動回路は、

前記複数のデータ信号線に印加すべき前記複数のデータ信号を出力する複数のバッファと、

前記チャージシェア期間において前記複数のバッファを休止させる休止制御部とを含むことを特徴とする、請求項 9に記載の表示装置。

30

【請求項 1 8】

請求項 9に記載の表示装置を備えたことを特徴とするテレビジョン受信機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ等のスイッチング素子を用いたアクティブマトリクス基板、および、それを備えた液晶表示装置等のアクティブマトリクス型の表示装置に関する。

【背景技術】

【0002】

アクティブマトリクス基板は、液晶表示装置や E L (Electroluminescence) 表示装置等のアクティブマトリクス型表示装置において広く用いられている。例えばアクティブマトリクス型の液晶表示装置では、液晶パネルとその駆動回路から主要部が構成されており、液晶パネルは、通常、スイッチング素子としての薄膜トランジスタ (Thin Film Transistor。以下「TFT」と略記する。) や画素電極等を含む画素回路がマトリクス状に配置されたアクティブマトリクス基板と、ガラス等の透明な絶縁性基板上に全面にわたって対向電極や配向膜が順次積層された対向基板と、両基板の間に挟持された液晶層と、両基板のそれぞれの外表面に貼り付けられた偏光板とから構成される。

40

【0003】

図 2 9 は、上記のような液晶表示装置に用いられる従来のアクティブマトリクス基板 7

50

00の構造を示す平面図であり、1つの画素に相当する部分のパターン構成を示している。アクティブマトリクス基板700は、複数のデータ信号線715と、当該複数のデータ信号線715と交差する複数の走査信号線716と、当該複数のデータ信号線715と当該複数の走査信号線716との各交差点近傍に形成されたスイッチング素子としてのTF T712と、画素電極717とを備える。走査信号線716はTF T712のゲート電極を兼ねており、TF T712のソース電極719がデータ信号線715に接続され、ドレイン電極708がドレイン引き出し電極707を介して画素電極717に接続される。ドレイン引き出し電極707と画素電極717との間に配される絶縁膜には穴が開けられており、これによってドレイン引き出し電極707と画素電極717とを接続するコンタクトホール710が形成されている。画素電極717はITO (Indium Tin Oxide) 等の透明電極であり、当該アクティブマトリクス基板700を含む液晶パネルの後方からの光(バックライト光)を透過させる。

10

【0004】

このアクティブマトリクス基板700においては、走査信号線716に与えられる走査信号としてのゲートオン電圧によってTF T712がオン状態(ソース電極719とドレイン電極708とが導通した状態)となり、この状態においてデータ信号線715に与えられるデータ信号が、ソース電極719、ドレイン電極708およびドレイン引き出し電極707を介して画素容量(画素電極717と対向電極によって形成される容量)に書き込まれる。なお、このアクティブマトリクス基板700には、走査信号線716に沿って保持容量線718が形成されており、この保持容量線718は、TF T712のオフ期間中における液晶層の自己放電を回避する等の機能を有する。

20

【0005】

このようなアクティブマトリクス基板700を用いた液晶表示装置は、表示品位の劣化を防止するために、通常、交流電圧で駆動され、アクティブマトリクス基板700に液晶層を挟んで対向する対向基板に設けられた対向電極(「共通電極」ともいう)に印加される対向電圧を基準電位として、画素電極に一定時間ごとに正極性電圧と負極性電圧が交互に供給され、例えば2水平期間ごとに極性を反転する技術(以下「2H反転駆動」という)が提案されている(例えば日本の特開平8-43795号公報(特許文献2))。

【0006】

しかしながら、この2H反転駆動での極性反転の単位である2ラインのうち1ライン目の駆動では、当該1ライン目の駆動開始直前にデータ信号線への印加電圧の極性が反転するのに対し、当該2ラインにおける1ライン目の駆動から2ライン目の駆動に移行するときにはデータ信号線への印加電圧の極性は反転しない。このため、1ライン目の駆動では、2ライン目の駆動に比べてデータ信号線への充電に時間を要し、その結果、1ライン目と2ライン目とでは画素容量における充電量に差が生じる。この充電量の差は、1フレームにおいて極性反転単位の1ライン目に相当するN番目のラインの画素と、極性反転単位の2ライン目に相当する(N+1)番目のラインの画素との間の輝度差として現れ、ライン状の横筋ムラが視認されることになる。

30

【0007】

そこで、データ信号を1水平期間毎のブランキング期間に正極性と負極性の間のある中間電位とすることで充電特性を均一にする方法が提案されている(日本の特開2004-61590号公報(特許文献3))。

40

【特許文献1】日本の特開平9-152625号公報

【特許文献2】日本の特開平8-43795号公報

【特許文献3】日本の特開2004-61590号公報

【特許文献4】日本の特開平9-243998号公報

【特許文献5】日本の特開2002-268613号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

50

ところで、液晶パネルのデータ信号線に印加されるデータ信号の極性が1または2水平期間毎に反転すると共にデータ信号線毎にも反転するドット反転駆動方式が採用されたアクティブマトリクス型の液晶表示装置において、消費電力を低減するためにデータ信号S(1)~S(N)の極性反転時に隣接データ信号線間を短絡するという方式(以下「チャージシェア方式」という)が採用される場合がある。2水平期間毎にデータ信号の極性が反転されるドット反転駆動方式(以下「2Hドット反転駆動方式」という)の液晶表示装置においてチャージシェア方式を採用した場合、2水平期間毎に隣接データ信号線が短絡される。したがって、この場合も、極性反転単位としての2ラインの間で画素容量の充電量に差が生じ、ライン状の横筋ムラが視認されることがある。

【0009】

このような2Hドット反転駆動の液晶表示装置において、隣接データ信号線間を2水平期間毎ではなく1水平期間毎に短絡することで、上記特許文献3(日本の特開2004-61590号公報)の技術と同様に、極性反転単位としての2ラインの充電特性を均一化(画素容量の充電量の差を解消)することができる。しかし、隣接データ信号線の短絡によって電荷が再分配されて各データ信号線の電位が一定値に落ち着くまでの時間が、極性反転単位としての2ラインのうちの1ライン目と2ライン目とで異なる。このため、電荷再分配のために隣接データ信号線が短絡される期間(以下「チャージシェア期間」という)において、図9に示すようにデータ信号線の電圧 V_s は、上記一定値すなわちデータ信号線電位の中央値(以下「ソースセンター電位」という)に到達せず、1ライン目の駆動開始前のチャージシェア期間直後の電位と、2ライン目の駆動開始前のチャージシェア期間直後の電位とが異なる。この場合、1ライン目と2ライン目の間で画素容量の充電量の差は十分には解消されず、ライン状の横筋ムラが依然として視認されることがある。

【0010】

近年、液晶表示装置等のアクティブマトリクス型の表示装置において解像度の向上が進んでおり、また、動画性能の改善等のために駆動周波数を高めるという手法が採用されることもある。このため、画素データの画素容量への書き込みに確保可能な充電時間が短くなる傾向にある。充電時間が短くなると、充電不足のために画素容量に正しい画素データが書き込めない虞が生じると共に、十分なチャージシェア期間の確保も困難になって2Hドット反転駆動方式の液晶表示装置における上記問題がより顕在化する。また、十分なチャージシェア期間を確保できないために各データ信号線電位がソースセンター電位に達しない場合には、そのことが充電不足を悪化させる要因にもなる。このように解像度の向上や駆動周波数の上昇に伴って充電不足が問題になる点は、1Hドット反転駆動方式の液晶表示装置においても同様である。

【0011】

これに対し日本の特開2002-268613号公報(特許文献5)には、隣接するデータ信号線を短絡させるスイッチング素子が、データドライバ(データ信号線駆動回路)から遠い側の液晶パネルの端部付近に形成された液晶表示装置が開示されている。このような構成によれば、データドライバから遠くなるほど増加するデータ線の電圧の歪曲を改善させることができるので、液晶表示装置の大型化に伴って寄生容量が増大しデータ線にデータ電圧が十分に充電されないという問題を低減または解消することができる。また、チャージシェア方式が採用されない従来の液晶表示装置に比べて、データ線にデータ電圧を十分に充電させることができる。しかし、上記のように解像度の向上や駆動周波数の上昇に起因する充電不足は、この構成によっては解決できない。

【0012】

以上のようにアクティブマトリクス基板を使用した従来の液晶表示装置においては、大型化や高解像度化が進み駆動周波数が上昇すると、画素容量における充電量の差や充電不足によって良好な画像の表示が困難となる。

【0013】

そこで本発明の目的は、表示装置の大型化や高解像度化が進み駆動周波数が上昇しても表示品質の低下が生じないアクティブマトリクス基板を提供することである。また、本発

10

20

30

40

50

明の他の目的は、大型化や高解像度化が進み駆動周波数が上昇しても表示品質の低下が生じないアクティブマトリクス型の表示装置を提供することである。

【課題を解決するための手段】

【0014】

本発明の第1の局面は、アクティブマトリクス基板であって、
複数のデータ信号線と、
前記複数のデータ信号線と交差する複数の走査信号線と、
前記複数のデータ信号線と前記複数の走査信号線との各交差点に対応して設けられ、対応する交差点を通過する走査信号線によってオンおよびオフされる画素スイッチング素子と、

10

前記画素スイッチング素子に対応する交差点を通過するデータ信号線に前記画素スイッチング素子を介して接続された画素電極と、

前記複数のデータ信号線のそれぞれにつき当該データ信号線の延びる方向に2以上の所定数ずつ設けられたチャージシエア用スイッチング素子であって、オン状態のときに前記複数のデータ信号線のそれぞれが他の隣接するデータ信号線に短絡されるように前記複数のデータ信号線に接続されたチャージシエア用スイッチング素子と、

前記チャージシエア用スイッチング素子をオンおよびオフするためのチャージシエア用制御信号線と
を備え、

前記画素電極は、前記チャージシエア用制御信号線に重なるように配置されていること
を特徴とする。

20

【0015】

本発明の第2の局面は、本発明の第1の局面において、

前記複数のデータ信号線のそれぞれは、互いに電氣的に分離された第1および第2の信号線からなり、

前記チャージシエア用スイッチング素子は、前記第1および第2の信号線のそれぞれにつき前記データ信号線の延びる方向に2以上の所定数ずつ設けられていることを特徴とする。

【0016】

本発明の第3の局面は、本発明の第1の局面において、

前記チャージシエア用スイッチング素子は、前記データ信号線の延びる方向に略均等間隔で配置されていることを特徴とする。

30

【0017】

本発明の第4の局面は、本発明の第1の局面において、

前記チャージシエア用制御信号線は、前記複数の走査信号線にそれぞれ沿って配置された複数の制御信号線を含み、

前記チャージシエア用スイッチング素子は、前記複数のデータ信号線のそれぞれにつき前記複数の制御信号線に対応して設けられた複数のスイッチング素子を含み、

前記複数のスイッチング素子のそれぞれは、対応する制御信号線によってオンおよびオフされることを特徴とする。

40

【0018】

本発明の第5の局面は、本発明の第1の局面において、

前記チャージシエア用スイッチング素子は、前記複数のデータ信号線の一端近傍に配置されたスイッチング素子群と、前記複数のデータ信号線の他端近傍に配置されたスイッチング素子群とからなることを特徴とする。

【0019】

本発明の第6の局面は、本発明の第1の局面において、

前記チャージシエア用制御信号線は、非表示領域において前記複数のデータ信号線と交差するように配置された非表示領域制御信号線を含み、

前記チャージシエア用スイッチング素子は、非表示領域に配置され前記非表示領域制御

50

信号線によってオンおよびオフされるスイッチング素子群を含むことを特徴とする。

【0021】

本発明の第7の局面は、本発明の第1の局面において、

前記チャージシェア用スイッチング素子を前記データ信号線に接続する電極部は、前記チャージシェア用制御信号線に重ならないように配置されていることを特徴とする。

【0022】

本発明の第8の局面は、本発明の第1の局面において、

前記チャージシェア用スイッチング素子と、前記チャージシェア用スイッチング素子がオン状態のときに短絡させる2つの隣接データ信号線とを接続するための配線距離は、互いに等しいことを特徴とする。

10

【0023】

本発明の第9の局面は、表示装置であって、

本発明の第1から第8の局面のいずれかに係るアクティブマトリクス基板と、

前記複数の走査信号線を選択的に駆動するための複数の走査信号を生成し、当該複数の走査信号を前記複数の走査信号線に印加する走査信号線駆動回路と、

表示すべき画像を表す複数のデータ信号を、所定数のデータ信号線毎に極性が反転すると共に所定数の水平期間毎に極性が反転する電圧信号として生成し、当該複数のデータ信号を前記複数のデータ信号線に印加するデータ信号線駆動回路と、

前記複数のデータ信号線のそれぞれが他の隣接するデータ信号線に1水平期間毎に所定のチャージシェア期間だけ短絡されるように、前記チャージシェア制御信号線に与えるべきチャージシェア制御信号を生成するチャージシェア制御信号生成回路とを備えることを特徴とする。

20

【0024】

本発明の第10の局面は、本発明の第9の局面において、

前記データ信号線駆動回路は、2以上の所定数の水平期間毎に電圧極性が反転するように前記複数のデータ信号を生成することを特徴とする。

【0025】

本発明の第11の局面は、本発明の第9の局面において、

前記データ信号線駆動回路は、1水平期間毎に前記チャージシェア期間は、前記複数のデータ信号線への前記複数のデータ信号の印加を遮断すると共に前記複数のデータ信号線を互いに短絡するスイッチ回路を含むことを特徴とする。

30

【0026】

本発明の第12の局面は、本発明の第11の局面において、

前記データ信号線駆動回路は、前記スイッチ回路によって前記複数のデータ信号線が互いに短絡されている時に前記複数のデータ信号線に固定電圧を与えることを特徴とする。

【0027】

本発明の第13の局面は、本発明の第12の局面において、

前記固定電圧の値は、前記データ信号の最小値と最大値との間の中央値であることを特徴とする。

【0028】

本発明の第14の局面は、本発明の第9の局面において、

前記複数のデータ信号の直流レベルは、黒表示に対応し、

前記走査信号線駆動回路は、前記複数の走査信号線のそれぞれは各フレーム期間において少なくとも1回は前記チャージシェア期間以外の期間である有効走査期間で選択状態となり、当該有効走査期間で選択状態となった走査信号線は当該選択状態から非選択状態に変化する時点から所定の画素値保持期間が経過した後であって次のフレーム期間における有効走査期間で選択状態となる前に少なくとも1回は前記チャージシェア期間で選択状態となるように、前記複数の走査信号線を選択的に駆動することを特徴とする。

40

【0029】

本発明の第15の局面は、本発明の第14の局面において、

50

前記走査信号線駆動回路は、前記有効走査期間で選択状態となった走査信号線を、当該選択状態から非選択状態に変化する時点から前記画素値保持期間が経過した後であって次のフレーム期間における有効走査期間で選択状態となる前に、複数回、前記チャージシェア期間で選択状態とすることを特徴とする。

【0030】

本発明の第16の局面は、本発明の第15の局面において、前記複数の走査信号線のそれぞれが前記有効走査期間で選択状態となる期間は、前記チャージシェア期間において前記複数の走査信号線のいずれかが選択状態となる期間と重ならないことを特徴とする。

【0031】

本発明の第17の局面は、本発明の第9の局面において、前記データ信号線駆動回路は、前記複数のデータ信号線に印加すべき前記複数のデータ信号を出力する複数のバッファと、前記チャージシェア期間において前記複数のバッファを休止させる休止制御部とを含むことを特徴とする。

【0032】

本発明の第18の局面は、テレビジョン受信機であって、本発明の第9の局面に係る表示装置を備えたことを特徴とする。

【発明の効果】

【0034】

本発明の第1の局面によれば、各データ信号線はそれに隣接する他のデータ信号線に複数のチャージシェア用スイッチング素子を介して接続されているので、チャージシェア期間におけるデータ信号線間での電荷の移動が促進される。ここで、チャージシェア用スイッチング素子を1つのデータ信号線につき複数設けることは、1本のデータ信号線に充電されている電荷を細分化して各々のチャージシェア用スイッチング素子により移動させることに相当する。これにより、各データ信号線の電位を短い時間で中間電位（ソースセンター電位）に到達させることができる。その結果、表示装置の大型化や高解像度化が進み駆動周波数が上昇しても、画素容量における充電量の差や充電不足による表示品質の低下を抑制することができる。

また本発明の第1の局面によれば、チャージシェア用制御信号線に重なるように画素電極が配置されることにより、画素領域として広い領域が確保されるので、開口率を大きくすることができる。

【0035】

本発明の第2の局面では、各データ信号線は、互いに電氣的に分離された第1および第2の信号線からなり、上下分割駆動方式に対応した構成となっているので、本発明の当該局面に係るアクティブマトリクス基板は、駆動周波数を高くし動画表示性能向上を目的とする表示装置に好適である。このようなアクティブマトリクス基板において、各データ信号線はそれに隣接する他のデータ信号線に複数のチャージシェア用スイッチング素子を介して接続されているので、チャージシェア期間におけるデータ信号線間での電荷の移動が促進される。これにより、画素容量における充電量の差や充電不足による表示品質の低下を抑制することができる。

【0036】

本発明の第3の局面によれば、チャージシェア用スイッチング素子が、データ信号線の延びる方向に略均等間隔で配置されているので、表示装置の大型化や高解像度化が進んでも、チャージシェア期間において、データ信号線の電位をアクティブマトリクス基板全体で均一に中間電位に到達させることができる。

【0037】

本発明の第4の局面によれば、各走査信号線に沿ってチャージシェアのための制御信号線が配設され、各データ信号線につき各制御信号線に対応してチャージシェアのためのス

10

20

30

40

50

スイッチング素子が設けられているので、各データ信号線につき走査信号線の数に等しい個数のスイッチング素子が存在し、これらのスイッチング素子によって、チャージシェア期間にデータ信号線間での電荷の移動が行われる。したがって、チャージシェア期間が短くなっても、またアクティブマトリクス基板が大型化しても、データ信号線の電位をアクティブマトリクス基板全体で均一に中間電位に到達させることができる。また、チャージシェアのためのスイッチング素子が画素毎に存在し、そのスイッチング素子をオンおよびオフするための制御信号線が1画素行毎に存在することから、チャージシェアのためのスイッチング素子や制御信号線の配置は、アクティブマトリクス基板によって形成されるべき画像の画素配置に整合しており、チャージシェアのためのスイッチング素子や制御信号線の追加によって画素配置の規則性が乱されることもない。

10

【0038】

本発明の第5の局面によれば、データ信号線の一端近傍に配置されたスイッチング素子群とデータ信号線の他端近傍に配置されたスイッチング素子群とによって、チャージシェア期間にデータ信号線間での電荷の移動が行われる。したがって、データ信号線駆動回路内のスイッチ回路によってデータ信号線間での電荷の移動が行われる従来のチャージシェア方式に比べ、チャージシェア期間直後のデータ信号線の電位をアクティブマトリクス基板内で均一化することができる。

【0039】

本発明の第6の局面によれば、非表示領域において非表示領域制御信号線によってオンおよびオフされるスイッチング素子を介してもチャージシェア期間にデータ信号線間で電荷の移動が行われる。これにより、開口率の低下を抑制しつつチャージシェア期間におけるデータ信号線間での電荷の移動を促進することができる。

20

【0041】

本発明の第7の局面によれば、チャージシェア用スイッチング素子をデータ信号線に接続する電極部（接続電極部）は、チャージシェア用制御信号線に重ならないように配置されているので、チャージシェアのためのスイッチング素子としてのトランジスタのチャンネル部で膜残り欠陥などにより当該ランジスタが短絡し常時同通する場合（トランジスタの短絡故障の場合）、レーザ照射等により接続電極部を分断することで当該短絡故障を修正することができる。また、このような配置構成は、チャージシェア用制御信号線とデータ信号線とが短絡する確率の低減にも有効である。

30

【0042】

本発明の第8の局面によれば、チャージシェア用スイッチング素子と、それがオンすることによって短絡させるべき2つの隣接データ信号線とを接続するための配線距離は、互いに等しいので、チャージシェア期間において、隣接するデータ信号線間で電荷を対称的に移動させることができる。

【0043】

本発明の第9の局面によれば、チャージシェア方式が採用されたアクティブマトリクス型表示装置において、データ信号の極性反転時のチャージシェア期間に各データ信号線が他の隣接するデータ信号線に短絡されて隣接データ線間で電荷が移動することにより、消費電力が低減される。また、例えば従来の2Hドット反転駆動方式の液晶表示装置では、極性反転の単位である2ラインの間で画素容量の充電量に差が生じ、ライン状の横筋ムラが視認されることがあったが、この表示装置では、各データ信号線が他の隣接データ信号線に短絡されるチャージシェア期間が1水平期間毎に設けられるので、このような充電量差やライン状の横筋ムラが抑制される。さらに、各データ信号線はそれに隣接する他のデータ信号線に複数のチャージシェア用スイッチング素子を介して接続されているので、チャージシェア期間におけるデータ信号線間での電荷の移動が短時間でされる。その結果、表示装置の大型化や高解像度化が進み駆動周波数が上昇しても、画素容量における充電量の差や充電不足による表示品質の低下を抑制することができる。

40

【0044】

本発明の第10の局面によれば、データ信号の極性反転の周期が2水平期間以上となる

50

ので、データ信号線駆動回路での発熱量や消費電力を低減することができる。一般的には極性反転の周期が長くなるほど、すなわちnHドット反転駆動方式を採用した場合においてnが大きくなるほど、データ信号線駆動回路での発熱量や消費電力が大きく低減される。また、本発明の第9の局面の場合と同様の理由により、表示装置の大型化や高解像度化が進み駆動周波数が上昇しても、画素容量における充電量の差や充電不足による表示品質の低下を抑制することができる。

【0045】

本発明の第11の局面によれば、データ信号線駆動回路内のスイッチ回路によっても、チャージシェア期間（1水平期間毎の所定期間）にアクティブマトリクス基板上のデータ信号線が互いに短絡されるので、データ信号線間での電荷の移動が更に促進される。

10

【0046】

本発明の第12の局面によれば、データ信号線駆動回路内のスイッチ回路によってアクティブマトリクス基板上のデータ信号線が互いに短絡されている時（チャージシェア期間）にそれらのデータ信号線に固定電圧が与えられるので、各画素形成部内の寄生容量に基づく引き込み電圧の階調依存性を補償するためにデータ信号の補正量が表示階調によって異なっても、チャージシェア期間直後の各データ信号線の電圧が常に同一の電圧となる。これにより、データ信号が表示階調に応じて補正されている場合であっても、ライン状の横筋ムラ発生を抑制することができる。

【0047】

本発明の第13の局面によれば、チャージシェア期間直後には各データ信号線の電位がデータ信号の最小値と最大値との間の中央値となるので、画素電極に印加すべきデータ信号の極性によらず画素容量の充電量を均一化することができる。

20

【0048】

本発明の第14の局面によれば、アクティブマトリクス基板上の複数のデータ信号線に印加される複数のデータ信号は所定数のデータ信号線毎に極性が反転する電圧信号であるので、当該複数のデータ信号線のそれぞれが他の隣接するデータ信号線に短絡される期間すなわちチャージシェア期間では、各データ信号線の電圧は、データ信号の直流レベルにほぼ等しくなる。これは、各データ信号線の電圧が黒表示に対応する値（黒電圧）となることを意味する。一方、各走査信号線は、画素値書込のために有効走査期間で選択されてから所定の画素値保持期間が経過した後少なくとも1回はチャージシェア期間で選択状態となる。これにより、次に画素値書込のために有効走査期間で選択状態となるまでは黒表示の期間となるので、全ての表示ラインにつき同じ長さの黒挿入を行い、画素値書込のための画素容量での充電期間を短縮することなく、十分な黒挿入期間の確保によるインパルス化によって動画像の表示性能を改善することができる。また、黒挿入のためにデータ信号線駆動回路等の動作速度を上げる必要もない。

30

【0049】

本発明の第15の局面によれば、有効走査期間に選択状態とされた走査信号線は、当該選択状態から非選択状態に変化する時点から画素値保持期間が経過した後であって次のフレーム期間における有効走査期間で選択状態となる前に、複数回、チャージシェア期間で選択状態とされる。これにより、インパルス化のための黒表示期間において表示輝度を十分な黒レベルとすることができる。

40

【0050】

本発明の第16の局面によれば、各走査信号線が有効走査期間で選択状態となる期間は、チャージシェア期間で走査信号線のいずれかが選択状態となる期間と重ならないので、走査信号線を選択状態とするための電源の負荷が過度に大きくなり、有効走査期間における画素値書込のためのパルスおよびチャージシェア期間における黒電圧書込のためのパルスとして各走査信号に含まれるパルスの波形鈍りが低減される。これにより、黒表示期間において画素の輝度を十分な黒レベルとしつつ、画素値書込用パルスの波形鈍りによる画素容量の充電不足を抑制することができる。

【0051】

50

本発明の第17の局面によれば、各データ信号線が他の隣接するデータ信号線に短絡されるチャージシェア期間においてデータ信号線駆動回路内のバッファが休止状態となるので、データ信号線駆動回路の消費電力を低減することができる。

【図面の簡単な説明】

【0052】

【図1】本発明の第1の実施形態におけるアクティブマトリクス基板のパターン構成の第1の例を示す平面図である。

【図2】上記第1の実施形態におけるアクティブマトリクス基板のパターン構成の第2の例を示す平面図である。

【図3】上記第1の実施形態におけるアクティブマトリクス基板のパターン構成の第3の例を示す平面図である。

【図4】上記第1の実施形態に係る液晶表示装置の構成を示すブロック図である。

【図5】上記第1の実施形態におけるアクティブマトリクス基板の一部（4画素に相当する部分）の構成を示す等価回路図である。

【図6】上記第1の実施形態に係る液晶表示装置におけるソースドライバの構成を示すブロック図である。

【図7】上記ソースドライバの出力部の一構成例を示す回路図である。

【図8】上記第1の実施形態に係る液晶表示装置の動作を説明するための信号波形図（A～F）である。

【図9】チャージシェア方式が採用された従来の2Hドット反転駆動の液晶表示装置におけるアクティブマトリクス基板の動作を説明するための詳細な信号波形図である。

【図10】上記第1の実施形態におけるアクティブマトリクス基板の動作を説明するための詳細な信号波形図である。

【図11】アクティブマトリクス基板の画素回路（画素形成部）におけるTFTのゲート・ドレイン間の寄生容量に起因して生じる引き込み電圧を説明するための電圧波形図（A、B）である。

【図12】チャージシェアリング方式の液晶表示装置において引き込み電圧の階調依存性を補償するためにソース電圧が補正された場合の画素電圧およびソース電圧を示す電圧波形図（A、B）である。

【図13】本発明の第2の実施形態に係る液晶表示装置におけるソースドライバの出力部の第1の構成例を示す回路図である。

【図14】上記第2の実施形態に係る液晶表示装置におけるソースドライバの出力部の第2の構成例を示す回路図である。

【図15】本発明の第3の実施形態に係る液晶表示装置の構成を示すブロック図である。

【図16】本発明の第4の実施形態におけるゲートドライバの構成例を示すブロック図（A、B）である。

【図17】上記第4の実施形態におけるゲートドライバの動作を説明するための信号波形図（A～F）である。

【図18】上記第4の実施形態に係る液晶表示装置の駆動方法を説明するための信号波形図（A～H）である。

【図19】上記第4の実施形態の変形例に係る液晶表示装置の走査信号を説明するための信号波形図（A～G）である。

【図20】上記第1の実施形態の第1の変形例に係る液晶表示装置の構成を示すブロック図である。

【図21】上記第1の変形例におけるアクティブマトリクス基板の一部（4画素に相当する部分）の構成を示す等価回路図である。

【図22】上記第1の実施形態の第2の変形例に係る液晶表示装置の構成を示すブロック図である。

【図23】上記第2の変形例におけるアクティブマトリクス基板の一部（2画素列に相当

10

20

30

40

50

する部分)の構成を示す等価回路図である。

【図24】上記第1から第4の実施形態の他の変形例に係る液晶表示装置のソースドライバの出力部の構成を示す回路図である。

【図25】図24に示すソースドライバの出力部における出力バッファの構成を示す回路図である。

【図26】本発明に係るアクティブマトリクス基板を使用したテレビジョン受信機用の表示装置の構成例を示すブロック図である。

【図27】本発明に係るアクティブマトリクス基板を使用したテレビジョン受信機のチューナ部を含めた全体構成を示すブロック図である。

【図28】上記テレビジョン受信機の機械的構成を示す分解斜視図である。

10

【図29】従来のアクティブマトリクス基板のパターン構成を示す部分平面図である。

【符号の説明】

【0053】

10 ...画素TFT(画素スイッチング素子)

12 ...チャージシエATFT(チャージシエ用スイッチング素子)

100 ...表示部

110, 112, 114, 116 ...アクティブマトリクス基板

120 ...対向基板

200 ...表示制御回路

300 ...ソースドライバ(データ信号線駆動回路)

20

302 ...データ信号生成部

304 ...出力部

400 ...ゲートドライバ(走査信号線駆動回路)

500 ...チャージシエ制御回路(チャージシエ制御信号生成回路)

Sc_i, Sc_{i+1} ...接続電極部(i=1, 2, ..., N-1)

C_p ...画素容量

E_c ...共通電極

Sw_a ...第1のMOSトランジスタ

Sw_b ...第2のMOSトランジスタ

Sw_{b2} ...第3のMOSトランジスタ

30

Sw_c ...第2のMOSトランジスタ

SL_i ...ソースライン(データ信号線)(i=1, 2, ..., N)

GL_j ...ゲートライン(走査信号線)(j=1, 2, ..., 2M)

GshL_j ...チャージシエ制御信号線(j=1, 2, ..., 2M)

S(i) ...データ信号(i=1, 2, ..., N)

G(j) ...走査信号(j=1, 2, ..., 2M)

V_{com} ...共通電圧(対向電圧)

Csh ...チャージシエ制御信号

Gsh ...マトリクス基板用チャージシエ制御信号(チャージシエ用制御信号)

Psh ...チャージシエパルス

40

Pw ...画素データ書込パルス

Pb ...黒電圧印加パルス

Tsh ...チャージシエ期間

Thd ...画素データ保持期間(画素値保持期間)

【発明を実施するための最良の形態】

【0054】

以下、添付図面を参照して本発明の実施形態について説明する。

<1. 第1の実施形態>

<1.1 構成および動作>

本発明に係るアクティブマトリクス基板を使用した液晶表示装置の一例を第1の実施形

50

態として説明する。図4は、本実施形態に係る液晶表示装置の構成を示すブロック図であり、図5は、本実施形態におけるアクティブマトリクス基板110の等価回路を示す回路図であり、このアクティブマトリクス基板110の一部（隣接4画素に相当する部分）101の電気的構成を示している。

【0055】

この液晶表示装置は、データ信号線駆動回路としてのソースドライバ300と、走査信号線駆動回路としてのゲートドライバ400と、チャージシェア制御回路500と、アクティブマトリクス基板110を用いたアクティブマトリクス型の表示部100と、ソースドライバ300、ゲートドライバ400、およびチャージシェア制御回路500を制御するための表示制御回路200とを備えている。

10

【0056】

上記液晶表示装置における表示部100は、液晶層を挟持する1対の電極基板からなり、各電極基板の外表面には偏光板が貼り付けられている。上記1対の電極基板の一方はアクティブマトリクス基板110である。図4および図5に示すように、このアクティブマトリクス基板110では、ガラス等の絶縁性基板上に、複数本（2M本）の走査信号線としてのゲートラインGL1～GL2Mと、それらのゲートラインGL1～GL2Mのそれぞれと交差する複数本（N本）のデータ信号線としてのソースラインSL1～SLNと、それらのゲートラインGL1～GL2MとソースラインSL1～SLNとの交差点にそれぞれ対応して設けられた複数個（2M×N個）の画素回路と、複数本（2M本）のチャージシェア制御信号線GshL1～GshL2Mとが形成されている。各画素回路は、対応する交差点を通過するゲートラインGLjにゲート端子が接続される共に当該交差点を通過するソースラインSLiにソース端子が接続されたスイッチング素子であるTFT10と、そのTFT10のドレイン端子（電極）に接続された画素電極Epとからなる。

20

【0057】

一方、上記1対の電極基板の他方は対向基板120と呼ばれ、ガラス等の透明な絶縁性基板上に全面にわたって共通電極Ecが形成されている。この共通電極Ecは、上記液晶層と共に上記複数個（2M×N個）の画素回路に共通的に設けられている。そして、アクティブマトリクス基板110における各画素回路は、共通的に設けられた共通電極Ecおよび液晶層と共に画素形成部を構成し、この画素形成部では、画素電極Epと共通電極Ecとにより液晶容量Clcが形成されている。また、通常、画素容量Cpに確実に電圧を保持すべく、液晶容量Clcに並列に保持容量Ccsが設けられる。すなわち、アクティブマトリクス基板110では、各ゲートラインGLjに平行に保持容量線CsLが配設されており、この保持容量線CsLと絶縁膜等を挟んで対向する画素電極Epとによって上記保持容量Ccsが形成されている。したがって、画素データとしてのデータ信号S(i)を書き込んで保持すべき画素容量Cpは、液晶容量Clcと補助容量Ccsとからなる。

30

【0058】

さらに本実施形態では、アクティブマトリクス基板110において、隣接するデータ信号線SLiとSLi+1の間には（i=1, 2, ..., N-1）、各ゲートラインGLj（j=1, 2, ..., 2M）に沿って配設されたチャージシェア制御信号線GshLjにゲート端子が接続されたチャージシェア用スイッチング素子としてのTFT（以下「チャージシェアTFT」という）12が形成されている。このチャージシェアTFT12のソース端子とドレイン端子は、当該隣接するデータ信号線SLiとSLi+1にそれぞれ接続されており、各チャージシェア信号線GshLjにアクティブな信号（TFT12をオンさせる電圧）が与えられると、アクティブマトリクス基板110上の全ての隣接ソースラインが互いに短絡される。このチャージシェアTFT12は、各ソースラインSLiにつき、ゲートラインGLjの本数（2M）に等しい個数だけ存在する。

40

【0059】

図1は、本実施形態に係るアクティブマトリクス基板110のパターン構成の第1の例を示す平面図である。ゲートラインGLjとソースラインSLiの交差点近傍にTFT1

50

0 が設けられている ($i = 1, 2, \dots, N; j = 1, 2, \dots, 2M$) (以下、この TFT 10 をチャージシエア TFT 12 と区別するために「画素 TFT 10」という)。この例では、ゲートライン GL j が画素 TFT 10 のゲート電極 (端子) 10g を兼ねており、画素 TFT 10 のソース電極 (端子) 10s はソースライン SL i に接続され、ドレイン電極 (端子) 10d は保持容量配線 CSL 上まで延伸され、層間絶縁膜に設けられたコンタクトホール 14 を介して画素電極 E p に接続されている。

【0060】

また、ゲートライン GL j に沿うようにチャージシエア制御信号線 GshL j が配置され、チャージシエア制御信号線 GshL j の近傍にはチャージシエア TFT 12 が設けられている。このチャージシエア TFT 12 のゲート電極 (端子) はチャージシエア制御信号線 GshL j に接続されており、チャージシエア TFT 12 のソース電極 (端子) およびドレイン電極 (端子) には、隣接するソースライン SL i, SL i + 1 が接続電極部 SC i, SC i + 1 によりおのおの接続されている。このチャージシエア制御信号線 GshL j は、表示領域内に複数設けられることが好ましく、既述のように、本例ではゲートライン GL j と同数だけ設けられている。また、図 1 に示すように、このチャージシエア制御信号線 GshL j は非表示領域にも設けられていてもよい。この場合、非表示領域に設けられたチャージシエア制御信号線 GshL k は、当該非表示領域においてデータ信号線 SL 1 ~ SL N と交差点する。そして、当該非表示領域に隣接ソースライン SL i と SL i + 1 との間を接続するチャージシエア TFT 12 が設けられ ($i = 1, 2, \dots, N - 1$) これらのチャージシエア TFT 12 は、当該非表示領域内の上記チャージシエア制御信号線 GshL k によってオンおよびオフされる。このような構成によれば、開口率の低下を抑制しつつチャージシエア期間におけるソースライン間での電荷の移動を促進することができる。

【0061】

図 1 の例では、チャージシエア TFT 12 のソース電極およびドレイン電極に接続されている接続電極部 SC i, SC i + 1 は、チャージシエア制御信号線 GshL j と重ならない。このようにすれば、チャージシエア TFT 12 のチャネル部で膜残り欠陥等によりチャージシエア TFT 12 が常時導通状態となった場合 (TFT の短絡故障の場合) に、レーザ照射等により接続電極部 SC i または SC i + 1 を分断することで当該短絡故障の修正が可能となる。また、チャージシエア制御信号線 GshL とソースライン SL i とが短絡する確率を低減することができる。

【0062】

また、図 1 の例では、上記の両接続電極部 SC i, SC i + 1 の長さは互いに等しい。これにより、隣接するソースライン同士の短絡により電荷が移動する場合に当該移動が対称的となる。

【0063】

図 2 は、本実施形態に係るアクティブマトリクス基板 110 のパターン構成の第 2 の例を示す平面図である。なお、この第 2 の例における構成要素のうち第 1 の例の構成要素と同一または対応するものについては同一の参照符号を付すものとし、同一部分の説明は省略する。この第 2 の例では、画素電極 E p がチャージシエア制御信号線 GshL j およびチャージシエア TFT 12 と重なっている。このパターン構成は、画素領域を広くすることができるので、開口率の向上に有効である。ただし、チャージシエア TFT 12 に接続されている各ソースライン (接続電極部 SC i, SC i + 1) と画素電極 E p との間の寄生容量を低減するという観点から、画素電極 E p とチャージシエア TFT 12 の間には数 μm の厚みを有する層間絶縁膜を有することが望ましい。この層間絶縁膜としては、例えばアクリル系樹脂や SOG (Spin-on-Glass) 材料からなる有機膜や、それら有機膜とシリコンナイトライド (SiNx) 等との積層構造が用いられる。

【0064】

図 3 は、本実施形態に係るアクティブマトリクス基板 110 のパターン構成の第 3 の例を示す平面図である。なお、この第 3 の例における構成要素のうち第 1 の例の構成要素と

10

20

30

40

50

同一または対応するものについては同一の参照符号を付すものとし、同一部分の説明は省略する。この第3の例では、チャージシエア制御信号線 $GshLj$ がチャージシエア $TFT12$ のゲート電極（端子）を兼ねており、チャージシエア $TFT12$ のソース電極（端子）およびドレイン電極（端子）には、隣接するソースライン $SLi, SLi+1$ が接続電極部 $SCi, SCi+1$ によりおのおの接続されている。そして、これらのチャージシエア $TFT12$ および接続電極部 $SCi, SCi+1$ は、絶縁層を介してチャージシエア制御信号線 $GshLj$ に覆われている。アクティブマトリクス基板の製造時の歩留まりの点では、接続電極部 $SCi, SCi+1$ がチャージシエア制御信号線 $GshLj$ と重ならない上記第1の例が有利であるが、開口率の点ではこの第3の例が有利である。

【0065】

図4および図5に示すように、各画素形成部における画素電極 Ep には、後述のように動作するソースドライバ300およびゲートドライバ400により、表示すべき画像に応じた電位が与えられ、共通電極 Ec には、図示しない電源回路から所定電位 $Vcom$ が与えられる（この所定電位 $Vcom$ は「対向電圧」または「共通電圧」と呼ばれる）。これにより、画素電極 Ep と共通電極 Ec との間の電位差に応じた電圧が液晶に印加され、この電圧印加によって液晶層に対する光の透過量が制御されることで画像表示が行われる。ただし、液晶層への電圧印加によって光の透過量を制御するためには偏光板が使用され、例えば、本実施形態に係る液晶表示装置では、ノーマリブラックとなるように偏光板が配置される。なお、図4に示すように、共通電極 Ec に与えられる対向電圧 $Vcom$ は保持容量線 CsL にも与えられる。

【0066】

表示制御回路200は、外部の信号源から、表示すべき画像を表すデジタルビデオ信号 Dv と、当該デジタルビデオ信号 Dv に対応する水平同期信号 HSY および垂直同期信号 VSY と、表示動作を制御するための制御信号 Dc とを受け取り、それらの信号 Dv, HSY, VSY, Dc に基づき、そのデジタルビデオ信号 Dv の表す画像を表示部100に表示させるための信号として、データスタートパルス信号 SSP と、データクロック信号 SCK と、チャージシエア制御信号 Csh と、表示すべき画像を表すデジタル画像信号 DA （ビデオ信号 Dv に相当する信号）と、ゲートスタートパルス信号 GSP と、ゲートクロック信号 GCK と、ゲートドライバ出力制御信号 GOE とを生成し出力する。より詳しくは、ビデオ信号 Dv を内部メモリで必要に応じてタイミング調整等を行った後に、デジタル画像信号 DA として表示制御回路200から出力し、そのデジタル画像信号 DA の表す画像の各画素に対応するパルスからなる信号としてデータクロック信号 SCK を生成し、水平同期信号 HSY に基づき1水平期間毎に所定期間だけハイレベル（ H レベル）となる信号としてデータスタートパルス信号 SSP を生成し、垂直同期信号 VSY に基づき1フレーム期間（1垂直走査期間）毎に所定期間だけ H レベルとなる信号としてゲートスタートパルス信号 GSP を生成し、水平同期信号 HSY に基づきゲートクロック信号 GCK を生成し、水平同期信号 HSY および制御信号 Dc に基づきチャージシエア制御信号 Csh およびゲートドライバ出力制御信号 GOE を生成する。

【0067】

上記のようにして表示制御回路200において生成された信号のうち、デジタル画像信号 DA とチャージシエア制御信号 Csh とデータスタートパルス信号 SSP およびデータクロック信号 SCK とは、ソースドライバ300に入力され、ゲートスタートパルス信号 GSP およびゲートクロック信号 GCK とゲートドライバ出力制御信号 GOE とは、ゲートドライバ400に入力される。また、チャージシエア制御信号 Csh はチャージシエア制御回路500にも入力される。

【0068】

ソースドライバ300は、デジタル画像信号 DA とデータスタートパルス信号 SSP およびデータクロック信号 SCK とに基づき、デジタル画像信号 DA の表す画像の各水平走査線における画素値に相当するアナログ電圧としてデータ信号 $S(1) \sim S(N)$ を1水平期間毎（1 H 毎）に生成し、これらのデータ信号 $S(1) \sim S(N)$ をソースライン S

10

20

30

40

50

L1 ~ SLNにそれぞれ印加する。本実施形態では、液晶層への印加電圧の極性が1フレーム期間毎に反転されると共に各フレーム内においてnゲートライン毎(nは2以上)かつ1ソースライン毎にも反転されるようにデータ信号S(1) ~ S(N)が出力される駆動方式すなわちnHドット反転駆動方式が採用されている。したがって、ソースドライバ300は、ソースラインSL1 ~ SLNへの印加電圧の極性をソースライン毎に反転させ、かつ、各ソースラインSLiに印加されるデータ信号S(i)の極性をn水平期間毎に反転させる。ここで、ソースラインへの印加電圧の極性反転の基準となる電位は、データ信号S(1) ~ S(N)の直流レベル(直流成分に相当する電位)であり、この直流レベルは、一般的には共通電極Ecの直流レベルとは一致せず、各画素形成部におけるTFTのゲート・ドレイン間の寄生容量Cgdによる引き込み電圧Vdだけ共通電極Ecの直流レベルと異なる。ただし、寄生容量Cgdによる引き込み電圧Vdが液晶の光学的しきい値電圧Vthに対して十分に小さい場合には、データ信号S(1) ~ S(N)の直流レベルは共通電極Ecの直流レベルに等しいとみなせるので、データ信号S(1) ~ S(N)の極性すなわちソースラインへの印加電圧の極性は共通電極Ecの電位Vcomを基準としてn水平期間毎に反転すると考えてもよい。

10

【0069】

図6は、本実施形態におけるソースドライバの構成を示すブロック図である。このソースドライバは、データ信号生成部302と出力部304とから構成されている。データ信号生成部302は、データスタートパルス信号SSPおよびデータクロック信号CLKに基づきデジタル画像信号DAから、ソースラインSL1 ~ SLNにそれぞれ対応するアナログ電圧信号d(1) ~ d(N)を生成する。このデータ信号生成部302の構成は、従来のソースドライバと同様であるので説明を省略する。出力部304は、データ信号生成部302で生成されるアナログ電圧信号d(i)をインピーダンス変換し、データ信号S(i)として出力する(i=1, 2, ..., N)。

20

【0070】

また、このソースドライバ300では、消費電力を低減するため及びnHドット反転駆動時のライン状の横筋ムラを改善するために、1水平期間毎に隣接ソースライン間が短絡されるチャージシェアリング方式が採用されている。このため、ソースドライバ300における出力部304は、図7に示すように構成されている。すなわち、この出力部304は、デジタル画像信号DAに基づき生成されたアナログ電圧信号d(1) ~ d(N)を受け取り、これらのアナログ電圧信号d(1) ~ d(N)をインピーダンス変換することによって、ソースラインSL1 ~ SLNで伝達すべき映像信号としてデータ信号S(1) ~ S(N)を生成し、このインピーダンス変換のための電圧ホロワとしてN個の出力バッファ31を有している。各バッファ31の出力端子にはスイッチング素子としての第1のMOSトランジスタSWaが接続され、各バッファ31からのデータ信号S(i)は第1のMOSトランジスタSWaを介してソースドライバ300の出力端子から出力される(i=1, 2, ..., N)。また、ソースドライバ300の隣接する出力端子間は、スイッチング素子としての第2のMOSトランジスタSWbによって接続されている(これにより隣接ソースライン間が第2のMOSトランジスタSWbによって接続されることになる)。そして、これらの出力端子間の第2のMOSトランジスタSWbのゲート端子には、チャージシェア制御信号Cshが与えられ、各バッファ31の出力端子に接続された第1のMOSトランジスタSWaのゲート端子には、インバータ33の出力信号すなわちチャージシェア制御信号Cshの論理反転信号が与えられる。

30

40

【0071】

したがって、チャージシェア制御信号Cshが非アクティブ(ローレベル)のときには、第1のMOSトランジスタSWaがオンし(導通状態となり)、第2のMOSトランジスタSWbがオフする(遮断状態となる)ので、各バッファ31からのデータ信号は、第1のMOSトランジスタSWaを介してソースドライバ300から出力される。一方、チャージシェア制御信号Cshがアクティブ(ハイレベル)のときには、第1のMOSトランジスタSWaがオフし(遮断状態となり)、第2のMOSトランジスタSWbがオンす

50

る（導通状態となる）ので、各バッファ31からのデータ信号は出力されず（すなわちデータ信号 $S(1) \sim S(N)$ のソースライン $SL1 \sim SLN$ への印加は遮断され）、表示部100における隣接ソースラインが、第2のMOSトランジスタ SWb を介して短絡される。

【0072】

本構成におけるソースドライバ300では、図8(A)に示すように、 n 水平期間(nH)毎、ここでは $n=2$ である2水平期間($2H$)毎に極性の反転する映像信号としてアナログ電圧信号 $d(i)$ が生成され、表示制御回路200では、図8(B)に示すように、各アナログ電圧信号 $d(i)$ の1水平ブランキング期間程度の短い期間 Tsh だけハイレベル(Hレベル)となるチャージシェア制御信号 Csh が生成される。このチャージシェア制御信号 Csh がHレベルとなる期間は、電荷再分配のために隣接データ信号線が短絡される期間であり、「チャージシェア期間」と呼ばれる。

【0073】

上記のように、チャージシェア制御信号 Csh がローレベル(Lレベル)のときには各アナログ電圧信号 $d(i)$ がデータ信号 $S(i)$ として出力され、チャージシェア制御信号 Csh がHレベルのときには、データ信号 $S(1) \sim S(N)$ のソースライン $SL1 \sim SLN$ への印加が遮断されると共に隣接ソースラインが互いに短絡される。そして本構成では、 nH ドット反転駆動方式が採用されていることから隣接ソースラインの電圧は互いに逆極性であるため、各データ信号 $S(i)$ の値すなわち各ソースライン SLi の電圧は、チャージシェア期間 Tsh において、正極性と負極性の間の或る中間電位となる。本液晶表示装置では、各データ信号 $S(i)$ は、データ信号 $S(i)$ の直流レベル $VSDc$ を基準として極性が反転するので、図8(F)に示すように、チャージシェア期間 Tsh においてデータ信号 $S(i)$ の直流レベル $VSDc$ にほぼ等しくなる。ただし、ここでは理想的なデータ信号波形を記載しており、実際には後述するチャージシェア制御信号線 $GshLj$ に接続されたチャージシェア $TFT12$ の動作により、後述の図10に示すようにソースラインの電位 Vs が、チャージシェア期間 Tsh 内に、上記直流レベル $VSDc$ にほぼ等しい中間電位に到達することが可能となる（以下ではこの中間電位をも符号“ $VSDc$ ”で示すものとする）。ちなみに、データ信号の極性反転時に隣接ソースラインを短絡することで各ソースラインの電圧をデータ信号 $S(i)$ の直流レベル $VSDc$ に等しくするという構成は、図7に示した構成に限定されるものではない。

【0074】

ゲートドライバ400は、ゲートスタートパルス信号 GSP およびゲートクロック信号 GCK と、ゲートドライバ出力制御信号 GOE とに基づき、各データ信号 $S(1) \sim S(N)$ を各画素形成部（の画素容量 Cp ）に書き込むために、デジタル画像信号 DA の各フレーム期間（各垂直走査期間）においてゲートライン $GL1 \sim GL2M$ をほぼ1水平期間ずつ順次選択する。すなわち、ゲートドライバ400は、図8(C)および図8(D)に示すような画素データ書込パルス Pw を含む走査信号 $G(1) \sim G(2M)$ をゲートライン $GL1 \sim GL2M$ にそれぞれ印加する。これにより、パルス Pw が印加されているゲートライン GLj は選択状態となり、選択状態のゲートライン GLj に接続された画素 $TFT10$ がオン状態となる（非選択状態のゲートラインに接続された画素 $TFT10$ はオフ状態となる）。ここで、画素データ書込パルス Pw は水平期間($1H$)のうち表示期間に相当する有効走査期間でHレベルとなる。

【0075】

この画素データ書き込みパルス Pw によって或る画素 $TFT10$ がオン状態である間、当該画素 TFT のソース端子に接続されたソースライン SLi の電位が当該画素 $TFT10$ を介して画素電極 Ep に与えられる。これにより、ソースライン SLi の電圧としてのデータ信号 $S(i)$ が当該画素電極 Ep に対応する画素容量 Cp に書き込まれる。その後、当該画素 $TFT10$ がオフ状態になると、その画素容量 Cp に書き込まれた電圧は、当該画素 TFT に接続されたゲートライン GLj に次の画素データ書き込みパルス Pw が印加されるまで（ゲートライン GLj の次の選択まで）、画素データとして当該画素容量 C

10

20

30

40

50

pに保持される。

【0076】

チャージシエア制御回路500は、チャージシエア信号Cshに基づき、図8(E)に示すようなチャージシエアパルスPshを含むマトリクス基板用チャージシエア制御信号Gshを生成し、これを各チャージシエア制御信号線GshL1~GshL2Mに印加する。これにより、チャージシエア期間Tshにおいて、チャージシエア制御信号線GshL1~GshL2Mが一括選択され、全てのチャージシエアTFT12がオン状態となる。ここで、チャージシエアパルスPshは1水平期間(1H)のうちブランキング期間に相当するチャージシエア期間Tsh内でHレベルとなる。

【0077】

図9は、チャージシエア方式が採用された従来の2Hドット反転駆動の液晶表示装置におけるアクティブマトリクス基板の動作を示す詳細な信号波形図である。この従来の液晶表示装置では、各ソースラインSLiの電位Vsは、チャージシエア期間Tsh内に中間電位Vsdに達しないことから、極性反転の単位である2ラインのうちの1ライン目の画素容量の充電量と2ライン目の画素容量の充電量とに差が生じ、この差が輝度差となって現れ、ライン状の横筋ムラが視認されることがある。

【0078】

これに対し本実施形態では、チャージシエア期間Tshの間は、ソースドライバ300の出力部304(図7参照)におけるチャージシエア動作に加え、アクティブマトリクス基板110において各チャージシエア制御信号線GshLjに接続されたチャージシエアTFT12によってソースラインSL1~SLNが互いに短絡される。これにより、ソースライン間の電荷の移動が促進される。その結果、図10に示すように、チャージシエア期間Tshにデータ信号S(i)の直流レベルVsdに等しい中間電位に各ソースラインSLiの電位Vsが到達するので、横筋ムラの発生を抑制することができる。また、本実施形態では、チャージシエアTFT12が画素毎に存在し、そのチャージシエアTFT12をオンおよびオフするためのチャージシエア制御信号線GshLjが1画素行毎に存在することから、これらのチャージシエアTFT12やチャージシエア制御信号線GshLjの配置は、アクティブマトリクス基板110によって形成されるべき画像の画素配置に整合しており、チャージシエアTFT12やチャージシエア制御信号線GshLjの追加によって画素配置の規則性が乱されることもない。

【0079】

<1.2 問題点>

一般に、TFTを使用したアクティブマトリクス型の液晶表示装置では、各画素形成部における画素TFT10のゲート・ドレイン間に寄生容量Cgdが存在する。この寄生容量Cgdの存在により、各画素形成部における画素電極の電圧(以下「画素電圧」という)Vdは、その画素電極に接続されるTFT10がオン状態(導通状態)からオフ状態(遮断状態)へと切り替わる時に、画素容量Cpと寄生容量Cgdとの比に応じて低下する(以下、寄生容量Cgdに起因するこのような画素電圧の変化を「レベルシフト」と呼び、この変化量を「引き込み電圧」と呼んで記号“Vd”で示すものとする)。具体的には、図11(A)および図11(B)に示すように、いずれかのゲートラインGLjに印加される走査信号G(j)の電圧であるゲート電圧Vg(j)がオン電圧Vghとなって(時刻t1またはt3)、当該ゲートラインGLjに接続された画素TFT10を介してソースラインSLiの電圧VsnまたはVspが画素電極に与えられた後に、そのゲート電圧Vg(j)がオフ電圧Vglへと変化すると(時刻t2またはt4)、画素電圧Vdは、次式で表される引き込み電圧Vdだけ低下する(j=1,2,...,2M; i=1,2,...,N)。

$$Vd = (Vgh - Vgl) \cdot Cgd / (Cp + Cgd) \dots (1)$$

液晶はそれに印加される電圧によって誘電率が変化するので、画素容量Cpは画素の階調によって異なる値を持つ。したがって、上記引き込み電圧Vdも画素の階調によって異なる。

10

20

30

40

50

【 0 0 8 0 】

一般に液晶表示装置では、液晶への印加電圧の極性が共通電極 E c の電位すなわち対向電圧を基準として所定周期で反転し、液晶における光の透過率はそれへの印加電圧の実効値に応じて変化する。したがって、フリッカの無い表示を得るには、液晶への印加電圧の平均値が“ 0 ”になるように対向電圧に対してソースラインの電圧（ソース電圧）すなわちデータ信号の値を上記引き込み電圧 V_d だけ補正する必要がある。この引き込み電圧 V_d は、上記のように、画素の階調によって異なる。そこで、全ての階調についてフリッカの無い表示を得るために、ソース電圧は、表示すべき画素の階調に応じて補正される。すなわち、ソース電圧の補正量は表示階調によって異なる。

【 0 0 8 1 】

ところで、チャージシェア期間 T_{sh} 直後のソース電圧（以下「チャージシェア電圧」という）は、そのチャージシェア期間直前における各ソースドライバの全ソースラインについての電圧の平均値にほぼ等しい。上記のようにソース電圧の補正量が画素の階調によって異なるので、図 1 2 に示すように、チャージシェア電圧は表示階調によって異なる。

【 0 0 8 2 】

図 1 2 は、輝度の高い画素を表示する場合の画素電圧（以下「高輝度画素電圧」という） $V_d(B)$ の電圧波形 $W_d(B)$ と、輝度の低い画素を表示する場合の画素電圧（以下「低輝度画素電圧」という） $V_d(D)$ の電圧波形 $W_d(D)$ と、高輝度画素電圧 $V_d(B)$ を与えるためのデータ信号の電圧電圧（以下「高輝度ソース電圧」という） $V_s(B)$ の電圧波形 $W_s(B)$ と、低輝度画素電圧 $V_d(D)$ を与えるためのデータ信号の電圧（以下「低輝度ソース電圧」という） $V_s(D)$ の電圧波形 $W_s(D)$ とを示している。ただし、高輝度画素電圧の電圧波形 $W_d(B)$ および低輝度画素電圧の電圧波形 $W_d(D)$ と、高輝度ソース電圧の電圧波形 $W_s(B)$ および低輝度ソース電圧の電圧波形 $W_s(D)$ とでは、時間軸のスケールが異なっている。なお、この図 1 2 において、“ $V_{sp}(B)$ ” は高輝度ソース電圧 $V_s(B)$ の最大値を、“ $V_{sn}(B)$ ” は高輝度ソース電圧 $V_s(B)$ の最小値をそれぞれ示し、“ $V_{sp}(D)$ ” は低輝度ソース電圧 $V_s(D)$ の最大値を、“ $V_{sn}(D)$ ” は低輝度ソース電圧 $V_s(D)$ の最小値をそれぞれ示している。また、“ $V_{csh}(B)$ ” は、高輝度ソース電圧 $V_s(B)$ がソースラインに与えられた場合のチャージシェア電圧を、“ $V_{csh}(D)$ ” は、低輝度ソース電圧 $V_s(D)$ がソースラインに与えられた場合のチャージシェア電圧をそれぞれ示している。

【 0 0 8 3 】

この図 1 2 からわかるように、高輝度画素電圧 $V_d(B)$ と低輝度画素電圧 $V_d(D)$ とで引き込み電圧 V_d が異なり、高輝度ソース電圧 $V_s(B)$ と低輝度ソース電圧 $V_s(D)$ とで上記補正量が異なることから、ソースラインに高輝度ソース電圧 $V_s(B)$ が与えられる場合のチャージシェア電圧 $V_{csh}(B)$ と低輝度ソース電圧 $V_s(D)$ が与えられる場合のチャージシェア電圧 $V_{csh}(D)$ とは、異なっている。すなわち、表示階調によってチャージシェア電圧 V_{csh} が異なる。

【 0 0 8 4 】

上記第 1 の実施形態における液晶表示装置では、チャージシェア期間 T_{sh} 直後のソース電圧であるチャージシェア電圧 V_{csh} が、ソース電圧が補正されることから表示階調によって異なる（図 1 2 (B) 参照）。その結果、図 1 0 に示されている電圧 V_{SDc} が表示パターンによって異なり、横筋ムラが抑制できない場合がある。そこで次に、上記第 1 の実施形態におけるこのような問題を解決するように構成された液晶表示装置の一例を第 2 の実施形態として説明する。

【 0 0 8 5 】

< 2 . 第 2 の実施形態 >

本実施形態に係る液晶表示装置の全体的な構成は、上記第 1 の実施形態に係る液晶表示装置と同様であって図 4 に示す通りであり、同一または対応する部分には同一の参照符号を付すものとし、詳しい説明を省略する。本実施形態ではソースドライバの内部構成において上記第 1 の実施形態におけるソースドライバ 3 0 0 と異なる点がある。そこで以下で

10

20

30

40

50

は、そのソースドライバの構成について説明する。

【 0 0 8 6 】

本実施形態におけるソースドライバも、上記第 1 の実施形態と同様、図 6 に示すように、データ信号生成部 3 0 2 と出力部 3 0 4 とから構成されているが、出力部 3 0 4 の内部構成が第 1 の実施形態と相違する。データ信号生成部 3 0 2 の内部構成および動作は従来および上記第 1 の実施形態と同様であるので説明を省略する。

【 0 0 8 7 】

図 1 3 は、本実施形態におけるソースドライバの出力部 3 0 4 の第 1 の構成例を示す回路図である。この構成例による出力部 3 0 4 は、スイッチング素子としての N 個の第 1 の MOS トランジスタ $S W a$ および $(N - 1)$ 個の第 2 の MOS トランジスタ $S W b$ と、インバータ 3 3 とからなるスイッチ回路を含んでおり、この点では、上記第 1 の実施形態におけるソースドライバ 3 0 0 の出力部 3 0 4 (図 7) と同様である。しかし、この第 1 の構成例による出力部 3 0 4 は、上記第 1 の実施形態におけるソースドライバ 3 0 0 の出力部 3 0 4 と異なり、チャージシェア電圧固定用電源 3 5 を含み、このチャージシェア電圧固定用電源 3 5 の正極がスイッチング素子としての第 3 の MOS トランジスタ $S W b 2$ を介して、いずれかのソースライン $S L (i)$ に接続されるべきソースドライバの出力端子に接続されている (図 1 3 に示した例では、 n 番目のソースライン $S L n$ に接続されるべき出力端子に接続されている)。そして、第 3 の MOS トランジスタ $S W b 2$ のゲート端子には、チャージシェア制御信号 $C s h$ が与えられ、チャージシェア電圧固定用電源 3 5 の負極は接地されている。このチャージシェア電圧固定用電源 3 5 は、 $V S d c$ に相当する固定電圧 $E s h$ を与える電圧供給部である。この電圧 $E s h$ は、0 階調の負極性のデータ信号 $S (i)$ の値から 0 階調の正極性のデータ信号 $S (i)$ の値までの電圧範囲にあればよいが、データ信号 $S (i)$ の最大値と最小値との間の中央値であることが好ましい。

【 0 0 8 8 】

上記のような第 1 の構成例によっても、第 1 の実施形態におけるソースドライバと同様、チャージシェア制御信号 $C s h$ に基づき、チャージシェア期間 $T s h$ 以外 (の有効走査期間) では、データ信号生成部 3 0 2 で生成されたアナログ電圧信号 $d (1) \sim d (N)$ がバッファ 3 1 を介してデータ信号 $S (1) \sim S (N)$ として出力されてソースライン $S L 1 \sim S L N$ に印加され、チャージシェア期間 $T s h$ では、データ信号 $S (1) \sim S (N)$ のソースライン $S L 1 \sim S L N$ への印加が遮断されると共に隣接ソースラインが互いに短絡される (結果的に全ソースライン $S L 1 \sim S L N$ が互いに短絡される)。これに加えて、この第 1 の構成例によれば、チャージシェア期間 $T s h$ において各ソースライン $S L i (i = 1 \sim N)$ にチャージシェア電圧固定用電源 3 5 の電圧 $E s h$ が与えられる (図 1 3 参照)。このため、引き込み電圧 $V d$ の階調依存性を補償するためにソース電圧の補正量が表示階調によって異なっても、チャージシェア期間 $T s h$ においてチャージシェア電圧を常に同一の電圧 $E s h$ とすることができる。これにより、横筋ムラの発生を抑制することができる。なお、電圧供給部の電圧 $E s h$ は、上記のようにデータ信号 $S (i)$ の最大値と最小値との間の中央値とするのが好ましく、このようにすれば、画素電極に印加すべきデータ信号 $S (i)$ の極性によらず画素容量の充電量を均一化することができる。

【 0 0 8 9 】

ところで、図 1 3 からわかるように上記第 1 の構成例では、多くのソースラインは複数個の MOS トランジスタ $S W b$ を介してチャージシェア電圧固定用電源 3 5 に接続される。このため、全てのソースライン $S L 1 \sim S L N$ の電圧が同一のチャージシェア電圧 $E s h$ に落ち着くまでに時間を要する。

【 0 0 9 0 】

そこで次に、チャージシェア期間 $T s h$ において全てのソースライン $S L 1 \sim S L N$ が短時間で同一の電圧 $E s h$ となるために好適なソースドライバの出力部を第 2 の構成例として説明する。

【 0 0 9 1 】

図 1 4 は、本実施形態におけるソースドライバの出力部 3 0 4 の第 2 の構成例を示す回

10

20

30

40

50

路図である。この構成例による出力部304における構成要素のうち第1の構成例におけるものと同一の構成要素については、同一の参照符号を付して説明を省略する。

【0092】

本構成例による出力部304も、第1の構成例と同様、各ソースライン SL_i ($i = 1 \sim N$) に対しスイッチング素子としての第2のMOSトランジスタ SW_c が1個ずつ設けられている。しかし、第1の構成例では、隣接ソースライン間に1個ずつ第2のMOSトランジスタ SW_b が挿入されるようにスイッチ回路が構成されるのに対し、本構成例では、各ソースライン SL_i とチャージシェア電圧固定用電源35との間に1個ずつ第2のMOSトランジスタ SW_c が挿入されるようにスイッチ回路が構成される。すなわち本構成例では、各ソースライン SL_i に接続されるべきソースドライバの出力端子は、これら第2のMOSトランジスタ SW_c のいずれか1つを介してチャージシェア電圧固定用電源35の正極に接続されている。そして、これら第2のMOSトランジスタ SW_c のゲート端子のいずれにもチャージシェア制御信号 Csh が与えられる。

10

【0093】

上記のような第2の構成例によっても、第1の構成例や第1の実施形態におけるソースドライバと同様、チャージシェア制御信号 Csh に基づき、チャージシェア期間 Tsh 以外(の有効走査期間)では、データ信号生成部302で生成されたアナログ電圧信号 $d(1) \sim d(N)$ がバッファ31を介してデータ信号 $S(1) \sim S(N)$ として出力されてソースライン $SL_1 \sim SL_N$ に印加され、チャージシェア期間 Tsh では、データ信号 $S(1) \sim S(N)$ のソースライン $SL_1 \sim SL_N$ への印加が遮断されると共に全ソースライン $SL_1 \sim SL_N$ が互いに短絡される。これに加えて、チャージシェア期間 Tsh において各ソースライン SL_i ($i = 1 \sim N$) にチャージシェア電圧固定用電源35の電圧 Esh が与えられる(図14参照)。このため、引き込み電圧 Vd の階調依存性を補償するためにソース電圧の補正量が表示階調によって異なっても、チャージシェア期間 Tsh においてチャージシェア電圧を常に同一の電圧 Esh とすることができる。しかも、この第2の構成例によれば、チャージシェア期間 Tsh において各ソースライン SL_i ($i = 1 \sim N$) には、1つのMOSトランジスタ SW_c のみを介してチャージシェア電圧固定用電源35の電圧 Esh が与えられる。したがって、チャージシェア期間 Tsh において各ソースライン SL_i の電圧を同一の電圧 Esh にする際の時間を短縮することができ、この第2の構成例は横筋ムラの発生を抑制する構成として好適である。

20

30

【0094】

<3. 第3の実施形態>

本発明は、表示部100の上半分と下半分を別個の駆動回路で駆動する方式(以下「上下分割駆動方式」)の液晶表示装置にも適用可能である。以下、本発明に係るアクティブマトリクス基板を使用したこのような液晶表示装置の一例を第3の実施形態として説明する。

【0095】

図15は、本実施形態に係る液晶表示装置の構成を示すブロック図である。この液晶表示装置のアクティブマトリクス基板112では、各ソースラインは、中央で電氣的に互いに分離された上部ソースライン SL_i (上)と下部ソースライン SL_i (下)からなる。このアクティブマトリクス基板112の他の構成は、上記第1の実施形態におけるアクティブマトリクス基板110と同様である。したがって、このアクティブマトリクス基板112の画素回路の構成も、第1の実施形態におけるアクティブマトリクス基板110の画素回路と同様であり、隣接4画素に相当する部分101の等価回路は図5に示す通りである。

40

【0096】

アクティブマトリクス基板112の各ソースラインが上記のように上下に分離されていることに対応して、ソースドライバは、上部ソースライン SL_1 (上) $\sim SL_N$ (上)を駆動する上部ソースドライバ300aと、下部ソースライン SL_1 (下) $\sim SL_N$ (下)を駆動する下部ソースドライバ300bとからなる。また、ゲートドライバは、上部ソー

50

スライン $SL1(上) \sim SLN(上)$ と交差する M 本のゲートライン $GL1 \sim GLM$ を駆動する上部ゲートドライバ $400a$ と、下部ソースライン $SL1(下) \sim SLN(下)$ と交差する M 本のゲートライン $GLM+1 \sim GL2M$ を駆動する下部ゲートドライバ $400b$ とからなる。そして、チャージシェア制御回路は、上部ソースライン $SL1(上) \sim SLN(上)$ と交差する M 本のチャージシェア制御信号線 $GshL1 \sim GshLM$ にマトリクス基板用チャージシェア制御信号 Gsh を印加する上部 CSH 制御回路 $500a$ と、下部ソースライン $SL1(下) \sim SLN(下)$ と交差する M 本のチャージシェア制御信号線 $GshLM+1 \sim GshL2M$ にマトリクス基板用チャージシェア制御信号 Gsh を印加する下部 CSH 制御回路 $500b$ とからなる。

【0097】

また、表示制御回路 200 は、ソースドライバに供給されるべきデジタル画像信号として、上部ソースドライバ $300a$ に供給される上部デジタル画像信号 DAa と、下部ソースドライバ $300b$ に供給される下部デジタル画像信号 DAb とを生成し、ゲートドライバに供給されるべきゲートスタートパルス信号として、上部ゲートドライバ $400a$ に供給される上部ゲートスタートパルス信号 $GSPa$ と、下部ゲートドライバ $400b$ に供給される下部ゲートスタートパルス信号 $GSPb$ とを生成する。上部ソースドライバ $300a$ は、上部ソースライン $SL1(上) \sim SLN(上)$ に印加すべきデータ信号 $Sa(1) \sim Sa(N)$ を上部デジタル画像信号 DAa を用いて生成し、下部ソースドライバ $300b$ は、下部ソースライン $SL1(下) \sim SLN(下)$ に印加すべきデータ信号 $Sb(1) \sim Sb(N)$ を下部デジタル画像信号 DAb を用いて生成する。上部ゲートドライバ $400a$ は、ゲートライン $GL1 \sim GLM$ に印加すべき走査信号 $G(1) \sim G(M)$ を上部ゲートスタートパルス $GSPa$ を用いて生成し、下部ゲートドライバ $400b$ は、ゲートライン $GLM+1 \sim GL2M$ に印加すべき走査信号 $G(M+1) \sim G(2M)$ を下部ゲートスタートパルス $GSPb$ を用いて生成する。この液晶表示装置における上記以外の構成は、第1の実施形態と同様であるので、同一部分には同一の符号を付して説明を省略する。

【0098】

上記のような構成の液晶表示装置においても、チャージシェア期間 Tsh の間は、上部および下部ソースドライバ $300a$, $300b$ におけるチャージシェア動作に加え、アクティブマトリクス基板 112 において各チャージシェア制御信号線 $GshLj$ に接続されたチャージシェア $TFT12$ によってソースライン $SL1 \sim SLN$ が互いに短絡されるので、上記第1の実施形態と同様の効果が得られる。

【0099】

< 4 . 第4の実施形態 >

次に、黒表示期間の挿入（黒挿入）により表示をインパルス化する方式を採用した本発明に係る液晶表示装置の一例を、本発明の第4の実施形態として説明する。本実施形態に係る液晶表示装置の全体的な構成は、上記第1の実施形態に係る液晶表示装置と同様であって図4に示す通りであり、同一または対応する部分には同一の参照符号を付すものとし、詳しい説明を省略する。本実施形態ではゲートドライバの内部構成が上記第1の実施形態におけるゲートドライバ 400 等の通常のゲートドライバと相違する。そこで以下では、本実施形態につきゲートドライバを中心に説明する。

【0100】

本実施形態におけるゲートドライバは、ゲートスタートパルス信号 GSP およびゲートクロック信号 GCK と、ゲートドライバ出力制御信号 $GOEr$ ($r = 1, 2, \dots, q$) とに基づき、各データ信号 $S(1) \sim S(N)$ を各画素形成部（の画素容量 Cp ）に書き込むために、デジタル画像信号 DA の各フレーム期間においてゲートライン $GL1 \sim GLM$ をほぼ1水平期間（有効走査期間）ずつ順次選択すると共に、後述の黒挿入のために、表示制御回路 200 からのチャージシェア制御信号 Csh が H レベルとなる1水平期間毎のチャージシェア期間 Tsh のうち各走査信号線 GLj につき予め選ばれたチャージシェア期間 Tsh 内において所定期間（後述の図17に示す黒電圧印加パルス Pb に相当する期間）だけゲートライン GLj を選択する（ $j = 1 \sim 2M$ ）。

10

20

30

40

50

【 0 1 0 1 】

図 1 6 (A) (B) は、ゲートドライバ 4 0 0 の一構成例を示すブロック図である。この構成例によるゲートドライバ 4 0 0 は、シフトレジスタを含む複数個 (q 個) の部分回路としてのゲートドライバ用 I C (Integrated Circuit) チップ 4 1 1 , 4 1 2 , … , 4 1 q からなる。

【 0 1 0 2 】

各ゲートドライバ用 I C チップは、図 1 6 (B) に示すように、シフトレジスタ 4 0 と、当該シフトレジスタ 4 0 の各段に対応して設けられた第 1 および第 2 の AND ゲート 4 1 , 4 3 と、第 2 の AND ゲート 4 3 の出力信号 $g_1 \sim g_p$ に基づき走査信号 $G_1 \sim G_p$ を出力する出力部 4 5 とを備え、外部からスタートパルス信号 SP_i 、クロック信号 CK および出力制御信号 OE を受け取る。スタートパルス信号 SP_i はシフトレジスタ 4 0 の入力端に与えられ、シフトレジスタ 4 0 の出力端からは、後続のゲートドライバ用 I C チップに入力されるべきスタートパルス信号 SP_o を出力する。また、第 1 の AND ゲート 4 1 のそれぞれにはクロック信号 CK の論理反転信号が入力され、第 2 の AND ゲート 4 3 のそれぞれには出力制御信号 OE の論理反転信号が入力される。そして、シフトレジスタ 4 0 の各段の出力信号 Q_k ($k = 1 \sim p$) は、当該段に対応する第 1 の AND ゲート 4 1 に入力され、当該第 1 の AND ゲート 4 1 の出力信号は当該段に対応する第 2 の AND ゲート 4 3 に入力される。

【 0 1 0 3 】

本構成例によるゲートドライバは、図 1 6 (A) に示すように、上記構成の複数 (q 個) のゲートドライバ用 I C チップ 4 1 1 ~ 4 1 q が縦続接続されることによって実現される。すなわち、ゲートドライバ用 I C チップ 4 1 1 ~ 4 1 q 内のシフトレジスタ 4 0 が 1 つのシフトレジスタを形成するように (以下、このように縦続接続によって形成されるシフトレジスタを「結合シフトレジスタ」という)、各ゲートドライバ用 I C チップ内のシフトレジスタの出力端 (スタートパルス信号 SP_o の出力端子) が次のゲートドライバ用 I C チップ内のシフトレジスタの入力端 (スタートパルス信号 SP_i の入力端子) に接続される。ただし、先頭のゲートドライバ用 I C チップ 4 1 1 内のシフトレジスタの入力端には、表示制御回路 2 0 0 からゲートスタートパルス信号 GSP が入力され、最後尾のゲートドライバ用 I C チップ 4 1 q 内のシフトレジスタの出力端は外部と未接続となっている。また、表示制御回路 2 0 0 からのゲートクロック信号 GCK は、各ゲートドライバ用 I C チップ 4 1 1 ~ 4 1 q にクロック信号 CK として共通に入力される。一方、表示制御回路 2 0 0 において生成されるゲートドライバ出力制御信号 $G OE$ は第 1 ~ 第 q のゲートドライバ出力制御信号 $G OE_1 \sim G OE_q$ からなり、これらのゲートドライバ出力制御信号 $G OE_1 \sim G OE_q$ は、ゲートドライバ用 I C チップ 4 1 1 ~ 4 1 q に出力制御信号 OE としてそれぞれ個別に入力される。

【 0 1 0 4 】

次に、図 1 7 を参照しつつ上記構成例によるゲートドライバの動作について説明する。表示制御回路 2 0 0 は、図 1 7 (A) に示すように、画素データ書込パルス Pw に対応する期間 T_{spw} と 3 個の黒電圧印加パルス Pb に対応する期間 T_{spb} だけ H レベル (アクティブ) となる信号をゲートスタートパルス信号 GSP として生成すると共に、図 1 7 (B) に示すように、1 水平期間 (1 H) 毎に所定期間だけ H レベルとなるゲートクロック信号 GCK を生成する。このようなゲートスタートパルス信号 GSP およびゲートクロック信号 GCK が図 1 6 (A) のゲートドライバに入力されると、先頭のゲートドライバ用 I C チップ 4 1 1 のシフトレジスタ 4 0 の初段の出力信号 Q_1 として、図 1 7 (C) に示すような信号が出力される。この出力信号 Q_1 は、各フレーム期間において、画素データ書込パルス Pw に対応する 1 個のパルス Pqw と、3 個の黒電圧印加パルス Pb に対応する 1 個のパルス $Pqbw$ とを含み、これらの 2 個のパルス Pqw と $Pqbw$ との間は所定期間 Thd だけ離れている。このような 2 個のパルス Pqw および $Pqbw$ がゲートクロック信号 GCK に従ってゲートドライバ内の結合シフトレジスタを順次転送されていく。それに応じて結合シフトレジスタの各段から、図 1 7 (C) に示すような波形の信号

10

20

30

40

50

が1水平走査期間(1H)ずつ順次ずれて出力される。

【0105】

また、表示制御回路200は、既述のように、ゲートドライバを構成するゲートドライバ用ICチップ411~41qに与えるべきゲートドライバ出力制御信号GOE1~GOE_qを生成する。ここで、r番目のゲートドライバ用ICチップ41rに与えるべきゲートドライバ出力制御信号GOE_rは、当該ゲートドライバ用ICチップ41r内のシフトレジスタ40のいずれかの段から画素データ書込パルスP_wに対応するパルスP_{qw}が出力されている期間では、画素データ書込パルスP_wの調整のためにゲートクロック信号GCKのパルス近傍の所定期間T_{ad}でHレベルとなることを除きLレベルとなり、それ以外の期間では、ゲートクロック信号GCKがHレベルからLレベルに変化した直後の所定期間T_{oe}だけLレベルとなることを除きHレベルとなる。ただし、この所定期間T_{oe}は、いずれかのチャージシェア期間T_{sh}に含まれるように設定される。例えば、先頭のゲートドライバ用ICチップ411には、図17(D)に示すようなゲートドライバ出力制御信号GOE1が与えられる。なお、画素データ書込パルスP_wの調整のためにゲートドライバ出力制御信号GOE1~GOE_qに含まれるパルス(これは上記所定期間T_{ad}でHレベルとなることに相当し、以下「書込期間調整パルス」という)は、必要な画素データ書込パルスP_wに応じて、ゲートクロック信号GCKの立ち上がりよりも早く立ち上がったり、ゲートクロック信号GCKの立ち下がりよりも遅く立ち下がったりする。また、このような書込期間調整パルスを使用せずに、ゲートクロック信号GCKのパルスだけで画素データ書込パルスP_wを調整するようにしてもよい。

10

20

【0106】

各ゲートドライバ用ICチップ41r(r=1~q)では、上記のようなシフトレジスタ40各段の出力信号Q_k(k=1~p)、ゲートクロック信号GCKおよびゲートドライバ出力制御信号GOE_rに基づき、第1および第2のANDゲート41,43により、内部走査信号g₁~g_pが生成され、それらの内部走査信号g₁~g_pが出力部45でレベル変換されて、ゲートラインに印加すべき走査信号G₁~G_pが出力される。これにより、図17(E)(F)に示すように、ゲートラインGL₁~GL_Mには、順次画素データ書込パルスP_wが印加されると共に、各ゲートラインGL_j(j=1~2M)では、画素データ書込パルスP_wの印加終了時点(立ち下がり時点)から所定期間T_{hd}だけ経過した時点で、黒電圧印加パルスP_bが印加され、その後、1水平期間(1H)間隔で2個の黒電圧印加パルスP_bが印加される。このようにして3個の黒電圧印加パルスP_bが印加された後は、次のフレーム期間の画素データ書込パルスP_wが印加されるまでLレベルが維持される。

30

【0107】

次に図18を参照しつつ、本実施形態における上記のソースドライバ300およびゲートドライバ400による表示部100(図4、図5)の駆動について説明する。表示部100における各画素形成部では、それに含まれるTF_{T10}のゲート端子に接続されるゲートラインGL_jに画素データ書込パルスP_wが印加されることにより、当該TF_{T10}がオンし、当該TF_{T10}のソース端子に接続されるソースラインSL_iの電圧がデータ信号S(i)の値として当該画素形成部に書き込まれる。すなわちソースラインSL_iの電圧が画素容量C_pに保持される。その後、当該ゲートラインGL_jは黒電圧印加パルスP_bが現れるまでの期間T_{hd}は非選択状態となるので、当該画素形成部に書き込まれた電圧がそのまま保持される。

40

【0108】

黒電圧印加パルスP_bは、その非選択状態の期間(以下「画素データ保持期間」という)T_{hd}の後のチャージシェア期間T_{sh}にゲートラインGL_jに印加される。既述のようにチャージシェア期間T_{sh}では、各データ信号S(i)の値すなわち各ソースラインSL_iの電圧は、データ信号S(i)の直流レベルにほぼ等しくなる(すなわち黒電圧となる)。したがって、当該ゲートラインGL_jへの黒電圧印加パルスP_bの印加により、当該画素形成部の画素容量C_pに保持される電圧は、黒表示に対応する電圧(黒電圧)に

50

向かって変化する。しかし、黒電圧印加パルス P_b のパルス幅は短いので、画素容量 C_p における保持電圧を確実に黒電圧にするために、図 18 (D) (E) に示すように、各フレーム期間において 1 水平走査期間 (1H) 間隔で 3 個の黒電圧印加パルス P_b が続けて当該ゲートライン GL_j に印加される。これにより、当該ゲートライン GL_j に接続される画素形成部によって形成される画素の輝度 (画素容量での保持電圧によって決まる透過光量) $L(j, i)$ は、図 18 (H) に示すように変化する。

【0109】

したがって、各ゲートライン GL_j に接続される画素形成部に対応する 1 表示ラインにおいて、画素データ保持期間 T_{hd} ではデジタル画像信号 DA に基づく表示が行われ、その後上記 3 個の黒電圧印加パルス P_b が印加されてから次に当該ゲートライン GL_j に画素データ書込パルス P_w が印加される時点までの期間 T_{bk} では黒表示が行われる。このようにして、黒表示の行われる期間 (以下「黒表示期間」という) T_{bk} が各フレーム期間に挿入されることにより、液晶表示装置による表示のインパルス化が行われる。

10

【0110】

図 18 (D) (E) からわかるように、画素データ書込パルス P_w の現れる時点は走査信号 $G(j)$ 毎に 1 水平走査期間 (1H) ずつずれているので、黒電圧印加パルス P_b の現れる時点も走査信号 $G(j)$ 毎に 1 水平走査期間 (1H) ずつずれている。したがって、黒表示期間 T_{bk} も 1 表示ライン毎に 1 水平走査期間 (1H) ずつずれて、全ての表示ラインにつき同じ長さの黒挿入が行われる。このようにして、画素データ書込のための画素容量 C_p での充電期間を短縮することなく、十分な黒挿入期間が確保される。また、黒挿入のためにソースドライバ 300 等の動作速度を上げる必要もない。

20

【0111】

上記第 4 の実施形態では、図 18 (D) ~ (G) に示すように、画素データ書込パルス P_w と黒電圧印加パルス P_b とが時間的に重なっている。例えば、走査信号 $G(j+m)$ の画素データ書込パルス P_w が走査信号 $G(j)$ の黒電圧印加パルス P_b と時間的に重なっており、走査信号 $G(j+m+1)$ の画素データ書込パルス P_w が走査信号 $G(j)$ および $G(j+1)$ の黒電圧印加パルス P_b と時間的に重なっている。ここで、1 フレーム期間において各走査信号 $G(j)$ ($j = 1, 2, \dots, 2M$) に含まれる黒電圧印加パルス P_b の個数 (以下「1 フレーム当たりの黒電圧印加パルス数」という) を増やすと、画素データ書込パルス P_w と時間的に重なる黒電圧印加パルス P_b の個数も増える。これによりアクティブマトリクス基板 100 上のゲートライン $GL_1 \sim GL_{2M}$ のうち同時に H レベルとなるゲートラインの本数が増えるので、当該 H レベルを与えるための電源の負荷が増大することになり、画素データ書込パルス P_w および黒電圧印加パルス P_b の波形が鈍る。黒電圧印加パルス P_b の時間幅は画素データ書込パルス P_w の時間幅に比べて格段に短いので、この波形鈍りは主として黒電圧印加パルス P_b に影響する。図 18 (H) からわかるように、1 フレーム当たりの黒電圧印加パルス数を 1 から増やしていくと、黒表示期間 T_{bk} において画素の輝度がより十分な黒レベルとなるが、上記のように黒電圧印加パルスの波形鈍りの影響も大きくなるので、1 フレーム当たりの黒電圧印加パルス数を所定個数以上増やすと、黒表示期間 T_{bk} において画素の輝度を十分な黒レベルとすることができなくなる。また、近年、アクティブマトリクス基板を使用した表示装置において、解像度の向上や、フレーム周波数を高めて補間画像の画素データを画素形成部に書き込むような動画視認性改善技術が求められており、このような状況下では、画素データ書込パルス P_w と黒電圧印加パルス P_b との時間的な重なりによる画素データ書込パルス P_w の波形鈍りが、画素データの書込不足 (画素容量の充電不足) につながる虞もある。

30

40

【0112】

そこで、図 19 に示すように、画素データ書込パルス P_w と黒電圧印加パルス P_b とが時間的に重ならないような走査信号 $G(1) \sim G(2M)$ がアクティブマトリクス基板 100 上のゲートライン $GL_1 \sim GL_{2M}$ にそれぞれ印加される構成とするのが好ましい。上記第 4 の実施形態 (図 18 参照) とは異なり、図 19 に示す例では、各走査信号 $G(k)$ ($k = 1 \sim 2M$) における画素データ書込パルス P_w は、いずれの走査信号における黒

50

電圧印加パルスとも時間的に重ならない(図19(D)~(G))。ゲートドライバをこのような走査信号 $G(1) \sim G(2M)$ が出力される構成とすることにより、同時にHレベルとなるゲートラインの本数(同時にHレベルとなる走査信号の個数)が少なくなる。その結果、黒表示期間 T_{bk} において画素の輝度を十分な黒レベルとしつつ、画素データ書込パルス P_w の波形鈍りによる画素容量の充電不足を抑制することができる。

【0113】

<5.変形例>

上記第1の実施形態では、チャージシェア用のスイッチング素子として、ソースドライバの出力部304にMOSトランジスタ S_{wb} が設けられると共に(図7)、アクティブマトリクス基板110にチャージシェア TFT_{12} が設けられている(図4、図5)。しかし、チャージシェア期間 T_{sh} 内にソースライン SL_i の電位をデータ信号 $S(i)$ の直流レベル V_{sd} に等しい中間電位に到達させることができるのであれば、ソースドライバの出力部304におけるチャージシェア用のスイッチング素子(MOSトランジスタ S_{wb})を省略してもよい。

【0114】

また、上記第1~第4の実施形態におけるアクティブマトリクス基板では、各ゲートライン GL_j に沿ってチャージシェア制御信号線 G_{shL_j} が配設されており($j=1, 2, \dots, 2M$)、各ソースライン SL_i につき、ゲートラインの本数($2M$)に等しい個数のチャージシェア TFT_{12} が設けられている($i=1, 2, \dots, N$)(図4、図5等)。しかし、本発明はこのような構成に限定されるものではなく、チャージシェア期間 T_{sh} 内に、各ソースラインの電位をデータ信号 $S(i)$ の直流レベル V_{sd} に等しい中間電位またはチャージシェア電圧固定用電源35の電位 E_{sh} に到達させることができるようにすればよい。

【0115】

例えば、図4および図5に示す第1の実施形態の構成に代えて、図20および図21に示すように、ゲートライン GL_j の1本おきにチャージシェア制御信号線を配設し、各ソースライン SL_i につき、ゲートラインの本数($2M$)の $1/2$ に等しい個数(M 個)のチャージシェア TFT_{12} を設けるようにしてもよい。ここで、図21は、図20に示す液晶表示装置のアクティブマトリクス基板114の一部(4画素に相当する部分)104の等価回路を示す回路図である。

【0116】

また、図4および図5に示す第1の実施形態の構成に代えて、図22および図23に示すように、ソースライン $SL_1 \sim SL_N$ の両端部にのみチャージシェア制御信号線 G_{shLa} 、 G_{shLb} を配設し、各ソースライン SL_i の一端と他端に1個ずつチャージシェア TFT_{12} を設けるようにしてもよい。ここで、図23は、図22に示す液晶表示装置のアクティブマトリクス基板116の一部(2画素列に相当する部分)106の等価回路を示す回路図である。

【0117】

ところで、チャージシェア期間 T_{sh} 内に各ソースラインの電位を上記の中間電位 V_{sd} または固定電位 E_{sh} に到達させるのに必要なチャージシェア TFT_{12} の個数は、ソースラインの配線抵抗および配線容量や確保可能なチャージシェア期間 T_{sh} の長さに依存し、これらは表示装置の画面サイズ(これはアクティブマトリクス基板のサイズに相当)や解像度等によって決まる。したがって、一般的には、このような画面サイズや解像度等に応じて、各ソースライン SL_i について設けるべきチャージシェア TFT_{12} の適切な個数を決定し、その個数のチャージシェア TFT_{12} をソースライン SL_i の延びる方向に略均等に配置すればよい。そして、その個数に応じた本数のチャージシェア制御信号線を配設し、それらのチャージシェア制御信号線によって全てのチャージシェア TFT_{12} をチャージシェア期間 T_{sh} はオン状態とすることができるように構成されていればよい。このような構成によれば、各ソースラインに充電された電荷を、チャージシェア期間 T_{sh} において、アクティブマトリクス基板全体で均等にかつ短時間で隣接ソースライ

10

20

30

40

50

ンに移動させることができる。これにより、各ソースラインの電位をアクティブマトリクス基板全体で均等にかつ短時間で中間電位（ソースセンター電位） V_{Sdc} に到達させることができる。その結果、表示装置の大型化や高解像度化が進み駆動周波数が上昇しても、画素容量における充電量の差や充電不足による表示品質の低下を抑制することができる。

【0118】

なお、上記第1～第4の実施形態ではドット反転駆動方式が採用されているが、本発明は、これに限定されるものではなく、2以上の所定数のソースライン毎にデータ信号の極性が反転するように構成されていれば、他の駆動方式の表示装置にも適用可能である。例えば、2本のソースライン毎にデータ信号の極性の反転する構成のアクティブマトリクス型の表示装置についても、チャージシェア方式の採用により消費電力を低減しつつ、本発明を適用することにより、画素容量における充電量の差や充電不足による表示品質の低下を抑制することができる。

【0119】

また、上記第1～第4の実施形態では、ソースドライバ300の出力バッファ31として電圧ホロワが使用されており、この電圧ホロワを動作させるにはバイアス電圧の供給が必要である。しかし、出力バッファ31としての電圧ホロワは、バイアス電圧を供給されている間は、ソースライン S_{Li} を駆動していない場合であっても内部電流により電力を消費する。したがって、各出力バッファ31とソースライン S_{Li} との電気的接続が遮断されるチャージシェア期間 T_{sh} では、各出力バッファ31へのバイアス電圧の供給を停止して内部電流が流れないようにするのが好ましい。図24は、このためのソースドライバの出力部304の構成例を示す回路図である。

【0120】

図25は、図24の構成で使用される出力バッファ32の構成例を示す回路図である。なお、他の構成の出力部においても図25の構成の出力バッファの使用が可能である。図25に示すように、出力バッファ32は、定電流源として機能すべきNチャネル型MOSトランジスタ（以下「Nchトランジスタ」と略記する） Q_1 を有する第1の差動増幅器321と、定電流源として機能すべきPチャネル型MOSトランジスタ（以下「Pchトランジスタ」と略記する） Q_2 を有する第2の差動増幅器322と、Pchトランジスタ Q_3 とNchトランジスタ Q_4 からなるプッシュプル形式の出力回路323とから構成されており、非反転入力端子 T_{in} と、反転入力端子 T_{inR} と、出力端子 T_{out} と、Nchトランジスタ Q_1 のゲート端子に接続された第1のバイアス用端子 T_{b1} と、Pchトランジスタ Q_2 のゲート端子に接続された第2のバイアス用端子 T_{b2} とを有している。そして出力端子 T_{out} が反転入力端子 T_{inR} に直接に接続されており、この出力バッファ32は、第1のバイアス用端子 T_{b1} に所定の第1バイアス電圧 V_{ba1} を、第2のバイアス用端子 T_{b2} に所定の第2バイアス電圧 V_{ba2} をそれぞれ与えられると、電圧ホロワとして動作する。一方、第1のバイアス用端子 T_{b1} に接地電位 V_{SS} を、第2のバイアス用端子 T_{b2} に電源電圧 V_{DD} をそれぞれ与えられた場合には、Nchトランジスタ Q_1 およびPchトランジスタ Q_2 がオフ状態となり、出力回路323のPchトランジスタ Q_3 には電源電圧 V_{DD} に略等しい電圧が与えられ、Nchトランジスタ Q_4 には接地電位 V_{SS} に略等しい電圧が与えられる。これによって出力回路323のPchトランジスタ Q_3 およびNchトランジスタ Q_4 もオフ状態となる。これは、出力バッファ32が休止状態となることを意味し、この休止状態では、出力バッファ32の内部には電流が流れず、その出力は高インピーダンス状態となる。

【0121】

図24の構成例では、上記実施形態とは異なり、第1のMOSトランジスタ SW_a およびインバータ33が削除され、各出力バッファ32の出力端 T_{out} はソースドライバ300の出力端子に直接に接続されている。一方、この構成例では、第1および第2の切換スイッチ37, 38と、各出力バッファ32の第1のバイアス用端子 T_{b1} を第1の切換スイッチ37に接続するための第1のバイアスライン L_{b1} と、各出力バッファ32の第

10

20

30

40

50

2のバイアス用端子T b 2を第2の切換スイッチ38に接続するための第2のバイアスラインL b 2とを備えている。なお、各出力バッファ32の入力端としての非反転入力端子T i nには内部データ信号d (i)が与えられる。第1の切換スイッチ37は、第1のバイアスラインL b 1に与えるべき電圧をチャージシエア制御信号C s hに基づき切り替えるためのスイッチである。この第1の切換スイッチ37により、第1のバイアスラインL b 1には、チャージシエア制御信号C s hがLレベルのときに第1バイアス電圧V b a 1が与えられ、Hレベルのときに接地電位V S Sが与えられる。第2の切換スイッチ38は、第2のバイアスラインL b 2に与えるべき電圧をチャージシエア制御信号C s hに基づき切り替えるためのスイッチである。この第2の切換スイッチ38により、第2のバイアスラインL b 2には、チャージシエア制御信号C s hがLレベルのときに第2バイアス電圧V b a 2が与えられ、Hレベルのときに電源電圧V D Dが与えられる。これにより、各出力バッファ32は、チャージシエア制御信号C s hがLレベルのときには電圧ホロワとして動作し、Hレベルのときに休止状態となる。このように第1および第2の切換スイッチ37, 38は各出力バッファ32の休止制御部として機能する。図24に示すソースドライバの出力部の他の構成は、図14に示すソースドライバの出力部304と同様であるので、同一部分には同一の参照符号を付して説明を省略する。なお、第1および第2バイアス電圧V b a 1, V b a 2の生成のための構成についても、従来と同様であるので説明を省略する。

10

【0122】

上記のような構成によれば、チャージシエア期間T s h以外の期間では、チャージシエア制御信号C s hがLレベルとなるので、各内部データ信号d (i)は出力バッファ32を介しデータ信号S (i)としてソースラインS L iに印加される(i = 1 ~ N)。一方、チャージシエア期間T s hでは、チャージシエア制御信号C s hがHレベルとなるので、出力バッファ32は休止状態であってその出力は高インピーダンス状態となり、各ソースラインS L iには、第2のM O SトランジスタS W cを介して、(データ信号S (i)の直流レベルV S d cに相当する)固定電圧E s hが与えられる。このようにして上記実施形態と同様の機能を実現しつつ、チャージシエア期間T s hにおいて各出力バッファを休止状態とすることによりソースドライバ300の消費電力を削減することができる。

20

【0123】

なお、出力バッファ32の構成は、図25の構成に限定されるものではなく、バイアス電圧の切換によって内部電流を低減または遮断して休止状態とできるものであればよい。また、出力バッファ32の出力が休止状態において高インピーダンス状態にならない構成の場合には、図14に示す構成と同様に、第1のM O SトランジスタS W aを各出力バッファ32とソースドライバの出力端子との間に介挿してもよい。さらに、図24に示す構成において、各ソースラインS L i (i = 1 ~ N)とチャージシエア電圧固定用電源35との間に挿入される第2のM O SトランジスタS W cおよび当該チャージシエア電圧固定用電源35を省略してもよい。ただし、既述のように、表示における横筋ムラの発生を抑制するという観点からは図24に示す構成が好ましい。

30

【0124】

< 6 . テレビジョン受信機への適用 >

40

次に、本発明に係るアクティブマトリクス基板をテレビジョン受信機に使用した例について説明する。図26は、テレビジョン受信機用の表示装置800の構成を示すブロック図である。この表示装置800は、Y / C分離回路80と、ビデオクロマ回路81と、A / Dコンバータ82と、液晶コントローラ83と、液晶パネル84と、バックライト駆動回路85と、バックライト86と、マイコン(マイクロコンピュータ)87と、階調回路88とを備えている。

【0125】

上記液晶パネル84は、本発明に係るアクティブマトリクス基板を使用した表示部と、その表示部を駆動するためのソースドライバ、ゲートドライバおよびチャージシエア制御回路を含んでおり、その具体的な構成については、本発明の各実施形態や各変形例につき

50

説明した何れの構成であってもよい(図4、図5、図15、図20~23参照)。

【0126】

上記構成の表示装置800では、まず、テレビジョン信号としての複合カラー映像信号Scvが外部からY/C分離回路80に入力され、そこで輝度信号と色信号に分離される。これらの輝度信号と色信号は、ビデオクロマ回路81にて光の3原色に対応するアナログRGB信号に変換され、さらに、このアナログRGB信号はA/Dコンバータ82により、デジタルRGB信号に変換される。このデジタルRGB信号は液晶コントローラ83に入力される。また、Y/C分離回路80では、外部から入力された複合カラー映像信号Scvから水平および垂直同期信号も取り出され、これらの同期信号もマイコン87を介して液晶コントローラ83に入力される。

10

【0127】

液晶パネル84には、液晶コントローラ83からデジタルRGB信号が、上記同期信号に基づくタイミング信号と共に所定のタイミングで入力される。また、階調回路88では、カラー表示の3原色R、G、Bそれぞれの階調電圧が生成され、それらの階調電圧も液晶パネル84に供給される。液晶パネル84では、これらのRGB信号、タイミング信号および階調電圧に基づき内部のソースドライバやゲートドライバ等により駆動用信号(データ信号、走査信号、チャージシェア制御信号等)が生成され、それらの駆動用信号に基づき(アクティブマトリクス基板を使用した)内部の表示部にカラー画像が表示される。なお、この液晶パネル84によって画像を表示するには、液晶パネル84の後方から光を照射する必要があり、この表示装置800では、マイコン87の制御の下にバックライト駆動回路85がバックライト86を駆動することにより、液晶パネル84の裏面に光が照射される。

20

【0128】

上記の処理を含め、システム全体の制御はマイコン87が行う。なお、外部から入力される映像信号(複合カラー映像信号)としては、テレビジョン放送に基づく映像信号のみならず、カメラにより撮像された映像信号や、インターネット回線を介して供給される映像信号なども使用可能であり、この表示装置800では、様々な映像信号に基づいた画像表示が可能である。

【0129】

上記構成の表示装置800でテレビジョン放送に基づく画像を表示する場合には、図27に示すように、当該表示装置800にチューナ部90が接続される。このチューナ部90は、アンテナ(不図示)で受信した受信波(高周波信号)の中から受信すべきチャンネルの信号を抜き出して中間周波信号に変換し、この中間周波数信号を検波することによってテレビジョン信号としての複合カラー映像信号Scvを取り出す。この複合カラー映像信号Scvは、既述のように表示装置800に入力され、この複合カラー映像信号Scvに基づく画像が当該表示装置800によって表示される。

30

【0130】

図28は、上記構成の表示装置をテレビジョン受信機とするときの機械的構成の一例を示す分解斜視図である。図28に示した例では、テレビジョン受信機は、その構成要素として、上記表示装置800の他に第1筐体801および第2筐体806を有しており、表示装置800を第1筐体801と第2筐体806とで包み込むようにして挟持した構成となっている。第1筐体801には、表示装置800で表示される画像を透過させる開口部801aが形成されている。また、第2筐体806は、表示装置800の背面側を覆うものであり、当該表示装置800を操作するための操作用回路805が設けられると共に、下方に支持用部材808が取り付けられている。

40

【0131】

以上のようなテレビジョン受信機によれば、液晶パネル84内のアクティブマトリクス基板において各ソースラインSLiにつき多数のチャージシェアTF12が設けられているので、表示装置の大型化や高解像度化が進み駆動周波数が上昇しても、画素容量における充電量の差や充電不足を抑制して良好な画像表示を行うことができる。

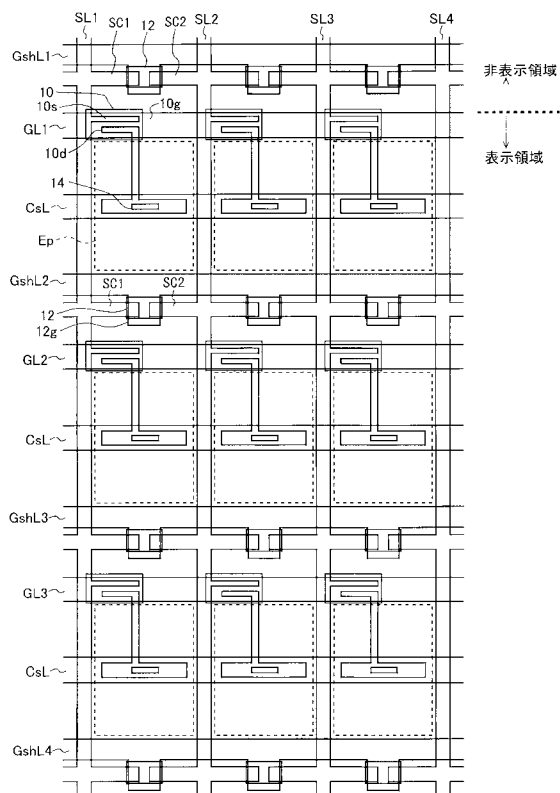
50

【産業上の利用可能性】

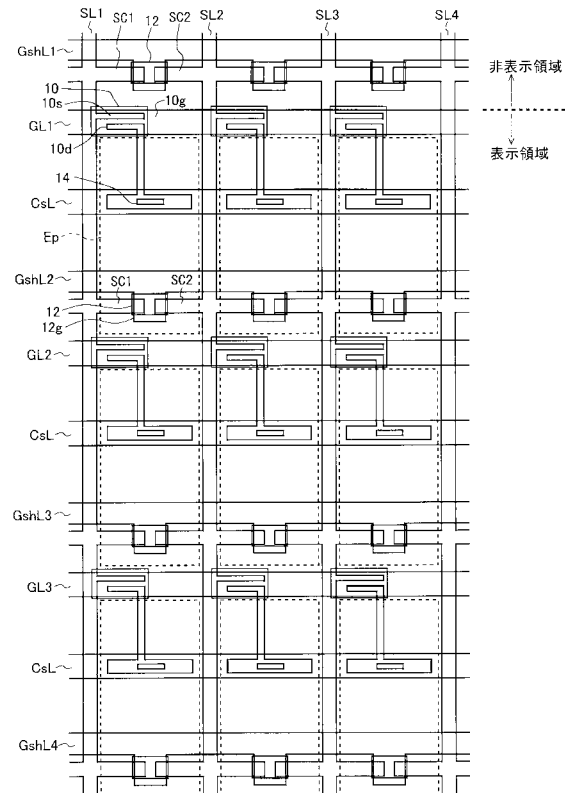
【0132】

本発明は、アクティブマトリクス基板またはそれを備えた表示装置に適用されるものであって、特に、アクティブマトリクス型の液晶表示装置およびそれに使用されるアクティブマトリクス基板に適している。

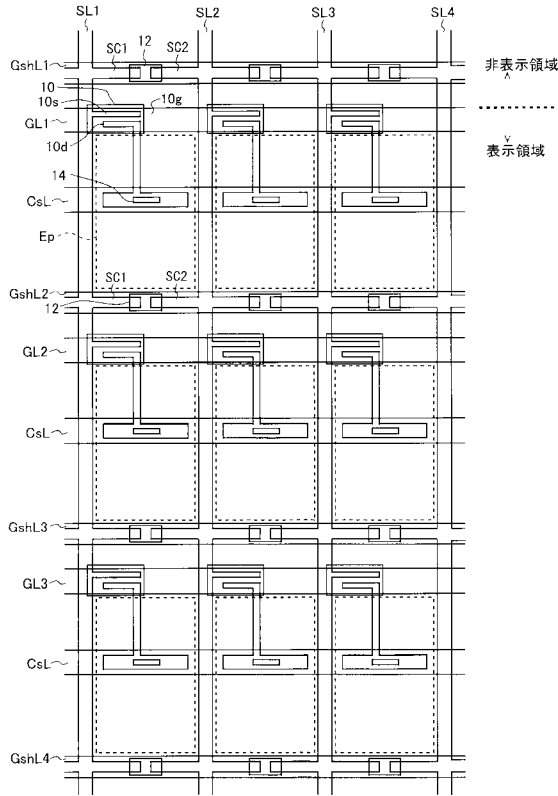
【図1】



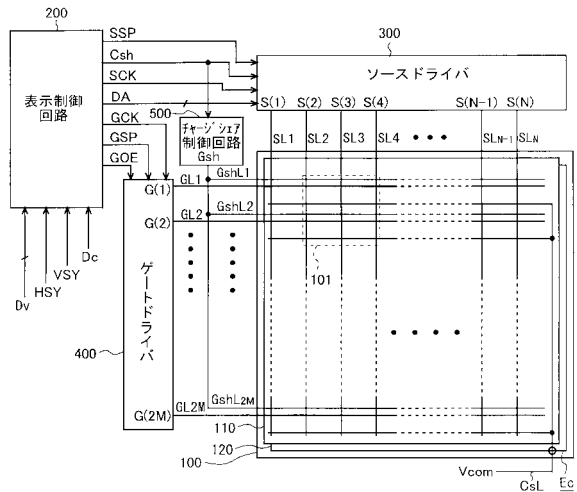
【図2】



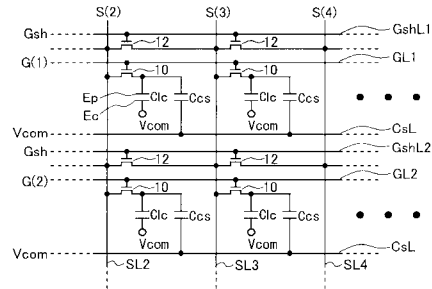
【図3】



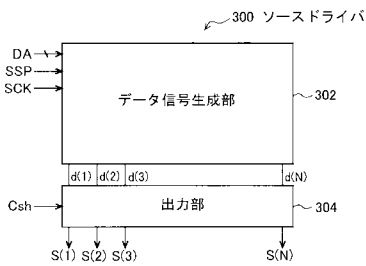
【図4】



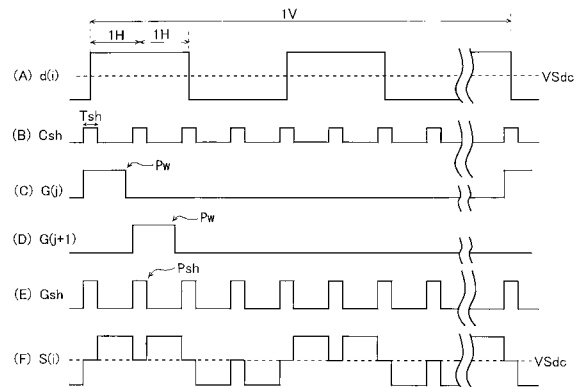
【図5】



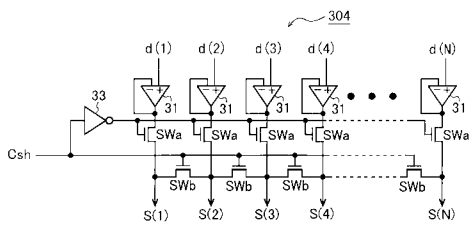
【図6】



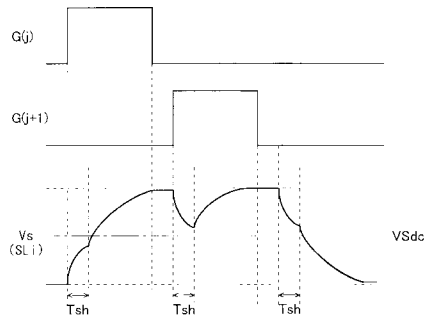
【図8】



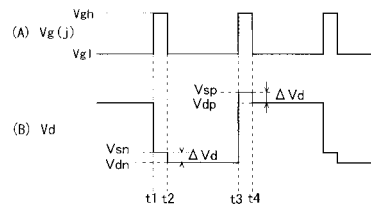
【図7】



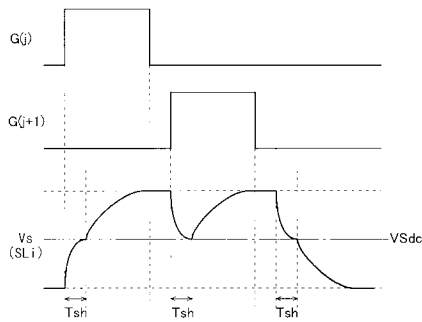
【図9】



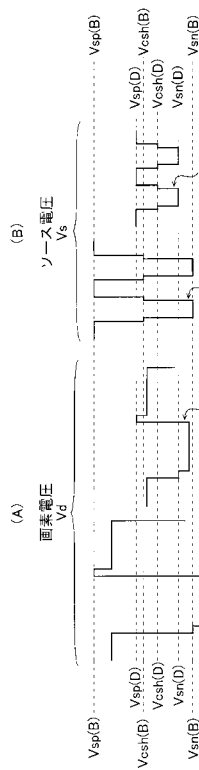
【図11】



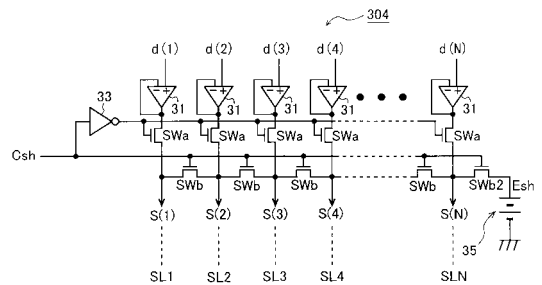
【図10】



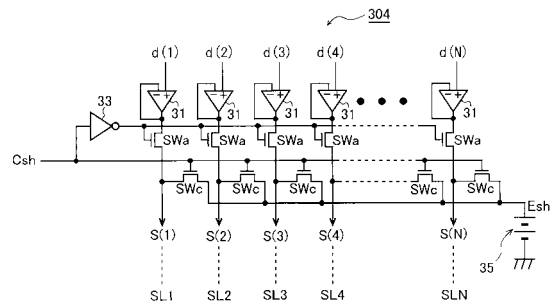
【図12】



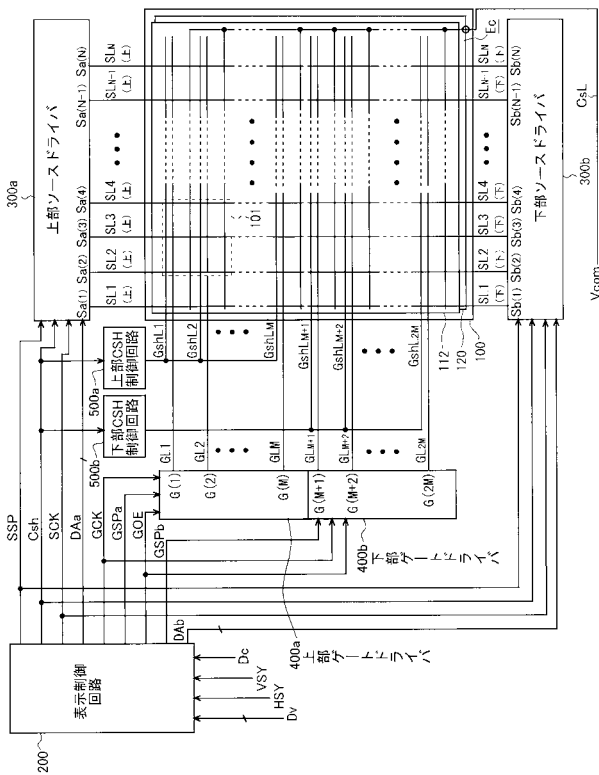
【図13】



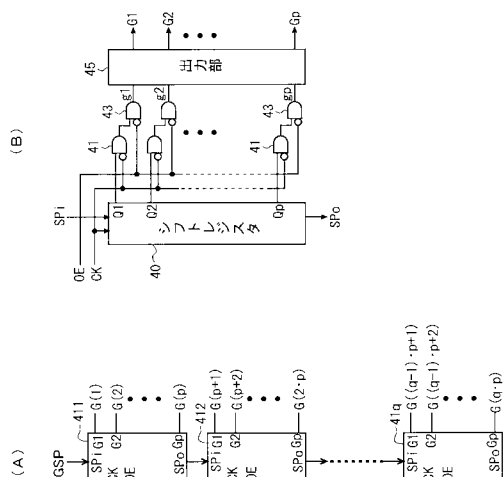
【図14】



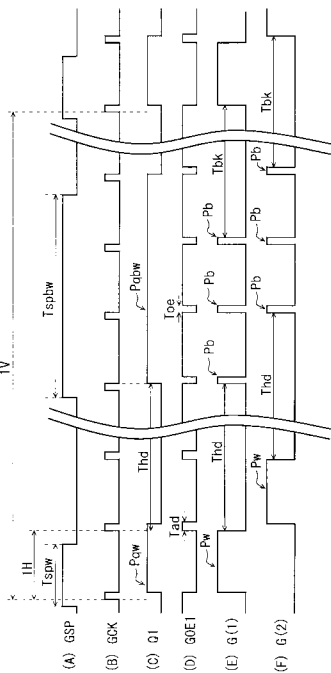
【 図 15 】



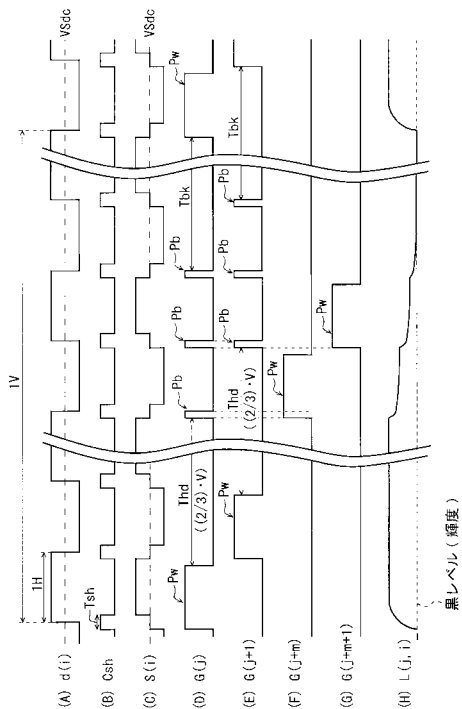
【 図 16 】



【 図 17 】

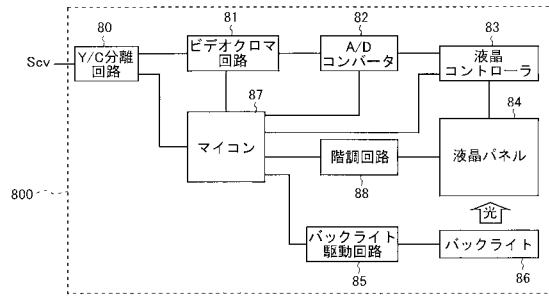


【 図 18 】

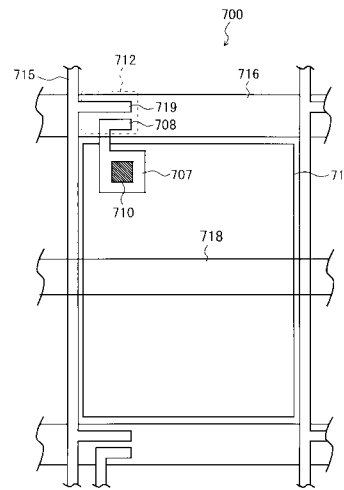


黒レベル(輝度)

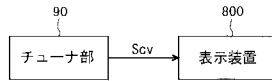
【図26】



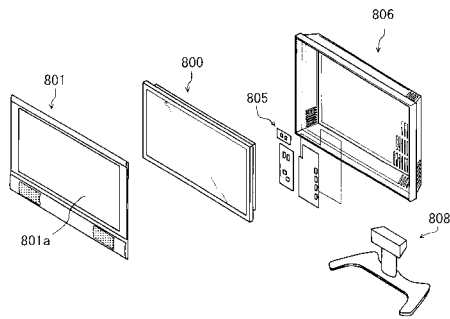
【図29】



【図27】



【図28】



フロントページの続き

(51) Int.Cl. F I
G 0 2 F 1/133 5 5 0
G 0 2 F 1/133 5 2 5
H 0 4 N 5/66 1 0 2 B

(56) 参考文献 特開平 1 1 - 0 3 0 9 7 5 (J P , A)
特開 2 0 0 0 - 1 4 8 0 9 8 (J P , A)
特開昭 6 1 - 2 2 8 4 9 1 (J P , A)
特開 2 0 0 3 - 3 0 2 9 5 1 (J P , A)
特開 2 0 0 2 - 0 6 2 8 5 5 (J P , A)
特開 2 0 0 2 - 2 6 8 6 1 3 (J P , A)
特開 2 0 0 4 - 3 3 4 1 7 1 (J P , A)
特開 2 0 0 6 - 0 7 2 0 7 8 (J P , A)
特開 2 0 0 7 - 0 4 1 5 4 8 (J P , A)
特開 2 0 0 7 - 0 2 5 6 9 1 (J P , A)
国際公開第 2 0 0 7 / 0 1 5 3 4 7 (W O , A 1)

(58) 調査した分野 (Int.Cl. , D B 名)
G09G 3/36 - 3/38
G02F 1/133 505-580
H04N 5/66 - 5/74

| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 有源矩阵基板和具有该基板的显示装置 | | |
| 公开(公告)号 | JP4812837B2 | 公开(公告)日 | 2011-11-09 |
| 申请号 | JP2008524727 | 申请日 | 2007-03-22 |
| [标]申请(专利权)人(译) | 夏普株式会社 | | |
| 申请(专利权)人(译) | 夏普公司 | | |
| 当前申请(专利权)人(译) | 夏普公司 | | |
| [标]发明人 | 津幡俊英 | | |
| 发明人 | 津幡 俊英 | | |
| IPC分类号 | G09G3/36 G09G3/20 G02F1/133 H04N5/66 | | |
| CPC分类号 | G02F1/13624 G09G3/3614 G09G3/3648 G09G3/3677 G09G3/3688 G09G2310/0291 G09G2310/061 G09G2310/08 G09G2320/0252 G09G2320/0261 G09G2330/023 | | |
| FI分类号 | G09G3/36 G09G3/20.680.H G09G3/20.641.R G09G3/20.623.A G09G3/20.623.B G02F1/133.550 G02F1/133.525 H04N5/66.102.B | | |
| 代理人(译) | 岛田彰 | | |
| 优先权 | 2006193858 2006-07-14 JP 2006356447 2006-12-28 JP | | |
| 其他公开文献 | JPWO2008007480A1 | | |
| 外部链接 | Espacenet | | |

摘要(译)

本发明的目的是即使在设置有有源矩阵基板的显示装置中随着显示装置的尺寸和分辨率的增加而增加驱动频率，也能防止显示质量的劣化。在液晶显示装置的有源矩阵基板中，沿每条栅极线 (GLj) 布置电荷共享控制信号线 (GshLj)，并且为每条源极线 (SLi) 提供等于栅极线数量的电荷共享TFT的数量。(12) 提供。该电荷共享TFT (12) 的栅极端子连接到电荷共享控制信号线 (GshLj)，并且相邻的源极线 (SLi, SLi + 1) 通过连接电极部分 (SCi, SCi + 1) 连接到源极和漏极端子。它是连接的。向每个电荷共享控制信号线 (GshLj) 提供信号Gsh，该信号Gsh每隔一个水平周期接通电荷共享TFT (12) 预定时段Tsh。

【图2】

