

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4632113号
(P4632113)

(45) 発行日 平成23年2月16日(2011.2.16)

(24) 登録日 平成22年11月26日(2010.11.26)

(51) Int.Cl.

F 1

G09G 3/36 (2006.01)

G09G 3/36

G09G 3/20 (2006.01)

G09G 3/20 611A

G09G 3/20 612D

G09G 3/20 612J

請求項の数 7 (全 14 頁)

(21) 出願番号 特願2003-70108 (P2003-70108)
 (22) 出願日 平成15年3月14日 (2003.3.14)
 (65) 公開番号 特開2004-4609 (P2004-4609A)
 (43) 公開日 平成16年1月8日 (2004.1.8)
 審査請求日 平成18年2月3日 (2006.2.3)
 (31) 優先権主張番号 2002-022323
 (32) 優先日 平成14年4月23日 (2002.4.23)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 390019839
 三星電子株式会社
 SAMSUNG ELECTRONICS
 CO., LTD.
 大韓民国京畿道水原市靈通区梅灘洞 416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do 442-742
 (KR)
 (74) 代理人 110000051
 特許業務法人共生国際特許事務所
 (72) 発明者 朴在浩
 大韓民国京畿道龍仁市器興邑旧葛里 380
 番地漢城 1 次アパート 103 棟 408 号

最終頁に続く

(54) 【発明の名称】 液晶表示装置の駆動電圧発生回路及びその方法

(57) 【特許請求の範囲】

【請求項 1】

液晶表示装置を駆動するための駆動電圧を発生する回路において、

クロック信号に応じて入力電圧を昇圧して第1駆動電圧を出力するDC-DCコンバータと、

所定の制御電圧のレベルに応じた可変の周波数を有する前記クロック信号を発する電圧制御発振器と、

所定の基準電圧と前記第1駆動電圧を反映するフィードバック電圧との差を利用して前記制御電圧を発生する制御電圧発生器とを備え、

前記駆動電圧発生回路は、前記フィードバック電圧と前記基準電圧とを比較してイネーブル信号を発する比較器をさらに備え、

前記DC-DCコンバータは前記イネーブル信号に応じて動作することを特徴とする液晶表示装置の駆動電圧発生回路。

【請求項 2】

前記駆動電圧発生回路は、前記第1駆動電圧を分配して前記フィードバック電圧を発生するフィードバック電圧分配器をさらに備えることを特徴とする請求項1に記載の液晶表示装置の駆動電圧発生回路。

【請求項 3】

前記制御電圧発生器は、前記基準電圧と前記フィードバック電圧との差を增幅する電圧增幅器を含むことを特徴とする請求項1に記載の液晶表示装置の駆動電圧発生回路。

【請求項 4】

前記駆動電圧発生回路は、前記第1駆動電圧を分配し、前記第1駆動電圧及び接地電圧と共に液晶表示装置に入力される第2ないし第5駆動電圧を出力する駆動電圧分配器をさらに備えることを特徴とする請求項1に記載の液晶表示装置の駆動電圧発生回路。

【請求項 5】

前記D C - D C コンバータは、第1スイッチング信号に応じて開閉される一つ以上の第1スイッチと、

第1スイッチング信号の反転信号を反映する第2スイッチング信号に応じて開閉される一つ以上の第2スイッチと、

前記第1スイッチ及び前記クロック信号の端子間に形成される一つ以上の第1キャパシタと、

前記第2スイッチ及び前記クロック信号の反転信号を反映する信号の端子間に形成される一つ以上の第2キャパシタとを含むことを特徴とする請求項1に記載の液晶表示装置の駆動電圧発生回路。

【請求項 6】

前記電圧制御発振器は、複数のインバータが直列に連結されるインバータチェーンと、

前記複数のインバータの各出力端子にそれぞれ電気的に接続され、前記制御電圧に応じてその抵抗値が変化する複数の抵抗と、

前記複数の抵抗と接地電圧間にそれぞれ形成される複数のキャパシタとを含むことを特徴とする請求項1に記載の液晶表示装置の駆動電圧発生回路。

【請求項 7】

前記複数の抵抗のそれぞれは、そのゲートに前記制御電圧が印加されるM O Sトランジスタであることを特徴とする請求項6に記載の液晶表示装置の駆動電圧発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶表示装置 (Liquid Crystal Display、以下「LCD」とする) を駆動するための集積回路に係り、LCD駆動用集積回路 (以下、「LCDドライバIC」という) から駆動電圧を発生する回路に関する。

【0002】

【従来の技術】

LCDは携帯用コンピュータやP D A (Personal Digital Assistant) のような携帯用通信製品や一般家電製品において多用されているディスプレイ装置であり、液晶パネル両端に印加される電圧の強さにより光透過率が変わる特性を利用してデータをディスプレイする。LCDには、大きくわけて、S TN (Super Twisted Nematic) - LCDとT FT (Thin Film Transistor) - LCDとがある。S TN - LCDであるかT FT - LCDであるかによりLCDの駆動方法も変わる。

【0003】

LCDドライバICはLCDの液晶パネルにデータを表示するために必要な駆動電圧を発生する役割を果たすICである。

【0004】

液晶パネルの両端には電圧を印加するための電極があり、一般的に一端の電極を共通電極、他端の電極をセグメント電極という。そして、共通電極に入力される電圧を共通電圧と言い、セグメント電極に入力される電圧をセグメント電圧と言う。

【0005】

LCDドライバICは、LCD画面に表示される文字及び/または映像をマイクロプロセッサから受信して、液晶を駆動できるセグメント電圧及び共通電圧に変換して液晶パネルに印加する。これにより文字及び/または映像のディスプレイが可能になる。

【0006】

10

20

30

40

50

LCDパネルの共通電極及びセグメント電極に入力される駆動電圧は一般的に6つのレベルの電圧である。駆動電圧発生回路は6つのレベルの駆動電圧を生成する回路であり、そのような駆動電圧を少量の電力消耗で効率的に生成することが重要である。

【0007】

図1は従来技術によるLCDドライバICの駆動電圧発生回路を示すブロック図であり、図1に示された回路は従来のSTN-LCDドライバICに一般的に使われる回路である。

【0008】

従来技術によるLCD駆動電圧発生回路100はDC-DCコンバータ110、電圧分配器120、発振器130を備える。

10

【0009】

DC-DCコンバータ110は電圧ブースタとも言われる回路であり、受信される入力電圧VCIを所定量だけ昇圧して第1駆動電圧V0を発生する。第1駆動電圧V0はLCDパネル130の駆動に必要な高電圧である。

【0010】

DC-DCコンバータ110の昇圧は、基本的にスイッチングを介してキャパシタに電荷を充電してそれをポンピングすることによりなされる。スイッチング動作に必要なスイッチング信号としては一定周期のクロック信号CKが使われる。

【0011】

クロック信号CKは発振器130において生成される。

20

【0012】

DC-DCコンバータ110において生成された第1駆動電圧V0は電圧分配器120によって分配されて第2～第5駆動電圧V1～V4として出力される。第2～第5駆動電圧V1～V4は第1駆動電圧V0及び接地電圧VSSと共にLCDパネル130を駆動するための電圧として使われる。

【0013】

LCDパネル130が駆動されると、パネルによって消耗される電力（または電流）のゆえに第1駆動電圧V0のレベルがディスプレイパターンに応じて変わる。すなわち、パネルによって消耗される電流量が少なければ第1駆動電圧V0のレベルがある程度一定に保持されるが、パネルによって消耗される電流量が多ければ第1駆動電圧V0のレベルがかなり下がる。

30

【0014】

上記の通りに、ディスプレイパターンに応じて電流消耗量が変化し、そして電流消耗量に応じて第1駆動電圧V0レベルが変化すると、ディスプレイパターンにより画面の明るさが変わることという問題が生じる。

【0015】

第1駆動電圧V0を使って第2ないし第5駆動電圧V1～V4も生成されるので、第1駆動電圧V0を一定レベルに昇圧させて発生させることが重要である。

【0016】

ところで、従来技術による駆動電圧発生回路100のように、DC-DCコンバータ110が固定された周波数のクロック信号CKを利用する場合には効率的に昇圧動作を行えない。昇圧動作の効率性は電力消耗量とブースティング効率とに関係していて、電力消耗量が少なくてブースティング効率が高いことが望ましい。

40

【0017】

ブースティング効率というのは第1駆動電圧V0の目標値に対する実際の第1駆動電圧V0の比を百分率で示したものである。すなわち、所望の第1駆動電圧V0の目標値が10Vであり、LCDパネルの負荷により実際の第1駆動電圧V0のレベルが8Vに下がるならばブースティング効率は80%である。従って、LCDパネル130の負荷に関係なく第1駆動電圧V0を所望のレベルに保持させることができたらなければブースティング効率が改善されない。

50

【0018】

LCDパネル130の電流消耗量が少ない場合には、一般的に非常に低い周波数のクロック信号CKを用いても十分なブースティング効率を得られる。一方、LCDパネル130の電流消耗量が増えるほどクロック信号CKの周波数を高めなければブースティング効率が改善されない。

【0019】

ところで、従来技術による駆動電圧発生回路100は固定周波数のクロック信号CKを利用することにより、LCDパネル130の電流消耗量が少ない場合にはDC-DCコンバータ110での不必要な電流消耗を発生させる。一般的に、クロック信号CKの周波数が高ければDC-DCコンバータ110自体で消耗される電流がさらに多くなるためである。

10

【0020】

一方、LCDパネル130の電流消耗量が非常に多い場合には、相対的に高い周波数のクロック信号CKが必要であるが、従来技術による駆動電圧発生回路100は固定された周波数のクロック信号CKでブースティングすることにより、第1駆動電圧V0レベルの降下が大きくなり、結果的にディスプレイの質を下げる。

【0021】

【発明が解決しようとする課題】

よって、本発明がなそうとする技術的課題は、電力使用を減らしてブースティング効率を改善することにより、LCDパネルの電流消耗量が増えてもディスプレイ画面の質が下がらないようにするLCD駆動電圧発生回路を提供することである。

20

【0022】

本発明がなそうとする他の技術的課題は、前記LCD駆動電圧発生回路に適用されるLCD駆動電圧発生法を提供することである。

【0023】

【課題を解決するための手段】

上記技術的課題を達成するためになされた本発明による液晶表示装置の駆動電圧発生回路は、液晶表示装置を駆動するための駆動電圧を発生する回路において、クロック信号に応じて入力電圧を昇圧して第1駆動電圧を出力するDC-DCコンバータと、所定の制御電圧のレベルに応じた可変の周波数を有する前記クロック信号を発する電圧制御発振器と、所定の基準電圧と前記第1駆動電圧を反映するフィードバック電圧との差を利用して前記制御電圧を発生する制御電圧発生器とを備え、前記駆動電圧発生回路は、前記フィードバック電圧と前記基準電圧とを比較してイネーブル信号を発する比較器をさらに備え、前記DC-DCコンバータは前記イネーブル信号に応じて動作することを特徴とする。

30

【0024】

望ましくは、前記駆動電圧発生回路は前記第1駆動電圧を分配して前記フィードバック電圧を発生するフィードバック電圧分配器をさらに備える。

【0030】

【発明の実施の形態】

本発明とその動作上のメリット及び本発明の実施により達成される目的を十分に理解するためには本発明の望ましい実施形態を例示する添付図面及びそれに関連する説明を参照しなければならない。

40

【0031】

以下、添付した図面を参照して本発明の望ましい実施形態を説明することにより、本発明を詳細に説明する。各図面に提示された同じ参照符号は同じ構成要素を示す。

【0032】

図面を参照して本発明の実施形態を説明する前に、電圧のブースティングに使われるクロック信号の周波数に対するブースティング効率の関係を考察する。クロック信号の周波数をブースティング周波数とも言う。

【0033】

50

図2はクロック信号の周波数FCKによるLCDパネルの電流消耗量ILoadに対するブースティング効率の関係を示す図面である。図2を参照すれば、クロック信号の周波数FCKがいかなる値を有しても、電流消耗量ILoadが増えればブースティング効率が下がる。しかし、クロック信号の周波数FCKが390KHzである場合における電流消耗量ILoadの増加によるブースティング効率の低下は、クロック信号の周波数FCKが230KHzである場合における電流消耗量ILoadの増加によるブースティング効率の減少に比べてはるかに少ない。すなわち、クロック信号の周波数FCKが230KHzである場合には電流消耗量ILoadの増加により第1駆動電圧V0のレベルが相当に低下するのに対して、クロック信号の周波数FCKが390KHzである場合には電流消耗量ILoadの増加による第1駆動電圧V0のレベルの低下は少ない。すなわち、LCDパネルの電流消耗量ILoadが多い場合にはブースティング周波数FCKを高くしなければブースティング効率が改善されない。

【0034】

一方、LCDパネルの電流消耗量ILoadが非常に少ない場合にはブースティング効率はブースティング周波数FCKにあまり影響を受けない。

【0035】

図2に示された実験結果から、LCDパネルの電流消耗量ILoadによりブースティング周波数FCKを可変にすることがブースティング効率面と電力消耗面とで効果的であることが分かる。

【0036】

従って、本発明はLCDパネルの負荷が変わっても駆動電圧のレベルは一定に保持されるように、LCDパネルの負荷（すなわち、電流消耗量）に応じてブースティング周波数FCKを最適に変更する。

【0037】

最も理想的な場合は図3に示されたように、電流消耗量ILoadが変わってもブースティング効率の特性低下が現れず、第1駆動電圧V0のレベルが一定に保持されることである。

【0038】

図4は本発明の一実施例によるLCD駆動電圧発生回路200を示すブロック図である。

【0039】

図4を参照すれば、本発明の一実施形態による駆動電圧発生回路200は、DC-DCコンバータ210、駆動電圧分配器220、フィードバック電圧分配器230、基準電圧発生器240、比較器250、制御電圧発生器260及び電圧制御発振器270を備える。

【0040】

DC-DCコンバータ210は入力電圧VCIを受けてこれを昇圧し、第1駆動電圧V0を発生する。DC-DCコンバータ210はイネーブル信号ENにより昇圧動作がイネーブルされ。クロック信号CKに応じて電荷をポンピングすることにより入力電圧VCIを昇圧する。DC-DCコンバータ210は入力電圧VCIをその所定倍数（以下、ブースティング倍数という）の電圧に昇圧できるように構成される。

【0041】

例えば、入力電圧が3Vであり、ブースティング倍数が4になるべくDC-DCコンバータ210が具現されれば、DC-DCコンバータ210は最大12Vの第1駆動電圧V0を発生できる。ところで、LCDパネルにおいて必要とする第1駆動電圧V0が前記最大電圧の12Vより低い9Vであると仮定すると、LCDパネル駆動に必要な高電圧は9Vであるので、12Vまで昇圧することは不必要的電力消耗をもたらす。

【0042】

従って、不必要的電力消耗を減らすために、第1駆動電圧V0が目標値の9Vになれば昇圧動作を止めることが必要である。

【0043】

上記の通りに、必要時、すなわち第1駆動電圧V0が目標値より低い場合にだけ昇圧動作

10

20

30

40

50

を行うために、DC - DCコンバータ210はイネーブル信号ENの活性化に応じて動作するように構成される。

【0044】

比較器250は、フィードバック電圧VFBと基準電圧VREFとを比較して、DC - DCコンバータ210に昇圧動作を行わせるか否かを制御するイネーブル信号ENを発生する。比較器250は第1駆動電圧V0を反映するフィードバック電圧VFBが基準電圧VREFに比べて低い時に活性化されるイネーブル信号ENを発生する。イネーブル信号ENはDC - DCコンバータ210に入力されてDC - DCコンバータ210を動作させるか否かを制御する。フィードバック電圧VFBは第1駆動電圧V0を分配して発生することが望ましい。

10

【0045】

DC - DCコンバータ210の昇圧動作に必要なクロック信号CKは電圧制御発振器270から出力される。

【0046】

電圧制御発振器270は制御電圧VCONのレベルに応じた可変の周波数を有するクロック信号CKを発生する。制御電圧VCONは制御電圧発生器260より発生する。制御電圧VCONのレベルは第1駆動電圧V0を反映するフィードバック電圧VFBと基準電圧VREFとの差により変化する。

【0047】

第1駆動電圧V0を分配してフィードバック電圧VFBを発生する役割はフィードバック電圧分配器230により行われる。すなわち、フィードバック電圧分配器230は第1駆動電圧V0を分配してフィードバック電圧VFBを生成し、これを比較器250及び制御電圧発生器260に提供する。

20

【0048】

基準電圧発生器240は比較器250及び制御電圧発生器260に入力される基準電圧VREFを発生する。基準電圧発生器240は電源電圧及び温度などに鈍感に設計されることが望ましい。

【0049】

駆動電圧分配器220は第1駆動電圧V0を受信して分配し、第2ないし第5駆動電圧V1 ~ V4を出力する。第1ないし第5駆動電圧V0 ~ V4及び接地電圧VSSは液晶パネルに入力される。上記の通りに6種類の電圧V0 ~ V4, VSSが液晶パネルを駆動するために使われる。

30

【0050】

図5は本発明の一実施例による駆動電圧発生回路200を詳細に示す図面である。DC - DCコンバータ210の詳細な構成は図6に示される。

【0051】

まず図5を参照すれば、駆動電圧分配器220は第1 ~ 第5分配抵抗R1 ~ R5及び第1 ~ 第4電圧フォロア221 ~ 224を含む。第1 ~ 第5分配抵抗R1 ~ R5は第1駆動電圧V0と接地電圧VSSとの間に直列に連結される。第1分配抵抗R1は第1駆動電圧V0と第1ノードN1との間に、第2分配抵抗R2は第1ノードN1と第2ノードN2との間に、第3分配抵抗R3は第2ノードN2と第3ノードN3との間に、第4分配抵抗R4は第3ノードN3と第4ノードNとの間に、そして、第5分配抵抗R5は第4ノードN4と接地電圧VSSとの間に位置する。各ノードN1 ~ N4の電圧は該当する電圧フォロア221 ~ 224を介してそれぞれ第2, 第3, 第4及び第5駆動電圧V1 ~ V4として出力される。

40

【0052】

従って、第2ないし第5駆動電圧V1 ~ V4は第1駆動電圧V0と接地電圧VSSとの間のレベルを有する電圧になる。

【0053】

フィードバック電圧分配器230は2つの分配抵抗Ra, Rbを含む。フィードバック電

50

圧分配器 230において発生するフィードバック電圧 VFB は第1駆動電圧 V0, 分配抵抗値 Ra, Rb の比により決まる。

【0054】

分配抵抗値 Ra, Rb は第1駆動電圧 V0 が所定の目標値である時、フィードバック電圧 VFB と基準電圧 VREF とが同じになるように設定されることが望ましい。

【0055】

基準電圧発生器 240 は正端子 (+) でバイアス電圧 VBIAS を受けて、負端子 (-) では出力電圧である基準電圧 VREF が 2 つの抵抗 R6, R7 により分配された電圧を受ける演算增幅器 241 を利用して構成される。

【0056】

比較器 250 は正端子 (+) ではフィードバック電圧 VFB を、負端子 (-) では基準電圧 VREF をそれぞれ受けて、フィードバック電圧 VFB が基準電圧 VREF より高い時はハイレベルのイネーブル信号 EN を、フィードバック電圧 VFB が基準電圧 VREF より低い時はローレベルのイネーブル信号 EN を出力する。DC-DC コンバータ 210 はローレベルのイネーブル信号 EN に応じて昇圧動作を行う。

10

【0057】

従って、比較器 250 はフィードバック電圧 VFB が基準電圧 VREF に比べて低い場合に、DC-DC コンバータ 210 をイネーブルにするイネーブル信号 EN を発生する。フィードバック電圧 VFB が基準電圧 VREF より低いということは第1駆動電圧 V0 が所望の目標値より低いということを意味する。従って、第1駆動電圧 V0 が目標値より低い場合はイネーブル信号 EN がローレベルに活性化され、これにより DC-DC コンバータ 210 が昇圧動作を行い、第1駆動電圧 V0 を高める。DC-DC コンバータ 210 の昇圧動作により第1駆動電圧 V0 が目標値より高くなると、フィードバック電圧 VFB が基準電圧 VREF より高くなり、これによりイネーブル信号 EN が非活性化されて DC-DC コンバータ 210 の昇圧動作が中断される。

20

【0058】

制御電圧発生器 260 は電圧增幅器 261、2つのバッファ 262a, 262b を含む。バッファ 262a, 262b はフィードバック電圧 VFB と基準電圧 VREF とをそれぞれバッファリングする。電圧增幅器 261 は基準電圧 VREF とフィードバック電圧 VFB との差に比例する電圧を発生する。従って、フィードバック電圧 VFB が基準電圧 VREF に比べて低いほど高いレベルの制御電圧 VCON が発生する。フィードバック電圧 VFB が基準電圧 VREF より低いということは第1駆動電圧 V0 が目標値より低いということを意味する。また、第1駆動電圧 V0 が目標値より低いということは、それだけ LC D パネルの負荷が多いということを意味する。

30

【0059】

電圧增幅器 261 は正端子 (+) では基準電圧 VREF を受け、負端子 (-) ではフィードバック電圧 VFB を受ける演算增幅器より構成されうる。

【0060】

電圧增幅器 261 から出力された制御電圧 VCON は電圧制御発振器 270 に入力される。

40

【0061】

電圧制御発振器 270 は入力される制御電圧 VCON のレベルに応じた可変の周波数を有するクロック信号 CK を発生する。すなわち、制御電圧 VCON のレベルが高いほど高周波数のクロック信号 CK が、制御電圧 VCON のレベルが低いほど低周波数のクロック信号 CK が生成され出力される。電圧制御発振器 270 の詳細な構成は図 5 に示される。

【0062】

まず、図 6 を参照して DC-DC コンバータ 210 の詳細な構成を説明する。図 6 に示された DC-DC コンバータ 210 は一構成例であり、本発明の DC-DC コンバータ 210 の構成が図 6 に示された例に限定されないことは自明である。

【0063】

50

D C - D C コンバータ 210 は一つ以上のスイッチ及びキャパシタを含む。図 6 に示された D C - D C コンバータ 210 は 4 つのスイッチ及び 4 つのキャパシタを含む。説明の便宜上、D C - D C コンバータ 210 に含まれる 4 つのスイッチを第 1 ~ 第 4 スイッチ S 1 ~ S 4、4 つのキャパシタを第 1 ~ 第 4 キャパシタ C C 1 ~ C C 4 とする。

【 0064 】

第 1 ~ 第 4 スイッチ S 1 ~ S 4 はゲートにスイッチング信号を受ける M O S トランジスタであることが望ましいが、ここでは P M O S トランジスタより構成される。

【 0065 】

第 1 ~ 第 4 スイッチ S 1 ~ S 4 は入力電圧 V C I 端子と出力電圧（すなわち、第 1 駆動電圧 V 0 ）端子間に直列に連結される。そして、第 1 ~ 第 4 スイッチ S 1 ~ S 4 の一端子には第 1 ~ 第 4 キャパシタ C C 1 ~ C C 4 がそれぞれ連結される。

10

【 0066 】

第 1 及び第 3 スイッチ S 1, S 3 のスイッチング信号としてクロック信号 C K が入力され、第 2 及び第 4 スイッチ S 2, S 4 のスイッチング信号として反転クロック信号 C K B が入力される。そして、第 1 及び第 3 キャパシタ C C 1, C C 3 の一端子にはクロック信号 C K が入力され、第 2 及び第 4 キャパシタ C C 2, C C 4 の一端子には反転クロック信号 C K B が入力される。

【 0067 】

そして、クロック信号 C K は接地電圧 V S S と入力電圧 V C I レベル間をスイングする信号であることが望ましい。

20

【 0068 】

上記のように D C - D C コンバータ 210 を構成することにより、第 1 スイッチングノード 211 の電圧レベルは入力電圧が V C I レベルである場合に、その入力電圧レベルの 2 倍の 2 V C I の間をスイングし、第 2 スイッチングノード 212 の電圧レベルは 2 × 入力電圧レベル 2 V C I と 3 × 入力電圧レベル 3 V C I との間をスイングし、第 3 スイッチングノード 213 の電圧レベルは 3 × 入力電圧レベル 3 V C I と 4 × 入力電圧レベル 4 V C I との間をスイングする。第 3 スイッチングノード 213 の交流電圧は第 4 キャパシタ C C 4 により直流電圧に変換されて第 1 駆動電圧 V 0 として出力される。従って、第 1 駆動電圧 V 0 レベルは入力電圧 V C I レベルに比べて 3 倍ほどとなる。すなわち、図 6 に示された D C - D C コンバータ 210 はブースティング倍数が約 3 倍になるように設計された回路である。

30

【 0069 】

ブースティング倍数は段数により調節されうる。ここで、段数とはクロック信号 C K または反転クロック信号 C K B に連結されるキャパシタ数と考えることができ、図 6 での段数は 3 である。

【 0070 】

図 7 は図 4 に示された電圧制御発振器 270 の一構成例を示す回路図である。電圧制御発振器を構成する方法は様々であるが、本発明の実施例では電圧により値が変わる抵抗を利用し、インバータチェーンの出力ノードでの有効キャパシタンス値を可変にするリング発振器状の電圧制御発振器 270 が使われる。

40

【 0071 】

図 7 を参照すれば、電圧制御発振器 270 は複数（ここでは、3 つ）のインバータ 271, 272, 273 が直列に連結されるインバータチェーンと各インバータの出力ノードに連結される複数（ここでは、3）の抵抗 R M 1, R M 2, R M 3 及び各抵抗 R M 1, R M 2, R M 3 と接地電圧間に形成される複数（ここでは、3）のキャパシタ C P 1, C P 2, C P 3 を含む。

【 0072 】

インバータチェーンの出力がブースティング周波数 F C K を有するクロック信号 C K である。インバータチェーンの出力は再びインバータチェーンの入力になる。そして、抵抗 R M 1, R M 2, R M 3 はそのゲートには制御電圧 V C O N が、そのドレーンはインバータ

50

の出力ノードに、そのソースはキャパシタ L C P 1 , C P 2 , C P 3 の一端子にそれぞれ連結される N M O S トランジスタであることが望ましい。N M O S トランジスタ R M 1 , R M 2 , R M 3 それぞれはゲートに印加される制御電圧 V C O N のレベルが高いほど抵抗値が小さく、制御電圧 V C O N のレベルが低いほど抵抗値が大きい。制御電圧 V C O N のレベルが変化すると、それにつれてインバータ出力ノードにおける有効キャパシタンスも変化する。

【 0 0 7 3 】

上記のように制御電圧 V C O N により抵抗値が変化し有効キャパシタンスが変化すると、インバータの入力信号に対比した出力信号の遅延値が変化する。従って、インバータチーンから出力されるクロック信号 C K の周波数が可変になる。

10

【 0 0 7 4 】

制御電圧 V C O N が高ければ抵抗値が小さくなり、これにより遅延時間が短くなるので、クロック信号 C K の周波数は高くなる。一方、制御電圧 V C O N が低ければ、抵抗値が大きくなり、これにより遅延時間が長くなつてクロック信号 C K の周波数は低くなる。

【 0 0 7 5 】

図 8 は図 5 に示された制御電圧発生器 2 6 0 の電圧増幅器 2 6 1 の特性を示す図面である。これを参照すれば、電圧増幅器 2 6 1 は基準電圧 V R E F とフィードバック電圧 V F B との差電圧 V D に比例してレベルが高くなる制御電圧 V C O N を発生する。このグラフの傾きを電圧利得 (A v) という。

【 0 0 7 6 】

図 9 は図 4 に示された電圧制御発振器 2 7 0 の特性を示す図面である。これを参照すれば、電圧制御発振器 2 7 0 から出力されるクロック信号の周波数 F C K は入力される制御電圧 V C O N に比例する。グラフの傾きを電圧 - 周波数感度 (K v) という。

20

【 0 0 7 7 】

制御電圧発生器 2 6 0 の電圧増幅器 2 6 1 の電圧利得 (A v) と電圧制御発振器 2 7 0 の電圧 - 周波数感度 (K v) とによりクロック信号の周波数 F C K の可変範囲が決まる。ブースティング周波数 F C K の可変範囲を狭くしたい場合、制御電圧発生器 2 6 0 の電圧増幅器の電圧利得 (A v) を小さく設定すればよく、特定の場合に減衰器として使われうる。

【 0 0 7 8 】

30

図 1 0 はクロック信号の周波数 F C K に対するブースティング効率特性を示す図面である。図 1 0 を参照すれば、ある程度の周波数 (ここでは、 F 2) まではクロック信号の周波数 F C K が高くなるほどブースティング効率が改善される。ブースティング効率というのは、前述のように、第 1 駆動電圧 V 0 の目標値に対する実際の第 1 駆動電圧 V 0 の比を百分率で示したものである。

【 0 0 7 9 】

図 1 0 を参照すれば、クロック信号の周波数 F C K が所定の臨界値を超えると、ブースティング周波数 F C K が高くなつてもブースティング効率が上がりずに停滞するか、むしろさらに下がる。これは、クロック信号の周波数 F C K が過度に高くなると D C - D C コンバータ 2 1 0 の昇圧効率がさらに下がるためである。すなわち、ブースティング周波数 F C K が高くなるにつれて D C - D C コンバータ 2 1 0 において消耗される自体電流も増えることにより生じる効率低下が一層支配的に現れるようになり、ブースティング周波数 F C K を高くしてもそれ以上の効率改善がなされない臨界値に達する。

40

【 0 0 8 0 】

従つて、クロック信号の周波数 F C K は図 1 0 に示されたように線形範囲 (F 1 ~ F 2) 内に調節されることが望ましい。クロック信号 C K の周波数範囲は前述のように、図 8 及び図 9 に示された電圧利得 (A v) 及び / または電圧 - 周波数感度 (K v) を調整することにより調節されうる。

【 0 0 8 1 】

本発明は図面に示された一実施形態を参考に説明されたがそれは例示的なものに過ぎず、

50

本技術分野の当業者ならばそれから多様な変形及び均等な他の実施形態が可能であるという点が理解されるであろう。従って、本発明の真の技術的保護範囲は特許請求の範囲の技術的思想に基づいて決まるべきである。

【0082】

【発明の効果】

本発明によれば、例えば、文字だけのディスプレイのようにLCDパネルの電流消耗量が少ない場合には既存の固定ブースティング周波数とは異なって非常に低いブースティング周波数でDC-DCコンバータを動作させることにより、DC-DCコンバータ自体において消耗される電流損失を減らすことができる。一方、映像、特に動画のディスプレイのようにLCDパネルの電流消耗量が多い場合には、ブースティング周波数を高くして駆動電圧のレベルが下がらないようにすることで、ブースティング効率を改善する効果がある。

【0083】

従って、本発明によれば、電力使用が減ってブースティング効率が改善され、LCDパネルの電流消耗量が増えてもディスプレイ画面の質が下がらない。

【図面の簡単な説明】

【図1】従来技術によるLCDドライバICの駆動電圧発生回路を示すブロック図である。

【図2】本発明の概念を説明するための図面であり、クロック信号の周波数によるLCDパネルの電流消耗量に対するブースティング効率の関係を示す図面である。

【図3】本発明の概念を説明するための図面であり、理想的なLCDパネルの電流消耗量に対する第1駆動電圧レベルを示す図面である。

【図4】本発明の一実施形態によるLCD駆動電圧発生回路を示すブロック図である。

【図5】本発明の一実施形態による駆動電圧発生回路を詳細に示す図面である。

【図6】図4に示されたDC-DCコンバータの詳細な構成を示す回路図である。

【図7】図4に示された電圧制御発振器の詳細な構成を示す回路図である。

【図8】図5に示された電圧増幅器の特性を示す図面である。

【図9】図4に示された電圧制御発振器の特性を示す図面である。

【図10】図4に示された駆動電圧発生回路でのクロック信号の周波数に対するブースティング効率特性を示す図面である。

【符号の説明】

200 駆動電圧発生回路

CK クロック信号

EN イネーブル信号

V0~4 第1~5駆動電圧

VCI 入力電圧

VCON 制御電圧

VFB フィードバック電圧

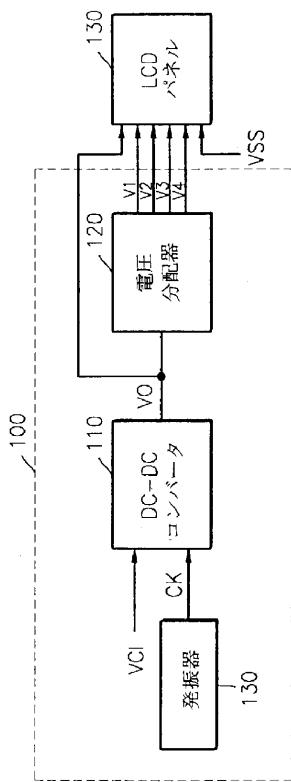
VREF 基準電圧

10

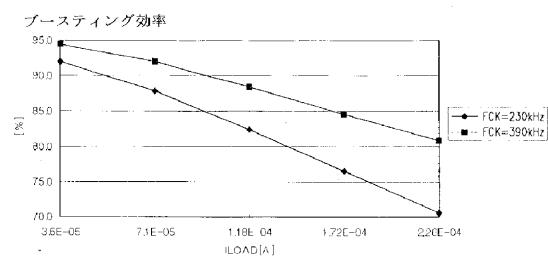
20

30

【 図 1 】



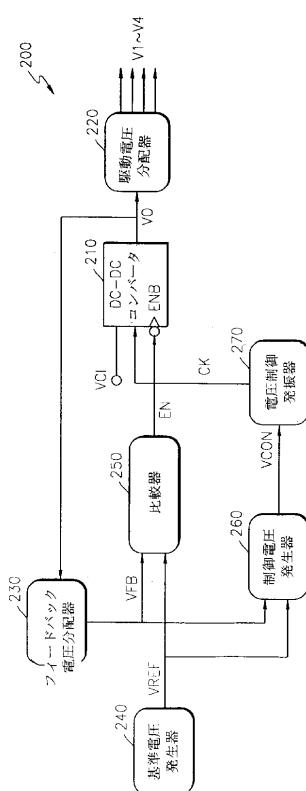
【 四 2 】



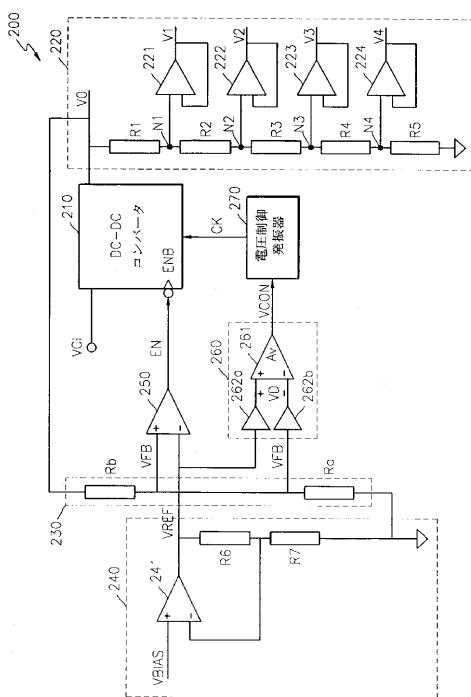
【 四 3 】



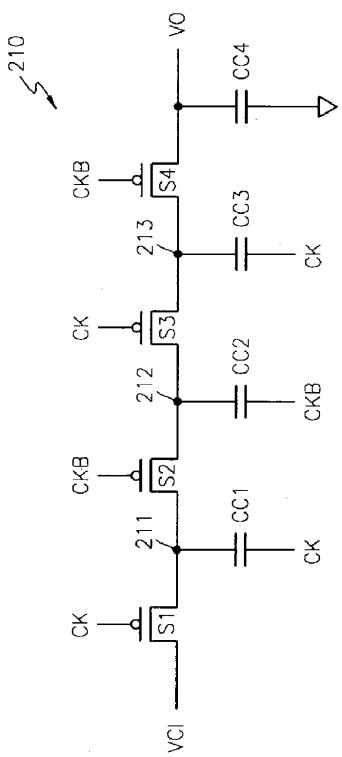
〔 4 〕



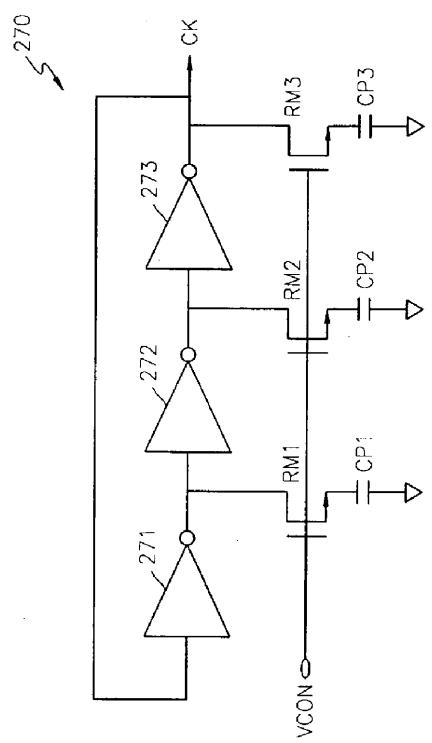
〔 四 5 〕



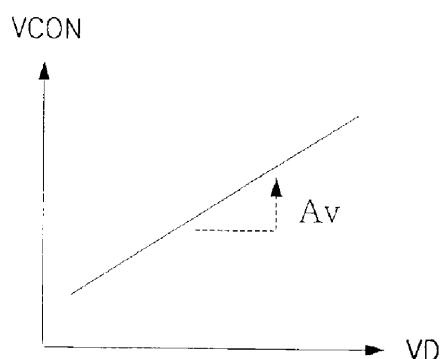
【図6】



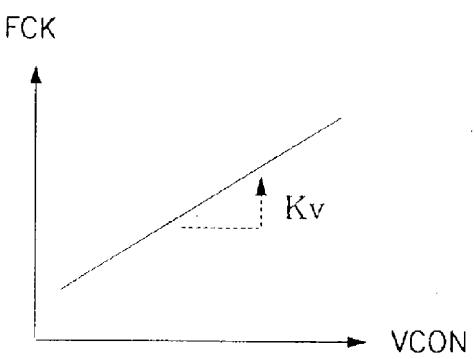
【図7】



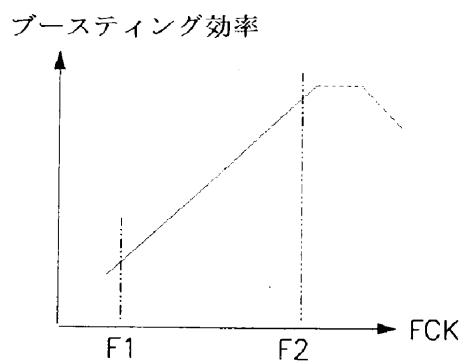
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 金亨來
大韓民国京畿道水原市長安区栗田洞300番地

審査官 小川 浩史

(56)参考文献 特開2000-278937 (JP, A)
特開2000-20147 (JP, A)
特開2001-337651 (JP, A)
特開2000-270540 (JP, A)
特開平7-202646 (JP, A)
特開2003-295830 (JP, A)
欧州特許出願公開第1180762 (EP, A2)
特開2002-123234 (JP, A)
特開2002-238243 (JP, A)
特開昭63-224664 (JP, A)
特開平7-160215 (JP, A)
特開2000-236657 (JP, A)
特開平9-23639 (JP, A)
特開平9-318927 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/20-3/38

H02M 3/07

专利名称(译)	用于液晶显示装置的驱动电压产生电路和方法		
公开(公告)号	JP4632113B2	公开(公告)日	2011-02-16
申请号	JP2003070108	申请日	2003-03-14
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	朴在浩 金亨來		
发明人	朴在浩 金亨來		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 H02M3/00 H02M3/07 H04N5/66		
CPC分类号	G09G3/3696 G09G2330/02		
FI分类号	G09G3/36 G09G3/20.611.A G09G3/20.612.D G09G3/20.612.J G02F1/133.520 H02M3/00.H H02M3/07 H04N5/66.102.B		
F-TERM分类号	2H093/NC02 2H093/NC34 2H093/NC41 2H093/ND39 2H093/NF13 2H193/ZA04 2H193/ZF02 2H193/ZQ09 5C006/AF54 5C006/AF72 5C006/BB11 5C006/BF14 5C006/BF25 5C006/BF26 5C006/BF27 5C006/BF34 5C006/BF43 5C006/BF46 5C006/BF49 5C006/FA47 5C058/AA09 5C058/BA01 5C058/BA04 5C058/BA26 5C058/BB10 5C080/AA10 5C080/BB05 5C080/DD26 5C080/FF09 5C080/JJ02 5C080/JJ03 5C080/JJ05 5H730/AA14 5H730/AS01 5H730/AS04 5H730/BB02 5H730/BB85 5H730/DD04 5H730/DD12 5H730/EE62 5H730/EE65 5H730/FD01 5H730/FF01 5H730/FG02 5H730/FG16 5H730/FG22		
审查员(译)	小川博		
优先权	1020020022323 2002-04-23 KR		
其他公开文献	JP2004004609A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供用于产生LCD的驱动电压的低功率和高效率的装置和方法。解决方案：DC-DC转换器210根据具有规定频率的时钟信号CK升高输入电压并输出第一驱动电压。压控振荡器270产生具有与控制电压的电平相对应的可变频率的时钟信号，并且控制电压发生器260利用规定的参考电压和反映第一驱动电压的反馈电压之间的差来产生控制电压。根据反馈电压VFB低于参考电压VREF，使时钟信号的频率更高。反馈电压低于参考电压意味着第一驱动电压的电平低于目标值，这意味着LCD面板的电流消耗很大。用于升压DC-DC转换器的操作的时钟信号的频率由电流消耗改变，以降低功耗并提高升压效率。ž

