

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4618954号
(P4618954)

(45) 発行日 平成23年1月26日 (2011. 1. 26)

(24) 登録日 平成22年11月5日 (2010. 11. 5)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36

G02F 1/133 580

G09G 3/20 611C

G09G 3/20 612U

G09G 3/20 632Z

請求項の数 9 (全 57 頁) 最終頁に続く

(21) 出願番号 特願2001-280174 (P2001-280174)
 (22) 出願日 平成13年9月14日 (2001. 9. 14)
 (65) 公開番号 特開2003-84726 (P2003-84726A)
 (43) 公開日 平成15年3月19日 (2003. 3. 19)
 審査請求日 平成18年10月11日 (2006. 10. 11)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100090273
 弁理士 國分 孝悦
 (72) 発明者 伊藤 高英
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 (72) 発明者 抜山 和宏
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 (72) 発明者 福德 章一
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置、表示装置の駆動回路および表示装置の信号伝送方法

(57) 【特許請求の範囲】

【請求項 1】

マトリクス状に配置された表示画素により構成される表示部に画像を表示するための表示データを複数の信号線を介して送信するとともに、上記複数の信号線を介して送信される表示データのデータ値を上記信号線毎に反転したか否かを示すデータ反転信号を送信する送信回路と、

上記送信回路から送信された表示データおよびデータ反転信号を受信し、上記受信したデータ反転信号に応じて、上記受信した表示データのデータ値を信号線毎に反転する受信回路とを備え、

上記送信回路は、送信する上記表示データのデータ値が、少なくとも3クロックの期間、連続して切り替わる信号線数が、上記複数の信号線数の1/4より多い場合には、モード切替信号を送信するとともに、供給される表示データに応じて、1つ前に供給された表示データのデータ値を信号線毎に反転して送信することを特徴とする表示装置。

【請求項 2】

上記送信回路は、送信する上記表示データのデータ値が、少なくとも3クロックの期間、連続して切り替わる信号線数が、上記複数の信号線数の1/4より多いか否かの判定を行う前に、供給される表示データのデータ値が1つ前に供給された表示データのデータ値に対して反転するデータ数が、上記複数の信号線数の1/2より多い場合には、上記データ反転信号を反転するとともに、反転処理後の上記データ反転信号に応じて、上記供給される表示データのデータ値を信号線毎に反転し、反転処理後の上記表示データのデータ値

10

20

を用いて上記判定を行うことを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

表示部に画像を表示するための表示データを複数の信号線を介して送信するとともに、上記複数の信号線を介して送信される表示データのデータ値を上記信号線毎に反転したか否かを示すデータ反転信号を送信する送信回路を備え、

上記送信回路は、上記送信する表示データのデータ値が、少なくとも 3 クロックの期間、連続して切り替わる信号線数を検出する検出回路と、

上記検出回路により検出された信号線数が、所定の信号線数より多いか否か判定し、上記判定の結果、上記検出された信号線数が上記所定の信号線数より多い場合に、モード切替信号を送信する判定回路とを備えることを特徴とする表示装置の駆動回路。

10

【請求項 4】

上記送信回路は、供給される上記表示データのデータ値が 1 つ前に供給された表示データのデータ値に対して反転するデータ数を検出し、検出結果に応じて、上記データ反転信号を反転する反転信号数検出回路と、

上記反転信号数検出回路から出力されるデータ反転信号に応じて、上記供給される表示データのデータ値を信号線毎に反転する出力信号処理回路とを備え、

上記検出回路は、上記出力信号処理回路から出力される反転処理後の表示データのデータ値を用いて上記検出を行うことを特徴とする請求項 3 に記載の表示装置の駆動回路。

【請求項 5】

上記反転信号数検出回路は、上記検出した信号線数が上記複数の信号線数の $1/2$ より多いときに、上記データ反転信号を反転することを特徴とする請求項 4 に記載の表示装置の駆動回路。

20

【請求項 6】

複数の信号線を介して送信された表示部に画像を表示するための表示データと、上記表示データのデータ値を上記信号線毎に反転したか否かを示すデータ反転信号とを受信し、上記受信したデータ反転信号に応じて、上記受信した表示データのデータ値を信号線毎に反転する受信回路を備え、

上記受信回路は、送信前の上記表示データのデータ値が、少なくとも 3 クロックの期間、連続して切り替わる信号線数が所定の信号線数より多いか否かを示すモード切替信号を受信し、上記受信したモード切替信号に応じて、上記受信した表示データまたは 1 つ前に受信回路から表示部に対して出力した表示データに基づいて、上記表示部に対して出力する表示データを生成することを特徴とする表示装置の駆動回路。

30

【請求項 7】

マトリクス状に配置された表示画素により構成される表示部に画像を表示するための表示データを複数の信号線を介して送信するとともに、上記複数の信号線を介して送信される表示データのデータ値を上記信号線毎に反転したか否かを示すデータ反転信号を送信し、

上記送信する表示データのデータ値が、少なくとも 3 クロックの期間、連続して切り替わる信号線数を検出し、

上記検出された信号線数が、所定の信号線数より多いか否か判定し、

40

上記判定の結果、上記検出された信号線数が上記所定の信号線数より多い場合に、モード切替信号を送信し、

上記送信された表示データおよびデータ反転信号を受信し、

上記受信したデータ反転信号に応じて、上記受信した表示データのデータ値を信号線毎に反転することを特徴とする表示装置の信号伝送方法。

【請求項 8】

上記受信回路は、上記送信回路から送信されたモード切替信号に応じて、受信した表示データまたは 1 つ前に受信回路から表示部に対して出力した表示データに基づいて、上記表示部に対して出力する表示データを生成することを特徴とする請求項 1 に記載の表示装置。

50

【請求項 9】

上記送信されたモード切替信号を受信し、上記受信したモード切替信号に応じて、上記受信した表示データまたは1つ前に受信回路から表示部に対して出力した表示データに基づいて、上記表示部に対して出力する表示データを生成することを特徴とする請求項7に記載の表示装置の信号伝送方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示装置、表示装置の駆動回路および表示装置の信号伝送方法に関する。

【0002】

10

【従来の技術】

近年、集積回路等の回路素子の動作周波数が高くなるのにもない、回路素子間や当該回路素子等により構成された装置間等での信号の転送速度の高速化、および信号を転送するための信号線数が増加してきた。

例えば、液晶表示装置では、液晶表示装置の高精細化、高表示品位化、および液晶表示装置が有する液晶パネルの大型化等にもない、表示データの転送速度の高速化、表示データを転送するための信号線数の増加により、表示データを処理したり転送したりする駆動回路等が高性能化してきた。

【0003】

図37は、従来の液晶表示装置の構成例を示すブロック図である。

20

図37において、331はビデオ信号発生器であり、液晶表示装置332にて表示する画像の画像信号V S I Gを生成し、液晶表示装置332に供給する。

【0004】

液晶表示装置332は、ビデオ信号発生器331から供給される画像信号V S I GをLCDモジュール334にて処理可能な表示データT D A T、クロック信号C L Kおよびイネーブル信号E N A Bに変換してLCDモジュール334に供給するビデオ信号変換回路333と、ビデオ信号変換回路333から供給される表示データT D A T、クロック信号C L Kおよびイネーブル信号E N A Bに基づいて、画像信号V S I G（表示データT D A T）に係る画像を表示するLCDモジュール334とにより構成される。

【0005】

30

そして、図37に示すような液晶表示装置においても、液晶表示装置の高精細化、大型化等により、表示データT D A Tの転送速度の高速化を図るために、クロック信号C L Kの周波数が高くなったり、表示データT D A Tを転送するための信号線数が増加したりしてきた。

【0006】

【発明が解決しようとする課題】

しかしながら、従来の液晶表示装置においては、クロック信号C L Kの周波数を高くしたり、表示データT D A Tを転送するための信号線数を増加したりして、表示データT D A Tの転送速度を高速化すると、クロック信号C L Kや表示データT D A Tが反転する単位時間当たりの頻度が増加することにより、クロック信号C L Kや表示データT D A Tを転送する信号線からの放射電波（電磁波ノイズ）が増加してしまうという問題があった。

40

【0007】

上記問題を解決するための1つの方法として、図38に示すようにクロック信号にスペクトラム拡散処理（S S 処理）を施し、S S 処理を施したクロック信号に表示データを同期させて転送させることにより、クロック信号や表示データを転送する信号線からの放射電波（電磁波ノイズ）を低減する方法がある。

【0008】

図38は、従来の液晶表示装置の他の構成例を示すブロック図である。

図38において、351は信号発生器であり、制御信号C T L、クロック信号C L Kおよびクロック信号C L Kに同期したデータ信号D T 1をインタフェース353を介して表示

50

装置 3 5 2 に供給する。

表示装置 3 5 2 は、スペクトラム拡散処理回路 (S S 回路) 3 5 4、制御回路 3 5 5、ドライバ回路 3 5 8 および表示部 3 5 9 により構成され、さらに制御回路 3 5 5 は、駆動制御回路 3 5 6 およびメモリ部 3 5 7 により構成される。

【0 0 0 9】

インタフェース 3 5 3 を介して供給されたクロック信号 C L K は、S S 回路 3 5 4 により S S 処理され、S S クロック信号 S S C L K としてメモリ部 3 5 7 およびドライバ回路 3 5 8 にそれぞれ供給される。また、インタフェース 3 5 3 を介して供給されたクロック信号 C L K およびデータ信号 D T 1 は駆動制御回路 3 5 6 に入力され、制御信号 C T L に従って駆動制御回路 3 5 6 により所定の制御処理等が行われ、データ信号 D T 2 およびクロック信号 C L K としてメモリ部 3 5 7 に供給される。

10

【0 0 1 0】

メモリ部 3 5 7 に供給されたデータ信号 D T 2 は、クロック信号 C L K に同期してメモリ部 3 5 7 に書き込まれ、書き込まれたデータ信号は、S S 回路から供給された S S クロック信号 S S C L K に同期してデータ信号 D T 3 として読み出され、ドライバ回路 3 5 8 に供給される。

そして、ドライバ回路 3 5 8 は、供給されたデータ信号 D T 3 および S S クロック信号 S S C L K に基づいて、表示部 3 5 9 を駆動制御して所望の画像を表示部 3 5 9 に表示させる。

【0 0 1 1】

20

上述したようにして、クロック信号 C L K に S S 処理を施し、S S 処理した S S クロック信号 S S C L K にデータ信号 D T 3 を同期させて転送することで、信号線からの放射電波 (電磁波ノイズ) のノイズピークを分散させ、信号線からの放射電波 (電磁波ノイズ) を低減することができた。

【0 0 1 2】

しかしながら、上述したようにしてクロック信号 C L K に S S 処理を施し、S S 処理した S S クロック信号 S S C L K にデータ信号 D T 3 を同期させて転送するようにした場合には、外部から供給されるクロック信号 C L K に既に S S 処理が施されていると、S S クロック信号 S S C L K は 2 度の S S 処理が施されたものになってしまう。その結果、例えば、外部での S S 処理と S S 回路での S S 処理とが互いに相殺されたりして、S S 処理が全く施されていないクロック信号となってしまうたり、外部での S S 処理により周波数が高くなったクロック信号に対する S S 回路での S S 処理によりクロック信号の周波数がさらに高くなると、S S 処理を施していないクロック信号よりも周波数が高くなり、メモリ部 3 5 7 内のデータ量が不足したりするなど、予期しない新たな問題が生じてしまう可能性があった。

30

【0 0 1 3】

本発明は、このような問題を解決するためになされたものであり、新たな問題を生じさせたりすることなく、信号の伝送路において、信号を転送する信号線から放射される電波量 (電磁波ノイズ) を低減することができるようにすることを目的とする。

【0 0 1 4】

40

【課題を解決するための手段】

本発明の表示装置は、表示部に画像を表示するための表示データを複数の信号線を介して送信するとともに、上記複数の信号線を介して送信される表示データのデータ値を信号線毎に反転したか否かを示すデータ反転信号を送信する送信回路と、送信回路から送信された表示データおよびデータ反転信号を受信し、受信したデータ反転信号に応じて、受信した表示データのデータ値をビット毎に反転する受信回路とを備える。送信回路は、送信する表示データのデータ値が、少なくとも 3 クロックの期間、連続して切り替わる信号線数が複数の信号線数の $1/4$ より多い場合には、モード切替信号を送信するとともに、供給される表示データに応じて 1 つ前に供給された表示データのデータ値を信号線毎に反転して送信する。

50

【0015】

上記のように構成した本発明によれば、送信回路から表示データを送信する際に、データ値が変化（反転）する信号線数を複数の信号線数の半分以下にすることができるようになる。

【0019】

【発明の実施の形態】

以下、本発明の実施形態を図面に基づいて説明する。

なお、以下の説明では、信号の信号レベルがハイレベル（以下、「“H”」と称す。）の場合にはロウレベル（以下、「“L”」と称す。）に、“L”の場合には“H”に変化することを「レベル反転する」と称す。

10

【0020】

（第1の実施形態）

図1は、第1の実施形態による表示装置を適用した液晶表示装置の一構成例を示すブロック図である。

図1において、11はビデオ信号発生器であり、液晶表示装置12にて表示する画像の画像信号V S I Gを生成し、上記液晶表示装置12に供給する。

【0021】

液晶表示装置12は、ビデオ信号変換回路13とL C Dモジュール14により構成される。

ビデオ信号変換回路13は、ビデオ信号発生器11から供給される画像信号V S I GをL C Dモジュール14にて処理可能な信号に変換し、L C Dモジュール14に供給する。L C Dモジュール14は、液晶パネルを有しており、上記ビデオ信号変換回路13から供給される信号に基づいて、画像信号V S I Gに係る画像を表示する。

20

【0022】

ここで、ビデオ信号変換回路13からL C Dモジュール14に供給される信号には、表示データT D A T、データ反転信号I N V、クロック信号C L Kおよびイネーブル信号E N A Bがある。上記表示データT D A Tは、それぞれ複数ビット（例えば、8ビットあるいは6ビット）からなる赤、緑および青色データR D A T A、G D A T AおよびB D A T Aにより構成される。なお、表示データT D A Tを構成する全ビットは、L C Dモジュール14にパラレル伝送され、例えば、表示データT D A Tを構成するデータR D A T A、G D A T AおよびB D A T Aがそれぞれ8ビットからなる場合には、表示データT D A Tは24本の信号線を介してL C Dモジュール14に供給される。

30

【0023】

上記データ反転信号I N Vは、上記表示データT D A Tがビット毎にデータ値を反転したデータであるか否かを示す信号である。上記データ反転信号I N Vが“H”の場合には、上記表示データT D A Tはビット毎にデータ値を反転したデータであり、上記データ反転信号I N Vが“L”の場合には、上記表示データT D A Tはビット毎にデータ値を反転していないデータ、つまり何ら処理を施していない表示データT D A Tである。

【0024】

また、上記クロック信号C L Kは、L C Dモジュール14にて表示データを取り込むためのクロック信号である。また、イネーブル信号E N A Bは、表示データに係る画像をL C Dモジュール14内の後述する液晶パネルに表示する表示期間を指定する信号であり、イネーブル信号E N A Bが“H”の期間は、表示データに従い画像を液晶パネルに表示する期間であり、“L”の期間はブランキング期間である。

40

【0025】

図2は、図1に示したビデオ信号変換回路13の構成例を示すブロック図である。ビデオ信号変換回路13は、ビデオ信号変換部21、反転信号数検出部22および出力信号処理部23により構成される。

【0026】

ビデオ信号変換部21は、ビデオ信号発生器11から供給される画像信号V S I Gに所定

50

の処理を施して、複数ビットからなる表示データV D A Tを生成し、反転信号数検出部22および出力信号処理部23に供給する。また、ビデオ信号変換部21は、画像信号V S I Gに基づいて、上述したクロック信号C L Kおよびイネーブル信号E N A Bを生成し出力する。

【0027】

反転信号数検出部22は、ビデオ信号変換部21から供給された表示データV D A Tにおいて、前データ値に対しデータ値が反転したビット数（信号線数）を検出し、上記検出結果に応じて、データ反転信号I N Vを出力する。

出力信号処理部23は、反転信号数検出部22から供給されるデータ反転信号I N Vに応じて、表示データV D A Tのデータ値をビット毎に反転し、表示データT D A Tとして出力する。

10

【0028】

図3は、図1に示したL C Dモジュール14の構成例を示すブロック図である。

図3において、31は制御信号作成部であり、入力信号処理部32を含み構成される。制御信号作成部31は、ビデオ信号変換回路13から供給される表示データT D A T、データ反転信号I N V、クロック信号C L Kおよびイネーブル信号E N A Bに基づいて、液晶パネル35を駆動し所望の画像を表示するための表示データD A T Aおよび制御信号を生成する。上記制御信号には、クロック信号C L K、スタート信号S T A R T、ラッチ信号L P、ゲートクロック信号G C L Kおよびフレーム信号F R Mがある。

【0029】

20

クロック信号C L Kは、データ駆動部34にて表示データD A T Aの読み込み動作を行うための信号であり、スタート信号S T A R Tは、上記読み込み動作を開始するための信号である。ラッチ信号L Pは、上記読み込み動作により読み込んだ表示データD A T A（表示データD A T Aに応じた印加電圧）を液晶パネル35に出力するための信号である。

【0030】

また、ゲートクロック信号G C L Kは、ゲート駆動部33にて後述する液晶パネル35内のスキャンラインを順次駆動するための信号であり、フレーム信号F R Mは、液晶パネル35に表示する1フレームの画像の走査（垂直走査）を開始するための信号である。

【0031】

入力信号処理部32は、上述した図2に示す出力信号処理部23と同様に、ビデオ信号変換回路13から供給されたデータ反転信号I N Vに応じて、表示データT D A Tのデータ値をビット毎に反転し、表示データD A T Aとして出力する。

30

ゲート駆動部33は、制御信号作成部31から供給されるゲートクロック信号G C L Kに基づいて、液晶パネル35が有する複数のスキャンラインを順次駆動する。

【0032】

データ駆動部34は、後述する基準電圧作成部37から供給される、例えば16階調の電圧値を有する第1の階調電圧V_nから256階調の電圧値を有する第2の階調電圧を生成する。また、データ駆動部34は、制御信号作成部31から供給される表示データD A T Aに応じた階調値の電圧を第2の階調電圧の中から選択し、液晶パネル35の各データラインに印加する。

40

【0033】

液晶パネル35は、複数のスキャンラインと複数のデータラインとがマトリクス状に配列され、上記スキャンラインとデータラインとの交差部に画像を表示するための画素が配設されている。

【0034】

36は電源作成部であり、外部から供給される入力電源を用いて、ゲート駆動部33を動作させるための電圧V_Gを生成し、ゲート駆動部33に供給するとともに、データ駆動部34を動作させるための電圧V_{DD}（アナログ電圧およびロジック電圧）を生成し、データ駆動部34に供給する。また、電源作成部36は、上記入力電源から第1の階調電圧を生成するための所定の電圧を生成し、基準電圧作成部37に供給する。基準電圧作成部37

50

は、電源作成部 36 から供給される電圧に基づいて、例えば 16 階調の電圧値を有する第 1 の階調電圧 V_n を生成し、データ駆動部 34 に供給する。

【0035】

図 4 は、本実施形態におけるデータ反転駆動の原理を説明するための回路図である。なお、この図 4 において、図 1～図 3 に示したブロックと同一の機能を有するブロックには同一の符号を付し、重複する説明は省略する。また、この図 4 においては、説明の便宜上、表示データ V_{DAT} 、 T_{DAT} および D_{ATA} については、それぞれ 5 ビットとしているが、5 ビットのデータに限らず、任意のビット数のデータに適用できるものである。

【0036】

図 4 において、41～45 はデータの送信側であるビデオ信号変換回路 13 の出力信号処理部 23 が有する排他的論理和演算回路（以下、「XOR 回路」と称す。）である。各 XOR 回路 41～45 には、データ反転信号 INV が入力されるとともに、表示データ $V_{DAT1} \sim V_{DAT5}$ がそれぞれ入力され、各 XOR 回路 41～45 は、演算結果を表示データ $T_{DAT1} \sim T_{DAT5}$ としてそれぞれ出力する。

【0037】

同様に、46～50 はデータの受信側である LCD モジュール 14 の入力信号処理部 32 が有する XOR 回路である。各 XOR 回路 46～50 には、データ反転信号 INV が入力されるとともに、ビデオ信号変換回路 13 が有する XOR 回路 41～45 から出力された表示データ $T_{DAT1} \sim T_{DAT5}$ がそれぞれ入力され、各 XOR 回路 46～50 は、演算結果を表示データ $D_{ATA1} \sim D_{ATA5}$ としてそれぞれ出力する。

【0038】

上記図 4 に示す回路において、データ反転信号 INV が “L” の場合には、図 5 に示す真理値表に従い、XOR 回路 41～50 における入力データと出力データの論理値は同じである。したがって、入力された表示データ $V_{DAT1} \sim V_{DAT5}$ のデータ値は、XOR 回路 41～50 によりそれぞれビット毎に反転されることなく、そのまま表示データ $D_{ATA1} \sim D_{ATA5}$ として出力される。

【0039】

一方、データ反転信号 INV が “H” の場合には、図 5 に示す真理値表に従い、XOR 回路 41～50 において入力データはそれぞれ反転され出力される。したがって、入力された表示データ $V_{DAT1} \sim V_{DAT5}$ は、XOR 回路 41～45 により、データ値がビット毎にそれぞれ反転されて表示データ $T_{DAT1} \sim T_{DAT5}$ として出力される。さらに、XOR 回路 41～45 から出力された表示データ $T_{DAT1} \sim T_{DAT5}$ は、XOR 回路 46～50 により、ビット毎にデータ値が反転され表示データ $D_{ATA1} \sim D_{ATA5}$ として出力される。

【0040】

つまり、上記図 4 に示す回路を用いることにより、データ反転信号 INV が “H” の場合には、出力信号処理部 23 と入力信号処理部 32 との間での表示データ $T_{DAT1} \sim T_{DAT5}$ はビット毎にデータ値が反転されたデータとなるが、データ反転信号 INV の信号レベルにはかかわらず、出力信号処理部 23 に入力される表示データ $V_{DAT1} \sim V_{DAT5}$ と、入力信号処理部 32 から出力される表示データ $D_{ATA1} \sim D_{ATA5}$ とは常に同じになる。

【0041】

図 6 は、本実施形態におけるデータ反転駆動の原理を説明するためのタイミングチャートである。なお、図 6 においては、タイミングチャートの一例として、上述した図 4 と同様に、表示データ V_{DAT} および T_{DAT} をそれぞれ 5 ビットとしている。

【0042】

図 6 において、入力される表示データ $V_{DAT1} \sim V_{DAT5}$ のうち、2 ビット (V_{DAT1} 、 V_{DAT2}) のデータ値が反転する時刻 T_1 において、データ値が反転したビット数（信号線数）は、表示データ $V_{DAT1} \sim V_{DAT5}$ の全ビット数（5 ビット）の $1/2$ 以下であるので、上記反転信号数検出部 22 はデータ反転信号 INV をレベル反転せず

10

20

30

40

50

、“L”を維持する。したがって、出力信号処理部23が出力する表示データTDAT1～TDAT5のデータ値は、入力された表示データVDAT1～VDAT5のデータ値と同じになる。

【0043】

その後、時刻T2において、表示データVDAT1～VDAT5の全ビット数の1/2より大きい、3ビット（VDAT1～VDAT3）のデータ値が反転すると、反転信号数検出部22はデータ反転信号INVをレベル反転し、“L”→“H”に変化させる。これにより、入力される表示データVDAT1～VDAT5は、出力信号処理部23によりビット毎にデータ値が反転されるので、時刻T2において、出力する表示データTDATは、2ビット（TDAT4、TDAT5）のみ反転し出力される。

10

【0044】

そして、再び、データ値が反転するビット数が表示データVDAT1～VDAT5の全ビット数の1/2より大きくなる時刻T3まで、データ反転信号INVは“H”を維持し、出力信号処理部23は、表示データVDAT1～VDAT5をビット反転した後、表示データTDATとして出力する。

【0045】

時刻T3において、表示データVDAT1～VDAT5の全ビット数の1/2より大きい、4ビット（VDAT1～VDAT4）のデータ値が反転すると、反転信号数検出部22はデータ反転信号INVをレベル反転し、“H”→“L”に変化させる。これにより、出力信号処理部23は、入力される表示データVDAT1～5をビット毎にデータ値を反転せずそのまま出力するようになり、時刻T3においては、出力する表示データTDATは、1ビット（TDAT5）のみ反転し出力される。

20

【0046】

再び、データ値が反転するビット数が表示データVDAT1～VDAT5の全ビット数の1/2より大きくなる時刻T4まで、データ反転信号INVは“L”を維持し、出力信号処理部23は、入力される表示データVDAT1～VDAT5をそのままのデータ値で表示データTDATとして出力する。

【0047】

その後、上述した時刻T2、T3と同様にして、表示データVDAT1～VDAT5の全ビット数の1/2より大きいビット数のデータ値が反転する時刻T4および時刻T5において、反転信号数検出部22はデータ反転信号INVをレベル反転する。これにより、時刻T4、T5においても、出力信号処理部23が出力する表示データTDATは、全ビット数の1/2以下のビット数のデータ値のみが反転され出力される。

30

【0048】

上述のようにして、表示データVDAT1～VDAT5において、データ値が反転するビット数が表示データVDAT1～VDAT5の全ビット数（5ビット）の1/2より大きい場合には、1つ前の時刻のデータ反転信号INVに対してデータ反転信号INVをレベル反転し、データ値が反転するビット数が表示データVDAT1～VDAT5の全ビット数（5ビット）の1/2以下の場合には、データ反転信号の信号レベルを維持する。

【0049】

これにより、データ値が反転するビット数が表示データVDAT1～VDAT5の全ビット数（5ビット）の1/2より大きい場合でも、1つ前の時刻のデータ反転信号INVに対してデータ反転信号INVをレベル反転することで、出力する表示データTDATにおいてデータ値が反転するビット数を、全ビット数の1/2以下にすることができる。したがって、表示データTDATが反転する頻度を減少させることができ、表示データTDATを転送する信号線から放射される電波量（電磁波ノイズ）を低減することができる。

40

【0050】

図7は、入力されるNビット（Nは偶数）の表示データVDATを表示データTDATとして出力する場合のデータ反転駆動の一例を示す図である。

図7（A）は、入力される表示データVDATの1ビット目から（N/2）ビット目まで

50

のデータ値が“L”を維持し、 $(N/2 + 1)$ ビット目からNビット目までのデータ値が“L”から“H”に変化する場合のデータ反転駆動例を示している。すなわち、表示データV D A Tにおいてデータ値が反転したビット数が、表示データV D A Tの全ビット数の $1/2$ 以下の場合のデータ反転駆動例を示している。

【0051】

このとき、上記図2に示した反転信号数検出部22は、表示データV D A Tにおいてデータ値が反転したビット数が全ビット数の $1/2$ 以下であるので、データ反転信号I N Vのレベル反転は行わず“L”を維持する。また、上記出力信号処理部23は、データ反転信号I N Vが“L”を維持するので、図5の真理値表に従い、入力される表示データV D A Tを表示データT D A Tとしてそのまま出力する。したがって、表示データT D A Tにお

10

【0052】

図7(B)は、入力される表示データV D A Tの1ビット目から $(N/2 - 1)$ ビット目までのデータ値が“L”を維持し、 $(N/2)$ ビット目からNビット目までのデータ値が“L”から“H”に変化する場合のデータ反転駆動例を示している。すなわち、表示データV D A Tにおいてデータ値が反転したビット数が、表示データV D A Tの全ビット数の $1/2$ より大きい場合のデータ反転駆動例を示している。

【0053】

このとき、反転信号数検出部22は、表示データV D A Tにおいてデータ値が反転したビット数が全ビット数の $1/2$ より大きいので、データ反転信号I N Vをレベル反転し“L”から“H”に変化させる。また、上記出力信号処理部23は、データ反転信号I N Vがレベル反転して“H”となるので、図5の真理値表に従い、入力された表示データV D A Tのデータ値をビット毎に反転して出力する。その結果、出力する表示データT D A Tの1ビット目から $(N/2 - 1)$ ビット目までのデータ値が反転し、表示データT D A Tの $(N/2)$ ビット目からNビット目までが“L”を維持する。したがって、出力する表示データT D A Tにおいてデータ値が反転するビット数は、全ビット数の $1/2$ 以下となる。

20

【0054】

次に、上述した本実施形態による液晶表示装置の動作について説明する。

30

まず、ビデオ信号発生器11から表示画像の画像信号V S I Gが液晶表示装置12に入力されると、上記画像信号V S I Gはビデオ信号変換回路13内のビデオ信号変換部21に供給される。ビデオ信号変換部21では、供給された画像信号V S I Gに所定の処理を施し、複数ビットの表示データV D A T、クロック信号C L Kおよびイネーブル信号E N A Bを生成する。上記生成された表示データV D A Tは、反転信号数検出部22および出力信号処理部23に供給され、クロック信号C L Kおよびイネーブル信号E N A Bは、L C Dモジュール14に供給される。

【0055】

上記表示データV D A Tが供給された反転信号数検出部22は、供給された表示データV D A Tのデータ値と、一つ前のデータ入力タイミング(1クロック前)にて供給された表示データV D A Tのデータ値とをビット毎に比較し、データ値が反転したビット数を検出する。その結果、データ値が反転したビット数が表示データV D A Tの全ビット数の $1/2$ より大きい場合には、反転信号数検出部22はデータ反転信号I N Vをレベル反転する。

40

【0056】

次に、出力信号処理部23は、反転信号数検出部22から供給されるデータ反転信号I N Vに応じて、ビデオ信号変換部21から供給された表示データV D A Tのデータ値に対しビット毎に反転処理を施す。上記反転処理は、例えば、図4に示すような回路を用いて、データ反転信号I N Vと表示データV D A Tとの論理演算を行うことにより、データ反転信号I N Vが“H”の場合には、供給された表示データV D A Tをビット毎にデータ値を

50

反転して表示データTADTとして出力し、データ反転信号INVが“L”の場合には、供給された表示データVDATをそのまま表示データTADTとして出力する。

【0057】

上述のようにして、ビデオ信号変換回路13にて生成された表示データTDAT、データ反転信号INV、クロック信号CLKおよびイネーブル信号ENABは、LCDモジュール14内の制御信号作成部31に供給される。制御信号作成部31は、供給された表示データTDAT、データ反転信号INV、クロック信号CLKおよびイネーブル信号ENABに基づいて、液晶パネル35に所望の画像を表示するための表示データDATAおよび制御信号を生成する。

【0058】

このとき、制御信号作成部31内の入力信号処理部32は、ビデオ信号変換回路13から供給されるデータ反転信号INVに応じて、例えば、図4に示すような回路により上述した出力信号処理部23と同様にして、表示データTDATのデータ値をビット毎に反転処理し表示データDATAとして出力する。これにより、入力信号処理部32から出力する表示データDATAのデータ値は、ビデオ信号変換部21にて生成された表示データVDATのデータ値と常に等しくなる。

【0059】

そして、ゲート駆動部33およびデータ駆動部34は、上記制御信号作成部31から供給される表示データDATAと制御信号等に基づいて、液晶パネル35のスキャンラインおよびデータラインをそれぞれ駆動制御し、画像信号VSIGに係る画像を液晶パネル35に表示させる。

【0060】

具体的には、ゲート駆動部33は、上記制御信号作成部31からパルス状のフレーム信号FRMが供給されると、1ライン目のスキャンラインを選択し駆動する。その後、供給されるゲートクロック信号CLKに従って、駆動するスキャンラインを1ライン毎にシフトして、液晶パネル35が有する複数のスキャンラインを最後まで走査する。そして、再び、パルス状のフレーム信号FRMが供給されると、ゲート駆動部33は、1ライン目のスキャンラインから駆動動作を開始する。

【0061】

また、データ駆動部34は、上記制御信号作成部31からパルス状のスタート信号STARTが供給されると、クロック信号CLKに従って表示データDATAを取り込み、図示しない内部に備えたレジスタに保持する。その後、パルス状のラッチ信号LPが供給されると、上記レジスタに保持した表示データDATAを出力し、上記表示データDATAのデータ値に応じた階調値の電圧を各データラインに印加する。

【0062】

以上、詳しく説明したように第1の実施形態によれば、LCDモジュール14内の液晶パネル35に画像を表示するための表示データTDATを複数の信号線を介してビデオ信号変換回路13からLCDモジュールに送信する際、表示データTDATとともに、表示データTDATがビット毎にデータ値を反転したデータであるか否かを示すデータ反転信号INVを送信し、LCDモジュール14内の入力信号処理部32にて、受信したデータ反転信号INVに応じて、上記受信した表示データTDATのデータ値をビット毎に反転する。

【0063】

これにより、表示データVDATにおいてデータ値が変化（反転）するビット数が増加したとしても、データ反転信号INVにより表示データVDATのデータ値をビット毎に反転することにより表示データTDATのデータ値が変化（反転）するビット数を表示データTDATを構成する全ビット数の半分以下にすることができる。したがって、表示データTDATが単位時間当たりに反転する頻度を減少させることができ、表示データTDATを転送する信号線から放射される電波量（電磁波ノイズ）を低減することができる。特に、本実施形態では、ビデオ信号変換回路13とLCDモジュール14間のモジュール外

10

20

30

40

50

部で信号を転送する信号線から放射される電波量（電磁波ノイズ）を低減することができる。

【0064】

また、クロック信号CLKや表示データTDATが単位時間あたりに反転する頻度を減少させることで、送信側であるビデオ変換回路13の消費電力を低減することができる。

【0065】

（第2の実施形態）

次に、本発明の第2の実施形態について説明する。

上述した第1の実施形態においては、LCDモジュール14が備える制御信号作成部31内に入力信号処理部32を設け、上記入力信号処理部32にて、データ反転信号INVに
10 応じて入力された表示データTDATに処理を施した後、表示データDATAとしてデータ駆動部34に供給するようにしていた。図8に示す第2の実施形態では、制御信号作成部31'内に上述した第1の実施形態における入力信号処理部を設けずに、データ駆動部34'に上述した第1の実施形態における入力信号処理部32と同じ機能を持たせ、入力された表示データTDATおよびデータ反転信号INVを、制御信号作成部31'を介してデータ駆動部34'に供給するようにしたものである。

【0066】

なお、第2の実施形態による表示装置を適用した液晶表示装置の構成は、上述した図1に示す液晶表示装置と同じ構成であり、また、ビデオ信号変換回路についても、上述した図2に示すビデオ信号変換回路13と同じ構成であるので、重複する説明は省略する。
20

【0067】

図8は、第2の実施形態におけるLCDモジュール14'の構成例を示すブロック図である。なお、この図8において、図3に示したブロックと同一の機能を有するブロックには同一の符号を付し、重複する説明は省略する。また、図3に示したブロックと同一ではないが対応する機能を有するブロックには、同じ符号に'を付している。

【0068】

図8において、14'はLCDモジュールである。31'は制御信号作成部であり、ビデオ信号変換回路から供給される表示データTDAT、データ反転信号INV、クロック信号CLKおよびイネーブル信号ENABに基づいて、液晶パネル35を駆動し所望の画像を表示するための表示データDATA'、データ反転信号INVおよび制御信号（CLK、START、LP、CLKおよびFRM）を生成し、出力する。
30

【0069】

34'はデータ駆動部であり、第1～第nのデータドライバ81-1～81-nにより構成される。上記第1～第nのデータドライバ81-1～81-nは、上述した第1の実施形態における入力信号処理部32と同じ機能をそれぞれ備えている。

【0070】

すなわち、上記第1～第nのデータドライバ81-1～81-nは、供給されたデータ反転信号INVが“H”の場合には、表示データDATA'のデータ値をビット毎に反転し、液晶パネル35に表示する画像の表示データとする。一方、データ反転信号INVが“L”の場合には、第1～第nのデータドライバ81-1～81-nは、入力される表示データDATA'をそのまま液晶パネル35に表示する画像の表示データとする。
40

【0071】

また、第1～第nのデータドライバ81-1～81-nは、カスケード接続されており、第1のデータドライバ81-1に入力されたスタート信号STARTが、第2のデータドライバ81-2→第3のデータドライバ81-3→…→第nのデータドライバ81-nと順次供給される。

【0072】

つまり、制御信号作成部31'からパルス状のスタート信号STARTが、第1のデータドライバ81-1に入力されると、第1のデータドライバ81-1は表示データDATA'の取り込みを開始する。第1のデータドライバ81-1は、表示データDATA'の取
50

り込みが完了すると、パルス状のスタート信号 S T A R T を第 2 のデータドライバ 8 1 - 2 に出力する。上記第 1 のデータドライバ 8 1 - 1 から出力されたスタート信号 S T A R T が第 2 のデータドライバ 8 1 - 2 に入力されると、第 2 のデータドライバ 8 1 - 2 は表示データ D A T A ' の取り込みを開始する。その後、第 2 のデータドライバ 8 1 - 2 は、表示データ D A T A ' の取り込みが完了すると、パルス状のスタート信号 S T A R T を第 3 のデータドライバ 8 1 - 3 に出力する。

【0073】

各データドライバ 8 1 - 1 ~ 8 1 - n が、上述した動作を行うことで、第 1 ~ 第 n のデータドライバ 8 1 - 1 ~ 8 1 - n は表示データ D A T A ' を順次取り込む。そして、全てのデータドライバ 8 1 - 1 ~ 8 1 - n による表示データ D A T A ' の取り込みが完了すると、制御信号作成部 3 1 ' から各データドライバ 8 1 - 1 ~ 8 1 - n にパルス状のラッチ信号 L P が供給される。これにより、表示データ D A T A ' に応じた電圧が、各データドライバ 8 1 - 1 ~ 8 1 - n から液晶パネル 3 5 のデータラインに供給されるとともに、第 1 の実施形態と同様にしてゲート駆動部 3 3 によりスキャンラインが駆動制御され、画像信号 V S I G に係る画像が液晶パネル 3 5 に表示される。

【0074】

以上、説明したように第 2 の実施形態によれば、液晶パネル 3 5 を駆動するためのデータ駆動部 3 4 ' 内のデータドライバ 8 1 - 1 ~ 8 1 - n に、受信したデータ反転信号 I N V に応じて、供給される表示データのデータ値をビット毎に反転する機能を備えるようにしたので、第 1 の実施形態により得られる効果に加え、制御信号作成部 3 1 ' 内に上記機能を備える入力信号処理部 3 2 を設ける必要がなくなり、回路構成が容易になる。また、制御信号作成部 3 1 ' を介して、データ駆動部 3 4 ' にデータ反転信号および表示データを送信するようにしたので、ビデオ変換回路 1 3 からデータドライバ 8 1 - 1 ~ 8 1 - n までの間で、クロック信号 C L K や表示データ T D A T を転送する信号線からの放射電波（電磁波ノイズ）を低減することができる。

【0075】

（第 3 の実施形態）

次に、本発明の第 3 の実施形態について説明する。

図 9 は、第 3 の実施形態による表示装置を適用した液晶表示装置の L C D モジュールの構成例を示すブロック図である。第 3 の実施形態における液晶表示装置は、外部から供給される画像信号を図示しないビデオ信号変換回路により L C D モジュールにて処理可能な信号（表示データ、クロック信号およびイネーブル信号）に変換して液晶パネルに表示する液晶表示装置である。

【0076】

図 9 において、9 1 は L C D モジュールであり、図示しないビデオ信号変換回路から供給される表示データ I 0 0 ~ I N M（N および M は添え字であり、N および M は整数）、図示しないクロック信号およびイネーブル信号に基づいて、液晶パネル 1 0 1 に所望の画像を表示するためのものである。

【0077】

9 2 は制御回路であり、データ反転検出回路 9 3、反転選択回路 9 4、9 5、9 6 を含む構成され、上記表示データ I 0 0 ~ I N M、クロック信号およびイネーブル信号に基づいて、液晶パネル 1 0 1 を駆動するための制御信号を生成し出力したり、表示画像の表示データを出力したりする。データ反転検出回路 9 3 は、供給される表示データ I 0 0 ~ I N M において所定の規則に従い変化するデータ数を検出し、検出結果に応じてモード切替信号 R C を出力する。上記モード切替信号 R C は、送信側の反転選択回路 9 4 ~ 9 6 および受信側の反転選択回路 9 8 ~ 1 0 0 において、供給された表示データを出力する通常モードか、1 クロック前に出力した表示データを反転または非反転して出力する前データ駆動モードかを切り替える信号である。

【0078】

反転選択回路 9 4 ~ 9 6 は、それぞれ供給される表示データ I 0 0 ~ I N M および上記モ

10

20

30

40

50

ード切替信号 R C に応じて、図 1 0 に示す送信側の真理値表に従い、表示データ D 0 0 ~ D N M を出力する。

【0079】

ここで、図 1 0 は、送信側の反転選択回路 9 4 ~ 9 6 の真理値表を示す図である。図 1 0 において、R C はモード切替信号、I は入力データ、D は出力データである。また、I₀ は 1 クロック前の入力データである。

【0080】

図 1 0 に示すように、モード切替信号 R C が “ L ” のときには、反転選択回路 9 4 ~ 9 6 は、入力データ I と同じデータ値を出力する。一方、モード切替信号 R C が “ H ” のときには、反転選択回路 9 4 ~ 9 6 は、入力データ I が “ L ” であれば、1 クロック前に入力されたデータ値を出力し、入力データ I が “ H ” であれば、1 クロック前に入力されたデータ値を反転して出力する。

10

【0081】

図 9 に戻り、9 7 はデータドライバであり、反転選択回路 9 8 ~ 1 0 0 を含み構成され、制御回路 9 2 から供給される表示データ D 0 0 ~ D N M および図示しない制御信号に基づいて、液晶パネル 1 0 1 のデータラインを駆動するためのものである。反転選択回路 9 8 ~ 1 0 0 は、上述した反転選択回路 9 4 ~ 9 6 と同様に、それぞれ供給される表示データ D 0 0 ~ D N M およびモード切替信号 R C に応じて、図 1 1 に示す受信側の真理値表に従い、表示データ Q 0 0 ~ Q N M を出力する。

【0082】

20

図 1 1 は、受信側の反転選択回路 9 8 ~ 1 0 0 の真理値表を示す図である。図 1 1 において、R C はモード切替信号、D は入力データ、Q は出力データである。また、Q₀ は 1 クロック前の出力データである。

【0083】

図 1 1 に示すように、モード切替信号 R C が “ L ” のときには、反転選択回路 9 8 ~ 1 0 0 は、入力データ D と同じデータ値を出力する。一方、モード切替信号 R C が “ H ” のときには、反転選択回路 9 8 ~ 1 0 0 は、入力データ D が “ L ” であれば、1 クロック前に出力したデータ値を出力し、入力データ D が “ H ” であれば、1 クロック前に出力したデータ値を反転して出力する。

【0084】

30

液晶パネル 1 0 1 は、複数のスキャンラインと複数のデータラインとがマトリクス状に配列され、上記スキャンラインとデータラインとの交差部に画像を表示するための画素が配設されている。上記液晶パネル 1 0 1 は、図示しないゲートドライバおよびデータドライバ 9 7 により上記スキャンラインおよびデータラインがそれぞれ駆動されることで表示データ Q 0 0 ~ Q N M に係る画像を表示する。

【0085】

次に、図 1 2 ~ 図 1 7 に基づいて、上記図 9 に示したデータ反転検出回路 9 3、反転選択回路 9 4 ~ 9 6 および反転選択回路 9 8 ~ 1 0 0 の構成について説明する。なお、以下の説明では、表示データ I 0 0 を用いて説明するが、図 1 3 ~ 図 1 5 に示すデータ反転検出回路 9 3 内の判定部分を除き、表示データ I 0 0 ~ I N M のそれぞれが図 1 2 ~ 図 1 7 に示す回路により処理される。

40

【0086】

図 1 2 および図 1 3 は、データ反転検出回路 9 3 の構成例を示す図である。なお、図 1 2 には、上記データ反転検出回路 9 3 において、所定の規則に従って変化する表示データ数を検出する部分について示し、図 1 3 には、検出結果に応じて、モード切替信号を出力するか否か判定を行う部分について示している。

【0087】

図 1 2 に示す回路は、上記所定の規則として、供給される表示データ I 0 0 ~ I N M が、3 クロックの期間のデータ値が、“ H ” → “ L ” → “ H ”、あるいは “ L ” → “ H ” → “ L ” と変化するようデータ値が 1 クロック毎に連続して反転する規則 A や、3 クロック

50

の期間のデータ値が、“H”→“L”→“L”、あるいは“L”→“H”→“H”と変化するように、データ値が反転した後、次のクロックでデータ値が反転しない規則Bに従って変化するデータ数を検出するものである。

【0088】

図12において、110～112はフリップフロップであり、フリップフロップ110には表示データI00が入力されている。また、フリップフロップ111にはフリップフロップ110の出力データS1が入力され、フリップフロップ112にはフリップフロップ111の出力データS2が入力され、フリップフロップ112は出力データS3を出力する。したがって、出力データS1を基準の表示データとすると、出力データS2は1クロック前の表示データであり、出力データS3は2クロック前の表示データである。

10

【0089】

113は、表示データのデータ値が上述した規則Aに従って変化するか否か判別するための第1の判別回路であり、117は、表示データのデータ値が規則Bに従って変化するか否か判別するための第2の判別回路である。

【0090】

第1の判別回路113は、2つのXOR回路114、115および1つのAND回路116により構成され、XOR回路114には、出力データS1およびS2が入力され、XOR回路115には、出力データS2およびS3が入力される。また、AND回路116には、上記XOR回路114、115による演算結果であるXOR回路114、115の出力が入力され、AND回路116はその演算結果を出力信号RA00として出力する。つまり、上記第1の判別回路113は、出力データS1と出力データS2とのデータ値が異なり、かつ出力データS2と出力データS3とのデータ値が異なる場合（規則Aに従ってデータ値が変化する場合）のみ、“H”の出力信号RA00を出力する。

20

【0091】

第2の判別回路117は、XNOR回路118、XOR回路119およびAND回路120により構成される。ここで、XNOR回路とは、演算結果として排他的論理和演算の否定を出力するものである。XNOR回路118には、出力データS1およびS2が入力され、XOR回路119には、出力データS2およびS3が入力される。また、AND回路120には、上記XNOR回路118およびXOR回路119のそれぞれの出力が入力され、AND回路120は、その演算結果を出力信号RB00として出力する。つまり、上記第2の判別回路117は、出力データS1と出力データS2とのデータ値が等しく、かつ出力データS2と出力データS3とのデータ値が異なる場合（規則Bに従ってデータ値が変化する場合）のみ、“H”の出力信号RB00を出力する。

30

【0092】

図13に示す回路は、上記図12に示す回路により検出された規則A、規則Bに従い変化する表示データ数を用いて、所定の判定条件によりデータ出力モードを切り替えるか否か判定し、その判定結果に従いモード切替信号を出力するものである。上記判定条件には、規則Aに従い変化するデータ数が、規則Bに従い変化するデータ数よりも多いとする判定条件Iや、規則Aに従い変化するデータ数が全データ数の1/4以上とする判定条件IIがある。

40

【0093】

図13において、106は第1のカウンタ回路、107は第2のカウンタ回路である。上記第1および第2のカウンタ回路106、107には、表示データI00～INMに対して、データ反転検出回路93内にそれぞれ設けられた第1および第2の判別回路113、117から供給される出力信号RA00～RANMおよびRB00～RBNMがそれぞれ入力される。

【0094】

そして、第1および第2のカウンタ回路106、107は、入力される出力信号RA00～RANMおよびRB00～RBNMのうち、“H”で入力された信号数をカウントすることにより、規則Aおよび規則Bに従い変化するデータ数をカウントし、その結果をモー

50

ド切替判定回路108にそれぞれ供給する。

【0095】

モード切替判定回路108は、第1および第2のカウンタ回路106、107からそれぞれ供給されたカウント値に基づいて、モード切替信号RCを出力するか否かを判定する。上記判定の結果、上記判定条件Iを満足し（規則Aに従い変化するデータ数が、規則Bに従い変化するデータ数よりも多い）、かつ判定条件IIを満足する（規則Aに従い変化するデータ数が全データ数の1/4以上）場合には、モード切替信号RCを“H”にする。

【0096】

図14は、図13に示した第1のカウンタ回路106の構成例を示す図である。

なお、図13においては、供給される出力信号RA00～RANMが18ビット（RA00～RA05、RA10～RA15、RA20～RA25）の場合を一例として示すが、本実施形態においては、出力信号RA00～RANMのビット数は任意である。

【0097】

図14において、141～146、150～152および155は、3つの入力端子を有し、上記入力端子を介してそれぞれ入力されたデータ値を加算演算する3入力加算器である。また、147～149は、5つの入力端子を有し、入力端子A1、B1、CIを介して入力されたデータ値を加算演算するとともに、入力端子A2、B2を介して入力されたデータ値と、上記加算演算の結果によるキャリー（桁上げ）とを加算演算する5入力加算器である。153および156はXOR回路であり、154および157はAND回路である。

【0098】

上記3入力加算器141～146には、供給される出力信号RA00～RA05、RA10～RA15、RA20～RA25が、3つの出力信号（例えば、出力信号RA00～RA02、RA03～RA05、…）毎に入力端子を介してそれぞれ入力される。上記3入力加算器141～146は、入力された3つの出力信号のデータ値を加算演算し、その演算結果であるキャリーおよび和を出力端子COおよびSを介して出力する。

【0099】

上記3入力加算器141～146の出力端子COおよびSを介してそれぞれ出力されたキャリーおよび和は、5入力加算器147～149に入力される。ここで、上記3入力加算器141～146の出力端子COを介して出力されたキャリーは、上記5入力加算器147～149の入力端子A2、B2を介して入力され、上記3入力加算器141～146の出力端子Sを介して出力された和は、上記5入力加算器147～149の入力端子A1、B1を介して入力される。なお、上記5入力加算器147～149の入力端子CIはグラウンド（データ値＝“0”）に接続されている。

【0100】

上記5入力加算器147～149は、入力端子A1、B1を介して入力されたデータ値を加算演算し、その演算結果である和を出力端子S1を介して出力する。また、5入力加算器147～149は、入力端子A2、B2を介して入力されたデータ値と、入力端子A1、B1を介して入力されたデータ値の加算演算により得られるキャリーとを加算演算し、その演算結果であるキャリーおよび和を出力端子CO、S2を介して出力する。すなわち、上記5入力加算器147～149は、出力端子CO、S2、S1を介して、加算演算結果の3ビット目（2進数の4の位）、2ビット目（2進数の2の位）、1ビット目（2進数の1の位）をそれぞれ出力する。

【0101】

上記5入力加算器147～149の出力端子COを介して出力される加算演算結果の3ビット目は、3入力加算器150に入力される。同様に、5入力加算器147～149の出力端子S2およびS1を介してそれぞれ出力される加算演算結果の2ビット目および1ビット目は、3入力加算器151および152にそれぞれ入力される。そして、3入力加算器150～152にて、入力された5入力加算器147～149による加算演算結果の3ビット目、2ビット目、1ビット目について、それぞれ加算演算が行われる。

【0102】

そして、上記3入力加算器152は、出力端子Sを介して演算結果である和を出力信号RAC1として出力する。

上記3入力加算器152の出力端子COを介して出力されるキャリーと上記3入力加算器151の出力端子Sを介して出力される和とが、XOR回路153およびAND回路154にそれぞれ入力される。上記XOR回路153は演算結果を出力信号RAC2として出力する。

【0103】

上記AND回路153から出力される演算結果と、上記3入力加算器151の出力端子COを介して出力されるキャリーと、上記3入力加算器152の出力端子Sを介して出力される和とが、3入力加算器155に入力され加算演算が行われる。上記3入力加算器155は、演算結果である和を出力端子Sを介して出力信号RAC3として出力する。

【0104】

上記3入力加算器150および155の出力端子COを介してそれぞれ出力されるキャリーが、XOR回路156およびAND回路157に入力される。そして、上記XOR回路156は演算結果を出力信号RAC4として出力し、上記AND回路157は演算結果を出力信号RAC5として出力する。

上述のようにして、第1のカウンタ回路106は、出力信号RA00～RANMに基づいて規則Aに従い変化するデータ数をカウントし、データ数を5ビット（RAC1～RAC5）の信号として出力する。

【0105】

なお、第2のカウンタ回路107についても、上記図14に示した第1のカウンタ回路と同じ構成であるため、説明は省略する。

【0106】

図15は、図13に示したモード切替判定回路108の構成例を示す図である。

図15において、161は、表示データI00～INMが上述した判定条件Iを満足する（規則Aに従い変化するデータ数が、規則Bに従い変化するデータ数よりも多い）か否か判定する判定回路であり、166は、表示データI00～INMが判定条件IIを満足する（規則Aに従い変化するデータ数が全データ数の1/4以上）か否か判定する判定回路である。なお、図15において、RAC1～RAC5、RBC1～RBC5は、上記第1および第2のカウンタ回路106、107から出力される規則A、規則Bに従い変化するデータ数をそれぞれ示す5ビットの出力信号であり、それぞれの添え字が下位から何ビット目であるかを示している。

【0107】

判定回路161は、4つのXNOR回路162-1～162-4、5つのインバータ163-1～163-5、5つのAND回路164-1～164-5およびOR回路165により構成される。上記XNOR回路162-1には、出力信号RAC5、RBC5が入力され、XNOR回路162-2には、出力信号RAC4、RBC4が入力される。同様に、XNOR回路162-3には、出力信号RAC3、RBC3が入力され、XNOR回路162-4には、出力信号RAC2、RBC2が入力される。

【0108】

また、上記AND回路164-1には、出力信号RAC5とインバータ163-1により反転された出力信号RBC5とが入力され、AND回路164-2には、出力信号RAC4とインバータ163-2により反転された出力信号RBC4と、XNOR回路162-1の出力とが入力される。同様に、AND回路164-3には、出力信号RAC3とインバータ163-3により反転された出力信号RBC3と、XNOR回路162-1および162-2の出力とが入力され、AND回路164-4には、出力信号RAC2とインバータ163-4により反転された出力信号RBC2と、XNOR回路162-1～162-3の出力とが入力される。上記AND回路164-5には、出力信号RAC1とインバータ163-5により反転された出力信号RBC1と、XNOR回路162-1～162

10

20

30

40

50

－ 4 の出力とが入力される。

【 0 1 0 9 】

すなわち、AND 回路 1 6 4－1 は、出力信号 R A C 5 が “ 1 ”、出力信号 R B C 5 が “ 0 ” のとき、“ H ” を出力し、AND 回路 1 6 4－2 は、出力信号 R A C 5 と出力信号 R B C 5 とが等しく、かつ出力信号 R A C 4 が “ 1 ”、出力信号 R B C 4 が “ 0 ” のとき、“ H ” を出力する。

【 0 1 1 0 】

同様に、AND 回路 1 6 4－3 は、出力信号 R A C 5 と出力信号 R B C 5、および出力信号 R A C 4 と出力信号 R B C 4 とがそれぞれ等しく、かつ出力信号 R A C 3 が “ 1 ”、出力信号 R B C 3 が “ 0 ” のとき、“ H ” を出力し、AND 回路 1 6 4－4 は、出力信号 R A C 5 と出力信号 R B C 5、出力信号 R A C 4 と出力信号 R B C 4、および出力信号 R A C 3 と出力信号 R B C 3 とがそれぞれ等しく、かつ出力信号 R A C 2 が “ 1 ”、出力信号 R B C 2 が “ 0 ” のとき、“ H ” を出力する。また、同様に、AND 回路 1 6 4－5 は、出力信号 R A C 5 ～ R A C 2 と出力信号 R B C 5 ～ R B C 2 とがそれぞれ等しく、かつ出力信号 R A C 1 が “ 1 ”、出力信号 R B C 1 が “ 0 ” のとき、“ H ” を出力する。

【 0 1 1 1 】

上記 OR 回路 1 6 5 には、上記 AND 回路 1 6 4－1 ～ 1 6 4－5 の出力が入力され、演算結果を AND 回路 1 6 0 に出力する。

以上のような構成により、判定回路 1 6 1 は、表示データ I 0 0 ～ I N M が上述した判定条件 I を満足する（規則 A に従い変化するデータ数が、規則 B に従い変化するデータ数よりも多い）か否か判定し、判定条件 I を満足する場合には、AND 回路 1 6 0 に “ H ” を出力する。

【 0 1 1 2 】

判定回路 1 6 6 は、3 つの OR 回路 1 6 7、1 6 8、1 7 0 および 1 つの AND 回路 1 6 9 により構成される。上記 OR 回路 1 6 7 には、出力信号 R A C 5、R A C 4 が入力され、OR 回路 1 6 8 には、出力信号 R A C 2、R A C 1 が入力される。また、AND 回路 1 6 9 には、出力信号 R A C 3 と、OR 回路 1 6 8 の出力とが入力され、OR 回路 1 7 0 には、OR 回路 1 6 7 の出力と AND 回路 1 6 9 の出力とが入力され、演算結果を AND 回路 1 6 0 に出力する。

【 0 1 1 3 】

これにより、判定回路 1 6 6 は、出力信号 R A C 1 ～ R A C 5 により示される規則 A に従い変化するデータ数が 5 以上であるか否か、すなわち表示データ I 0 0 ～ I N M が判定条件 I I を満足する（規則 A に従い変化するデータ数が全データ数の $1/4$ 以上）か否か判定し、判定条件 I I を満足する場合には、AND 回路 1 6 0 に “ H ” を出力する。

【 0 1 1 4 】

上記 AND 回路 1 6 0 には、判定回路 1 6 1、1 6 6 の出力信号が入力されており、判定回路 1 6 1、1 6 6 の出力信号がともに “ H ”、すなわち、表示データ I 0 0 ～ I N M が判定条件 I および I I を満足するとき、“ H ” のモード切替信号 R C を出力する。

【 0 1 1 5 】

図 1 6 は、送信側（制御回路 9 2）の反転選択回路 9 4 の構成例を示す図である。

図 1 6 において、1 2 1 はフリップフロップであり、入力された表示データ I 0 0 をクロック C L K に同期させ X O R 回路 1 2 2 およびセクタ 1 2 3 に出力する。X O R 回路 1 2 2 には、上記フリップフロップ 1 2 1 の出力信号と表示データ I 0 0 とが入力され、その演算結果がフリップフロップ 1 2 4 に入力される。フリップフロップ 1 2 4 は、上記 X O R 回路 1 2 2 の出力信号をクロック C L K に同期させセクタ 1 2 3 に出力する。なお、フリップフロップ 1 2 1、1 2 4 には、クリア信号として外部から供給されるスタート信号 S T A R T が入力される。

【 0 1 1 6 】

セクタ 1 2 3 には、上記フリップフロップ 1 2 1 の出力信号、フリップフロップ 1 2 4 の出力信号、およびデータ反転検出回路 9 3 から供給されるモード切替信号 R C が入力さ

10

20

30

40

50

れている。なお、上記モード切替信号 R C は、図示しないフリップフロップ等を介して、上記フリップフロップ 1 2 1 の出力信号およびフリップフロップ 1 2 4 の出力信号に同期して入力される。セクタ 1 2 3 は、モード切替信号 R C が “ H ” の場合には、フリップフロップ 1 2 1 の出力信号を選択し、モード切替信号 R C が “ L ” の場合には、フリップフロップ 1 2 4 の出力信号を選択する。そして、セクタ 1 2 3 は、選択した出力信号を表示データ D 0 0 として出力する。

なお、反転選択回路 9 5、9 6 は、上記図 1 6 に示した反転選択回路 9 4 と入力される表示データ（図 1 6 においては、表示データ I 0 0）が異なるのみで同じ構成であるため、説明は省略する。

【0117】

10

図 1 7 は、受信側（データドライバ 9 7）の反転選択回路 9 8 の構成例を示す図である。図 1 7 において、1 3 1 はフリップフロップであり、入力された表示データ D 0 0 をクロック C L K に同期させ、セクタ 1 3 3 に出力する。X O R 回路 1 3 2 には、上記表示データ D 0 0 とセクタ 1 3 3 の出力信号である表示データ Q 0 0 とが入力され、その演算結果がフリップフロップ 1 3 4 に入力される。フリップフロップ 1 3 4 は、上記 X O R 回路 1 3 2 の出力信号をクロック C L K に同期させセクタ 1 3 3 に出力する。なお、フリップフロップ 1 3 1、1 3 4 には、クリア信号として外部から供給されるスタート信号 S T A R T が入力される。

【0118】

セクタ 1 3 3 には、上記フリップフロップ 1 3 1、1 3 4 の出力信号、およびデータ反転検出回路 9 3 から供給されるモード切替信号 R C が入力されており、モード切替信号 R C が “ H ” の場合には、フリップフロップ 1 3 4 の出力信号を選択し、モード切替信号 R C が “ L ” の場合には、フリップフロップ 1 3 1 の出力信号を選択する。そして、セクタ 1 3 3 は、選択した出力信号を表示データ Q 0 0 として出力する。なお、セクタ 1 3 3 に入力される上記モード切替信号 R C は、図示しないフリップフロップ等を介して、上記フリップフロップ 1 3 1、1 3 4 の出力信号に同期して入力される。

20

なお、反転選択回路 9 9、1 0 0 は、上記図 1 7 に示した反転選択回路 9 8 と入力される表示データ（図 1 7 においては、表示データ D 0 0）が異なるのみで同じ構成であるため、説明は省略する。

【0119】

30

次に、第 3 の実施形態による液晶表示装置の動作について説明する。

まず、外部から画像信号が供給されると、上記画像信号は図示しないビデオ信号変換回路により L C D モジュールにて処理可能な信号（表示データ I 0 0 ~ I N M、クロック信号およびイネーブル信号）に変換され、図 9 に示す L C D モジュール 9 1 内の制御回路 9 2 に供給される。

【0120】

制御回路 9 2 は、供給された表示データ I 0 0 ~ I N M、図示しないクロック信号およびイネーブル信号に基づいて、図示しないゲートドライバおよびデータドライバ 9 7 により液晶パネル 1 0 1 を駆動するための制御信号を生成し、ゲートドライバおよびデータドライバ 9 7 に供給する。また、供給された表示データ I 0 0 ~ I N M は、制御回路 9 2 内の反転選択回路 9 4 ~ 9 6 にそれぞれ供給されるとともに、データ反転検出回路 9 3 に供給される。

40

【0121】

表示データ I 0 0 ~ I N M が供給されたデータ反転検出回路 9 3 は、上述した規則 A、B 等の所定の規則に従って変化する表示データを検出する。さらに、データ反転検出回路 9 3 は、上記検出した表示データ数を用いて、上述した判定条件 I および I I を満足するかどうか判定し、上記判定条件 I および I I を満足する場合には、モード切替信号 R C を “ H ” にして出力する。

次に、表示データ I 0 0 ~ I N M がそれぞれ供給された反転選択回路 9 4 ~ 9 6 は、上記表示データ I 0 0 ~ I N M と上記データ反転検出回路 9 3 から供給されるモード切替信号

50

R Cとに基づいて、図10に示す送信側の真理値表に従い、表示データD00～DNMをそれぞれ出力する。

【0122】

上記制御回路92内の反転選択回路94～96から出力された表示データD00～DNMは、データドライバ97内の反転選択回路98～100にそれぞれ入力される。また、上記反転選択回路98～100には、上記データ反転検出回路93からモード切替信号RCが供給されており、表示データD00～DNMおよびモード切替信号RCに基づいて、図11に示す受信側の真理値表に従い、表示データQ00～QNMをそれぞれ出力する。これにより、外部から供給される表示データI00～INMとデータドライバ97から出力される表示データQ00～QNMは同じデータ値となる。

10

【0123】

そして、データドライバ97は、反転選択回路98～100から出力された表示データQ00～QNMに応じた電圧を液晶パネル101のデータラインに印加して各データラインを駆動し、さらに図示しないゲートドライバにより液晶パネル101の各スキャンラインを駆動することで外部から供給された画像信号に係る画像を液晶パネル101に表示する。

【0124】

図18は、上述した液晶表示装置の動作の一例を示す図である。なお、図18においては、表示期間において外部から入力される全ての表示データI00～INMが、1クロック毎に反転する縦縞の画像を液晶パネル101に表示する場合を一例として示している。また、図18においては、外部から入力される表示データI00～INM、および制御回路92からデータドライバ97に送信される表示データD00～DNMについて示している。

20

【0125】

まず、ブランキング期間（非表示期間） B_{n-1} 、 B_n においては、LCDモジュール91には全て“L”の表示データI00～INMが入力され、制御回路92からも全て“L”の表示データD00～DNMが出力される。

次に、表示期間 P_1 において、全てのデータが“H”に反転した表示データI00～INMが入力され、表示期間 P_2 において、さらに全てのデータが“L”に反転した表示データI00～INMが入力される。

30

【0126】

このとき、制御回路92内のデータ反転検出回路93は、期間 B_n 、 P_1 および P_2 における表示データI00～INMに基づいて、表示期間 P_1 にてデータ出力モードを切り替えるか否か判定する。図18に示す例では、期間 B_n 、 P_1 、 P_2 において、表示データI00～INMの全てが“L”→“H”→“L”と上述した規則Aに従い変化しているので、上述した判定条件I、IIをとともに満たす。したがって、データ反転検出回路93は、表示期間 P_1 において、データ出力モードを切り替えると判定し、モード切替信号RCを“H”にする。

【0127】

また、表示期間 P_1 における表示データI00～INMは、全て“H”であるので、反転選択回路94～96は、図10に示す送信側の真理値表に従い、1つ前のクロック（ブランキング期間 B_n ）において入力された表示データI00～INMを反転して、表示期間 P_1 における表示データD00～DNMとして出力する。

40

【0128】

次に、表示期間 P_3 において、全てのデータが“H”に反転した表示データI00～INMが入力される。

このとき、データ反転検出回路93は、期間 P_1 、 P_2 および P_3 における表示データI00～INMに基づいて、表示期間 P_2 にてデータ出力モードを切り替えるか否か判定する。表示期間 P_1 、 P_2 、 P_3 において、全ての表示データI00～INMは“H”→“L”→“H”と上述した規則Aに従い変化しているので、上述した表示期間 P_1 と同様に、デ

50

ータ反転検出回路93は、表示期間 P_2 において、データ出力モードを切り替えると判定し、モード切替信号RCを“H”に維持する。

【0129】

また、表示期間 P_2 における表示データ $I_{00} \sim I_{NM}$ は、全て“L”であるので、反転選択回路94～96は、図10に示す送信側の真理値表に従い、1つ前のクロック（表示期間 P_1 ）において入力された表示データ $I_{00} \sim I_{NM}$ と同じデータを表示期間 P_2 における表示データ $D_{00} \sim D_{NM}$ として出力する。

【0130】

次に、表示期間 P_4 において、全てのデータが“L”に反転した表示データ $I_{00} \sim I_{NM}$ が

このとき、データ反転検出回路93は、期間 P_2 、 P_3 および P_4 における表示データ $I_{00} \sim I_{NM}$ に基づいて、表示期間 P_3 にてデータ出力モードを切り替えるか否か判定する。表示期間 P_2 、 P_3 、 P_4 において、全ての表示データ $I_{00} \sim I_{NM}$ は“L”→“H”→“L”と上述した規則Aに従い変化しているので、上述した表示期間 P_1 、 P_2 と同様に、データ反転検出回路93は、表示期間 P_3 において、データ出力モードを切り替えると判定し、モード切替信号RCを“H”に維持する。

【0131】

また、表示期間 P_3 における表示データ $I_{00} \sim I_{NM}$ は、全て“H”であるので、反転選択回路94～96は、図10に示す送信側の真理値表に従い、1つ前のクロック（表示期間 P_2 ）において入力された“L”の表示データ $I_{00} \sim I_{NM}$ を反転して、表示期間 P_3 における表示データ $D_{00} \sim D_{NM}$ を“H”として出力する。

【0132】

表示期間 P_4 以降の表示期間においても、上述した動作を行うことで、図18に示すように、外部から入力される全ての表示データ $I_{00} \sim I_{NM}$ が、1クロック毎に反転しても、制御回路92からデータドライバ97に供給する表示データ $D_{00} \sim D_{NM}$ は反転せず、“H”のままである。

【0133】

なお、上述した第3の実施形態においては、説明の便宜上、表示データのみについて示したが、本発明は表示データに限らず、上述したデータ反転信号についても適用することができる。なお、データ反転信号を用いる場合には、図9に示した表示データ $I_{00} \sim I_{NM}$ および表示データ $D_{00} \sim D_{NM}$ とデータ反転信号とを制御回路92およびデータドライバ97内でそれぞれXOR演算した演算結果を表示データとして反転選択回路等に入力すれば良い。

【0134】

図19は、データ反転駆動を行う表示装置に第3の実施形態を適用した場合の具体的な動作の一例を示す図である。

図19においては、R、G、B各6ビットからなる表示データ I_{RX} 、 I_{GX} 、 I_{BX} （Xは0～5の整数）が入力され、（A）に示すように液晶パネル101の一部（あるスキャンラインにおけるデータラインXR、XG、XB：Xは0～5の整数）に、紫→黒→紫→黒→白→白を順次表示する場合を一例として示す。なお、ブランキング期間中は表示データ I_{RX} 、 I_{GX} 、 I_{BX} として黒データが入力されたとする。

【0135】

図19（B）に示すように、黒データが入力されるブランキング期間（非表示期間） B_{n-1} 、 B_n および表示期間 P_2 、 P_4 においては、表示データ I_{RX} 、 I_{GX} 、 I_{BX} は全て“L”であり、紫データが入力される表示期間 P_1 、 P_3 においては、表示データ I_{GX} は“L”、表示データ I_{RX} および I_{BX} は“H”である。また、白データが入力される表示期間 P_5 、 P_6 においては、表示データ I_{RX} 、 I_{GX} 、 I_{BX} は全て“H”である。

【0136】

上述のようにして、各期間に入力される表示データ I_{RX} 、 I_{GX} 、 I_{BX} は、上述した第1および第2の実施形態と同様にして、まず、制御回路92内にて1クロック前に

された表示データ $I R X$ 、 $I G X$ 、 $I B X$ との比較結果に基づいてレベル反転されるデータ反転信号 $A I N V$ に応じて、適宜ビット毎にデータ値の反転処理を施した表示データ $A R X$ 、 $A G X$ 、 $A B X$ (X は0～5の整数)に変換される。これにより、図19 (B)に示すように、データ反転信号 $A I N V$ は、表示期間 $P_1 \sim P_5$ においてそれぞれレベル反転し、表示データ $A R X$ 、 $A G X$ 、 $A B X$ は、表示データ $A G X$ が表示期間 P_1 、 P_3 で“H”となる以外は、全て“L”となる。

【0137】

次に、データ反転検出回路93は、データ反転信号 $A I N V$ および表示データ $A R X$ 、 $A G X$ 、 $A B X$ について、上述した規則Aまたは規則Bに従って変化するデータ数(データ反転信号 $A I N V$ も1つのデータとして含める。)を検出する。図19に示す例では、表示期間 P_1 、 P_2 、 P_3 、 P_4 (判定に用いるデータはそれぞれ表示期間 $B_n \sim P_2$ 、 $P_1 \sim P_3$ 、 $P_2 \sim P_4$ 、 $P_3 \sim P_5$)におけるデータ反転信号 $A I N V$ 、および表示期間 P_1 、 P_2 、 P_3 (判定に用いるデータはそれぞれ表示期間 $B_n \sim P_2$ 、 $P_1 \sim P_3$ 、 $P_2 \sim P_4$)における表示データ $A G X$ が、規則Aに従って変化するデータに該当する。また、表示期間 P_5 (判定に用いるデータは表示期間 $P_4 \sim P_6$)におけるデータ反転信号 $A I N V$ および表示期間 P_4 (判定に用いるデータは表示期間 $P_3 \sim P_5$)における表示データ $A G X$ が、規則Bに従って変化するデータに該当する。

【0138】

したがって、表示期間 $P_1 \sim P_3$ においては、規則Aに従って変化するデータ数は7、規則Bに従って変化するデータ数は0であり、全データ数は19であるから、上述した判定条件IおよびIIを満たし、データ反転検出回路93はモード切替信号 $R C$ を“H”にする。また、表示期間 P_4 においては、規則Aに従って変化するデータ数は1、規則Bに従って変化するデータ数は6であり、上述した判定条件I、IIを満足しないので、データ反転検出回路93はモード切替信号 $R C$ を“L”にする。

【0139】

そして、反転選択回路94～96は、データ反転検出回路93から供給される、モード切替信号 $R C$ と、表示データ $A R X$ 、 $A G X$ 、 $A B X$ およびデータ反転信号 $A I N V$ とに基づいて、上記図10に示した送信側の真理値表に従って、表示データ $D R X$ 、 $D G X$ 、 $D B X$ (X は0～5の整数)およびデータ反転信号 $D I N V$ をそれぞれ出力する。これにより、図19に示すように、表示期間 P_1 、 P_4 において、モード切替信号 $R C$ 、データ反転信号 $I N V$ および表示データ $D G X$ の6ビットのデータがビット毎にそれぞれ反転し、表示期間 P_5 において、データ反転信号 $I N V$ のみが反転する。したがって、ブランキング期間 B_{n-1} から表示期間 P_6 において、表示データ $A R X$ 、 $A G X$ 、 $A B X$ およびデータ反転信号 $A I N V$ のみを用いた場合には、データ反転数の合計が29となるのに対して、さらに表示データ $D R X$ 、 $D G X$ 、 $D B X$ およびデータ反転信号 $D I N V$ を用いた場合には、データ反転数の合計は17となり、少ないデータ反転数で入力された表示データ $I R X$ 、 $I G X$ 、 $I B X$ に係る画像を液晶パネル101に表示することができる。

【0140】

以上、説明したように第3の実施形態によれば、データ反転検出回路93にて、3クロックの期間における表示データ $I 0 0 \sim I N M$ 、または表示データ $I 0 0 \sim I N M$ およびデータ反転信号 $I N V$ の変化を検出し、検出した結果が所定の条件を満たす場合には、モード切替信号 $R C$ を出力して、受信側であるデータドライバ97に1クロック前に出力した表示データ $Q 0 0 \sim Q N M$ を反転または非反転して出力するように指示する。

【0141】

これにより、特に、表示データ $I 0 0 \sim I N M$ 、または表示データ $I 0 0 \sim I N M$ およびデータ反転信号 $I N V$ が1クロック毎に切り替わる場合には、制御回路92からデータドライバ97に送信する表示データ $D 0 0 \sim D N M$ においてデータ値が反転するデータ数を非常に少なくすることができ、表示データ $D 0 0 \sim D N M$ が単位時間当たりに反転する頻度を減少させ、表示データ $D 0 0 \sim D N M$ を送信する信号線から放射される電波量(電磁波ノイズ)を低減することができる。

10

20

30

40

50

【0142】

なお、上述した第3の実施形態においては、データ反転検出回路93は判定条件I、IIをともに満足する場合に、モード切替信号RCを出力するものとしたが、判定条件Iのみを満足した場合に、モード切替信号RCを出力するようにしても良い。

【0143】

(第4の実施形態)

次に、本発明の第4の実施形態について説明する。

上述した第3の実施形態において、全く変化しない表示データ、連続して反転する表示データおよび反転と非反転とを繰り返す表示データが混在して入力され、入力された表示データが所定のパターンで変化するときには、モード切替信号RCを“H”にしてデータ出力モードを切り替えると、制御回路92から出力する表示データにおいてデータ値を反転して出力するデータ数が多くなる場合がある。例えば、図20に示すようなパターンで表示データI00～I02が変化すると、入力された表示データI00～I02に対して、データ出力モードの切り替えのみを行い出力する第1の出力では、表示期間P₂から表示期間P₃へ移る際、モード切替信号RCおよび出力する表示データD00～D02のすべてが反転してしまう。

10

【0144】

そこで、第4の実施形態は、上述した第3の実施形態において示したデータ出力モードの切り替えに加え、さらに表示データをデータ反転駆動し、制御回路92からデータドライバ97に出力する表示データの反転数を常に全表示データ数の1/2以下になるようにしたものである。

20

【0145】

なお、第4の実施形態による表示装置を適用した液晶表示装置のLCDモジュール91は、上記図9に示したLCDモジュールと同様に制御回路92(データ反転検出回路93、反転選択回路94～96を含む)、データドライバ97(反転選択回路98～100を含む)および液晶パネル101により構成される。

【0146】

第4の実施形態におけるLCDモジュール91内のデータ反転検出回路93は、第3の実施形態において上述したように、供給される表示データI00～INMにおいて所定の規則に従い変化するデータ数を検出し、検出結果に応じてモード切替信号RCを出力する。データ反転検出回路93は、表示データI00～INMおよびモード切替信号RCに応じて、制御回路92からデータドライバ97に表示データを出力する際に、データ値を反転して出力するための反転信号RCIVを出力する。

30

【0147】

具体的には、データ反転検出回路93は、上記図10に示す送信側の真理値表に従い、制御回路92からデータドライバ97に表示データD00～DNMを出力するとした場合に、上記表示データD00～DNMの反転数が全表示データ数の1/2より多いか否か判断する。上記判断の結果、表示データD00～DNMの反転数が全表示データ数の1/2より多いと判断した場合には、反転信号RCIVをレベル反転し、そうでないと判断した場合には反転信号RCIVの信号レベルを維持する。

40

【0148】

上記判断について、以下の(i)～(iv)に示す。なお、データ反転検出回路93は、所定の条件を満たす表示データ数をカウントするときは、上述した第1のカウンタ回路106と同様のカウンタ回路により表示データ数をカウントする。

【0149】

(i) モード切替信号RCが、“L”→“H”に変化するとき

データ反転検出回路93は、供給された表示データI00～INMにおいてデータ値が“H”である表示データ数をカウントし、データ値が“H”である表示データ数が全データ数の1/2より多い場合には、表示データD00～DNMの反転数が全表示データ数の1/2より多いと判断し、反転信号RCIVをレベル反転する。

50

【0150】

(i i) モード切替信号 R C が、“ H ” → “ L ” に変化するとき

データ反転検出回路 9 3 は、供給された表示データ I 0 0 ~ I N M と 2 クロック前に供給された表示データ I 0 0 ~ I N M とを比較して、同じデータ値の表示データ数をカウントし、同じデータ値の表示データ数が全データ数の $1/2$ より多い場合には、表示データ D 0 0 ~ D N M の反転数が全表示データ数の $1/2$ より多いと判断し、反転信号 R C I V をレベル反転する。

【0151】

(i i i) モード切替信号 R C が、“ L ” を維持するとき

データ反転検出回路 9 3 は、供給された表示データ I 0 0 ~ I N M と 1 クロック前に供給された表示データ I 0 0 ~ I N M とを比較して、データ値が反転した表示データ数をカウントし、データ値が反転した表示データ数が全データ数の $1/2$ より多い場合には、表示データ D 0 0 ~ D N M の反転数が全表示データ数の $1/2$ より多いと判断し、反転信号 R C I V をレベル反転する。

10

【0152】

(i v) モード切替信号 R C が、“ H ” を維持するとき

データ反転検出回路 9 3 は、1 クロック前に供給された表示データ I 0 0 ~ I N M と 2 クロック前に供給された表示データ I 0 0 ~ I N M とを比較して、データ値が反転した表示データ数をカウントし、データ値が反転した表示データ数が全データ数の $1/2$ より多い場合には、表示データ D 0 0 ~ D N M の反転数が全表示データ数の $1/2$ より多いと判断し、反転信号 R C I V をレベル反転する。

20

【0153】

図 2 1 は、第 4 の実施形態における送信側（制御回路 9 2）の反転選択回路 9 4 の構成例を示す図である。

図 2 1 において、1 7 1 はフリップフロップであり、入力された表示データ I 0 0 をクロック C L K に同期させ X O R 回路 1 7 2 に出力する。X O R 回路 1 7 2 には、上記フリップフロップ 1 7 1 の出力信号、表示データ I 0 0 およびデータ反転検出回路 9 3 から供給される反転信号 R C I V が入力され、その演算結果がフリップフロップ 1 7 4 に入力される。フリップフロップ 1 7 4 は、上記 X O R 回路 1 7 2 の出力信号をクロック C L K に同期させセクタ 1 7 6 に出力する。

30

【0154】

また、X O R 回路 1 7 3 には、表示データ I 0 0 および上記反転信号 R C I V が入力され、その演算結果がフリップフロップ 1 7 5 に入力される。フリップフロップ 1 7 5 は、上記 X O R 回路 1 7 3 の出力信号をクロック C L K に同期させセクタ 1 7 6 に出力する。なお、フリップフロップ 1 7 1、1 7 4、1 7 5 には、クリア信号として外部から供給されるスタート信号 S T A R T が入力される。

【0155】

セクタ 1 7 6 には、上記フリップフロップ 1 7 4、1 7 5 の出力信号、およびデータ反転検出回路 9 3 から供給されるモード切替信号 R C が入力されている。なお、上記モード切替信号 R C は、図示しないフリップフロップ等を介して、上記フリップフロップ 1 7 4、1 7 5 の出力信号に同期して入力される。セクタ 1 7 6 は、モード切替信号 R C が “ H ” の場合には、フリップフロップ 1 7 5 の出力信号を選択し、モード切替信号 R C が “ L ” の場合には、フリップフロップ 1 7 4 の出力信号を選択する。そして、セクタ 1 7 6 は、選択した出力信号を表示データ D 0 0 として出力する。

40

なお、反転選択回路 9 5、9 6 は、上記図 2 1 に示した反転選択回路 9 4 と入力される表示データが異なるのみで同じ構成であるため、説明は省略する。

【0156】

図 2 2 は、受信側（データドライバ 9 7）の反転選択回路 9 8 の構成例を示す図である。

図 2 2 において、1 8 1 は X O R 回路であり、入力された表示データ D 0 0 とデータ反転検出回路 9 3 から供給される反転信号 R C I V とが入力され、その演算結果がフリップフ

50

ロップ182に入力される。フリップフロップ182は、上記XOR回路181の出力信号をクロックCLKに同期させセクタ185に出力する。また、183はXOR回路であり、上記表示データD00、セクタ85の出力信号である表示データQ00、および上記反転信号RCIVが入力され、その演算結果がフリップフロップ184に入力される。フリップフロップ184は、上記XOR回路183の出力信号をクロックCLKに同期させセクタ185に出力する。なお、フリップフロップ182、184には、クリア信号として外部から供給されるスタート信号STARTが入力される。

【0157】

セクタ185には、上記フリップフロップ182、184の出力信号、およびデータ反転検出回路93から供給されるモード切替信号RCが入力されており、モード切替信号RCが“H”の場合には、フリップフロップ184の出力信号を選択し、モード切替信号RCが“L”の場合には、フリップフロップ182の出力信号を選択する。そして、セクタ185は、選択した出力信号を表示データQ00として出力する。なお、セクタ185に入力される上記モード切替信号RCは、図示しないフリップフロップ等を介して、上記フリップフロップ182、184の出力信号に同期して入力される。

なお、反転選択回路99、100は、上記図22に示した反転選択回路98と入力される表示データが異なるのみで同じ構成であるため、説明は省略する。

【0158】

以上、説明したように第4の実施形態によれば、供給される表示データI00～INMに応じてモード切替信号RCを出力してデータ出力モードを切り替えるとともに、制御回路92からデータドライバ97に表示データを出力する際に、反転して出力しようとする表示データ数に応じて、反転信号RCIVを出力して表示データD00～DNMを反転駆動することにより、図20の第2の出力に示すように、表示データI00～INMとして、全く変化しない表示データ、連続して反転する表示データおよび反転と非反転とを繰り返す表示データが混在して入力されたとしても、反転して出力する表示データD00～DNMの数が常に全表示データ数の1/2以下にすることができる。したがって、表示データD00～DNMを送信する信号線から放射される電波量（電磁波ノイズ）を低減することができる。

【0159】

（第5の実施形態）

次に、本発明の第5の実施形態について説明する。

図23は、第5の実施形態による表示装置の構成例を示す図である。

図23において、201は信号発生器であり、スペクトラム拡散処理禁止信号（以下、「SS処理禁止信号」と称す。）SSOFF、制御信号CTL、クロック信号CLKおよび上記クロック信号CLKに同期したデータ信号DT1をインタフェース203を介して表示装置202に供給する。

【0160】

表示装置202は、上記インタフェース203を有し、スペクトラム拡散処理回路（以下、「SS回路」と称す。）204、制御回路205、ドライバ回路210、表示部211により構成される。

上記SS回路204は、供給されるクロック信号CLKにスペクトラム拡散処理（以下、「SS処理」と称す。）を施して、上記クロック信号CLKの周波数を分散させて（周波数を高くしたり、低くしたりして）、スペクトラム拡散クロック信号（以下、「SSクロック信号」と称す。）SSCLKとして制御回路205に供給する。

【0161】

制御回路205は、駆動制御回路206、メモリ部207、第1のセクタ208および第2のセクタ209により構成される。駆動制御回路206は、供給される制御信号CTL、クロック信号CLKおよびデータ信号DT1が入力され、上記制御信号CTLに従って所定の制御処理等を行い、データ信号DT2およびクロック信号CLKを出力する。

【0162】

メモリ部207は、上記駆動制御回路206から供給されるデータ信号DT2をSSクロック信号SSCLKに同期させて出力するためのものであり、メモリ部207には、上記データ信号DT2を書き込むためのライトクロック(WCLK)としてクロック信号CLKが供給される。また、メモリ部207には、書き込んだデータを読み出すためのリードクロック(RCLK)としてSSクロック信号SSCLKが供給され、SSクロック信号SSCLKに同期して読み出したSSデータ信号DT3を第1のセレクタ208に供給する。

【0163】

第1のセレクタ208は、供給されるSS処理禁止信号SSOFFに応じて、駆動制御回路206から供給されるデータ信号DT2またはメモリ部207から供給されるSSデータ信号DT3を選択的に駆動データ信号DT4としてドライバ回路210に供給する。同様に、第2のセレクタ209は、供給されるSS処理禁止信号SSOFFに応じて、インタフェース203を介して供給されるクロック信号CLKまたはSS回路204から供給されるSSクロック信号SSCLKを選択的に駆動クロック信号DCLKとしてドライバ回路210に供給する。

10

【0164】

ドライバ回路210は、制御回路205内の第1および第2のセレクタ208、209からそれぞれ供給された駆動データ信号DT4および駆動クロック信号DCLKに基づいて、表示部211を駆動制御して表示部211に所望の画像を表示させる。

【0165】

20

次に、上述した本実施形態による表示装置の動作について説明する。

まず、信号発生器201からSS処理禁止信号SSOFF、制御信号CTL、クロック信号CLKおよびクロック信号CLKに同期したデータ信号DT1がインタフェース203を介して表示装置202に供給される。

なお、信号発生器201から供給されるクロック信号CLKが既にSS処理を施したクロック信号である場合には、信号発生器201は、表示装置202でのSS処理を禁止するアクティブな(SS処理禁止信号が、正論理ならば“H”、負論理ならば“L”の)SS処理禁止信号SSOFFを表示装置202に供給する。一方、そうでない(SS処理を施していない)場合には、信号発生器201は、表示装置202でのSS処理を許可するインアクティブなSS処理禁止信号SSOFFを表示装置202に供給する。

30

【0166】

供給されたSS処理禁止信号SSOFFは、第1および第2のセレクタ208、209に入力され、制御信号CTLおよびデータ信号DT1は、制御回路205内の駆動制御回路206に入力される。また、クロック信号CLKは、駆動制御回路206、SS回路204および第2のセレクタ209に入力される。

【0167】

クロック信号CLKが入力されたSS回路204では、クロック信号CLKにSS処理を施し、SS処理により得られたSSクロック信号SSCLKがメモリ部207および第2のセレクタ209にそれぞれ供給される。

【0168】

40

また、制御信号CTL、クロック信号CLKおよびデータ信号DT1が入力された駆動制御回路206では、クロック信号CLKを用いて制御信号CTLに基づいた所定の制御処理等が行われ、データ信号DT2およびクロック信号CLKが出力される。上記駆動制御回路206から出力されたデータ信号DT2は、メモリ部207および第1のセレクタ208に供給される。

駆動制御回路206からメモリ部207に供給されたデータ信号DT2は、クロック信号CLKに同期してメモリ部207に書き込まれた後、SSクロック信号SSCLKに同期して読み出され第1のセレクタ208に供給される。

【0169】

上述したようにして、第1のセレクタ208には、クロック信号CLKに同期したデータ

50

信号DT2、およびSSクロック信号SSCLKに同期したデータ信号DT3が入力される。また、第2のセクタ209には、クロック信号CLKおよびSSクロック信号SSCLKが入力される。

【0170】

そして、第1および第2のセクタ208、209は、SS処理禁止信号SSOFFがアクティブ（SS処理禁止）のときには、データ信号DT2およびクロック信号CLKを選択し、駆動データDT4、駆動クロック信号DCLKとしてドライバ回路210にそれぞれ出力する。一方、SS処理禁止信号SSOFFがインアクティブ（SS処理許可）のときには、第1および第2のセクタ208、209は、データ信号DT3およびSSクロック信号SSCLKを選択し、駆動データDT4、駆動クロック信号DCLKとしてドライバ回路210にそれぞれ出力する。

10

【0171】

第1および第2のセクタ208、209から駆動データDT4および駆動クロック信号DCLKがそれぞれ供給されたドライバ回路210は、上記駆動データDT4および駆動クロック信号DCLKに基づいて、表示部211を駆動制御し、表示部211に所望の画像を表示させる。

【0172】

以上、説明したように第5の実施形態によれば、表示装置202内部でのSS処理を禁止するためのSS処理禁止信号SSOFFを表示装置202に供給し、供給されたSS処理禁止信号SSOFFに応じて、クロック信号CLKとそれに同期したデータ信号DT2、または表示装置202内でSS処理を施したSSクロック信号SSCLKとそれに同期したデータ信号DT3の何れかを選択し、ドライバ回路210に供給する。

20

【0173】

これにより、外部から供給されるクロック信号CLKにSS処理が既に施されていたとしても、アクティブなSS処理禁止信号SSOFFにより、表示装置202の内部にてSS処理が施されていないクロック信号CLKとそれに同期したデータ信号DT2を選択することで、表示装置202内でのSS処理機能を無効にし、2度以上のSS処理が施されることを防止することができる。したがって、供給されたクロック信号CLKに既に施されているSS処理を有効に作用させることができ、クロック信号やデータ信号を送信する信号線からの放射電波（電磁波ノイズ）のノイズピークを分散させ、信号線から放射される電波量（電磁波ノイズ）を低減することができる。

30

【0174】

また、2度以上のSS処理が施されることを防止することができるので、表示装置202の外部でのSS処理と表示装置202内でのSS処理とが互いに相殺され、SSクロック信号SSCLKがSS処理を全く施されていないものとなってしまうたり、表示装置202の外部でのSS処理により周波数が高くなったクロック信号CLKに対して表示装置202内でSS処理を施すことによりSSクロック信号SSCLKの周波数がさらに高くなり、メモリ部207内のデータ量が不足したりするなど予期しない新たな問題が生じてしまうことを防止することができる。

【0175】

（第6の実施形態）

次に、本発明の第6の実施形態について説明する。

上述した第5の実施形態では、SS処理を禁止するためのSS処理禁止信号SSOFFは外部から供給されていたが、第6の実施形態では、図24に示すように構成することにより、外部から供給されるクロック信号の周波数や位相等に基づいて、当該クロック信号にSS処理が施されているか否か検出することにより、表示装置202'内でSS処理禁止信号SSOFFを生成するものである。

40

【0176】

図24は、第6の実施形態による表示装置の構成例を示す図である。

なお、この図24において、図23に示したブロックと同一の機能を有するブロックには

50

同一の符号を付し、重複する説明は省略する。また、図 23 に示したブロックと同一ではないが対応する機能を有するブロックには、同じ符号に ' を付している。

【0177】

図 24 において、201' は信号発生器であり、制御信号 CTL、クロック信号 CLK および上記クロック信号 CLK に同期したデータ信号 DT1 をインタフェース 203' を介して表示装置 202' に供給する。

また、205' は制御回路であり、駆動制御回路 206、メモリ部 207、第 1 のセクタ 208 および第 2 のセクタ 209 に加え、さらに位相比較回路 212 および位相変化検出カウント回路 213 を備えている。

【0178】

位相比較回路 212 は、インタフェース 203 を介して信号発生器 201' から供給されるクロック信号 CLK と、上記クロック信号 CLK に基づいて生成される出力クロック信号との位相差を比較する。また、位相比較回路 212 は、比較結果に基づいて、クロック信号 CLK と出力クロック信号との位相差に応じた信号を位相変化検出カウント回路 213 に供給する。上記位相比較回路 212 は、例えば、PLL 回路等により構成される。

【0179】

位相変化検出カウント回路 213 は、位相比較回路 212 から供給されるクロック信号 CLK と出力クロック信号との位相差に応じた信号に基づいて、SS 処理禁止信号 SSOFF' を制御し、第 1 および第 2 のセクタ 208、209 に出力する。

【0180】

次に、上述した本実施形態による表示装置の動作について説明する。

なお、本実施形態による表示装置の動作においては、上述した第 5 の実施形態による表示装置の動作とは、SS 処理禁止信号 SSOFF' を信号発生器 201' から入力するか、表示装置 202' 内部で生成するかが異なるのみで他の動作は同じであるので、重複する説明は省略し、以下では、SS 処理禁止信号 SSOFF' の生成動作について説明する。

【0181】

インタフェース 203 を介して信号発生器 201 から供給されたクロック信号 CLK は、上述した第 5 の実施形態による表示装置と同様に、駆動制御回路 206、SS 回路 204 および第 2 のセクタ 209 に入力されるとともに、さらに位相比較回路 212 に入力される。位相比較回路 212 では、供給されたクロック信号 CLK と当該位相比較回路 212 を介して出力する出力クロック信号との位相差を検出し、検出した位相差に応じた信号を位相変化検出カウント回路 213 に供給する。

【0182】

すなわち、供給されるクロック信号 CLK の周波数が一定の場合（SS 処理が施されていない場合）には、クロック信号 CLK と出力クロック信号との位相差に変動がなく、一定の信号が位相変化検出カウント回路 213 に供給される。一方、供給されるクロック信号 CLK の周波数が絶えず変動している場合（SS 処理が施されている場合）には、クロック信号 CLK と出力クロック信号との位相差に変動が生じ、位相差に応じて変化した信号が位相変化検出カウント回路 213 に供給される。

【0183】

そして、位相変化検出カウント回路 213 は、位相比較回路 212 から供給される位相差に応じた信号の変化に基づいてカウンタを動作させ、カウント値が予め設定した設定値以上となった場合には、SS 処理禁止信号 SSOFF' をアクティブにして、第 1 および第 2 のセクタ 208、209 に出力する。一方、カウント値が予め設定した設定値より小さい場合には、インアクティブの SS 処理禁止信号 SSOFF' を第 1 および第 2 のセクタ 208、209 に出力する。

【0184】

したがって、第 1 および第 2 のセクタ 208、209 により、SS 処理禁止信号 SSOFF' に応じて、データ信号 DT2 またはデータ信号 DT3、およびクロック信号 CLK または SS クロック信号 SSC CLK がそれぞれ選択され、駆動データ DT4、駆動クロック

10

20

30

40

50

ク信号 D C L K としてドライバ回路 2 1 0 に出力される。

【0185】

以上、説明したように第 6 の実施形態によれば、第 5 の実施形態による表示装置に、さらに、供給されたクロック信号に基づいて生成したクロック信号と、供給されたクロック信号との位相差に応じた信号を出力する位相比較回路 2 1 2、および上記位相差に応じた信号の変化をカウントする位相変化検出カウント回路 2 1 3 を設け、供給されたクロック信号に基づいて生成したクロック信号と、供給されたクロック信号との位相差に応じた信号の変化から、供給されたクロック信号に S S 処理が既に施されているか否か判定する。

【0186】

これにより、表示装置 2 0 2 ' 内で供給されたクロック信号に S S 処理が施されているか否か判定することにより、S S 処理禁止信号 S S O F F ' を生成し出力することができる。したがって、外部から S S 処理禁止信号 S S O F F が供給されなくとも、クロック信号 C L K に 2 度以上の S S 処理が施されることを防止することができるとともに、クロック信号やデータ信号を送信する信号線からの放射電波（電磁波ノイズ）のノイズピークを分散させ、信号線から放射される電波量（電磁波ノイズ）を低減することができる。

【0187】

（第 7 の実施形態）

次に、本発明の第 7 の実施形態について説明する。

第 7 の実施形態は、クロック信号やデータ信号を装置間あるいは回路間で伝送する際、通常、矩形波のクロック信号やデータ信号を伝送していたものを、矩形波から正弦波に変換したクロック信号やデータ信号を伝送することにより、高調波成分を減少させ、信号の伝送により放出される電波量（電磁波ノイズ）の低減を図るものである。

【0188】

まず、本実施形態の原理について説明する。

本実施形態では、送信側にフーリエ変換機能、受信側に逆フーリエ変換機能を備えるようにして、送信側は矩形波の信号にフーリエ変換を施すことにより正弦波の信号に変換して送信し、受信側は受信した正弦波の信号に逆フーリエ変換を施すことにより矩形波の信号に復元して出力する。

【0189】

例えば、図 2 5（A）に示すような振幅 A、周期 T の矩形波のクロック信号が入力され、当該クロック信号を送信しようとする際、送信側では上記クロック信号にフーリエ変換を施し、式（1）で示される信号 f（t）に変換する。

【0190】

【数 1】

$$f(t) = \frac{A}{2} + \frac{2A}{\pi} \left(\sin \omega \cdot t + \frac{1}{3} \sin 3\omega \cdot t + \frac{1}{5} \sin 5\omega \cdot t + \dots \right) \quad (1)$$

【0191】

なお、式（1）において、 $\omega = 2\pi / T$ である。

さらに、送信側は、式（1）に示す信号 f（t）の高周波成分（高周波項）を除去し、式（2）で示される基本波からなる正弦波の信号 f'（t）を受信側に送信する。

【0192】

【数 2】

10

20

30

40

$$f'(t) = \frac{A}{2} + \frac{2A}{\pi} \sin \omega \cdot t \quad \text{-----} (2)$$

【0193】

受信側は、上記式(2)で示される正弦波の信号 $f'(t)$ を受信し、正弦波の信号 $f'(t)$ に含まれる正弦波 $\sin(\omega t)$ を抽出し、PLL (Phase Locked Loop) 回路等により、正弦波 $\sin(3\omega t)$ 、 $\sin(5\omega t)$ 、…を生成する。受信側は、抽出した正弦波 $\sin(\omega t)$ および生成した正弦波 $\sin(3\omega t)$ 、 $\sin(5\omega t)$ 、…に、位相係数の逆数 $1/1$ 、 $1/3$ 、 $1/5$ 、…をそれぞれ乗算するとともに、係数 $2A/\pi$ を乗算する。

10

【0194】

さらに、受信側は、 $2/A$ を含めて上記乗算により得られた結果の総和を求めることにより、上記式(1)に示される信号 $f(t)$ の右辺を復元して、それに逆フーリエ変換を施す。これにより、受信側は、上記式(2)に示される正弦波の信号 $f'(t)$ から、送信側に入力された図25(A)に示す矩形波のクロック信号を復元し生成する。

【0195】

図26および図27は、矩形波のクロック信号を送信した場合と、上述のように処理したと仮定して正弦波のクロック信号を送信した場合において、クロック信号を送信する際に放射される電波量(電磁波ノイズ)を比較するための図である。図26は、矩形波のクロック信号を送信した場合に放射される電波量(電磁波ノイズ)を説明するための図であり、図27は、正弦波のクロック信号を送信した場合に放射される電波量(電磁波ノイズ)を説明するための図である。

20

【0196】

図26(A)および図27(A)において、上段には送信する矩形波のクロック信号および正弦波のクロック信号をそれぞれ示し、下段には上段に示したクロック信号に高速フーリエ変換(以下、「FFT」と称す。)を施すことにより得られるスペクトルを示す。また、図26(B)および図27(B)は、クロック信号にFFTを施すことにより得られるスペクトルにおいて、クロック信号の周波数の奇数倍の周波数域での放射される電波量(電磁波ノイズ)を表形式でそれぞれ示した図である。

30

なお、図26および図27において、矩形波のクロック信号および正弦波のクロック信号は、振幅が5V(10V peak to peak)、周波数が50kHzであり、図26に示す矩形波のクロック信号は、デューティ比が50%である。

【0197】

図26および図27にそれぞれ示したFFTを施すことにより得られたスペクトルからわかるように、正弦波のクロック信号を送信すると、矩形波のクロック信号を送信する場合に比べてクロック信号の高調波成分が削減される。特に、図27に示すように正弦波のクロック信号を送信した場合には、図26に示す矩形波のクロック信号を送信した場合に比べて、クロック信号の周波数の奇数倍の周波数域での電磁波ノイズのピーク値が大きく低減される。

40

【0198】

また、ここで信号を送信する際に、電波(電磁波ノイズ)を放出するのはクロック信号に限らず、データ信号等の他の信号を送信する際にも電波(電磁波ノイズ)が放出される。例えば、図25(B)に示す「H」パターンを表示装置に表示させるデータを送信する場合と、表示装置の表示領域を全て黒く表示するデータを送信する場合とでは、上記「H」パターンを表示装置に表示させるデータを送信する場合の方が放出される電波量(電磁波ノイズ)が増加するので、本実施形態では、データ信号も矩形波の信号から正弦波の信号に変換して送信する。

【0199】

50

第7の実施形態による信号伝送システムは、例えば、図28に示すような液晶表示装置に適用することができる。

図28において、241は信号源であり、表示部255に画像を表示させるためのクロック信号および表示信号等を制御回路242に供給する。信号源241は、例えば、パーソナル・コンピュータ等により構成される。

【0200】

制御回路242は、ゲート駆動部244、データ駆動部249等を制御するためのものであり、タイミングコントローラ243を含み構成される。タイミングコントローラ243は、上記信号源241から供給されるクロック信号および表示信号等に基づいて、所定の処理を行い、表示データ等の表示制御信号SIG1、フレーム信号等の表示制御信号SIG2、クロック信号CLK1およびゲートクロック信号CLK2を生成し出力する。

10

【0201】

ゲート駆動部244は、複数のゲートドライバ245～248により構成される。ゲートドライバ245～248は、タイミングコントローラ243から供給される表示制御信号SIG2およびゲートクロック信号CLK2に基づいて、表示部255の各スキャンラインをそれぞれ駆動することにより、表示部255が有する複数のスキャンラインを順次駆動する。

【0202】

データ駆動部249は、複数のデータドライバ250～254により構成される。データドライバ250～254は、タイミングコントローラ243から供給される表示制御信号SIG1およびクロック信号CLK1に基づいて、表示部255の各データラインに表示制御信号SIG1に応じた電圧を印加する。

20

【0203】

表示部255は、複数のスキャンラインと複数のデータラインとがマトリクス状に配列され、上記スキャンラインとデータラインとの交差部に画像を表示するための画素が配設されている。上記スキャンラインおよびデータラインが、上述した複数のゲートドライバ245～248および複数のデータドライバ250～254によりそれぞれ駆動制御され、信号源241から供給された表示信号に係る画像が表示部255に表示される。

【0204】

図29は、本実施形態による送信部および受信部の構成例を示すブロック図であり、(A)は送信部261を示し、(B)は受信部264を示している。図29に示す送信部261および受信部264は、例えば、図28に示す信号源241から制御回路242内のタイミングコントローラ243に矩形波の信号を正弦波の信号に変換して送信する場合には、信号源241に送信部261を設け、タイミングコントローラ243に受信部264を設けるようにする。また、例えば、図28に示すタイミングコントローラ243からゲートドライバ245～248およびデータドライバ250～254の少なくとも一方に矩形波の信号を正弦波の信号に変換して送信する場合には、タイミングコントローラ243に送信部261を設け、正弦波の信号を受信するゲートドライバ245～248およびデータドライバ250～254の少なくとも一方に受信部264を設けるようにする。

30

【0205】

なお、以下の説明では、上述した図25(A)に示す矩形波のクロック信号を正弦波のクロック信号に変換して送信する場合を一例として説明する。

40

まず、送信部261について説明する。

送信部261は、高速フーリエ変換(FFT)演算部262および周波数成分解析部263により構成される。FFT演算部262は、入力された矩形波のクロック信号にフーリエ変換を施し、得られた基本波($\sin[\omega t]$)、およびその高調波成分($\sin[(2N-1)\omega t]$: $N=2, 3, \dots$)をそれぞれ周波数成分解析部263に供給する。

【0206】

周波数成分解析部263は、FFT演算部262から供給された基本波($\sin[\omega t]$)、およびその高調波成分($\sin[(2N-1)\omega t]$)の周波数をそれぞれ解析する

50

ことにより基本波のみを抽出し、上述した式（２）に示す基本波からなる正弦波の信号 $f'(t)$ を出力する。これにより、送信部 261 に入力された矩形波のクロック信号が、基本波からなる正弦波のクロック信号に変換され、送信部 261 から送信される。

【0207】

次に、受信部 264 について説明する。

受信部 264 は、受信した信号（受信信号）から直流成分を除去する減算回路 265 と、詳細は後述する PLL 回路 266 と、PLL 回路 266 から出力された信号の周波数を $1/n$ （ n は奇数）倍して PLL 回路 266 に供給する、カウンタ等により構成された周波数分割回路 270 と、PLL 回路 266 から出力される信号と周波数分割回路 270 から出力される倍率 $1/n$ とを乗算処理する乗算部 271 とを備えている。また、受信部 264 は、メモリ 273 と、乗算部 271 からの出力とメモリ 273 からの出力とを加算処理して、演算結果をメモリ 273 に供給する加算部 272 と、メモリ 273 から出力される信号に直流成分を加算する加算回路 274 と、加算回路 274 から出力される信号に逆フーリエ変換を施し出力する逆 FFT 演算部 275 とを備えている。

10

【0208】

PLL 回路 266 は、同期整流回路（位相比較回路）267、低域通過フィルタ 268 および電圧制御発振回路 269 により構成される。同期整流回路（位相比較回路）267 は、減算回路 265 により直流成分が除去された受信信号と、電圧制御発振回路 269 から出力され、周波数分割回路 270 により周波数が $1/n$ 倍された信号との位相を比較して位相差に応じた信号を出力する。低域通過フィルタ 268 は、同期整流回路（位相比較回路）267 から出力された信号の低周波数域の成分を通過させるフィルタであり、電圧制御発振回路 269 は、低域通過フィルタ 268 を通過した信号に応じた発振出力を出力する。

20

【0209】

次に、受信部 264 の動作について説明する。

受信部 264 は、送信部 261 から送信された基本波からなる正弦波のクロック信号を受信すると、まず、減算回路 265 にて受信した正弦波のクロック信号から直流成分 $A/2$ を除去する。これにより、式（３）で示される信号 $g(t)$ が生成される。

【0210】

【数 3】

30

$$g(t) = \frac{2A}{\pi} \sin \omega \cdot t \quad (3)$$

【0211】

減算回路 265 にて生成された信号 $g(t)$ は、PLL 回路 266 内の同期整流回路（位相比較回路）267 に入力される。また、同期整流回路（位相比較回路）267 には、PLL 回路 266 の出力信号の周波数を $1/n$ 倍した信号が周波数分割回路 270 から供給されている。これにより、PLL 回路 266（同期整流回路 267、低域通過フィルタ 268 および電圧制御発振回路 269）は、安定した際に、減算回路 265 から供給される信号 $g(t)$ （周波数 $\omega/(2\pi)$ ）と、PLL 回路 266 の出力信号の周波数を $1/n$ 倍して周波数分割回路 270 から供給される信号との位相差が一定となる信号を出力する。すなわち、PLL 回路 266 は、減算回路 265 から供給される信号 $g(t)$ の周波数を n 倍した信号を周波数分割回路 270 および乗算部 271 にそれぞれ出力する。

40

【0212】

次に、乗算部 271 は、PLL 回路 266 から出力される信号 $g(t)$ の周波数を n 倍した信号と、周波数分割回路 270 から出力される倍率 $1/n$ との乗算処理を行う。これにより、式（４）で示される信号 $h_n(t)$ が生成される。

【0213】

【数 4】

50

$$h_n(t) = \frac{2A}{\pi} \cdot \frac{1}{n} \sin n\omega \cdot t \text{ ----- (4)}$$

【0214】

乗算部271により生成された信号 $h_n(t)$ は、加算部272に供給され、加算部272にてメモリ273からの出力と加算演算され、演算結果がメモリ273に格納される。上述した動作を $n=1, 3, 5, \dots$ と繰り返すことにより、メモリ273には、信号 $h_1(t) + h_3(t) + h_5(t) + \dots$ が格納されるとともに、メモリ273から加算回路274に供給される。

10

【0215】

加算回路274では、メモリ273から供給される信号 $h_1(t) + h_3(t) + h_5(t) + \dots$ に、直流成分 $(A/2)$ を加算し、逆FFT演算部275に供給する。これにより、上述した式(1)に示される信号 $f(t)$ の右辺が復元され、逆FFT演算部275に供給される。そして、逆FFT演算部275にて、加算回路274から供給される信号に逆フーリエ変換が施され、送信部261に輸入された矩形波のクロック信号と同一の矩形波のクロック信号が出力される。

【0216】

図30および図31は、上記図29に示すような送信部261および受信部264により、矩形波の信号を正弦波の信号に変換して伝送した際に放射される電波量のシミュレーション結果を説明するための図である。

20

図30は、シミュレーションモデルを示す図であり、(A)はシミュレーションモデル全体を示しており、281および284はシールドボックスであり、一方が送信部261となって信号を送信し、他方が受信部264となって上記一方のシールドボックスから送信された信号を受信する。282はシールドボックスの開口部であり、シールドボックス281、284の外部に同軸ケーブル283を引き出すためのものである。

【0217】

また、図30(B)は、シールドボックス281内を上部から見た図であり、信号を送信または受信する信号入出力部286が基板285上に設置され、送受信する信号を伝播させるために基板285上に形成されたパターン287により、同軸ケーブル283と電気的に接続されている。なお、シールドボックス284については、上記シールドボックス281と同じ構成であるので、説明は省略する。

30

【0218】

図31は、図30に示したシミュレーションモデルを用いて、周波数がそれぞれ50MHzである矩形波の信号および正弦波の信号を、同軸ケーブル283を介してそれぞれ伝送した場合に放射された電波量を示す図である。なお、図31は、10m法により測定した結果を示している。

図31に示すグラフにおいて、横軸は周波数[MHz]、縦軸は放射電波量[dB($\mu V/m$)]であり、周波数が50~1000MHzの範囲にて、50MHzの整数倍の周波数における放射電波量を示している。また、それに対応する値を表形式で示している。

40

【0219】

図31からわかるように、同軸ケーブル283を介して、矩形波の信号を伝送した場合には、50~1000MHzの範囲で、50MHzの整数倍の周波数において強い強度の放射電波が観測されているのに対して、正弦波の信号を伝送した場合には、周波数が50MHzの放射電波のみが観測されている。これにより、矩形波の信号を正弦波の信号に変換して送受信することにより、信号に含まれる高調波成分を削減し、高周波数域での放射電波量を大きく削減できることがわかる。

【0220】

以上、説明したように第7の実施形態によれば、送信部261は、FFT演算部262および周波数成分解析部263により、入力された矩形波の信号(クロック信号等)にフー

50

リエ変換を施して基本波のみを抽出することにより入力された矩形波の信号を正弦波の信号に変換して送信する。また、送信部261から送信された正弦波の信号を受信する受信部264は、受信した正弦波の信号に基づいて、PLL回路266により受信した正弦波の高調波の信号を順次生成し、乗算部271および加算部272等により、生成した高調波の信号に所定の係数を乗算して総和を求め、求めた総和の信号に逆FFT演算部275にて逆フーリエ変換を施すことにより入力された矩形波の信号と同一の信号を復元する。

【0221】

これにより、送信部261と受信部264との間では、基本波からなる正弦波の信号を送受信することとなり、矩形波の信号を送受信するときと比べて、送受信する信号に含まれる高調波成分を大きく減少させることができ、送受信の際に信号線から放射される電波量（電磁波ノイズ）を大きく低減することができる。

10

【0222】

なお、上述した第7の実施形態では、矩形波の信号を正弦波の信号に変換して送信する際、矩形波の信号の振幅と変換された正弦波の信号の振幅とは同じとしていたが、図32に示すように、送信部261'にて正弦波の信号の振幅を圧縮（小さく）し、受信部264'にて送信部261'により圧縮された正弦波の振幅を復元するようにしても良い。

【0223】

図32は、送信部および受信部の他の構成例を示すブロック図である。

なお、この図32において、図29に示したブロックと同一の機能を有するブロックには同一の符号を付し、重複する説明は省略する。また、図29に示したブロックと同一ではないが対応する機能を有するブロックには、同じ符号に'を付している。

20

【0224】

図32において、送信部261'は、上記図29に示した送信部261が備える機能ブロックに加え、送信する正弦波の信号の振幅を圧縮するためのオペアンプ291、およびオペアンプ291による正弦波の信号の振幅の圧縮率を制御する圧縮率制御部292をさらに備えている。また、同様に、受信部264'は、上記図29に示した受信部264が備える機能ブロックに加え、受信した正弦波の信号の振幅を復元するためのオペアンプ293、およびオペアンプ293による正弦波の信号の振幅の復元率を制御する復元率制御部294をさらに備えている。

【0225】

30

図33は、上記図32に示すオペアンプ291、293の周辺回路の構成の一例を示す図である。

図33において、Vinは正弦波の信号の入力端子、Voutは正弦波の信号の出力端子である。オペアンプの一方の入力端子は可変抵抗R₁（抵抗値r₁）を介して入力端子Vinと接続され、他方の入力端子は抵抗R_sを介して接地されている。また、オペアンプの出力端子は出力端子Voutに接続されるとともに、抵抗R_f（抵抗値r_f）を介してオペアンプの上記一方の入力端子に接続されている。これにより、図33に示す回路による利得Gは $G = - (r_f / r_1)$ となる。

【0226】

上述のように構成した送信部261'および受信部264'において、送信部261'では、可変抵抗R₁の抵抗値を圧縮率制御部292により制御し、抵抗比 (r_f / r_1) を変化させることで、FFT演算部262および周波数成分解析部263にて所定の処理を施すことにより得られた正弦波の信号の振幅を $G (= r_f / r_1)$ 倍して送信する。

40

【0227】

また、受信部264'では、可変抵抗R₁の抵抗値をr₁'とすると、送信部261'の可変抵抗R₁の抵抗値r₁に応じて、抵抗値r₁'を $r_1' = (r_f^2 / r_1)$ となるように復元率制御部294により制御する。したがって、抵抗比 (r_f / r_1') は、 (r_1 / r_f) となり、受信部264'では、受信した正弦波の信号の振幅を $(1 / G)$ 倍する。これにより、送信部261'にて送信する正弦波の信号の振幅を圧縮し、受信部264'にて受信した正弦波の信号の振幅を復元することができ、伝送路では振幅を小さくした正弦波の信

50

号を伝送することができる。

これにより、送受信の際に信号線から放射される電波量（電磁波ノイズ）をさらに低減することができる。

【0228】

（第8の実施形態）

次に、本発明の第8の実施形態について説明する。

第8の実施形態は、第7の実施形態と同様に、信号を送受信する際には正弦波の信号に変換して送受信するとともに、送受信する正弦波の信号において、同位相の信号と逆位相の信号とが略同数になるように、正弦波の信号の位相を制御するようにしたものである。

第8の実施形態による信号伝送システムも、図28に示すような液晶表示装置に適用することができる。

10

【0229】

図34は、第8の実施形態による送信側の構成例を示すブロック図である。

図34において、361は信号出力部であり、複数の矩形波のクロック信号SCLKN（ $N=0、1、2、3、\dots$ ）、および複数の矩形波のデータ信号SDTN（ $N=0、1、2、3、\dots$ ）を出力する。

362は第1の位相情報制御部であり、信号出力部361から供給されるクロック信号SCLKN（ $N=0、1、2、3、\dots$ ）に基づいて、クロック位相反転情報CINFおよび複数のクロック位相選択信号CSELM（ $M=1、2、3、\dots$ ）を生成する。

【0230】

20

364-N（ $N=0、1、2、3、\dots$ ）は送信部であり、送信部364-0には信号出力部361から出力されたクロック信号SCLK0が供給され、送信部364-1にはクロック信号SCLK1およびクロック位相選択信号CSEL1が供給される。同様に、送信部364-2にはクロック信号SCLK2およびクロック位相選択信号CSEL2が供給され、送信部364-3にはクロック信号SCLK3およびクロック位相選択信号CSEL3が供給される。

【0231】

送信部364-N（ $N=0、1、2、3、\dots$ ）の構成について、送信部364-1を用いて説明する。

送信部364-1において、365はFFT演算部、366は周波数成分解析部であり、上記図29に示したFFT演算部262、周波数成分解析部263とそれぞれ同じものであるので、重複する説明は省略する。

30

【0232】

また、367はオペアンプであり、一方の入力端子を介して周波数成分解析部366から出力された基本波からなる正弦波の信号が供給されるとともに、他方の入力端子を介して基準電圧（図34においては $(A/2)V$ ）が供給される。そして、オペアンプ367は、供給される基準電圧に対して、上記正弦波の信号を反転させた（位相を π だけずらした）信号（以下、「位相反転信号」と称す。

）を選択回路368に出力する。

【0233】

40

選択回路368には、周波数成分解析部366から出力された基本波からなる正弦波の信号と、オペアンプ367から出力された位相反転信号とが入力され、第1の位相情報制御部362から供給されるクロック位相選択信号CSEL1に応じて、正弦波の信号または位相反転信号の何れかをクロック信号TCLK1として選択的に出力する。この選択回路368は、例えば、JKフリップフロップ回路等により構成される。

【0234】

ここで、送信部364-N（ $N=0、1、2、3、\dots$ ）は、送信部364-0を除き、入力されるクロック信号およびクロック位相選択信号、出力するクロック信号が異なるのみで全く同じ構成である。ただし、送信部364-0は、上述したオペアンプ367および選択回路368は備えず、FFT演算部および周波数成分解析部366にて所定の処理を

50

施して変換した正弦波のクロック信号をそのままクロック信号 $TCLK0$ として出力する。

【0235】

363 は第2の位相情報制御部であり、信号出力部 361 から供給されるデータ信号 $SDTN$ ($N=0, 1, 2, 3, \dots$) に基づいて、データ位相反転情報 $DINF$ および複数のデータ位相選択信号 $DSELM$ ($M=1, 2, 3, \dots$) を生成する。

【0236】

369-N ($N=0, 1, 2, 3, \dots$) は送信部であり、送信部 369-0 には信号出力部 361 から出力されたデータ信号 $SDT0$ が供給され、送信部 369-1 にはデータ信号 $SDT1$ およびデータ位相選択信号 $DSEL1$ が供給される。同様に、送信部 369-2 にはデータ信号 $SDT2$ およびデータ位相選択信号 $DSEL2$ が供給され、送信部 369-3 にはデータ信号 $SDT3$ およびデータ位相選択信号 $DSEL3$ が供給される。

なお、送信部 369-N ($N=0, 1, 2, 3, \dots$) については、上述したクロック信号が入力される送信部 364-N ($N=0, 1, 2, 3, \dots$) にそれぞれ対応したものであり、同様の構成であるので説明は省略する。

【0237】

図35は、図34に示した第1の位相情報制御回路 362 の構成を示すブロック図である。

なお、図35に示す第1の位相情報制御回路 362 は、クロック信号 $SCCLK0$ を基準クロック信号として、当該 $SCCLK0$ を除くクロック信号 $SCCLKN$ ($N=1, 2, 3, \dots$) を反転するか否か決定するものである。

【0238】

図35において、387-M ($M=1, 2, 3, \dots$) は位相比較器であり、クロック信号 $SCCLKN$ ($N=1, 2, 3, \dots$) がそれぞれ入力されるとともに、基準クロック信号としたクロック信号 $SCCLK0$ が入力される。各位相比較器 387-M ($M=1, 2, 3, \dots$) は、入力されたクロック信号 $SCCLKN$ の位相とクロック信号 $SCCLK0$ の位相とを比較し、比較結果を位相比較情報（同位相の場合“1”、逆位相の場合“0”）として出力する。

【0239】

388 はカウンタ回路であり、各位相比較器 387-M ($M=1, 2, 3, \dots$) から供給される位相比較情報に基づいて、クロック信号 $SCCLK0$ の位相と同位相のクロック信号および逆位相のクロック信号の数をカウントする。カウンタ回路 388 は、カウント結果を位相比較情報と同じ極性の信号（同位相が多い場合“1”、逆位相が多い場合“0”）として出力端子 P から XNOR 回路 389-M ($M=1, 2, 3, \dots$) にそれぞれ出力する。

【0240】

また、カウンタ回路 388 は、供給される位相比較情報に基づいて、送信する際に反転する信号数 K ($= |((\text{同位相の信号数}) - (\text{逆位相の信号数})) / 2|$ (ただし、小数点以下切り捨て)) を計算する。そして、カウンタ回路 388 は、出力端子 OL ($L=2, 3, \dots$) から AND 回路 390-M ($M=1, 2, 3, \dots$) に上記信号数 K に応じて“1”を順次出力する。なお、カウンタ回路 388 の出力端子 $O2$ は AND 回路 390-1 に接続され、出力端子 $O3$ は AND 回路 390-2 に接続されており、同様に出力端子 $O(n+1)$ は AND 回路 390-n に接続されている。

【0241】

ここで、上記カウンタ回路 388 は、出力端子 OL ($L=2, 3, \dots$) から AND 回路 390-M ($M=1, 2, 3, \dots$) に“1”を出力する際、AND 回路 390-M ($M=1, 2, 3, \dots$) の出力であるクロック位相選択信号 $CSELM$ ($M=1, 2, 3, \dots$) に基づいて、実際に信号反転が行われるクロック信号数を判断して“1”を出力する。

【0242】

XNOR 回路 389-M ($M=1, 2, 3, \dots$) は、位相比較器 387-M ($M=1, 2$

10

20

30

40

50

、3、…）からの位相比較情報と、カウンタ回路388の出力端子Pから出力されるカウンタ結果とがそれぞれ入力され、その演算をAND回路390-M（M=1、2、3、…）に出力する。AND回路390-M（M=1、2、3、…）は、XNOR回路389-M（M=1、2、3、…）の演算結果、およびカウンタ回路388の出力端子OLからの出力がそれぞれ入力され、その演算結果をクロック位相選択信号CSELM（M=1、2、3、…）としてそれぞれ出力する。

【0243】

また、381はFFT演算部、382は周波数成分解析部であり、入力されるクロック信号SCLK0に所定の処理を施して基本波からなる正弦波の信号を生成し同期整流回路（位相比較回路）383に出力する。

10

同期整流回路（位相比較回路）383、低域通過フィルタ384、電圧制御発振回路385および周波数分割回路386は、上述した図29の受信部264に示す同期整流回路（位相比較回路）267、低域通過フィルタ268、電圧制御発振回路269および周波数分割回路270と同じ機能を有するものであり、電圧制御発振回路385から出力され周波数分割回路386にて周波数を1/m倍された正弦波の信号に基づいて、電圧制御発振回路385から周波数をm倍した正弦波の信号をクロック位相反転情報CINFとして出力する。

【0244】

なお、本実施形態では、上記周波数分割回路386にて周波数を1/m倍するときのmは、AND回路390-M（M=1、2、3、…）の出力であるクロック位相選択信号CSELM（M=1、2、3、…）が“1”となるものの添え字Mに1を加えた数である。また、上記クロック位相選択信号CSELM（M=1、2、3、…）が複数ある場合には、電圧制御発振回路385から出力される周波数をm倍した正弦波の信号を全て加算する加算部等を設けて、全ての正弦波の信号を重ね合わせたものをクロック位相反転情報CINFとして出力する。

20

【0245】

なお、第2の位相情報制御部363は、上述した第1の位相情報制御部362と同じ構成であるので説明は省略する。

【0246】

図36は、第8の実施形態による受信側の構成例を示すブロック図である。

30

図36において、401は第1の周波数分析回路であり、受信した正弦波のクロック信号TCLK0、およびクロック位相反転情報CINFに基づいて、クロック位相選択信号RC SM（M=1、2、3、…）を生成する。

【0247】

403-N（N=0、1、2、3、…）は受信部であり、受信部403-0には受信したクロック信号TCLK0が供給され、受信部403-1にはクロック信号TCLK1およびクロック位相選択信号RCS1が供給される。同様に、受信部403-2にはクロック信号TCLK2およびクロック位相選択信号RCS2が供給され、受信部403-3にはクロック信号TCLK3およびクロック位相選択信号RCS3が供給される。

【0248】

40

受信部403-N（N=0、1、2、3、…）の構成について、受信部403-1を用いて説明する。

受信部403-1において、減算回路404、同期整流回路406、低域通過フィルタ407、電圧制御発振回路408、周波数分割回路409、乗算部410、加算部411、メモリ412、加算回路413および逆FFT演算部414は、上述した図29に示す受信部264の機能ブロックと同じものであるので説明は省略する。

【0249】

417はオペアンプであり、一方の入力端子を介して減算回路404から出力された基本波からなる正弦波の信号が供給されるとともに、他方の入力端子を介して基準電圧（図36においてはGND）が供給される。そして、オペアンプ417は、GNDに対して、上

50

記正弦波の信号を反転させた位相反転信号を選択回路 405 に出力する。

【0250】

選択回路 405 には、減算回路 404 から出力された基本波からなる正弦波の信号と、オペアンプ 417 から出力された信号とが入力され、第 1 の周波数分析回路 401 から供給されるクロック位相選択信号 R C S 1 に応じて、正弦波の信号または位相反転信号の何れかを選択的に出力する。この選択回路 405 は、例えば、J K フリップフロップ回路等により構成される。

【0251】

ここで、受信部 403-N ($N=0, 1, 2, 3, \dots$) は、受信部 403-0 を除き、入力されるクロック信号およびクロック位相選択信号が異なるのみで全く同じ構成である。ただし、受信部 403-0 は、上述したオペアンプ 417 および選択回路 405 は備えず、上述した図 29 に示す受信部 264 と同様の構成である。

402 は第 2 の周波数分析回路であり、受信した正弦波のデータ信号 T D T 0、およびデータ位相反転情報 D I N F に基づいて、データ位相選択信号 R D S M ($M=1, 2, 3, \dots$) を生成する。

【0252】

416-N ($N=0, 1, 2, 3, \dots$) は受信部であり、受信部 416-0 には受信したデータ信号 T D T 0 が供給され、受信部 416 にはデータ信号 T D T 1 およびデータ位相選択信号 R D S 1 が供給される。同様に、受信部 416-2 にはデータ信号 T D T 2 およびデータ位相選択信号 R D S 2 が供給され、受信部 416-3 にはデータ信号 T D T 3 およびデータ位相選択信号 R D S 3 が供給される。

なお、受信部 416-N ($N=0, 1, 2, 3, \dots$) については、上述したクロック信号が入力される受信部 403-N ($N=0, 1, 2, 3, \dots$) にそれぞれ対応したものであり、同様の構成であるので説明は省略する。

【0253】

次に、動作について説明する。

なお、本実施形態では、クロック信号 S C L K N ($N=0, 1, 2, 3, \dots$) およびデータ信号 S D T N ($N=0, 1, 2, 3, \dots$) について、同様の動作をそれぞれ行うので、以下の説明では、クロック信号 S C L K N ($N=0, 1, 2, 3, \dots$) についてのみ説明する。

【0254】

まず、信号出力部 361 から出力されたクロック信号 S C L K N ($N=0, 1, 2, 3, \dots$) は、位相情報制御部 362 に供給されるとともに、送信部 364-N ($N=0, 1, 2, 3, \dots$) にそれぞれ供給される。

位相情報制御部 362 に供給されたクロック信号 S C L K N ($N=0, 1, 2, 3, \dots$) は、クロック信号 S C L K 0 が位相比較器 387-M ($M=1, 2, 3, \dots$) の全てに供給され、クロック信号 S C L K N ($N=1, 2, 3, \dots$) が位相比較器 387-M ($M=1, 2, 3, \dots$) にそれぞれ供給される。各位相比較器 387-M ($M=1, 2, 3, \dots$) は、供給されたクロック信号 S C L K 0 の位相とクロック信号 S C L K N ($N=1, 2, 3, \dots$) の位相とを比較し、その結果、同位相であれば“1”の、逆位相であれば“0”の位相比較情報をカウンタ回路 388 に供給する。また、各位相比較器 387-M ($M=1, 2, 3, \dots$) は、それぞれ接続された X N O R 回路 389-M ($M=1, 2, 3, \dots$) に上記位相比較情報を供給する。

【0255】

各位相比較器 387-M ($M=1, 2, 3, \dots$) から位相比較情報が供給されたカウンタ回路 388 は、上記位相比較情報に基づいて、クロック信号 S C L K N ($N=1, 2, 3, \dots$) において、クロック信号 S C L K 0 の位相と同位相の信号数および逆位相の信号数をそれぞれカウントする。カウンタ回路 388 は、上記カウント結果、同位相の信号数が逆位相の信号数以上の場合には“1”の、同位相の信号数が逆位相の信号数よりも少ない場合には“0”の信号を出力端子 P から X N O R 回路 389-M ($M=1, 2, 3, \dots$)

10

20

30

40

50

にそれぞれ供給する。

【0256】

これにより、反転すべきクロック信号、すなわち、クロック信号 $SC L K N$ ($N = 1, 2, 3, \dots$) において、同位相の信号が過半数以上あるクロック信号に対応する $X N O R$ 回路 $389 - M$ ($M = 1, 2, 3, \dots$) からは“1”が出力される。なお、上述した説明においては、位相比較情報はクロック信号 $SC L K 0$ と同位相であれば“1”、逆位相であれば“0”としたが、位相比較情報と、カウンタ回路 388 の出力端子 P から出力される過半数を示す信号が同位相および逆位相の際に出力される信号との極性が同じであれば良い。

【0257】

さらに、カウンタ回路 388 は、供給される位相比較情報に基づいて、送信する際に反転する信号数 K を計算し、出力端子 $O L$ ($L = 2, 3, \dots$) から $A N D$ 回路 $390 - N$ ($N = 1, 2, 3, \dots$) に上記信号数 K に応じて“1”を順次出力する。例えば、 $K = 2$ の場合には、まず、出力端子 $O 2$ から $A N D$ 回路 $390 - 1$ に“1”を出力する。そして、 $A N D$ 回路 $390 - 1$ にて、 $X N O R$ 回路 $389 - 1$ からの出力との $A N D$ 演算が行われ、クロック信号 $SC L K 1$ が反転すべき信号（同位相のクロック信号が過半数以上ある信号）の場合には、クロック位相選択信号 $C S E L 1$ が“1”となり送信部 $364 - 1$ に出力される。一方、クロック信号 $SC L K 1$ が反転すべき信号でない場合には、クロック位相選択信号 $C S E L 1$ が“0”となり送信部 $364 - 1$ に出力される。

【0258】

なお、上記クロック位相選択信号 $C S E L 1$ は、カウンタ回路 388 にも供給され、クロック位相選択信号 $C S E L 1$ が“1”の場合には、カウンタ回路 388 は上記信号数 K から1を減算する。一方、クロック位相選択信号 $C S E L 1$ が“0”の場合には、カウンタ回路 388 は上記信号数 K を維持する。

上述した処理を信号数 K が“0”となるまで、出力端子 $O 3, O 4, \dots$ から“1”を順次出力することにより反転する信号を決定していく。

【0259】

また、送信する信号を反転したか否かを示す情報を生成するため、クロック位相選択信号 $C S E L M$ ($M = 1, 2, 3, \dots$) が周波数分割回路 386 に供給される。周波数分割回路 386 は、クロック位相選択信号 $C S E L M$ ($M = 1, 2, 3, \dots$) が“1”であるものの添え字 N に1を加えた数 m を算出し、電圧制御発振回路 385 から出力される正弦波の信号の周波数を $1/m$ 倍して同期整流回路 383 に供給する。なお、同期整流回路 383 には、 $F F T$ 演算部 381 および周波数成分解析部 382 によりクロック信号 $SC L K 0$ に所定の処理を施して生成した基本波からなる正弦波のクロック信号が供給されているので、電圧制御発振回路 385 からはクロック信号 $SC L K 0$ の基本波の周波数を m 倍した正弦波の信号がクロック位相反転情報 $C I N F$ として出力され、外部に送信される。

【0260】

また、各送信部 $364 - N$ ($N = 0, 1, 2, 3, \dots$) にそれぞれ供給されたクロック信号 $SC L K N$ ($N = 0, 1, 2, 3, \dots$) は、 $F F T$ 演算部 365 および周波数成分解析部 366 により所定の処理が施され、基本波からなる正弦波のクロック信号に変換される。そして、クロック信号 $SC L K 0$ を変換した基本波からなる正弦波のクロック信号は、クロック信号 $T C L K$ としてそのまま送信される。

【0261】

また、クロック信号 $SC L K N$ ($N = 1, 2, 3, \dots$) を変換した基本波からなる正弦波のクロック信号は、選択回路 368 に入力されるとともに、オペアンプ 367 にて反転された後、選択回路 368 に入力される。そして、選択回路 368 は、第1の位相情報制御部 362 から出力されるクロック位相選択信号 $C S E L M$ ($M = 1, 2, 3, \dots$) が“1”の場合には、オペアンプ 367 を介して入力された正弦波のクロック信号をクロック信号 $T C L K N$ ($N = 1, 2, 3, \dots$) として出力し、クロック位相選択信号 $C S E L M$ ($M = 1, 2, 3, \dots$) が“0”の場合には、周波数成分解析部 366 から入力された正弦

10

20

30

40

50

波のクロック信号をクロック信号 $TCLKN$ ($N=1, 2, 3, \dots$) として出力する。
これにより、クロック信号 $TCLK0$ と同位相のクロック信号と逆位相のクロック信号とを略同数にして送信する。

【0262】

また、上記クロック信号 $TCLKN$ ($N=0, 1, 2, 3, \dots$) およびクロック位相反転情報 $CINF$ を受信した側では、まず、受信したクロック信号 $TCLK0$ とクロック位相反転情報 $CINF$ とを用いて、周波数分析回路 401 により上記クロック位相反転情報 $CINF$ に含まれるクロック信号 $TCLK0$ の高調波となる周波数成分を検出する。また、周波数分析回路 401 は、検出された周波数成分がクロック信号 $TCLK0$ の周波数の何倍の信号であるか算出し、その算出した値から 1 を減算した添え字 M のクロック位相選択信号 $RCSM$ ($M=1, 2, 3, \dots$) を “1” にして、受信部 403-N ($N=0, 1, 2, 3, \dots$) にそれぞれ出力する。

10

【0263】

また、受信したクロック信号 $TCLKN$ ($N=0, 1, 2, 3, \dots$) は、各受信部 403-N ($N=0, 1, 2, 3, \dots$) にそれぞれ供給され、受信部 403-N ($N=0, 1, 2, 3, \dots$) にて逆フーリエ変換を含む復元処理が行われ、クロック信号 $RCLKN$ ($N=0, 1, 2, 3, \dots$) として信号入力部 415 に供給される。このとき、受信部 403-N ($N=1, 2, 3, \dots$) では、それぞれ供給されたクロック信号 $TCLKN$ ($N=1, 2, 3, \dots$) をオペアンプ 417 により反転し、周波数分析回路 401 から供給されるクロック位相選択信号 $RCSN$ ($N=1, 2, 3, \dots$) に応じて、受信したクロック信号 $TCLKN$ ($N=1, 2, 3, \dots$) またはそれを反転したクロック信号の何れかを選択して逆フーリエ変換を含む復元処理を行う。

20

【0264】

これにより、受信側では、受信した正弦波のクロック信号 $TCLKN$ ($N=0, 1, 2, 3, \dots$) に基づいて、信号出力部 361 から出力された矩形波のクロック信号 $SCLKN$ ($N=0, 1, 2, 3, \dots$) と同等の矩形波のクロック信号 $RCLKN$ ($N=0, 1, 2, 3, \dots$) を復元して信号入力部 415 に供給する。

【0265】

以上、説明したように第 8 の実施形態によれば、複数の矩形波のクロック信号および複数の矩形波のデータ信号の少なくとも一方を正弦波の信号に変換して送受信する際、送信側では、位相情報制御部 362、363 により基準信号に対して同位相の信号数と逆位相の信号数とをそれぞれ検出し、上記検出結果に応じて、基準信号に対して同位相の信号数と逆位相の信号数とが略同数になるように送信する正弦波の信号を反転して送信するとともに、反転した正弦波の信号を識別するための情報を受信側に送信する。受信側では、送信側から送信された反転した正弦波の信号を識別するための情報を周波数分析回路 401、402 により解析し、解析結果に応じて反転して送信された正弦波の信号を再び反転して復元する。

30

【0266】

これにより、図 34 に示す送信側と図 36 に示す受信側との間では、同位相の信号と逆位相の信号とが略同数の基本波からなる正弦波の信号が送受信されるので、信号線から放射される電波が互いに位相が異なる正弦波の信号により相殺されることにより、送受信の際に信号線から放射される電波量（電磁波ノイズ）を低減することができる。

40

【0267】

なお、上述した第 7 および第 8 の実施形態において、基本波からなる正弦波の信号から直流成分を除去する減算回路は受信側に設けていたが、送信側に設けても良いことは言うまでもない。また、上述した第 7 および第 8 の実施形態においては、本発明の信号伝送システムを液晶表示装置に適用した場合について示したが、液晶表示装置に限られるものではなく、内部処理は矩形波の信号を用いて行う任意の信号伝送システムに適用することができる。

【0268】

50

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

本発明の諸態様を付記として以下に示す。

【0269】

(付記1) マトリクス状に配置された表示画素により構成される表示部に画像を表示するための表示データを複数の信号線を介して送信するとともに、上記複数の信号線を介して送信される表示データのデータ値を上記信号線毎に反転したか否かを示すデータ反転信号を送信する送信回路と、

10

上記送信回路から送信された表示データおよびデータ反転信号を受信し、上記受信したデータ反転信号に応じて、上記受信した表示データのデータ値を信号線毎に反転する受信回路とを備えることを特徴とする表示装置。

【0270】

(付記2) 上記送信回路は、送信する上記表示データのデータ値が1つ前に送信した表示データのデータ値に対して反転する信号線数が、上記複数の信号線数の $1/2$ より多い場合には、1つ前に送信したデータ反転信号に対して上記データ反転信号を反転して送信するとともに、上記送信するデータ反転信号に応じて、上記送信する表示データのデータ値を信号線毎に反転して送信することを特徴とする付記1に記載の表示装置。

20

【0271】

(付記3) 上記送信回路は、上記送信する表示データのデータ値が、少なくとも3クロックの期間、連続して切り替わる信号線数が、上記複数の信号線数の $1/4$ より多い場合には、モード切替信号を送信するとともに、供給される表示データに応じて、1つ前に供給された表示データのデータ値を信号線毎に反転して送信することを特徴とする付記2に記載の表示装置。

(付記4) 上記受信回路は、上記送信回路から送信されたモード切替信号に応じて、受信した表示データまたは1つ前に受信回路から表示部に出力した表示データを用いて、上記表示部に対して出力する表示データを生成することを特徴とする付記3に記載の表示装置。

【0272】

30

(付記5) 表示部に画像を表示するための表示データを複数の信号線を介して送信するとともに、上記複数の信号線を介して送信される表示データのデータ値を上記信号線毎に反転したか否かを示すデータ反転信号を送信する送信回路を備えることを特徴とする表示装置の駆動回路。

【0273】

(付記6) 上記送信回路は、送信する上記表示データのデータ値が1つ前に送信した表示データのデータ値に対して反転する信号線数を検出し、検出結果に応じて、1つ前に送信したデータ反転信号に対して上記データ反転信号を反転して送信する反転信号数検出回路と、

40

上記反転信号数検出回路から送信するデータ反転信号に応じて、上記送信する表示データのデータ値を信号線毎に反転して送信する出力信号処理回路とを備えることを特徴とする付記5に記載の表示装置の駆動回路。

(付記7) 上記反転信号数検出回路は、上記検出した信号線数が上記複数の信号線数の $1/2$ より多いときに、上記データ反転信号を反転することを特徴とする付記6に記載の表示装置の駆動回路。

【0274】

(付記8) 上記送信回路は、上記送信する表示データのデータ値が、少なくとも3クロックの期間、連続して切り替わる信号線数を検出する検出回路と、

上記検出回路により検出された信号線数が、所定の信号線数より多いか否か判定し、上記判定の結果、上記検出された信号線数が上記所定の信号線数より多い場合に、モード切替

50

信号を送信する判定回路とを備えることを特徴とする付記 5 に記載の表示装置の駆動回路。

(付記 9) 上記判定回路は、上記検出回路により検出された信号線数が、上記複数の信号線数の $1/4$ 以上であるか否かを判定することを特徴とする付記 8 に記載の表示装置の駆動回路。

【0275】

(付記 10) 上記検出回路は、さらに上記送信する表示データのデータ値が切り替わった後、少なくとも 2 クロックの期間、データ値が同じ値である信号線数を検出し、
上記判定回路は、上記検出回路により検出された表示データのデータ値が、少なくとも 3 クロックの期間、連続して切り替わる信号線数が、所定の信号線数より多いか否かを判定するとともに、表示データのデータ値が切り替わったのち、少なくとも 2 クロックの期間、データ値が同じ値である信号線数よりも多いか否かを判定し、上記判定結果に応じて上記モード切替信号を送信することを特徴とする付記 8 に記載の表示装置の駆動回路。

10

【0276】

(付記 11) 上記送信回路は、上記モード切替信号を送信する際に、送信する上記表示データのデータ値が 1 つ前に送信した表示データのデータ値に対して反転する信号線数が、上記複数の信号線数の $1/2$ より多い場合には、さらにモード切替データ反転信号を送信することを特徴とする付記 8 に記載の表示装置の駆動回路。

【0277】

(付記 12) 複数の信号線を介して送信された表示部に画像を表示するための表示データと、上記表示データのデータ値を上記信号線毎に反転したか否かを示すデータ反転信号とを受信し、上記受信したデータ反転信号に応じて、上記受信した表示データのデータ値を信号線毎に反転する受信回路を備えることを特徴とする表示装置の駆動回路。

20

【0278】

(付記 13) 上記受信回路は、上記受信した表示データに基づいて、上記表示部を制御するための制御信号を生成する制御回路を備え、
上記制御回路は、上記データ反転信号に応じて、上記受信した表示データのデータ値を信号線毎に反転して上記表示部に対して出力する入力信号処理回路を備えることを特徴とする付記 12 に記載の表示装置の駆動回路。

(付記 14) 上記受信回路は、上記受信した表示データに基づいて、上記表示部を駆動する表示部駆動回路であることを特徴とする付記 12 に記載の表示装置の駆動回路。

30

【0279】

(付記 15) 上記受信回路は、モード切替信号を受信し、上記受信したモード切替信号に応じて、上記受信した表示データ、または 1 つ前に受信回路から表示部に対して出力した表示データに基づいて、上記表示部に対して出力する表示データを生成することを特徴とする付記 12 に記載の表示装置の駆動回路。

【0280】

(付記 16) 入力されるクロック信号にスペクトラム拡散処理を施す機能を有し、上記スペクトラム拡散処理を施したクロック信号に同期した表示データを表示部に対して供給可能な表示装置であって、

40

入力されるスペクトラム拡散処理制御信号に応じて、上記スペクトラム拡散処理を施す機能を有効にするか否か選択するようにしたことを特徴とする表示装置。

(付記 17) 上記スペクトラム拡散処理制御信号に応じて、上記入力されるクロック信号および上記入力されるクロック信号に同期した表示データの組、または上記スペクトラム拡散処理を施したクロック信号および上記スペクトラム拡散処理を施したクロック信号に同期した表示データの組を選択し、選択したクロック信号に基づいて、選択した表示データを上記表示部に対して供給することを特徴とする付記 16 に記載の表示装置。

【0281】

(付記 18) 上記入力されるクロック信号に同期した表示データと、スペクトラム拡散処理を施したクロック信号に同期した表示データとがそれぞれ入力される第 1 のセクタと

50

、
上記入力されるクロック信号と、上記スペクトラム拡散処理を施したクロック信号とがそれぞれ入力される第2のセレクトとを備え、

上記第1および第2のセレクトは、上記スペクトラム拡散処理制御信号に応じて、上記入力されるクロック信号および入力されるクロック信号に同期した表示データの組、または上記スペクトラム拡散処理を施したクロック信号およびスペクトラム拡散処理を施したクロック信号に同期した表示データの組を選択し、選択したクロック信号に基づいて、選択した表示データを上記表示部に対して供給することを特徴とする付記16に記載の表示装置。

【0282】

(付記19) 入力されるクロック信号にスペクトラム拡散処理を施す機能を有し、上記スペクトラム拡散処理を施したクロック信号に同期した表示データを表示部に対して供給可能な表示装置であって、

上記入力されるクロック信号にスペクトラム拡散処理が施されているか否か検出し、上記検出結果に応じて、上記スペクトラム拡散処理を施す機能を有効にするか否か選択するようにしたことを特徴とする表示装置。

(付記20) 上記入力されるクロック信号にスペクトラム拡散処理が施されているか否か検出した検出結果に応じて、上記入力されるクロック信号および上記入力されるクロック信号に同期した表示データの組、または上記スペクトラム拡散処理を施したクロック信号および上記スペクトラム拡散処理を施したクロック信号に同期した表示データの組を選択し、選択したクロック信号に基づいて、選択した表示データを上記表示部に対して供給することを特徴とする付記19に記載の表示装置。

【0283】

(付記21) 上記入力されるクロック信号に基づいて生成されたクロック信号の周波数と、上記入力されるクロック信号の周波数とを比較する比較回路と、

上記比較回路による比較結果に基づいて、上記入力されるクロック信号にスペクトラム拡散処理が施されているか否か検出するスペクトラム拡散処理検出回路とを備えることを特徴とする付記19に記載の表示装置。

(付記22) 上記入力されるクロック信号に基づいて生成されたクロック信号と上記入力されるクロック信号との位相差に応じた信号を出力する位相比較回路と、

上記位相比較回路から出力される位相差に応じた信号に基づいて、上記入力されるクロック信号にスペクトラム拡散処理が施されているか否か検出するスペクトラム拡散処理検出回路とを備えることを特徴とする付記19に記載の表示装置。

【0284】

(付記23) 矩形波のクロック信号に所定の処理を施し、正弦波の信号に変換して送信する送信回路と、

上記送信回路から送信された上記正弦波の信号を受信して、上記受信した正弦波の信号に上記所定の処理とは逆の処理を施して、上記矩形波のクロック信号を復元する受信回路とを備えることを特徴とする信号伝送システム。

【0285】

(付記24) 矩形波のクロック信号に所定の処理を施し、正弦波の信号に変換して送信することを特徴とする信号伝送装置。

(付記25) 上記矩形波のクロック信号にフーリエ変換を施すフーリエ変換回路と、上記フーリエ変換回路より出力される信号から基本周波数成分を抽出して基本周波数成分からなる正弦波の信号を送信する周波数成分抽出回路とを備えることを特徴とする付記24に記載の信号伝送装置。

【0286】

(付記26) 上記周波数成分抽出回路から出力される正弦波の信号の電圧振幅を圧縮する圧縮回路をさらに備えることを特徴とする付記25に記載の信号伝送装置。

【0287】

(付記 27) 複数の上記矩形波のクロック信号をそれぞれ変換した複数の正弦波の信号の 1 つを基準信号として、上記基準信号の位相と上記複数の正弦波の信号の位相と比較する位相比較回路と、

上記位相比較回路による比較結果に基づいて、上記基準信号と同位相の正弦波の信号の数と、上記基準信号と逆位相の正弦波の信号の数とが、略同数となるように上記複数の正弦波の信号の位相を反転させるための位相制御回路とを備えることを特徴とする付記 24 に記載の信号伝送装置。

【0288】

(付記 28) 送信された正弦波の信号を受信して、上記受信した正弦波の信号に所定の処理を施して、矩形波の信号を復元することを特徴とする信号伝送装置。

10

(付記 29) 上記受信した正弦波の信号は、基本周波数成分からなる正弦波の信号であり、

上記基本周波数成分からなる正弦波の信号に基づいて、上記基本周波数の整数倍の周波数の正弦波の信号を複数生成する正弦波生成回路と、

上記正弦波生成回路により生成された複数の正弦波の信号を互いに加算する加算回路と、上記加算回路により加算された信号に逆フーリエ変換を施す逆フーリエ変換回路とを備えることを特徴とする付記 28 に記載の信号伝送装置。

【0289】

(付記 30) 上記正弦波生成回路は、上記受信した基本周波数成分からなる正弦波の信号に基づいて、上記基本周波数の奇数倍の周波数の正弦波の信号を複数生成することを特徴とする付記 29 に記載の信号伝送装置。

20

(付記 31) 上記受信した基本周波数成分からなる正弦波の信号の電圧振幅を増幅する復元回路をさらに備えることを特徴とする付記 29 に記載の信号伝送装置。

【0290】

(付記 32) 矩形波のクロック信号およびデータ信号に所定の処理を施し、正弦波の信号に変換してそれぞれ送信する送信回路と、

上記送信回路からそれぞれ送信された上記正弦波の信号を受信して、上記受信した正弦波の信号に上記所定の処理とは逆の処理を施して、上記矩形波のクロック信号およびデータ信号をそれぞれ復元する受信回路とを備えることを特徴とする信号伝送システム。

【0291】

30

(付記 33) マトリクス状に配置された表示画素により構成される表示部に画像を表示するための表示データを複数の信号線を介して送信するとともに、上記複数の信号線を介して送信される表示データのデータ値を上記信号線毎に反転したか否かを示すデータ反転信号を送信し、

上記送信された表示データおよびデータ反転信号を受信し、

上記受信したデータ反転信号に応じて、上記受信した表示データのデータ値を信号線毎に反転することを特徴とする表示装置の信号伝送方法。

【0292】

(付記 34) マトリクス状に配置された表示画素により構成される表示部に画像を表示するための複数の信号線を介して送信する表示データのデータ値が 1 つ前に送信した表示データのデータ値に対して反転する信号線数を検出し、

40

上記検出した反転する信号線数が、上記複数の信号線数の $1/2$ より多い場合には、1 つ前に送信したデータ反転信号に対して上記データ反転信号を反転し、

上記反転したデータ反転信号に応じて、上記送信する表示データのデータ値を信号線毎に反転して送信するとともに、上記反転したデータ反転信号を送信し、

上記送信された表示データおよび反転したデータ反転信号を受信し、

上記受信したデータ反転信号に応じて、上記受信した表示データのデータ値を信号線毎に反転することを特徴とする表示装置の信号伝送方法。

【0293】

(付記 35) マトリクス状に配置された表示画素により構成される表示部に画像を表示す

50

るための複数の信号線を介して送信する表示データのデータ値が、少なくとも3クロックの期間、連続して切り替わる信号線数を検出し、
上記検出した連続して切り替わる信号線数が、上記複数の信号線数の1/4より多い場合には、モード切替信号を送信するとともに、供給される表示データに応じて、1つ前に供給された表示データのデータ値を信号線毎に反転して送信することを特徴とする表示装置の信号伝送方法。

【0294】

(付記36) 表示部に画像を表示するための表示データを複数の信号線を介して送信するとともに、上記複数の信号線を介して送信される表示データのデータ値を上記信号線毎に反転したか否かを示すデータ反転信号を送信することを特徴とする表示装置の信号伝送方法。

10

(付記37) 送信する上記表示データのデータ値が1つ前に送信した表示データのデータ値に対して反転する信号線数を検出し、
上記検出結果に応じて、1つ前に送信したデータ反転信号に対して上記データ反転信号を反転し、

上記反転したデータ反転信号に応じて、上記送信する表示データのデータ値を信号線毎に反転して送信するとともに、上記反転したデータ反転信号を送信することを特徴とする付記36に記載の表示装置の信号伝送方法。

【0295】

(付記38) 上記送信する表示データのデータ値が、少なくとも3クロックの期間、連続して切り替わる信号線数を検出し、

20

上記検出された信号線数が、所定の信号線数より多いか否か判定し、

上記判定の結果、上記検出された信号線数が上記所定の信号線数より多い場合に、モード切替信号を送信することを特徴とする付記36に記載の表示装置の信号伝送方法。

(付記39) 複数の信号線を介して送信された表示部に画像を表示するための表示データと、上記表示データのデータ値を上記信号線毎に反転したか否かを示すデータ反転信号とを受信し、

上記受信したデータ反転信号に応じて、上記受信した表示データのデータ値を信号線毎に反転することを特徴とする表示装置の信号伝送方法。

【0296】

30

(付記40) 入力されるクロック信号にスペクトラム拡散処理を施す機能を有し、上記スペクトラム拡散処理を施したクロック信号に同期した表示データを表示部に対して供給可能な表示装置の信号伝送方法であって、

入力されるスペクトラム拡散処理制御信号に応じて、上記スペクトラム拡散処理を施す機能を有効にするか否か選択するようにしたことを特徴とする表示装置の信号伝送方法。

(付記41) 上記スペクトラム拡散処理制御信号に応じて、上記入力されるクロック信号および上記入力されるクロック信号に同期した表示データの組、または上記スペクトラム拡散処理を施したクロック信号および上記スペクトラム拡散処理を施したクロック信号に同期した表示データの組を選択し、

上記選択したクロック信号に基づいて、上記選択した表示データを上記表示部に対して供給することを特徴とする付記40に記載の表示装置の信号伝送方法。

40

【0297】

(付記42) 入力されるクロック信号にスペクトラム拡散処理を施す機能を有し、上記スペクトラム拡散処理を施したクロック信号に同期した表示データを表示部に対して供給可能な表示装置の信号伝送方法であって、

上記入力されるクロック信号にスペクトラム拡散処理が施されているか否か検出し、

上記検出結果に応じて、上記スペクトラム拡散処理を施す機能を有効にするか否か選択するようにしたことを特徴とする表示装置の信号伝送方法。

(付記43) 上記入力されるクロック信号に基づいて生成されたクロック信号と上記入力されるクロック信号との位相差に応じた信号を出力し、

50

上記出力される位相差に応じた信号に基づいて、上記入力されるクロック信号にスペクトラム拡散処理が施されているか否か検出することを特徴とする付記 4 2 に記載の表示装置の信号伝送方法。

【0298】

(付記 4 4) 矩形波のクロック信号に所定の処理を施し、正弦波の信号に変換して送信し、

上記送信された上記正弦波の信号を受信し、

上記受信した正弦波の信号に上記所定の処理とは逆の処理を施して、上記矩形波のクロック信号を復元することを特徴とする信号伝送方法。

【0299】

(付記 4 5) 矩形波のクロック信号に所定の処理を施し、正弦波の信号に変換して送信することを特徴とする信号伝送方法。

(付記 4 6) 上記矩形波のクロック信号にフーリエ変換を施し、

上記フーリエ変換により得られた信号から基本周波数成分を抽出し、

上記抽出した基本周波数成分からなる正弦波の信号を送信することを特徴とする付記 4 5 に記載の信号伝送方法。

【0300】

(付記 4 7) 正弦波の信号を受信して、上記受信した正弦波の信号に所定の処理を施して、矩形波の信号を復元することを特徴とする信号伝送方法。

(付記 4 8) 上記受信した正弦波の信号は、基本周波数成分からなる正弦波の信号であり、

上記基本周波数成分からなる正弦波の信号に基づいて、上記基本周波数の整数倍の周波数の正弦波の信号を複数生成し、

上記生成された複数の正弦波の信号を互いに加算し、

上記加算された信号に逆フーリエ変換を施すことを特徴とする付記 4 7 に記載の信号伝送方法。

【0301】

(付記 4 9) 矩形波のクロック信号およびデータ信号に所定の処理を施して正弦波の信号に変換してそれぞれ送信し、

上記送信された上記正弦波の信号を受信し、

上記受信した正弦波の信号に上記所定の処理とは逆の処理を施して、上記矩形波のクロック信号およびデータ信号をそれぞれ復元することを特徴とする信号伝送方法。

【0302】

【発明の効果】

以上説明したように、本発明によれば、表示部に供給する表示データを複数の信号線を介して送信するとともに、上記複数の信号線を介して送信する表示データを反転したか否かを示すデータ反転信号を送信する送信回路と、受信したデータ反転信号に応じて、受信した表示データを反転する受信回路とを備え、送信回路は、送信する表示データが少なくとも 3 クロックの期間、連続して切り替わる信号線数が複数の信号線数の $1/4$ より多い場合に、モード切替信号を送信するとともに、供給する表示データに応じて 1 つ前に供給した表示データを反転して送信する。これにより、データを送受信する際にデータが反転する信号線数を複数の信号線数の半分以下にし、単位時間あたりに信号線のデータが反転する頻度を減少させることができ、信号を転送する信号線から放射される電波量を低減することができる。

【図面の簡単な説明】

【図 1】第 1 の実施形態による表示装置を適用した液晶表示装置の一構成例を示すブロック図である。

【図 2】第 1 の実施形態におけるビデオ信号変換回路の構成例を示すブロック図である。

【図 3】第 1 の実施形態における LCD モジュールの構成例を示すブロック図である。

【図 4】第 1 の実施形態におけるデータ反転駆動の原理を説明するための回路図である。

【図 5】図 4 に示す回路の真理値表を示す図である。

【図 6】第 1 の実施形態におけるデータ反転駆動の原理を説明するためのタイミングチャートである。

【図 7】第 1 の実施形態におけるデータ反転駆動の一例を示す図である。

【図 8】第 2 の実施形態における LCD モジュールの構成例を示すブロック図である。

【図 9】第 3 の実施形態による表示装置を適用した液晶表示装置の LCD モジュールの構成例を示すブロック図である。

【図 10】送信側の反転選択回路の真理値表を示す図である。

【図 11】受信側の反転選択回路の真理値表を示す図である。

【図 12】第 3 の実施形態におけるデータ反転検出回路（検出部）の構成例を示す図である。 10

【図 13】第 3 の実施形態におけるデータ反転検出回路（判定部）の構成例を示す図である。

【図 14】第 3 の実施形態におけるカウンタ回路の構成例を示す図である。

【図 15】第 3 の実施形態におけるモード切替判定回路の構成例を示す図である。

【図 16】第 3 の実施形態における送信側の反転選択回路の構成例を示す図である。

【図 17】第 3 の実施形態における受信側の反転選択回路の構成例を示す図である。

【図 18】第 3 の実施形態における液晶表示装置の動作の一例を示す図である。

【図 19】第 3 の実施形態における具体的な動作の一例を示す図である。

【図 20】第 4 の実施形態における液晶表示装置の動作の一例を示す図である。 20

【図 21】第 4 の実施形態における送信側の反転選択回路の構成例を示す図である。

【図 22】第 4 の実施形態における受信側の反転選択回路の構成例を示す図である。

【図 23】第 5 の実施形態による表示装置の構成例を示す図である。

【図 24】第 6 の実施形態による表示装置の構成例を示す図である。

【図 25】入力信号の一例を示す図である。

【図 26】矩形波のクロック信号を送信したときの放出電波量を示す図である。

【図 27】正弦波のクロック信号を送信したときの放出電波量を示す図である。

【図 28】第 7 の実施形態による信号伝送システムを適用する液晶表示装置の構成を示すブロック図である。

【図 29】第 7 の実施形態における送信部および受信部の構成例を示すブロック図である。 30

【図 30】第 7 の実施形態におけるシミュレーションモデルを示す図である。

【図 31】図 30 に示すシミュレーションモデルにて矩形波の信号および正弦波の信号をそれぞれ送信したときの放出電波量を示す図である。

【図 32】第 7 の実施形態における送信部および受信部の他の構成例を示すブロック図である。

【図 33】図 32 に示すオペアンプの周辺回路の構成の一例を示す図である。

【図 34】第 8 の実施形態による送信側の構成例を示すブロック図である。

【図 35】図 34 に示した位相情報制御回路の構成を示すブロック図である。

【図 36】第 8 の実施形態による受信側の構成例を示すブロック図である。 40

【図 37】従来の液晶表示装置の構成例を示すブロック図である。

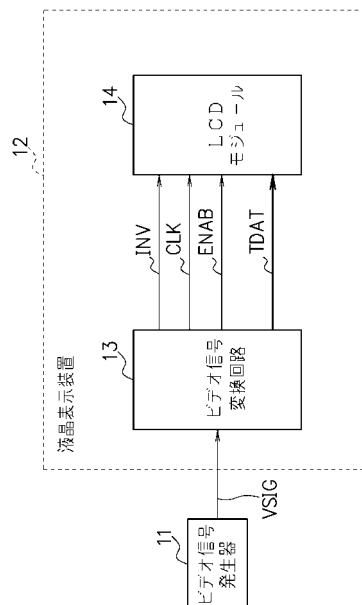
【図 38】従来の液晶表示装置の他の構成例を示すブロック図である。

【符号の説明】

- 1 1 ビデオ信号発生器
- 1 2 液晶表示装置
- 1 3 ビデオ信号変換回路
- 1 4 LCD モジュール
- 2 1 ビデオ信号変換部
- 2 2 反転信号数検出部
- 2 3 出力信号処理部

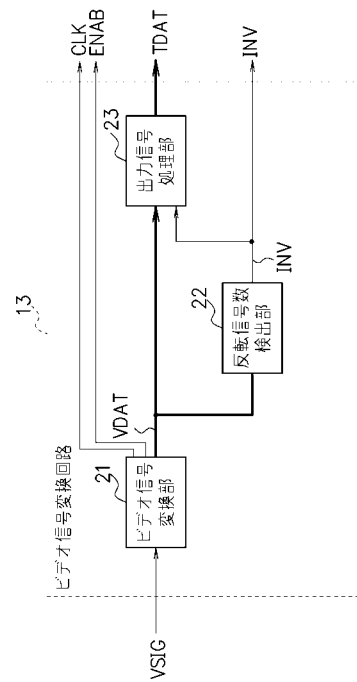
- 3 1 制御信号作成部
- 3 2 入力信号処理部
- 3 3 ゲート駆動部
- 3 4 データ駆動部
- 3 5 液晶パネル
- 3 6 電源作成部
- 3 7 基準電圧作成部

【図 1】



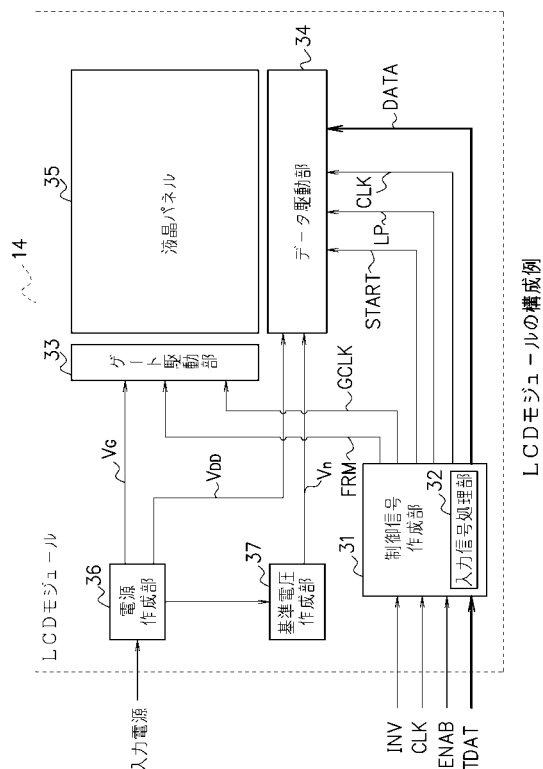
第 1 の実施形態

【図 2】

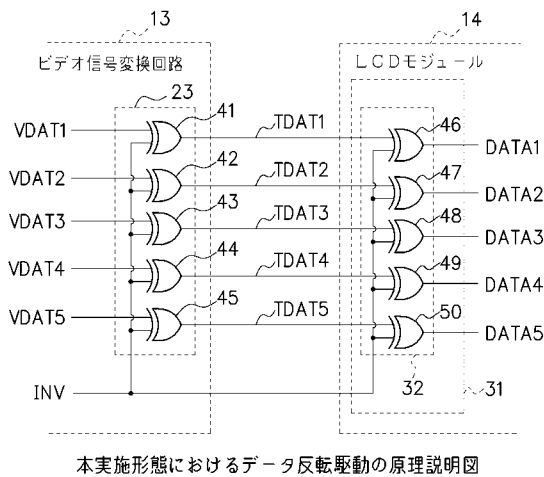


ビデオ信号変換回路の構成例

【図 3】



【図 4】



【図 5】

入力		出力
INV	データ	データ
L	D	D
H	D	$\overline{D}$

D : 入力データ信号

真理値表

【図 6】

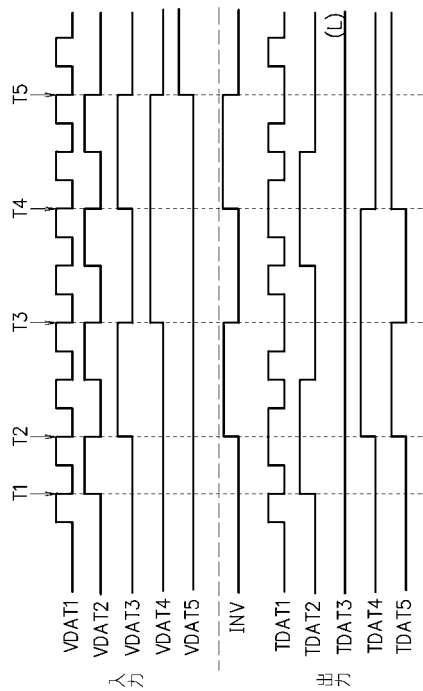


図 4 に示す回路の動作を示すタイミングチャート

【図 7】

(A)

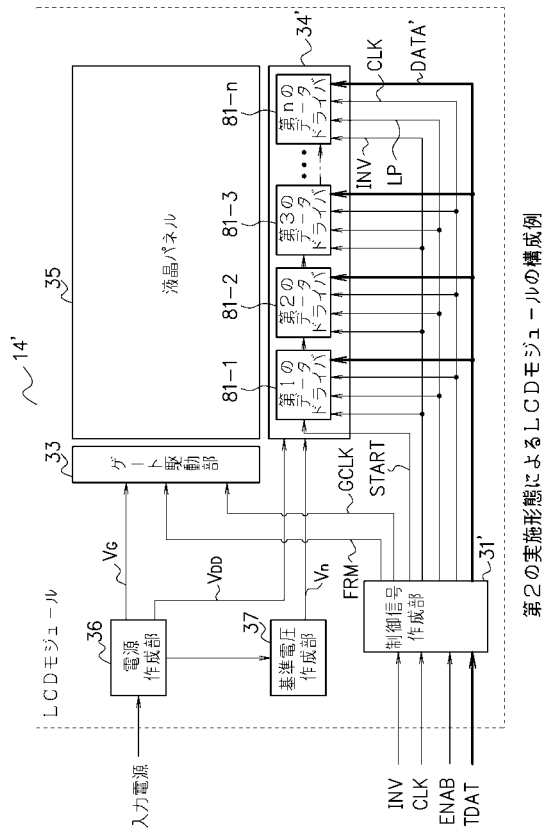
入力	$V_{DAT}(1) \sim V_{DAT}(N/2)$	$L \rightarrow L$
	$V_{DAT}(N/2+1) \sim V_{DAT}(N)$	$L \rightarrow H$
出力	INV	$L \rightarrow L$
	$TDAT(1) \sim TDAT(N/2)$	$L \rightarrow L$
	$TDAT(N/2+1) \sim TDAT(N)$	$L \rightarrow H$

(B)

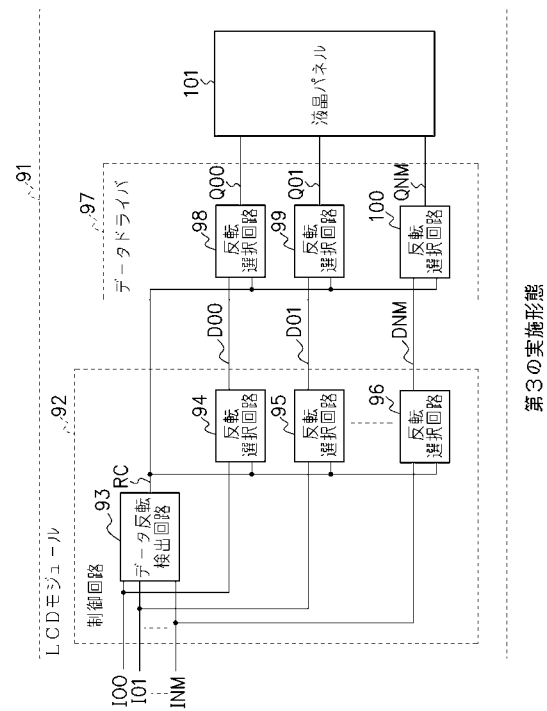
入力	$V_{DAT}(1) \sim V_{DAT}(N/2-1)$	$L \rightarrow L$
	$V_{DAT}(N/2) \sim V_{DAT}(N)$	$L \rightarrow H$
出力	INV	$L \rightarrow H$
	$TDAT(1) \sim TDAT(N/2-1)$	$L \rightarrow H$
	$TDAT(N/2) \sim TDAT(N)$	$L \rightarrow L$

データ反転駆動の一例

【図 8】



【图 9】



【図 10】

RC	I	D
L	L	L
L	H	H
H	L	I_o
H	H	$\overline{I_o}$

RC: モード切替信号
I: 入力データ
D: 出力データ

送信側の反転選択回路の真理値表

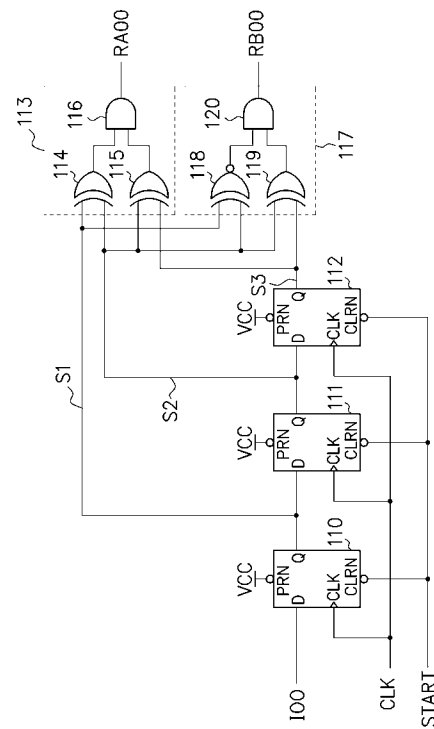
【図 1 1】

RC	D	Q
L	L	L
L	H	H
H	L	Q_0
H	H	$\overline{Q_0}$

RC: モード切替信号
D: 入力データ
Q: 表示データ

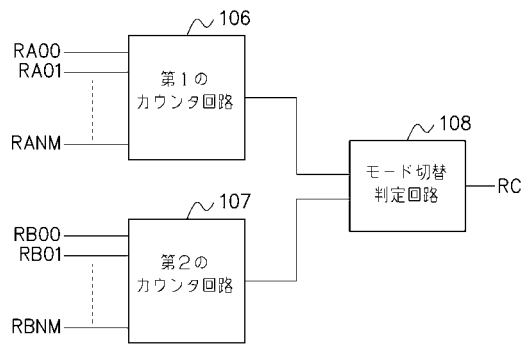
受信側の反転選択回路の真理値表

【図 1 2】



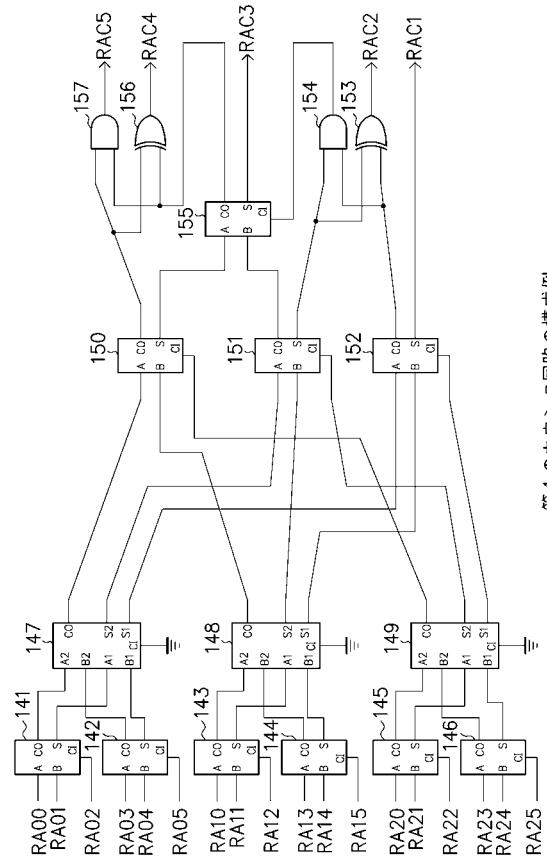
データ反転検出回路（検出部）の構成例

【図 13】



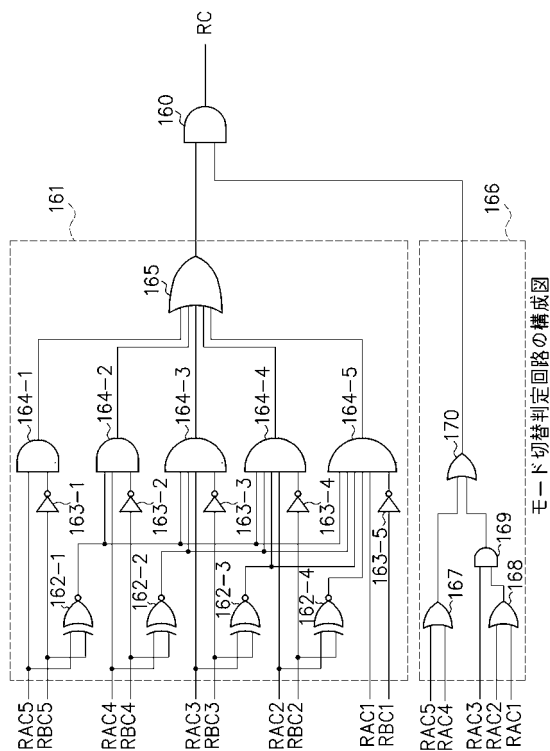
データ反転検出回路（判定部）の構成例

【図 14】



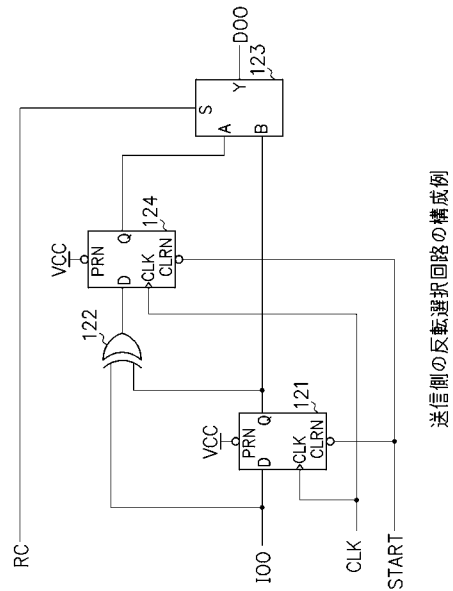
第1のカウンタ回路の構成例

【図 15】



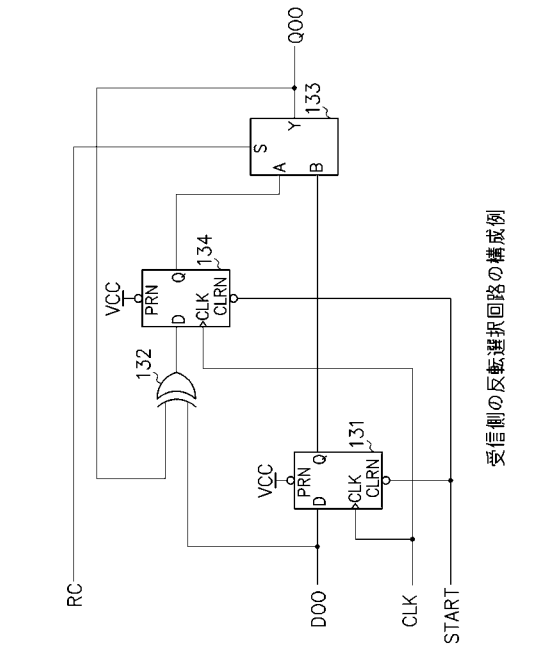
モード切替判定回路の構成図

【図 16】



送信側の反転検出回路の構成例

【図 1 7】

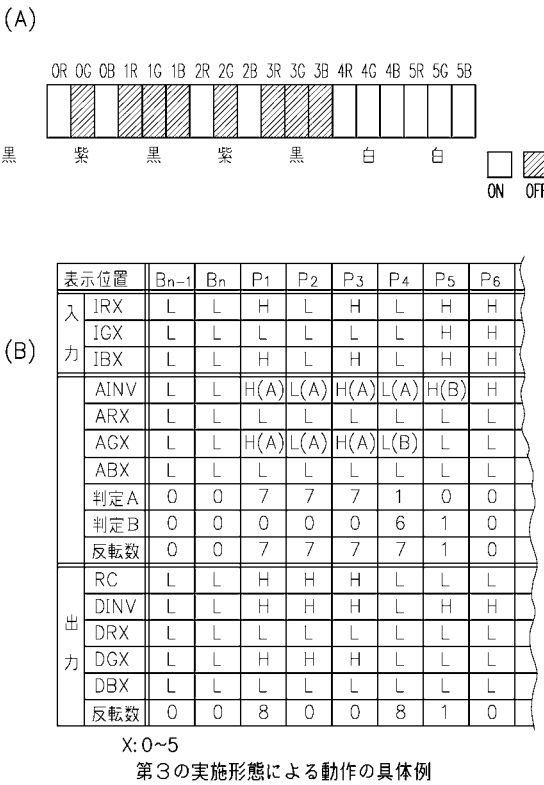


【図 1 8】

表示位置	B _{n-1}	B _n	P ₁	P ₂	P ₃	P ₄
入 力	I00	L	L	H	L	H
	I01	L	L	H	L	H
	⋮	⋮	⋮	⋮	⋮	⋮
	INM	L	L	H	L	H
出 力	RC	L	L	H	H	H
	D00	L	L	H	H	H
	D01	L	L	H	H	H
	⋮	⋮	⋮	⋮	⋮	⋮
	DNM	L	L	H	H	H

第3の実施形態による動作の一例（縦縞パターン）

【図 1 9】

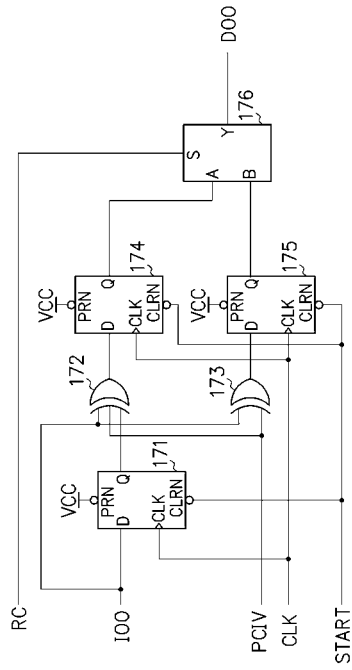


【図 2 0】

表示位置	B _{n-1}	B _n	P ₁	P ₂	P ₃	P ₄	P ₅	P ₆
入 力	I00	L	L	L	L	H	L	H
	I01	L	L	L	L	H	L	H
	I02	L	L	L	H	H	H	H
	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
第1の出力	RC	L	L	L	L	H	H	H
	D00	L	L	L	L	H	H	H
	D01	L	L	L	L	H	H	H
	D02	L	L	H	H	L	L	L
第2の出力	RC	L	L	L	L	H	H	H
	RCIV	L	L	L	L	H	H	H
	D00	L	L	L	L	L	L	L
	D01	L	L	L	L	L	L	L
	D02	L	L	H	H	H	H	H

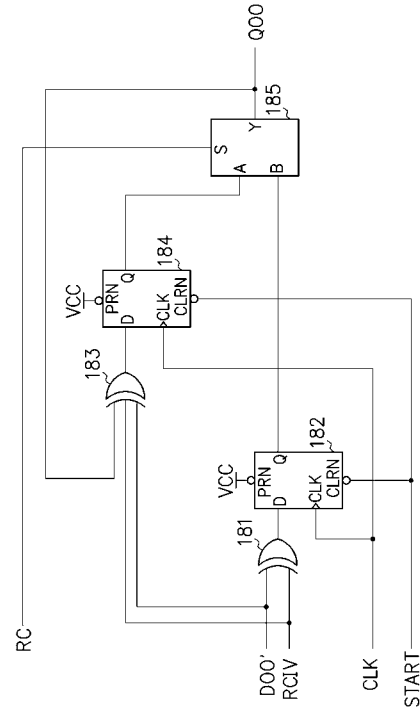
第4の実施形態による動作の一例

【図 2 1】



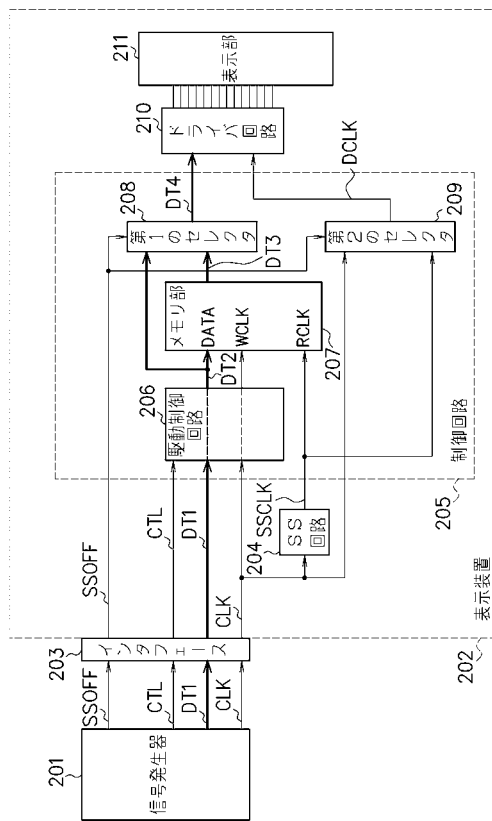
送信側の反転選択回路の構成例

【図 2 2】



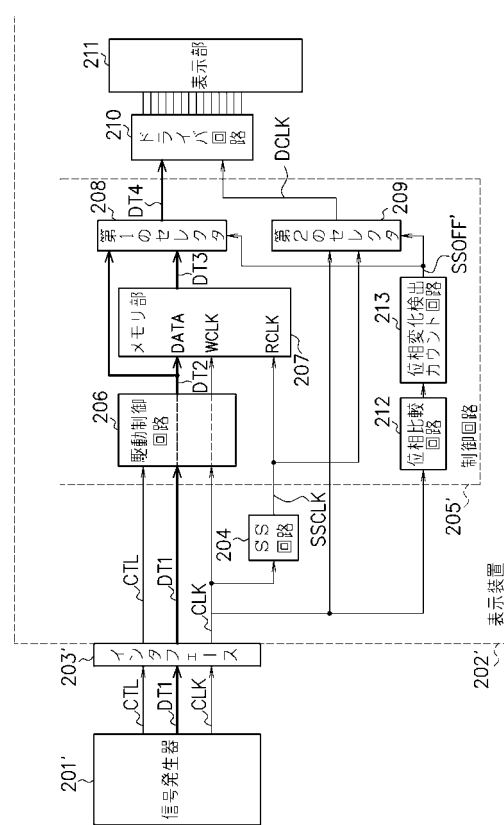
受信側の反転選択回路の構成例

【図 2 3】



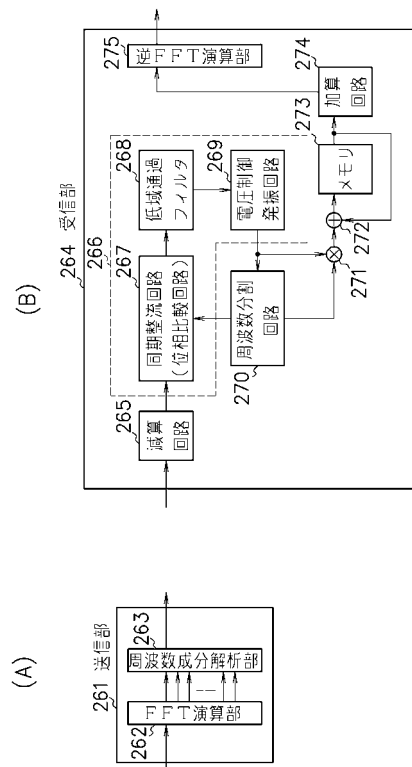
第5の実施形態

【図 2 4】



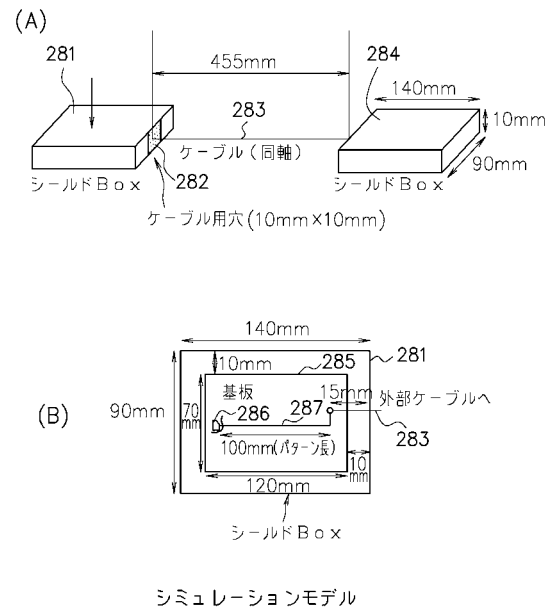
第6の実施形態

【図 29】

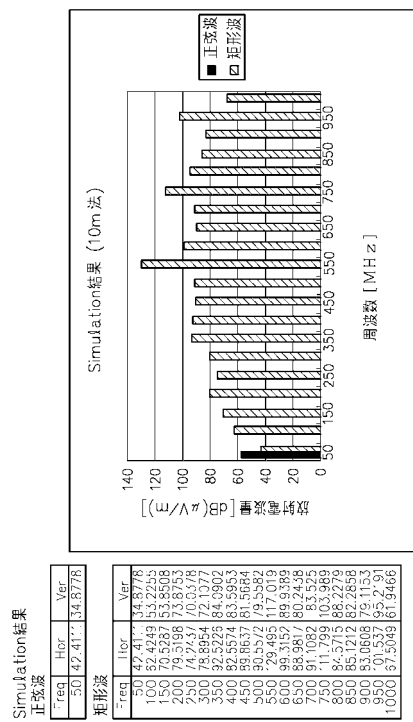


第7の実施形態における送信部および受信部の構成例

【図 30】

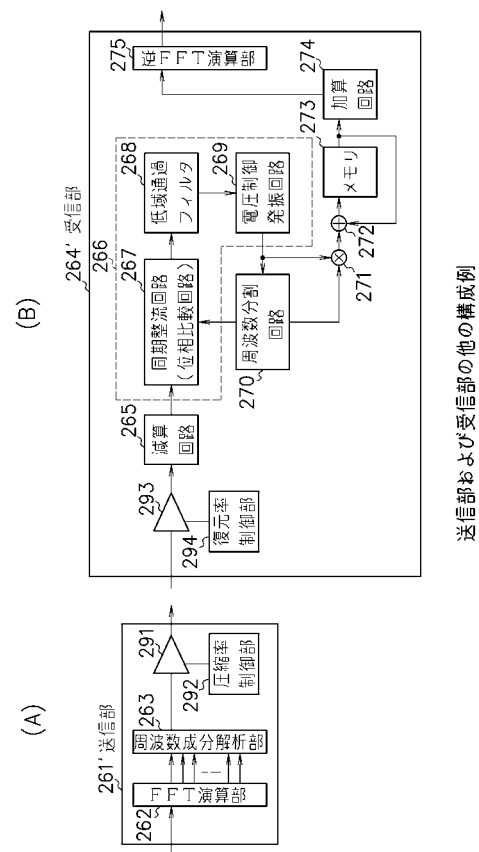


【図 31】



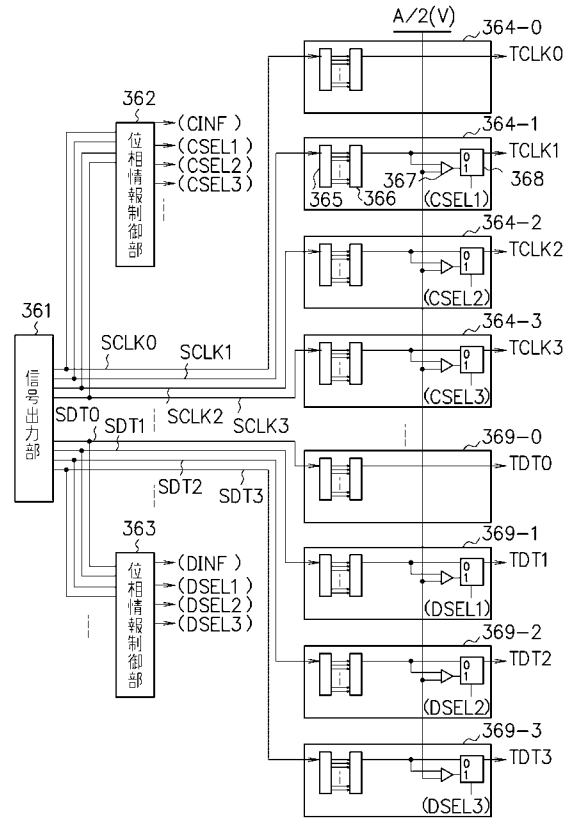
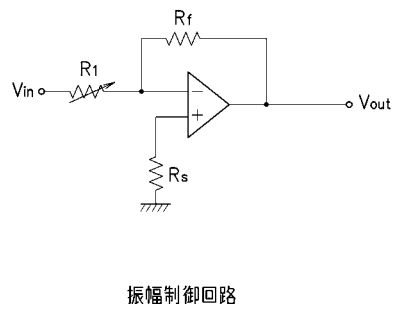
シミュレーション結果

【図 32】



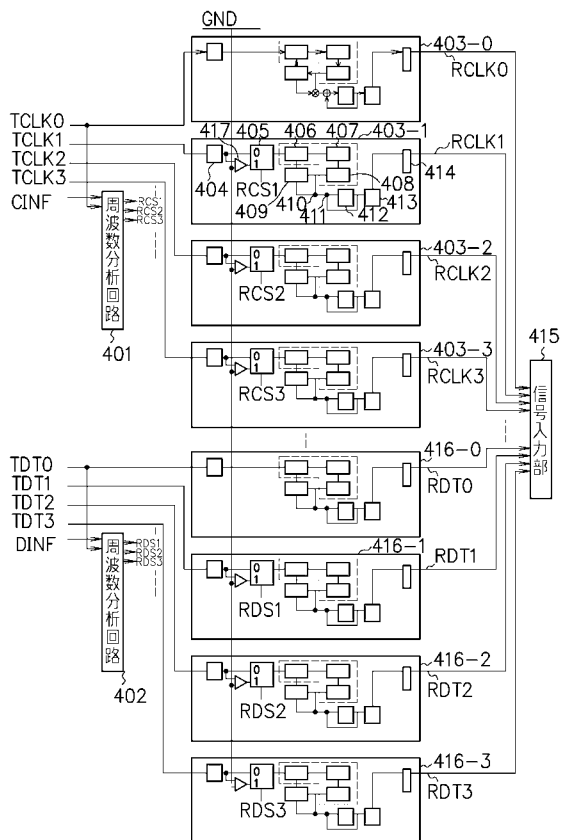
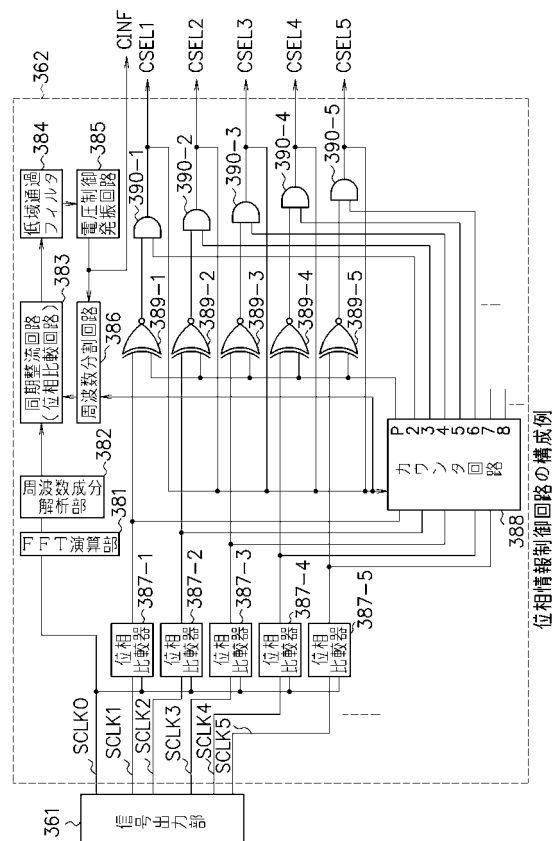
送信部および受信部の他の構成例

【図 3 4】



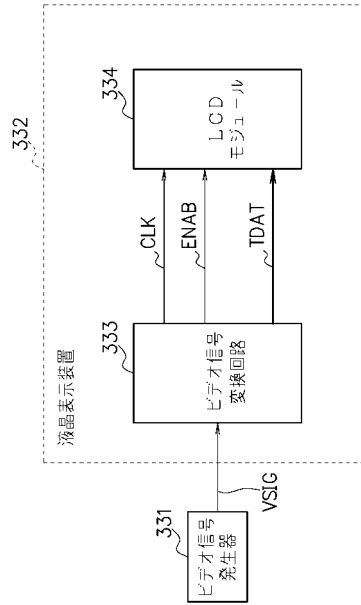
第8実施形態による送信側の構成例

【図 3 6】



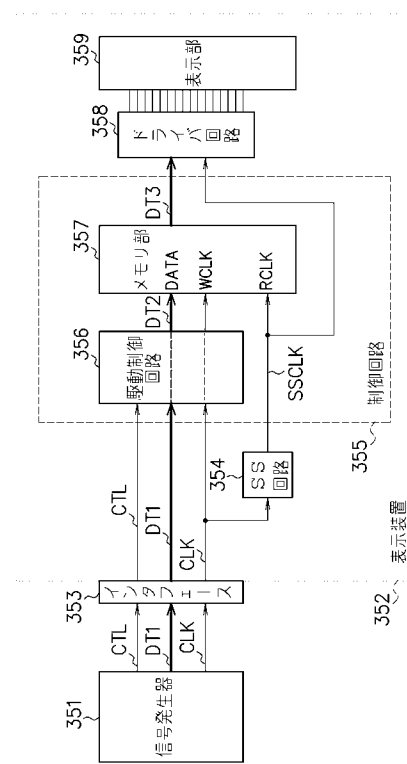
第8実施形態による受信側の構成例

【図 37】



従来の液晶表示装置の構成図

【図 38】



従来の表示装置の構成例

フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 3 3 Z

(72)発明者 山崎 浩
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72)発明者 鈴木 俊明
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 西島 篤宏

(56)参考文献 特開2000-207077 (JP, A)
特開2001-166740 (JP, A)
特開平04-303234 (JP, A)
特開昭62-109150 (JP, A)
特開2002-323877 (JP, A)
特開2001-356737 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G09G 3/00 - 3/38
G02F 1/133 505-580

专利名称(译)	显示设备，显示设备的驱动电路		
公开(公告)号	JP4618954B2	公开(公告)日	2011-01-26
申请号	JP2001280174	申请日	2001-09-14
[标]申请(专利权)人(译)	富士通显示技术股份有限公司		
申请(专利权)人(译)	富士通显示器科技公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	伊藤高英 拔山和宏 福德章一 山崎浩 鈴木俊明		
发明人	伊藤 高英 拔山 和宏 福德 章一 山崎 浩 鈴木 俊明		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
FI分类号	G09G3/36 G02F1/133.580 G09G3/20.611.C G09G3/20.612.U G09G3/20.632.Z G09G3/20.633.Z		
F-TERM分类号	2H093/NC16 2H093/NC27 2H093/ND34 2H093/ND40 5C006/AA01 5C006/AF45 5C006/AF51 5C006/AF53 5C006/AF61 5C006/AF71 5C006/BB12 5C006/BC16 5C006/BF06 5C006/BF14 5C006/BF21 5C006/BF22 5C006/BF24 5C006/BF26 5C006/BF27 5C006/FA32 5C080/AA10 5C080/BB05 5C080/DD12 5C080/EE17 5C080/FF12 5C080/GG07 5C080/GG08 5C080/JJ02 5C080/JJ03 5C080/JJ04		
其他公开文献	JP2003084726A		
外部链接	Espacenet		

摘要(译)

要解决的问题：减少从信号线辐射的无线电波量（电磁波噪声），以便在信号传输线上传输信号。解决方案：当显示数据TDAT通过多条信号线从视频信号转换电路传输到LCD模块时，指示显示数据TDAT是否为反转数据的数据反转信号INV与显示数据TDAT一起传输，LCD模块根据接收的数据反转信号INV反转接收的显示数据TDAT。因此，显示数据TDAT的要反转的位数减少到构成显示数据TDAT的总位数的一半或更少，以减少每单位时间显示数据TDAT的反转频率。

$$f(t) = \frac{A}{2} + \frac{2A}{\pi} \left(\sin \omega \cdot t + \frac{1}{3} \sin 3\omega \cdot t + \frac{1}{5} \sin 5\omega \cdot t + \dots \right)$$