

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4506152号
(P4506152)

(45) 発行日 平成22年7月21日 (2010. 7. 21)

(24) 登録日 平成22年5月14日 (2010. 5. 14)

(51) Int. Cl.	F 1
G 0 9 F 9/30 (2006. 01)	G 0 9 F 9/30 3 4 1
G 0 2 F 1/133 (2006. 01)	G 0 9 F 9/30 3 9 0 C
G 0 2 F 1/1343 (2006. 01)	G 0 2 F 1/133 5 7 5
G 0 9 G 3/20 (2006. 01)	G 0 2 F 1/1343
G 0 9 G 3/36 (2006. 01)	G 0 9 G 3/20 6 1 1 A
請求項の数 7 (全 18 頁) 最終頁に続く	

(21) 出願番号	特願2003-386087 (P2003-386087)	(73) 特許権者	000002185
(22) 出願日	平成15年11月17日 (2003. 11. 17)		ソニー株式会社
(65) 公開番号	特開2005-148424 (P2005-148424A)		東京都港区港南1丁目7番1号
(43) 公開日	平成17年6月9日 (2005. 6. 9)	(74) 代理人	100094363
審査請求日	平成18年6月13日 (2006. 6. 13)		弁理士 山本 孝久
		(74) 代理人	100118290
			弁理士 吉井 正明
		(74) 代理人	100120640
			弁理士 森 幸一
		(72) 発明者	寺西 康幸
			東京都品川区北品川6丁目7番35号 ソ
			ニー株式会社内
		(72) 発明者	仲島 義晴
			東京都品川区北品川6丁目7番35号 ソ
			ニー株式会社内
		最終頁に続く	

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

マトリックス状に画素を配置して成る表示部を有する表示装置において、
画素は、表示に供する部位の面積が順次増大してなる複数のサブ画素を有し、
複数のサブ画素は、一辺の長さが L_1 、他辺の長さが L_2 (但し、 $L_1 > L_2$) の長方形形状の表示領域内に配置され、

各サブ画素は、画素に対応する階調データの各ビットに基づき駆動され、
階調データの最下位ビットに対応するサブ画素の表示に供する部位の形状、及び、階調データの最下位より1つ上のビットに対応するサブ画素の表示に供する部位の形状は、ほぼ正方形であり、

階調データの最下位ビットに対応するサブ画素は、階調データの最上位ビットより1つ下のビットに対応するサブ画素又は階調データの最上位ビットに対応するサブ画素と組み合わせられて、前記長方形形状の表示領域の短辺を一辺にしてなる矩形の領域に割り当てられており、

階調データの最下位より1つ上のビットに対応するサブ画素と、残りのサブ画素の内の一のサブ画素との組合せは、前記長方形形状の表示領域の短辺を一辺にしてなる矩形の領域に割り当てられており、

表示に供する部位の形状がほぼ正方形であるサブ画素は、長方形形状を有する画素の前記表示領域の長手方向、中央側に配置されていることを特徴とする表示装置。

【請求項 2】

階調データの最下位ビットに対応するサブ画素の表示に供する部位と、階調データの最下位より1つ上のビットに対応するサブ画素の表示に供する部位とは、隣接していることを特徴とする請求項1に記載の表示装置。

【請求項3】

ほぼ正方形の形状は、長辺の長さに対して短辺の長さが1～0.8倍に設定された形状であることを特徴とする請求項1又は請求項2に記載の表示装置。

【請求項4】

表示に供する部位の形状がほぼ正方形であるサブ画素において、表示に供する部位の隣接する二辺のそれぞれは、前記矩形の領域の隣接する二辺のそれぞれの一部を占める請求項1乃至請求項3のいずれか1項に記載の表示装置。

10

【請求項5】

各サブ画素には、
階調データのサブ画素に対応するビットが保持されるメモリ回路、及び、
メモリ回路に記録されたビットに基づき、サブ画素に駆動信号を出力するスイッチ回路、
が設けられていることを特徴とする請求項1乃至請求項4のいずれか1項に記載の表示装置。

【請求項6】

ゲート線を介してサブ画素を順次選択する垂直駆動回路、及び、
順次入力される階調データを取得し、信号線を介してサブ画素に階調データのビットを出力する水平駆動回路、
を更に備えていることを特徴とする請求項1乃至請求項5のいずれか1項に記載の表示装置。

20

【請求項7】

長方形形状を有する画素の前記表示領域の長手方向は、信号線の延在方向と平行であることを特徴とする請求項6に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関し、例えば1つの画素を複数のサブ画素により構成し、これら複数のサブ画素の駆動により階調を表現する方式の液晶表示装置に適用することができる。本発明は、表示に供する部位の面積が小さなサブ画素については、この表示に供する部位をほぼ正方形形状により作成することにより、多ビットメモリ方式による表示装置において、面積の小さなサブ画素に起因する表示画像の品位の低下を有効に回避する。

30

【背景技術】

【0002】

従来、液晶表示装置においては、マトリックス状に画素を配置してなる表示部を駆動回路により駆動して所望の画像を表示するようになされており、この駆動回路による駆動方式にいわゆる電圧階調法、フレームレート制御階調法が適用されるようになされている。

【0003】

40

このような駆動方式に対して、液晶表示装置においては、例えば特開平6-138844号公報に開示されているように、ほぼ2倍により面積が順次増大する複数のサブ画素により1つの画素を形成し、これら複数のサブ画素の表示、非表示を制御することにより、表示に供する領域の面積を可変して各画素の階調を可変するいわゆる面積階調方式も提案されるようになされている。しかしてこの方法の場合、各サブ画素の駆動においては、単なる2値による表示、非表示の制御であることにより、表示に供する入力データの各ビットの論理値により対応するサブ画素を駆動して、駆動回路の構成を簡略化することができると考えられる。また例えば特開平9-243995号公報等に提案されているように、各サブ画素にメモリを設け、このメモリの記録により各サブ画素を駆動することにより、駆動回路の消費電力を格段的に低減することができると考えられる。以下、このような面

50

積階調方式であって、各画素にメモリを設けた方式を多ビットメモリ方式と呼ぶ。

【0004】

すなわち図7は、この多ビットメモリ方式による液晶表示装置について、本願出願人が検討した構成を示すブロック図である。この液晶表示装置1においては、電圧階調法による液晶表示装置を利用した構成であり、この電圧階調法による液晶表示装置の表示部を多ビットメモリ方式による画素により構成し、この画素の構成に対応するように水平駆動回路の構成を変更したものである。

【0005】

すなわちこの液晶表示装置1において、表示部2は、いわゆる反射型液晶表示パネルであり、赤色、緑色、青色のカラーフィルタを設けてなる画素をマトリックス状に配置して形成される。ここで図8にこの表示部2の1つの画素2Aの構成を示すように、各画素2Aは、表示に供する部位である電極3A、3B、3C、3D、3Eの面積が1:2:4:8:16に設定されてなる複数のサブ画素2A~2Eにより形成される。ここで各サブ画素2A~2Eは、このような電極3A~3Eの面積が一定の比例関係に設定される点を除いて同一に形成され、図9に示す画素回路4A~4Eによりそれぞれ電極3A~3Eによる液晶セル5A~5Eを駆動する。

【0006】

すなわち画素回路4A~4Eは、図9の接続図によるブロック図を図10に示すように、ゲート及びドレインがそれぞれ共通に接続されたNチャンネルMOS（以下、NMOSと呼ぶ）トランジスタQ1及びPチャンネルMOS（以下、PMOSと呼ぶ）トランジスタQ2からなるCMOSインバーター6と、同様に、ゲート及びドレインがそれぞれ共通に接続されたNMOSTランジスタQ3及びPMOSTランジスタQ4からなるCMOSインバーター7とが正側電源ラインVDDと負側電源ラインVSSとの間に並列に設けられ、これらCMOSインバーター6、7がループ状に接続されてSRAM（Static Random Access Memory）構成によるメモリが形成される。

【0007】

画素回路4A~4Eは、NMOSTランジスタQ5によりこれらCMOSインバーター6、7に信号線SIGを接続して信号線SIGの信号レベルをメモリに供給するスイッチ回路8が形成され、これにより図11に示すように、ゲート信号GATE（図11（B））によるNMOSTランジスタQ5の制御により、信号線SIG（図11（A））によるデータをメモリにセットするようになされている（図11（C））。なおここでV1は、このスイッチ回路8による入力側であるインバーター6の入力側の電位である。

【0008】

画素回路4A~4Eは、このようにしてメモリに保持してなるデータに応じて、液晶セル5A（5B~5E）の共通電極に印加される共通電圧VCOM（図11（G））に対して、同相の駆動信号FRP（図11（D））又は逆相の駆動信号XFRP（図11（E））を選択して液晶セル5A（5B~5E）に印加し、これにより液晶セル5A（5B~5E）を駆動する。すなわち画素回路4A~4Eは、NMOSTランジスタQ6及びPMOSTランジスタQ7からなるスイッチ回路9をインバーター7の出力によりオンオフ制御し、このスイッチ回路9を介して共通電位VCOMと逆相の駆動信号XFRPを液晶セル5A（5B~5E）に印加する。また同様のNMOSTランジスタQ8及びPMOSTランジスタQ9からなるスイッチ回路10をインバーター6の出力によりオンオフ制御し、このスイッチ回路10を介して共通電位VCOMと同相の駆動信号FRPを液晶セル5A（5B~5E）に印加する。

【0009】

これにより図11に示すように、信号線SIGの電位を切り換えた場合、続くゲート信号GATEの立ち上がりの時点t1より液晶セル5A（5B~5E）に印加される電圧V5（図11（F））が共通電位VCOMに対して同相から逆相に切り換わり、液晶セル5A（5B~5E）の表示、非表示を切り換えることができるようになされている。なおこの図11に示す例は、いわゆるノーマリーブラックによる場合である。

【0010】

このようにして構成されてなる表示部2に対して、DC-DCコンバータ12は、タイミングジェネレータ14から出力される基準信号DDCVにより動作し、外部から入力される電源VDDから動作の電源VDD2等を生成して出力する。

【0011】

インターフェース(IF)13は、この液晶表示装置1に同時並列的に入力される赤色、緑色、青色の各画素の階調を指示する階調データR〔5-1〕、G〔5-1〕、B〔5-1〕に対して、この階調データR〔5-1〕、G〔5-1〕、B〔5-1〕に同期したマスタクロックMCK(MCK5)、水平同期信号HSYNC(HD)、垂直同期信号VSYNC(VD)等を入力してタイミングジェネレータ14に出力し、タイミングジェネレータ14は、このインターフェース13からの入力信号を基準にして各部の動作に必要な各種基準信号を生成して出力する。

10

【0012】

垂直駆動回路16は、タイミングジェネレータ14で生成された基準信号により表示部2の画素2Aをライン単位で選択するゲート信号を生成してゲート線GATEに出力する。なおここで図7において、ゲート線GATEに付した符号GP1、GP2、GP3は、それぞれ水平方向に並ぶ画素2Aのグループを示す符号である。

【0013】

これに対して水平駆動回路20は、順次入力される階調データR〔5-1〕、G〔5-1〕、B〔5-1〕の対応するビットをサンプリングして対応する信号線SIGに出力することにより、垂直駆動回路16により選択された画素2Aを信号線SIGにより駆動するようになっている。

20

【0014】

これらによりこの液晶表示装置1においては、水平駆動回路20において、各サブ画素2AA~2AEに対応する階調データR〔5-1〕、G〔5-1〕、B〔5-1〕の各ビットをサンプリングして出力するだけでよいことにより、その分、電圧階調法による液晶表示装置等に比して駆動回路の構成を簡略化することができる。また垂直駆動回路、水平駆動回路の動作を停止して単に駆動信号FRP、XFRPを供給し続けるだけで静止画像を表示し得、これにより電圧階調法による液晶表示装置等に比して消費電力も低減することができる。

30

【0015】

しかしながらこのように単に多ビットメモリ方式による画素2Aによる表示部2を形成した場合、表示に供する部位である電極3A~3Eにおいては、面積の大きさが大きく異なることになり、最も面積の小さな最下位ビットの電極3Aにあっては、極めて幅狭く細長に形成することが必要になる。

【0016】

これにより従来、この種の液晶表示装置においては、見る方向によって光学的な差異が現れ、その分、表示画像の品位が劣化する問題がある。

【0017】

またこのような幅狭く細長に延長する電極においては、エッチング量のバラツキにより面積が大きく変化し、これにより精度良く作成することが困難な欠点があり、場合によっては、エッチングにより消失してしまう恐れもある。このように電極の精度が劣化し、さらには電極自体が消失する場合にあっては、その分、正しく階調表現し得ず、この場合も表示画像の品位が劣化する問題がある。

40

【0018】

これによりこの種の表示装置においては、このような面積の小さなサブ画素に起因する表示画像の品位の低下を有効に回避することが望まれる。

【特許文献1】特開平6-138844号公報

【特許文献2】特開平9-243995号公報

【発明の開示】

50

【発明が解決しようとする課題】

【0019】

本発明は以上の点を考慮してなされたもので、多ビットメモリ方式による表示装置において、面積の小さなサブ画素に起因する表示画像の品位の低下を有効に回避することができる。

【課題を解決するための手段】

【0020】

かかる課題を解決するため請求項1の発明においては、マトリックス状に画素を配置してなる表示部と、ゲート線により画素を順次選択する垂直駆動回路と、画素の階調を指示する階調データに応じて垂直駆動回路により選択された画素の駆動信号を出力する水平駆動回路とを有する表示装置に適用して、画素は、順次表示に供する部位の面積が増大してなる複数のサブ画素を有し、階調データの各ビットに対応した複数のサブ画素の駆動により階調データに対応する階調を表示し、少なくとも階調データの最下位ビットに対応するサブ画素は、表示に供する部位がほぼ正方形形状により形成されてなるようにする。

10

【0021】

請求項1の構成により、表示装置に適用して、画素は、順次表示に供する部位の面積が増大してなる複数のサブ画素を有し、階調データの各ビットに対応した複数のサブ画素の駆動により階調データに対応する階調を表示し、少なくとも階調データの最下位ビットに対応するサブ画素は、表示に供する部位がほぼ正方形形状により形成されてなるようにすれば、面積の小さなサブ画素にあっては、水平方向及び垂直方向の双方についてほぼ同一幅の幅広に形成され、これにより見る方向による光学的な差異の発生を有効に回避することができる。また幅広に形成されることにより、その分、幅狭に形成する場合に比して精度を確保し得、その分、正しく階調表現することができ、これらにより面積の小さなサブ画素に起因する品位の低下を有効に回避することができる。

20

【発明の効果】

【0022】

本発明によれば、多ビットメモリ方式による表示装置において、面積の小さなサブ画素に起因する表示画像の品位の低下を有効に回避することができる。

【発明を実施するための最良の形態】

【0023】

以下、適宜図面を参照しながら本発明の実施例を詳述する。

30

【実施例1】

【0024】

(1) 実施例の構成

(1-1) 全体構成

図2は、この実施例に係る液晶表示装置を示すブロック図である。この液晶表示装置31においては、表示部32、垂直駆動回路33、水平駆動回路34、タイミングジェネレータ(TG)35、インターフェース(IF)36、DC-DCコンバータ(DDC)37を一体にガラス基板上に形成して作成され、表示部32にカラー画像を表示する。このためこの液晶表示装置31では、表示に供する各画素の階調を指示する各5ビットによる赤色、緑色、青色の階調データR〔5-1〕、G〔5-1〕、B〔5-1〕がラスタ走査順に同時並列的に入力されるようになされている。

40

【0025】

この液晶表示装置31において、表示部32は、垂直方向に同一の色彩によるカラーフィルタが延長し、かつ水平方向に順次循環してなるいわゆる縦ストライプ方式の反射型液晶表示パネルにより形成され、この縦ストライプに係るカラーフィルタが画像データR〔5-1〕、G〔5-1〕、B〔5-1〕に対応する3色により形成されるようになされている。

【0026】

また表示部32は、このようなカラーフィルタが設けられている画素がそれぞれ水平方

50

向及び垂直方向に $N \times M$ 画素によりマトリックス状に配置されて形成され、各画素が多ビットメモリ方式による画素により形成されるようになされている。

【0027】

すなわち各画素32Aにおいては、図8との対比により図3に示すように、表示に供する部位である電極43A、43B、43C、43D、43Eの面積がほぼ2倍により変化するサブ画素32AA～32AEにより形成され、これら各サブ画素32AA～32AEに、それぞれ同一に構成された画素回路44A～44Eが設けられるようになされている。

【0028】

ここで画素回路44A～44Eは、図9及び図10について上述した画素回路4A～4Eに比して、信号線SIGが共通化されている点を除いて同一に形成され、その分、この表示部32においては、信号線の数を少なくした分、容易に多ビット化して高階調化、高解像度化できるようになされている。

【0029】

しかしてこれにより各画素32Aにおいては、MOSトランジスタにより、信号線SIGの信号レベルを取得して保持するインバータ6、7によるメモリと、ゲート信号GATE1～5に応動してこのメモリに信号線SIGの信号レベルを供給するスイッチ回路8と、表示に供する部位3A～3Eの一方の電極に印加される共通電圧VCOMに対する同相又は逆相の駆動信号FRP、XFRPを、メモリの保持結果に応じて選択し、表示に供する部位の他方の電極43A～43Eに印加するスイッチ回路9、10とがそれぞれ各サブ画素32AA～32AEに設けられるようになされている。

【0030】

このようにして信号線SIGを各サブ画素32AA～32AEで共通化した分、この液晶表示装置31においては、各サブ画素32AA～32AEに対する信号線SIGを時分割により駆動する。

【0031】

すなわち水平駆動回路34は、順次入力される階調データR〔5－1〕、G〔5－1〕、B〔5－1〕を順次循環的に取得することにより、これら階調データR〔5－1〕、G〔5－1〕、B〔5－1〕をライン単位でまとめた後、サブ画素32AA～32AEの配列に対応する順序により順次これら階調データR〔5－1〕、G〔5－1〕、B〔5－1〕の各ビットを選択出力し、これによりサブ画素32AA～32AEに共通の信号線SIGに時分割により対応する階調データR〔5－1〕、G〔5－1〕、B〔5－1〕の各ビットを割り当てるようになされている。これによりこの実施例では、垂直方向に延長する各画素を時分割により駆動し、さらに各画素におけるサブ画素においても、時分割により駆動するようになされている。

【0032】

このような水平駆動回路34による各階調データのシリアル転送に対応して、垂直駆動回路33は、ゲート線により画素32Aを順次選択する。またこの各画素32Aの選択において、各サブ画素32AA～32AEに接続されたゲート線により各サブ画素32AA～32AEを順次選択する。

【0033】

DC-DCコンバータ37は、タイミングジェネレータ35から出力される基準信号DDCVにより動作し、外部から入力される電源VDDから動作用の電源VDD2等を生成して出力する。

【0034】

インターフェース(IF)36は、この液晶表示装置31に同時並列的に入力される赤色、緑色、青色の各画素の階調を指示する階調データR〔5－1〕、G〔5－1〕、B〔5－1〕に対して、この階調データR〔5－1〕、G〔5－1〕、B〔5－1〕に同期したマスタクロックMCK(MCK5)、水平同期信号HSYNC(HD)、垂直同期信号VSYNC(VD)等を入力してタイミングジェネレータ35に出力し、タイミングジ

10

20

30

40

50

エネレータ 35 は、このインターフェース 36 からの入力信号を基準にして各部の動作に必要な各種基準信号を生成して出力する。

【0035】

(1-2) 画素のレイアウト

図 1 は、この液晶表示装置 31 の 1 つの画素 32 A の構成を示す平面図である。この液晶表示装置 31 の表示部 32 においては、この画素 32 A をマトリックス状に配置して形成される。ここで表示部 32 は、赤色、緑色、青色の画素 32 A による組み合わせに係る水平方向の連続する 3 つの画素に対してほぼ正方形形状の領域が割り当てられるようになされ、これにより 1 つの画素には、縦横比がほぼ 3 : 1 に設定された縦長による長方形形状の領域が表示に供する表示領域 A R A に割り当てられるようになされている。

10

【0036】

各画素 32 A は、この長方形形状による表示領域 A R A に各サブ画素 32 A A ~ 32 A E における表示に供する部位である電極 43 A ~ 43 E が配置され、これらの電極 43 A ~ 43 E のうち、少なくとも階調データの最下位ビットに係る電極 43 A においては、ほぼ正方形形状により形成される。

【0037】

具体的に、これらの電極 43 A ~ 43 E は、この表示領域 A R A を各電極 43 A ~ 43 E の面積比 16 : 8 : 4 : 2 : 1 により分割して計算される各電極 43 A ~ 43 E の面積について、各電極 43 A ~ 43 E を長方形形状により形成して一辺の長さが所定値より短い場合、この電極については、正方形形状に形成される。これによりこの実施例では、下位側 2 ビットの電極 43 A 及び 43 B が正方形形状により形成されるようになされている。

20

【0038】

またこのようにして正方形形状に設定した下位側ビットの電極 43 A 及び 43 B に対して、それぞれ上位側ビットの電極を組にして、この長方形形状の表示領域 A R A の短辺を一辺にしてなる矩形の領域にこれら各組の電極を割り当てる。またこのようにして表示領域 A R A に割り当てて残るビットの電極については、長方形形状の表示領域 A R A の短辺を一辺にしてなる矩形の領域を割り当てる。

【0039】

またこのような割り当てにおいて、各電極 43 A ~ 43 E の重心の位置を表示領域 A R A の長手方向で極力近づけるように、下位側ビットと上位側ビットとの組み合わせ、各電極 43 A ~ 43 E の配置が設定される。

30

【0040】

これによりこの実施例では、最下位ビットから 2 ビット目の電極 43 B に対して、最上位ビットの電極 43 E が組み合わせられて、これら電極 43 B 及び 43 E が長手方向の一端側（この図 1 の例では上端側）に配置されるようになされている。また最下位ビットの電極 43 A に対して、最上位から 2 ビット目の電極 43 D が組み合わせられて、これらの電極 43 A 及び 43 D が、電極 43 B 及び 43 E に続いて配置されるようになされている。また残る領域に最下位から 3 ビット目の電極 43 C が割り当てられるようになされている。

【0041】

40

さらにこの実施例では、このような下位側ビット及び上位側ビットの組み合わせにおいて、下位側ビットの電極 43 A、43 B を正方形形状により形成して、上位側ビットの電極 43 D 及び 43 E に極力幅狭の部位を形成しないように、下位側ビットの電極 43 A、43 B が配置され、またこの配置に対応するように上位側ビットの電極 43 D、43 E の形状が選定される。すなわち具体的に、下位側ビットの電極 43 A、43 B は、表示領域 A R A の長手方向にあっては、中央側に配置され、また短辺側にあっては、一方の長辺側に偏って配置される。これによりこれらの電極 43 A、43 B と組をなす上位側ビット側の電極 43 D、43 E においては、表示領域 A R A の中心側短辺が、局所的に飛び出した L 字形状により形成され、この飛び出した部位が十分な幅により形成されるようになされている。

50

【0042】

これらによりこの実施例においては、水平方向及び垂直方向から見て面積の小さなサブ画素を同じように見ることができ、さらには精度良くこの面積の小さなサブ画素に係る電極を作成できるようになされ、これらにより面積の小さなサブ画素に起因する表示画像の品位の低下を有効に回避するようになされている。

【0043】

なおこの実施例においては、このように上位側ビットに係る電極43D、43Eの飛び出した部位の幅が、電極を正方形形状により形成するか否かの判断基準である所定値以上となるように、概ね、この所定値が表示領域ARAの短辺の長さの $1/2$ に設定され、これにより下位側2ビットの電極43A、43Bが正方形形状により形成されるようになされている。しかし十分に高品位の表示画像を形成するために高精細度化、高階調化した場合、必然的に、表示領域ARAも小さくなり、また下位側電極の面積も小さくなることにより、このような判断基準による判定に依らずとも、少なくとも最下位ビット、さらにはビット数によっては最下位側2ビット又は最下位側3ビットを正方形形状の電極により形成して、この実施例と同様の効果を得ることができる。

10

【0044】

またこの下位側ビットの電極形状においては、長辺の長さに比して短辺の長さを $0.8 \sim 1$ 倍に設定して、見る方向による差異を無くし得、また十分なエッチング精度により作成し得、これにより面積の小さなサブ画素に起因する表示画像の品位の低下を有効に回避するようになされている。

20

【0045】

各電極43A～43Eは、このようにして形状、配置位置が選定された後、角取りされ、また電極43A～43E間で絶縁に必要な空隙が形成され、これらにより変化する各電極32AA～32AEの面積が最終的に上述した $16:8:4:2:1$ になるように、各電極32AA～32AEの形状が微調整されるようになされている。

【0046】

このようにしてこの表示領域ARAに電極43A～43Eを形成して、各画素32Aにおいては、この表示領域ARAに対応する長方形形状の領域に各画素回路44A～44Eが設けられ、この画素回路44A～44Eを設ける領域が、下位側ビットの電極43A、43Bを偏らせた側に、表示領域ARAからほぼ $1/4$ ピッチだけ偏って形成され、これにより後述する接続用領域ARにおいて、高い自由度により画素回路44A～44Eに対応する電極43A～43Eに接続できるようになされている。

30

【0047】

画素32Aは、この画素回路44A～44Eを設ける領域が長手方向に階調データのビット数により等分割され、電極43A～43Eの配置の順序に対応する順序により、この等分割された各領域にそれぞれ各画素回路44A～44Eが形成される。

【0048】

すなわち最も上位ビット側の電極43Eを配置してなる側端の領域には、最上位ビットの画素回路44Eが設けられ、また続く内側の領域には、電極43Eと組をなす最下位から2ビット目の画素回路44Bが設けられる。また続く領域には、最下位ビットの電極43Aに対応する画素回路44Aが設けられ、続いて最下位ビットの電極43Aと組をなす上位から2ビット目の電極43Dに対応する画素回路44Cが設けられる。また最も下側の領域には、残る画素回路44Cが設けられる。

40

【0049】

これによりこの実施例では、各電極43A～43Eと対応する画素回路44A～44Eとの接続を簡略化できるようになされている。

【0050】

このようにして画素32Aの領域に割り当てられる各画素回路44A～44Eにおいては、図9について上述したトランジスタQ1～Q9により構成され、図4に示すようにレイアウトされる。すなわち画素回路44A～44Eは、各MOSトランジスタQ1～Q9

50

のゲート電極（図1において符号Gにより示す）を作成する際に、このゲート電極材料により併せて各領域の上端に沿ってゲート線GATEが設けられる。またこのゲート線GATEを作成する際に、ゲート電極材料により併せてトランジスタQ1～Q4によるインバーター6、7をトランジスタQ6～Q9によるスイッチ回路9、10に接続する配線パターンL1及びL2が、ゲート線GATEを作成して残る領域をほぼ3等分するようにゲート線GATEと平行に形成される。

【0051】

画素回路44A～44Eは、これらの配線パターンL1及びL2による左端側に、トランジスタQ1～Q4が形成されてインバーター6、7が形成され、また右端側にトランジスタQ6～Q9が形成されてスイッチ回路9、10が形成される。すなわち画素回路44A～44Eは、信号線SIGにゲートを接続するトランジスタQ1、Q2のうち、正側電源VDDにソースを接続するトランジスタQ2が下側の配線パターンL2の左端側に形成され、残るトランジスタQ1がその内側に形成される。また残るインバーター7のトランジスタQ3、Q4のうち、正側電源VDDにソースを接続するトランジスタQ4が中央の配線パターンL1の左端側に形成され、残るトランジスタQ3がその内側に形成される。画素回路44A～44Eは、トランジスタQ2、Q4を正側電源VDDに接続する配線パターンL3、トランジスタQ1、Q3を負側電源VSSに接続する配線パターンL4、トランジスタQ3、Q4をスイッチ回路8によるトランジスタQ5に接続する配線パターンL5、トランジスタQ1、Q2のソースをトランジスタQ3、Q4のゲートに接続する配線パターンL6が、トランジスタQ1～Q4に続いて作成され、これによりインバーター

10

20

【0052】

また画素回路44A～44Eは、ゲート線GATEが局所的に下方に延長して信号線SIGをインバーター6、7に接続するスイッチ回路8のトランジスタQ5が形成され、このトランジスタQ5に、信号線SIGへの接続用の配線パターンL7が形成されるようになされている。

【0053】

また配線パターンL1及びL2の右端側に、それぞれ共通電圧VCOMと同相の駆動信号FRPに係るスイッチ回路10のトランジスタQ8、Q9が形成され、これらトランジスタQ8、Q9にこの駆動信号FRPを入力する電極L9、L11が形成される。またこれらトランジスタQ8、Q9の内側に、共通電圧VCOMと逆相の駆動信号XFRPに係るスイッチ回路9のトランジスタQ6、Q7が形成され、これらトランジスタQ8、Q9にこの駆動信号XFRPを入力する電極L10、L8が形成される。またこれらトランジスタQ6～Q9を液晶セルの電極43A～43Eに接続する電極LXが形成される。

30

【0054】

これらによりこの画素回路44A～44Eにおいては、サブ画素32AA～32AEの画素回路44A～44Eを配置するこの横長の領域において、信号線SIGによる論理値を記録するメモリ回路（6、7）と、このメモリ回路の内容により液晶セルへの駆動信号を切り換えるスイッチ回路9、10とを、この領域の左右両端に配置して、この領域の中央にスイッチ回路9、10を電極43A～43Eに接続するための領域ARを形成し、この接続用の領域ARでスイッチ回路9、10を電極43A～43Eに接続するようになされている。これによりこの実施例では、サブ画素32AA～32AEを構成する画素回路44A～44E、電極43A～43Eのレイアウトを簡略化し、容易に多ビット化して高階調化、高解像度化することができるようになされている。

40

【0055】

なおこの図4及び図5等において、内側に黒点を設けた丸印は、上層側に形成される配線パターンとの接続箇所を示す印であり、内側に×を設けた丸印は、下層側の配線パターンとの接続箇所を示す印である。

【0056】

すなわち図5に示すように、このような画素回路44A～44Eにおいては、上層側に

50

、図5に示すような配線パターンが形成される。ここでこれら配線パターンは、水平駆動回路34から延長する信号線SIGが上下方向に延長するように形成され、またこの信号線SIGと平行に、正側電源VDD及び負側電源VSSの配線パターン、駆動信号FRP、XFRPの配線パターンが設けられる。

【0057】

これらの配線パターンのうち、駆動信号FRP、XFRPの配線パターン、正側電源VDD及び負側電源VSSの配線パターンにあつては、それぞれ下層の対応する配線パターンの部位に形成されるのに対し、信号線SIGにおいては、電極接続用の領域ARを避けるように形成され、画素回路44A～44Eは、これらの配線パターンのレイヤーにおいて、この接続用の領域ARに、図6に示すように、下層の電極接続用の配線パターンLXを、続く上層の電極43A～43Eに接続する配線パターンLX1が形成されるようになされている。

10

【0058】

すなわちこのようにして画素回路44A～44Eでトランジスタ等を同一にレイアウトして、最も上位側ビットである画素回路44Eにおいては、トランジスタQ6～Q9によるスイッチ回路を液晶セルの電極43A～43Eに接続する電極LXが、接続用の領域ARに延長し、この接続用領域ARにおいて、信号線SIG等の配線パターンに係るレイヤーに設けられた接続用の配線パターンLX1を介して、対応する電極43Eに接続される。これに対して続く画素回路44Bの電極LXにおいては、接続用の領域ARに延長し、この接続用領域ARにおいて、ほぼ直角に折れ曲がって対応する電極43Bが設けられている隣接する画素回路44Eの領域ARまで延長し、この隣接する画素回路44Eの領域ARに設けられた接続用の配線パターンLX1を介して、対応する電極43Bに接続される。

20

【0059】

また続く画素回路44Aの電極LXにおいては、同様に、接続用の領域ARに延長し、この接続用の領域ARにおいて、ほぼ直角に折れ曲がって対応する電極43Aが設けられている領域AR内の部位まで延長し、この部位に設けられた接続用の配線パターンLX1を介して、対応する電極43Aに接続される。また続く画素回路44D及び44Bの電極LXにおいては、接続用の領域ARに延長し、この接続用領域ARに設けられた接続用の配線パターンLX1を介して、対応する電極43D及び43Bに接続される。

30

【0060】

これらによりこの液晶表示装置31では、このようにして作成してなる接続用の領域ARを有効に利用して、大きく面積の異なる電極43A～43Eに対して、同一のレイアウトにより作成した各画素回路44A～44Eを簡易かつ確実に接続できるようになされている。

【0061】

このようにして電極43A～43Eと対応する画素回路44A～44Eを接続するにつき、各画素32Aにおいては、電極43A～43Eに対する配線パターンLX1の接続箇所が、垂直方向より見て重なり合わないように、水平方向に不規則に異なってなるように配置され、これによりこのような接続箇所が一行に並ぶことにより各種干渉縞の発生を有効に回避するようになされている。

40

【0062】

表示部32においては、半導体製造技術によりこのようなレイアウトにより画素回路44A～44E、配線パターンが順次ガラス基板に形成された後、絶縁層を間に挟んで、電極材料膜が形成され、この電極材料膜のエッチングにより図1について上述した形状による電極が形成され、その後、対向電極と一体化されて液晶が封入されて作成されるようになされている。

【0063】

(2) 実施例の動作

以上の構成において、この液晶表示装置31では(図2)、描画に係るコントローラ等

50

からそれぞれ赤色、緑色、青色による各画素の階調を指示する5ビットによる階調データR〔5-1〕、G〔5-1〕、B〔5-1〕が順次同時並列的にラスタ走査順に入力され、この階調データR〔5-1〕、G〔5-1〕、B〔5-1〕が水平駆動回路34により順次サンプリングされて表示部32のライン単位でまとめられる。またさらにこのようにライン単位でまとめられてなる各階調データR〔5-1〕、G〔5-1〕、B〔5-1〕の各ビットが順次循環的に選択されてシリアル転送により各画素32Aに1つの信号線SIGに出力される(図3)。

【0064】

またこの水平駆動回路34によるライン単位の処理に対応するように、垂直駆動回路33により順次循環的に表示部32の各ラインを選択する選択信号が生成され、さらにこのラインに係る画素において、サブ画素32AA~32AEを順次選択する選択信号が生成され、この選択信号が各サブ画素32AA~32AEのゲート線GATE1~GATE5に出力される。

10

【0065】

これによりこの液晶表示装置31では、各サブ画素32AA~32AEの表示に供する部位である電極43A~43Eが順次面積が増大するように形成されて、階調データR〔5-1〕、G〔5-1〕、B〔5-1〕の対応するビットの論理値に応じてこれら電極43A~43Eに駆動信号FRP、XFRPが印加され、面積階調法により階調データR〔5-1〕、G〔5-1〕、B〔5-1〕による画像が表示される。

【0066】

20

液晶表示装置31では、これらの電極43A~43Eのうち、階調データR〔5-1〕、G〔5-1〕、B〔5-1〕の下位側2ビットによる面積の小さな電極43A、43Bがほぼ正方形形状により形成され、これによりこれら電極43A、43Bがエッチングにより作成工程により精度良く作成される。

【0067】

すなわちこれらの電極を作成する場合にあって、幅狭の細長い形状により作成する場合には、正方形形状により作成する場合に比して、面積に対する周囲の長さが長くなる。これに対してエッチング量の変化は、電極の周囲に現れる。これによりこの実施例のように正方形形状により電極を作成した場合には、その分、所望する面積により精度良く電極を作成することができる。

30

【0068】

またこのような面積のばらつきにおいては、元々面積の小さなサブ画素に大きな影響を与えることになる。これによりこの実施例のように、最下位ビットを含む下位2ビットの電極を正方形形状により形成して、所望する面積比により高い精度でこれらサブ画素32AA~32AEの表示に供する部位を形成し得、これにより正しく階調を表現することができ、階調の劣化による表示画像の品位の低下を有効に回避することができる。

【0069】

またこのように正方形形状により形成した場合、垂直方向に視線を変化させて表示画像を見た場合と、水平方向に視線を変化させて表示画像を見た場合とで、視線の変化に対するこれら面積の小さなサブ画素の見え方を等しくし得、これにより見る方向によって光学的な差異が現れないようにして、表示画像の品位の劣化を有効に回避することができる。

40

【0070】

さらにこの実施例では、このようにして作成されてなる各電極43A~43Eが、角取りして形成され、この角取りによってもエッチング量のばらつきによる面積の変化を小さくし得、これによっても表示画像の品位の低下が有効に回避される。

【0071】

液晶表示装置31においては、このようにして正方形形状に作成されてなる面積の小さな画素が、面積の大きな上位側ビットに係る電極と組み合わせられて、それぞれ各組が表示領域ARAの短辺を一辺にしてなる長方形形状による領域に割り当てられる。また残るビットに係る電極がこの表示領域ARAの短辺を一辺にしてなる長方形形状による領域に割

50

り当てられる。

【0072】

これにより液晶表示装置31においては、この電極を作成する領域ARAに関して、この領域ARAの短辺と平行になるように空隙を形成してこの領域ARAを3つの領域に分割し、さらにこの3つの領域のうちの2つの領域に空隙を形成して計5つの電極を形成することができ、これらによりこのようにして面積の小さなサブ画素の電極を正方形形状により作成するようにして、この電極形成領域ARAに形成される無駄な領域である空隙の長さを極力短くすることができる。従って液晶表示装置31においては、その分、この電極を形成する領域を有効に利用して表示画面の輝度を向上することができる。

【0073】

10

またこのような組み合わせに係る矩形の領域において、電極形成領域ARAである領域ARAの中心側に面積の小さな電極を形成し、階調データの下位側2ビットに係る電極を隣接させることにより、この電極形成領域ARAの長手方向について、各電極の重心の位置を、特に面積の小さなサブ画素に係る電極の重心を近づけることができる。これによりこの実施例においては、このような重心の位置が遠ざかるように形成してなる表示画像の違和感を有効に回避できるようになされている。

【0074】

しかして液晶表示装置31においては、これらによりこの電極形成領域である表示に供する領域ARAの上側より、階調データのビット順位とは異なるように電極43A～43Eが配置され、この配置の順序に対応する順序により各階調データの各ビットに係る画素回路が設けられ、これにより画素回路44A～44Eと電極43A～43Eとの接続が簡略化されるようになされている。

20

【0075】

(3) 実施例の効果

以上の構成によれば、表示に供する部位の面積が小さなサブ画素については、この表示に供する部位をほぼ正方形形状により作成することにより、多ビットメモリ方式による表示装置において、面積の小さなサブ画素に起因する表示画像の品位の低下を有効に回避することができる。

【0076】

また長辺の長さに対して短辺の長さを1～0.8倍に設定して、このようなほぼ正方形形状による電極を作成したことにより、確実に面積の小さなサブ画素に起因する表示画像の品位の低下を有効に回避することができる。

30

【0077】

またこのような面積の小さな電極に対して、面積の大きな電極を組にして、長方形形状の表示領域の短辺を一辺にしてなる矩形の領域に割り当てたことにより、この表示領域を有効利用することができる。

【0078】

また階調データの最下位2ビットの電極が隣接するように形成したことにより、各電極の重心の位置を、特に面積の小さなサブ画素に係る電極の重心を近づけることができる。これによりこの実施例においては、このような重心の位置が遠ざかるように形成してなる表示画像の違和感を有効に回避できるようになされている。

40

【0079】

またこのようにして階調データのビット順位とは異なるように電極を配置して、この電極の配置の順序に対応する順序により画素回路を設けることにより、画素回路と電極との接続を簡略化することができる。

【実施例2】

【0080】

なお上述の実施例においては、同一色彩のカラーフィルタが垂直方向に延長してなるいわゆる縦方向ストライプにより表示部を形成する場合について述べたが、本発明はこれに限らず、同一色彩のカラーフィルタが水平方向に延長してなるいわゆる横方向ストライプ

50

により表示部を形成する場合、モザイク状にカラーフィルタを配置して表示部を形成する場合、さらにはデルタ状にカラーフィルタを配置して表示部を形成する場合等に広く適用することができる。

【0081】

また上述の実施例においては、共通電圧に対して同相、逆相の駆動信号を選択的に印加することにより、1つのサブ画素をオンオフの2階調により駆動する場合について述べたが、本発明はこれに限らず、さらに位相の異なる多数の駆動信号を選択的に印加することにより、さらには時間軸方向の変調により、1つのサブ画素を2階調より多くの階調により駆動する場合にも広く適用することができる。

【0082】

10

なお上述の実施例においては、最下位ビットと最上位から2ビット目を組み合わせて電極を形成する場合について述べたが、本発明はこれに限らず、例えば最上位ビットと最下位ビットとを組み合わせるようにしてもよい。

【0083】

また上述の実施例においては、1つの画素を形成する複数のサブ画素の全てで信号線を共通化する場合について述べたが、本発明はこれに限らず、サブ画素のレイアウトによっては、1つの画素を形成する複数のサブ画素の一部のみについて、信号線を共通化する場合、さらには各サブ画素にそれぞれ信号線を設ける場合等に広く適用することができる。

【0084】

また上述の実施例においては、各5ビットの赤色、緑色、青色による3種類の階調データを同時並列的に入力して処理する場合について述べたが、本発明はこれに限らず、5ビット以外のビット数により階調データの処理に適用する場合、4種類以上の階調データによりカラー画像を表示する場合等にも広く適用することができる。

20

【0085】

また上述の実施例においては、ガラス基板上に表示部等を作成してなる反射型液晶表示装置に本発明を適用する場合について述べたが、本発明はこれに限らず、透過型液晶表示装置、EL (Electro Luminescence) 表示装置等、種々の表示装置に広く適用することができる。

【産業上の利用可能性】

【0086】

30

本発明は、例えば1つの画素を複数のサブ画素により構成し、これら複数のサブ画素の駆動により階調を表現する方式の液晶表示装置に適用することができる。

【図面の簡単な説明】

【0087】

【図1】本発明の実施例に係る液晶表示装置の1つの画素の構成を示す平面図である。

【図2】本発明の実施例に係る液晶表示装置を示すブロック図である。

【図3】図2の液晶表示装置の1つの画素の構成を示す接続図である。

【図4】図2の液晶表示装置の1つのサブ画素のレイアウトを示す平面図である。

【図5】図4の上層側の配線パターンを示す平面図である。

【図6】画素回路と電極との接続の説明に供する平面図である。

40

【図7】多ビットメモリ方式により液晶表示装置を示すブロック図である。

【図8】図7の液晶表示装置の1画素を示す接続図である。

【図9】図8の1画素に設けられる画素回路を示す接続図である。

【図10】図9の画素回路の等化回路を示す接続図である。

【図11】図9の画素回路の動作の説明に供するタイムチャートである。

【符号の説明】

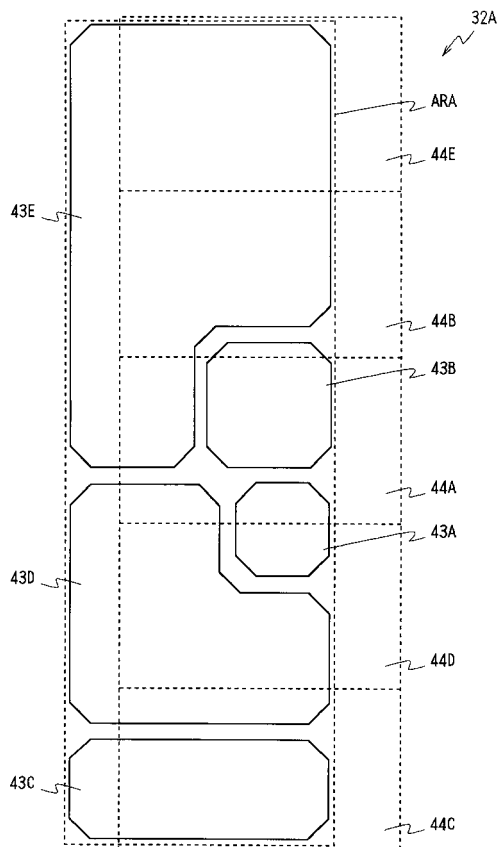
【0088】

1、31……液晶表示装置、2、32……表示部、2A、32A……画素、2AA～2AE、32AA～32AE……サブ画素、3A～3E、43A～43E……電極、4A～4E、44A～44E……画素回路、5A～5E……液晶セル、6、7……インバーター

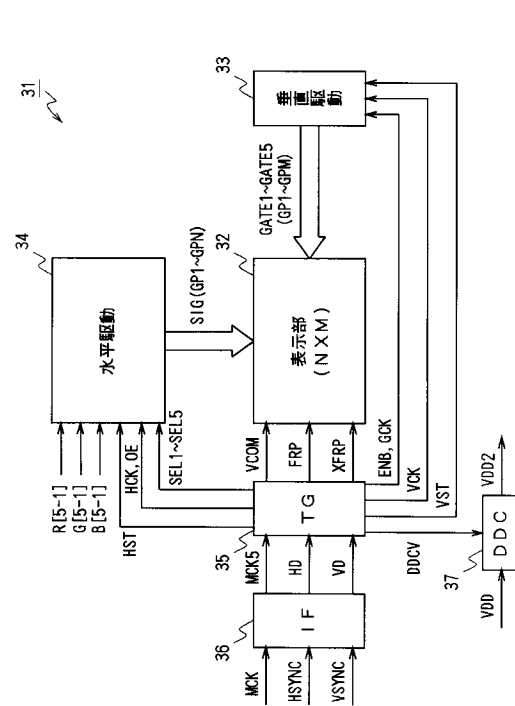
50

、 8、 9、 10 ……スイッチ回路、 16、 33 ……垂直駆動回路、 20、 34 ……水平駆動回路

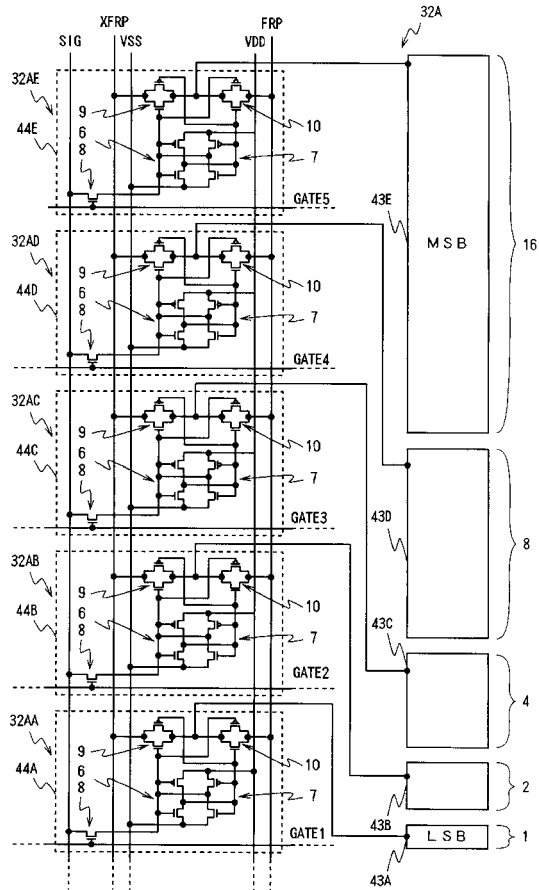
【図 1】



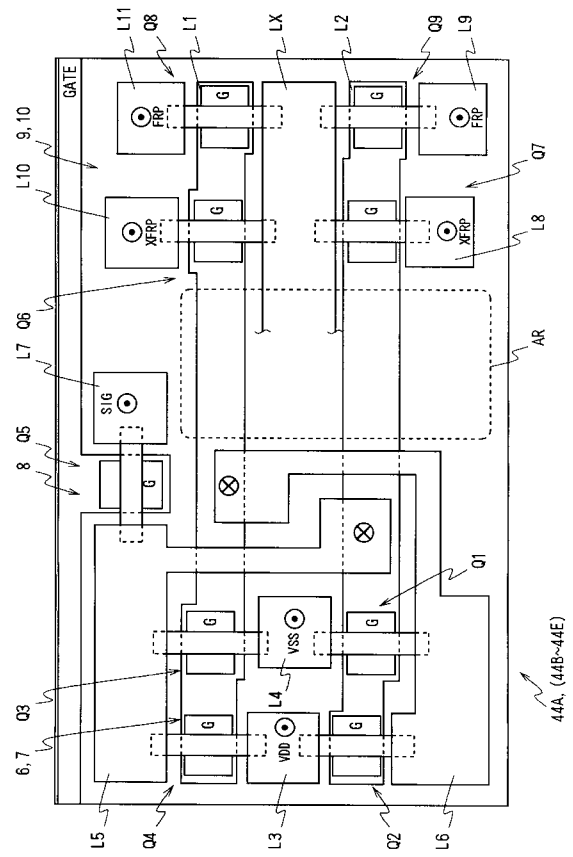
【図 2】



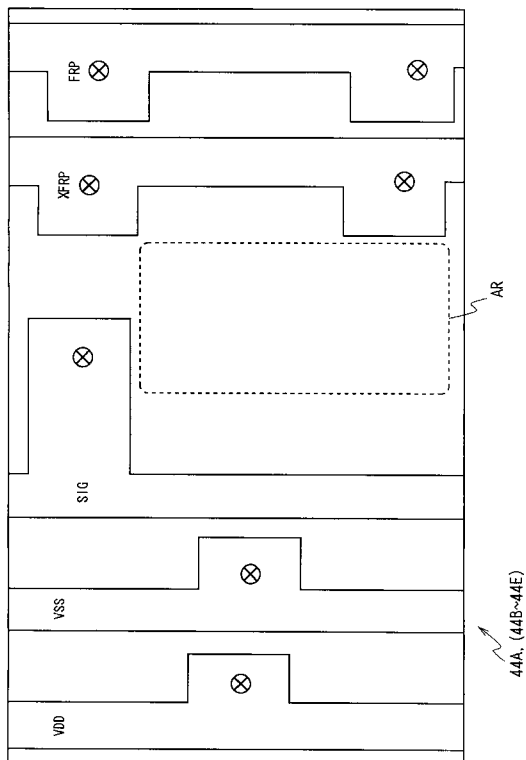
【図 3】



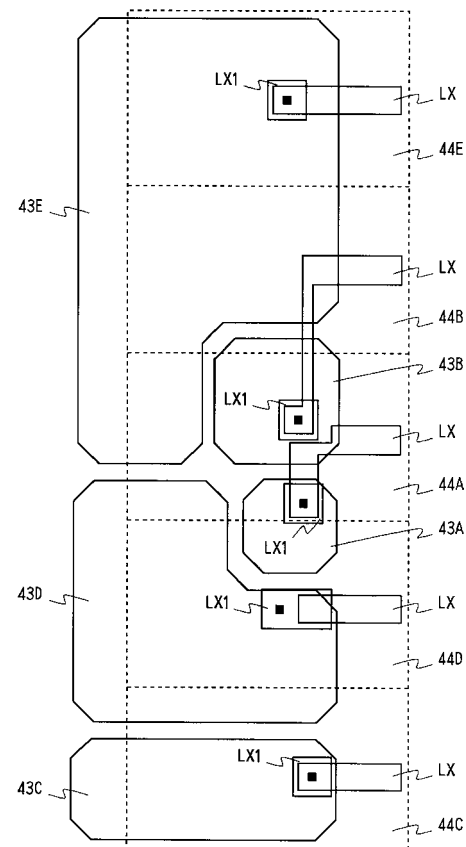
【図 4】



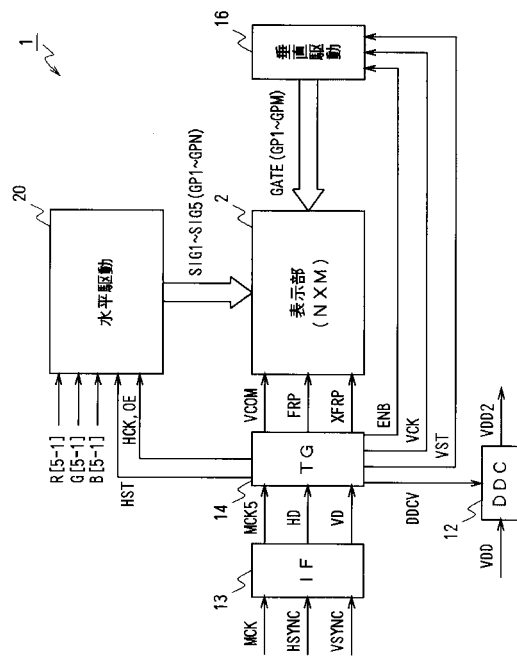
【図 5】



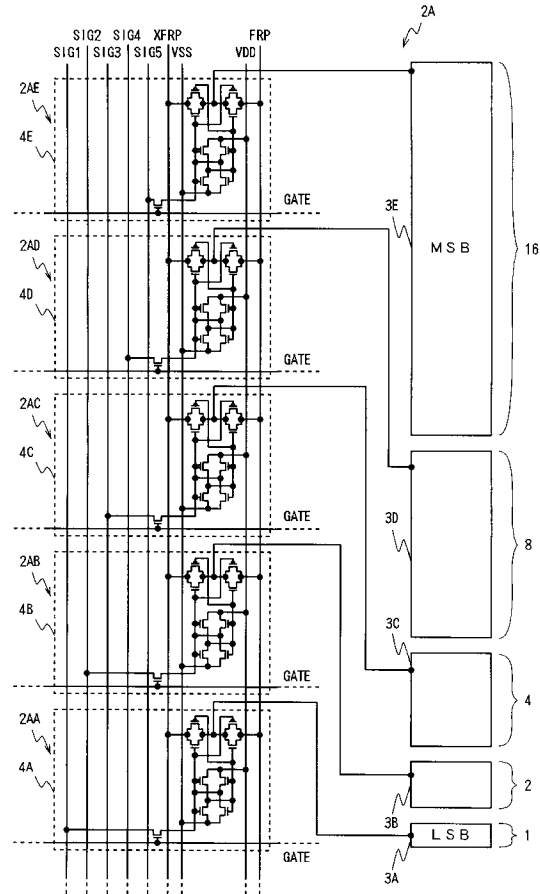
【図 6】



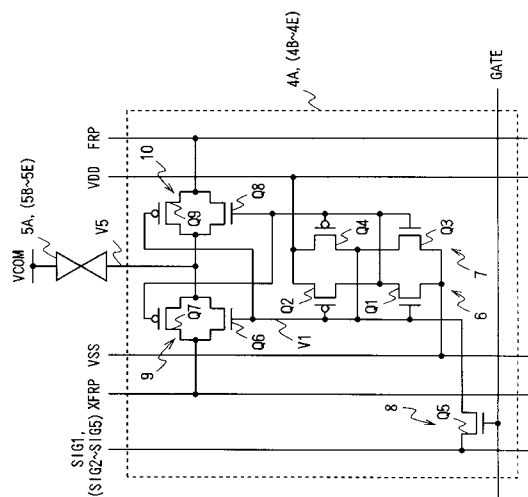
【図 7】



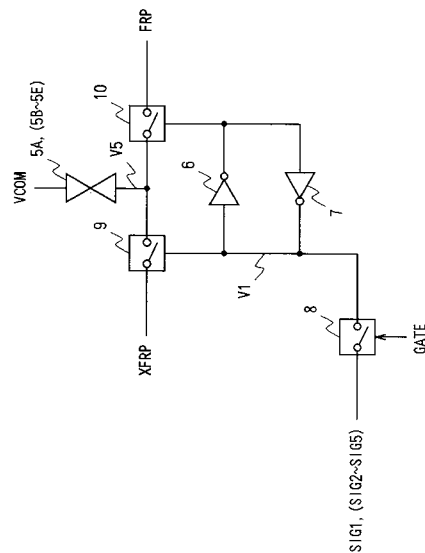
【図 8】



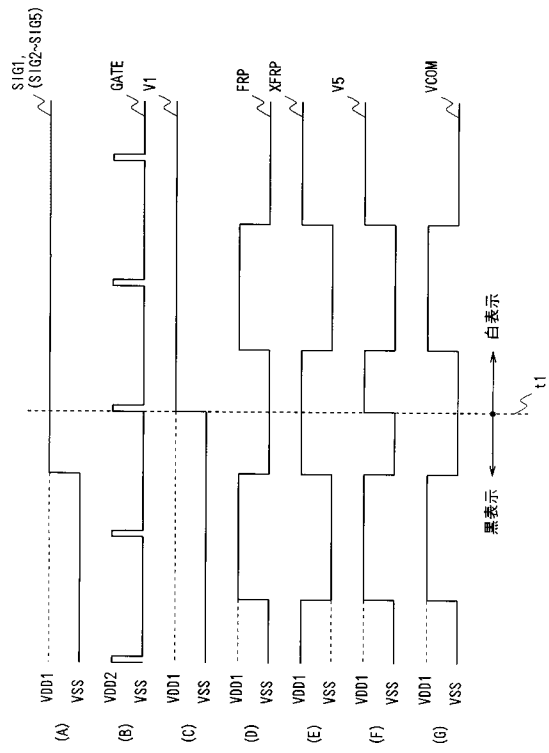
【図 9】



【図 10】



【図 11】



フロントページの続き

(51)Int.Cl.		F I	
H 0 1 L	51/50	(2006.01)	G 0 9 G 3/20 6 2 1 J
H 0 5 B	33/14	(2006.01)	G 0 9 G 3/20 6 2 4 B
			G 0 9 G 3/20 6 4 1 G
			G 0 9 G 3/20 6 6 0 U
			G 0 9 G 3/20 6 8 0 H
			G 0 9 G 3/36
			H 0 5 B 33/14 A
			H 0 5 B 33/14 Z

(72)発明者 野津 大輔
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 林 宗治
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 鳥山 重隆
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 坂井 栄治
東京都品川区北品川6丁目7番35号 ソニー株式会社内

審査官 横井 巨人

(56)参考文献 特開2002-333870 (JP, A)
特開平11-326874 (JP, A)
特開平09-090345 (JP, A)
特開2003-302946 (JP, A)
特開昭63-109497 (JP, A)
特開2002-328356 (JP, A)
特開平08-194205 (JP, A)
特開2002-156954 (JP, A)
特開2000-111879 (JP, A)
特開2002-328656 (JP, A)
特開平06-138844 (JP, A)
特開平09-237059 (JP, A)
特開平11-259020 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 2 F 1/1343-1/1345、1/135-1/1368、
G 0 9 F 9/00-9/30、9/307-9/46、
G 0 9 G 3/00-3/08、3/12、3/16-3/26、
3/30、3/34-3/38、
H 0 1 L 27/32、51/50、
H 0 5 B 33/00-33/28

专利名称(译)	表示装置		
公开(公告)号	JP4506152B2	公开(公告)日	2010-07-21
申请号	JP2003386087	申请日	2003-11-17
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	寺西康幸 仲島義晴 野津大輔 林宗治 鳥山重隆 坂井栄治		
发明人	寺西 康幸 仲島 義晴 野津 大輔 林 宗治 鳥山 重隆 坂井 栄治		
IPC分类号	G09F9/30 G02F1/133 G02F1/1343 G09G3/20 G09G3/36 H01L51/50 H05B33/14		
FI分类号	G09F9/30.341 G09F9/30.390.C G02F1/133.575 G02F1/1343 G09G3/20.611.A G09G3/20.621.J G09G3/20.624.B G09G3/20.641.G G09G3/20.660.U G09G3/20.680.H G09G3/36 H05B33/14.A H05B33/14.Z G09F9/302.C		
F-TERM分类号	2H092/JA24 2H092/JB04 2H092/JB05 2H092/JB46 2H093/NA54 2H093/NC13 2H093/NC34 2H093/NC40 2H093/ND06 2H193/ZA04 2H193/ZA20 2H193/ZD24 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA04 3K107/AA01 3K107/BB01 3K107/CC31 3K107/EE03 3K107/EE06 3K107/EE07 3K107/HH04 3K107/HH05 5C006/AA02 5C006/AA12 5C006/AA22 5C006/AC27 5C006/BB16 5C006/BB28 5C006/BC06 5C006/BF42 5C006/BF46 5C006/EB04 5C006/FA22 5C006/FA47 5C006/FA55 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD26 5C080/DD28 5C080/EE01 5C080/EE29 5C080/EE30 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ03 5C080/JJ06 5C094/AA02 5C094/BA43 5C094/DB01 5C094/EA04 5C094/GA10		
代理人(译)	山本隆久 吉井正明 森浩一		
其他公开文献	JP2005148424A		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过将本发明应用于例如形成每个像素的液晶显示装置，有效地避免由多位存储型显示装置中的具有小区域的子像素导致的显示图像的质量降低多个子像素通过驱动多个子像素来表示灰度。ŽSOLUTION：关于用于显示的部分43A至43E处具有小区域的子像素32AA和32AB，用于显示的部分43A和43B形成近似正方形的形状。Ž

