

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4458121号
(P4458121)

(45) 発行日 平成22年4月28日(2010.4.28)

(24) 登録日 平成22年2月19日(2010.2.19)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 621B

G09G 3/20 623V

G09G 3/20 624C

G09G 3/20 633C

請求項の数 2 (全 17 頁) 最終頁に続く

(21) 出願番号 特願2007-165833 (P2007-165833)
 (22) 出願日 平成19年6月25日(2007.6.25)
 (62) 分割の表示 特願平10-241393の分割
 原出願日 平成10年8月27日(1998.8.27)
 (65) 公開番号 特開2007-256984 (P2007-256984A)
 (43) 公開日 平成19年10月4日(2007.10.4)
 審査請求日 平成19年6月25日(2007.6.25)
 (31) 優先権主張番号 特願平10-69625
 (32) 優先日 平成10年3月19日(1998.3.19)
 (33) 優先権主張国 日本国(JP)

前置審査

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094363
 弁理士 山本 孝久
 (74) 代理人 100118290
 弁理士 吉井 正明
 (74) 代理人 100120640
 弁理士 森 幸一
 (72) 発明者 猪野 益充
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 (72) 発明者 前川 敏一
 東京都港区港南1丁目7番1号 ソニー株
 式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

画素の対向電極に印加されるコモン電圧の極性が1水平走査期間ごとに反転する表示部と、

シリアルに並べられて入力される1水平走査期間ごとのR(赤)、G(緑)、B(青)の各データを時系列の信号として出力するドライバ回路と、

1水平走査期間において、前記ドライバ回路から出力される時系列の信号を3時分割してR(赤)、G(緑)、B(青)の各信号ラインに供給する時分割スイッチとを備え、

前記ドライバ回路は、1水平走査期間ごとに逆極性の信号を出力する

アクティブマトリクス型液晶表示装置。

10

【請求項 2】

前記ドライバ回路は、前記表示部が形成される透明絶縁基板の外部に配されたドライバICである

請求項1記載のアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置(LCD; Liquid Crystal Display)に関し、特に時分割駆動を用いるアクティブマトリクス型液晶表示装置に関する。

【背景技術】

20

【 0 0 0 2 】

パーソナルコンピュータやワードプロセッサなどに用いられている液晶表示装置は、アクティブマトリクス型が主力となっている。このアクティブマトリクス型液晶表示装置は、応答速度や画像品質の面で優れており、近年のカラー化に最適な表示装置となってきた。この種の表示装置において、液晶表示パネルの各画素には、トランジスタあるいはダイオードなどの非線形な素子が用いられている。具体的には、ガラス基板等の透明絶縁基板上に薄膜トランジスタ（TFT；thin film transistor）を形成した構造となっている。

【 0 0 0 3 】

また、アクティブマトリクス型液晶表示装置では、その駆動方法として、隣接するドット（画素）に印加する電圧の極性を反転させるいわゆるドット反転駆動法が画質向上に良好とされている。その理由は次の通りである。すなわち、隣接のドットに印加する電圧を逆極性にすることにより、信号ラインとゲートラインのクロス容量に起因する信号ラインからの飛び込み電位がキャンセルされることになる。これにより、画素電位が安定して入力されるようになり、液晶表示時のフリッカーが軽減される。

【 0 0 0 4 】

一方、ドット反転駆動を行わない場合には、ゲートラインの接地レベルが変動してしまう状態では、薄膜トランジスタのゲートスイッチがオフ状態を確定できなくなるために、保持された画素電位が放電されてしまう。そのため、画素の透過率が低下し、画素のコントラストがとれなくなる。また、信号ラインからの飛び込み電位が同じ極性となることから、1ラインごとの画素のコントラストが目立つことになり、同じ階調の表示を行ったとしても、ラインごとに違った表示が行われるようになる。

【 0 0 0 5 】

これらの不具合を解消できることから、ドット反転駆動法は、画質向上を図る上で、液晶表示装置に有効な駆動法である。

【 0 0 0 6 】

ところで、液晶表示パネルを駆動する外部のドライバICの出力と液晶表示パネルの信号ラインとは、通常、1対1の対応関係にある。すなわち、ドライバICの各出力はそのまま対応する信号ラインに与えられる。これに対して、ドライバICの小型化を図るために、ドライバICの出力ピン（出力端子）の数の削減を可能とする液晶表示パネルの駆動方法として、いわゆる時分割駆動法が知られている（例えば、特許文献1参照）。

【 0 0 0 7 】

この時分割駆動法は、複数本の信号ラインを1単位（ブロック）とし、この1分割ブロック内の複数本の信号ラインに与える信号を時系列でドライバICから出力する一方、液晶表示パネルには複数本の信号ラインを1単位として時分割スイッチを設け、これら時分割スイッチにてドライバICから出力される時系列の信号を時分割して複数本の信号ラインに順次与える駆動方法である。

【 0 0 0 8 】

【特許文献1】特開平4 - 5 2 6 8 4号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 9 】

しかしながら、ドット反転駆動用の汎用ドライバICへの時分割駆動の適用を考えた場合に、ドット反転駆動用ドライバICの出力信号の極性が奇数、偶数ごとに逆極性であることから、時分割駆動を行うとドット反転駆動ができない状態が発生する場合がある。このことについて、例えば2時分割駆動の場合を例に採って以下に説明する。

【 0 0 1 0 】

2時分割駆動の一例としては、図17に示すように、R（赤）、G（緑）、B（青）の色に関係なく、順に隣り合う2本の信号ライン71-1と71-2、71-3と71-4、...を1単位（ブロック）とし、これら信号ラインの各々に接続された時分割スイッチ72-1と

10

20

30

40

50

7 2 -2 , 7 2 -3 と 7 2 -4 , ... にて、図示せぬドライバ IC から出力ライン 7 3 -1 , 7 3 -2 , ... を介して供給される時系列の信号を時分割して各信号ライン 7 1 -1 と 7 1 -2 , 7 1 -3 と 7 1 -4 , ... に順次与える構成が考えられる。

【 0 0 1 1 】

かかる構成の 2 時分割駆動の場合には、ドライバ IC の出力端子の奇数、偶数で極性の反転した信号電圧が、実際の画素の奇数配列と偶数配列に分配され、かつ各ラインごとにその極性が反転することから、信号電圧の書き込み状態を示す図 1 8 から明らかなように、1 ラインの隣接画素での印加電圧の極性の反転、即ちドット反転が全画素エリアに亘って達成できないことになる。

【 0 0 1 2 】

10

なお、図 1 8 において、横方向は走査順、縦方向は時分割スイッチの動作順をそれぞれ示し、また H は高電圧、L は低電圧の書き込み状態をそれぞれ示している。

【 0 0 1 3 】

また、2 時分割駆動の他の例としては、図 1 9 に示すように、R , G , B の各色ごとに隣り合う 2 本の信号ライン 8 1 -1 と 8 1 -4 , 8 1 -2 と 8 1 -5 , 8 1 -3 と 8 1 -6 , ... を 1 単位 (ブロック) とし、これら信号ラインの各々に接続された時分割スイッチ 8 2 -1 と 8 2 -4 , 8 2 -2 と 8 2 -5 , 8 2 -3 と 8 2 -6 , ... にて、図示せぬドライバ IC から出力ライン 8 3 -1 , 8 3 -2 , ... を介して供給される時系列の信号を時分割して各信号ライン 8 1 -1 と 8 1 -4 , 8 1 -2 と 8 1 -5 , 8 1 -3 と 8 1 -6 , ... に順次与える構成が考えられる。

【 0 0 1 4 】

20

かかる構成の 2 時分割駆動の場合には、ドライバ IC の出力端子の奇数、偶数で極性の反転した信号電圧が、実際の画素の奇数配列と偶数配列に分配され、かつ各ラインごとにその極性が反転することから、信号電圧の書き込み状態を示す図 2 0 から明らかなように、1 ラインの各分割ブロックの境界部分でドット反転が達成できないことになる。そして、その分割ブロックの境界部分ではドット反転の定義から外れることから、画素電位のゆれが発生して縦線として表示されてしまうことになる。

【 0 0 1 5 】

なお、図 2 0 において、横方向は走査順、縦方向は時分割スイッチの動作順をそれぞれ示し、また H は高電圧、L は低電圧の書き込み状態をそれぞれ示している。

【 0 0 1 6 】

30

つまり、分割数が偶数の状態では、図 1 8 および図 2 0 において、分割ブロック内で最初に書き込む信号電圧 A の極性は、最後に書き込む信号電圧 B の極性と反対の極性となる。そして、ドライバ IC から供給される信号電圧が奇数ドットと偶数ドットで逆の極性となっていることから、前の分割ブロックの最後に書き込む信号電圧 B 1 , B 2 , ... と、次の分割ブロックの最初に書き込む信号電圧 A 2 , A 3 , ... とは同じ極性となってしまう。

【 0 0 1 7 】

したがって、2 時分割駆動の前者の例の場合には、全画素エリアに亘ってドット反転駆動が行えず、また後者の例の場合には、分割ブロックの境界部分でドット反転駆動が行えないという状態が発生し、画質の低下を招くことになる。ただし、色信号のローテーションを行えば極性を反転することは可能であるが、後でも述べるように、データの並び替えのための処理が複雑となり、処理回路の増大を招くことになる。

40

【 0 0 1 8 】

一方、画素の対向電極に共通に印加するコモン電圧の極性が 1 水平走査期間ごとに交流反転させるコモン反転駆動において、時分割駆動として上述した 2 時分割駆動を用いた場合、1 つの画素が R , G , B 一組ではないので、各色ごとの信号ラインの電位変動が一定せず、縦方向の色むら (縦すじ) などの視覚的な問題の発生原因となる。

【 0 0 1 9 】

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、コモン反転駆動において、各色ごとの信号ラインの電位変動をほぼ均一にし、画質の低下を招くこ

50

となく時分割駆動の実現を可能とした液晶表示装置を提供することにある。

【課題を解決するための手段】

【0020】

本発明による液晶表示装置は、
画素の対向電極に印加されるコモン電圧の極性が1水平走査期間ごとに反転する表示部と、

シリアルに並べられて入力される1水平走査期間ごとのR（赤）、G（緑）、B（青）の各データを時系列の信号として出力するドライバ回路と、

1水平走査期間において、前記ドライバ回路から出力される時系列の信号を3時分割してR（赤）、G（緑）、B（青）の各信号ラインに供給する時分割スイッチとを備え、

前記ドライバ回路は、1水平走査期間ごとに逆極性の信号を出力する構成となっている。

10

【0021】

上記構成の液晶表示装置において、1水平走査期間における時分割数をR、G、Bに対応した3時分割とし、時間的に異なるタイミングで信号ラインに書き込むデータをR、G、Bの3本にしておくことにより、各色ごとの信号ラインの電位変動がほぼ均一、即ちRならばR、GならばG、BならばBで変動し、この電位差は輝度差として現れないため、視覚上、微妙な色あいの変化としてのみ現れることになり、実用上の視覚的な問題は発生しなくなる。

20

【発明の効果】

【0022】

本発明によれば、コモン反転駆動において、時分割数をR、G、Bに対応した3時分割とすることにより、各色ごとの信号ラインの電位変動がほぼ均一になるため、画質の低下を招くことなく時分割駆動を実現できる。

【発明を実施するための最良の形態】

【0023】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0024】

図1は、本発明の第1実施形態に係るアクティブマトリクス型液晶表示装置における液晶表示部の配線図である。

30

【0025】

この第1実施形態に係るアクティブマトリクス型液晶表示装置は、複数行分のゲートライン11-1、11-2、11-3、...と複数列分の信号ライン12-1、12-2、12-3、...とが、液晶の表面にマトリクス状に配線され、その液晶の裏面側にバックライトが配置された構造となっている。そして、ゲートライン11-1、11-2、11-3、...と信号ライン12-1、12-2、12-3、...の交差点が画素となり、液晶表示パネル（表示部）10を形成している。この画素の構成については後述する。

【0026】

複数行分のゲートライン11-1、11-2、11-3、...の各一端は、垂直駆動回路13の対応する行の各出力端にそれぞれ接続されている。垂直駆動回路13は、上記液晶表示パネルと同一の基板（ガラス基板等の透明絶縁基板）上に配されており、ゲートライン11-1、11-2、11-3、...に順に選択パルスを与えて各画素を行単位で選択することによって垂直走査を行う。

40

【0027】

また、信号ライン12-1、12-2、12-3、...に、画像データに応じた信号電位を与えるドライバIC14が、上記液晶表示パネル10の外部回路として設けられている。このドライバIC14には、例えば8階調以上で512色以上の表示を可能にするデジタル画像データが入力される。そして、ドライバIC14としては、ドット反転駆動用の汎用のICが用いられる。このドライバIC14は、ドット反転駆動を実現するために、奇数

50

ドット、偶数ドットごとに電位が反転する信号電圧を出力する。

【0028】

ドライバIC14はさらに、時分割駆動を実現するために、複数の信号ラインを1単位とし、これら複数の信号ラインに与える信号を時系列で出力する構成となっている。これに対応して、ドライバIC14の出力ライン15-1, 15-2, 15-3と信号ライン12-1, 12-2, 12-3, ...の間には、時分割スイッチ16が設けられている。ドライバIC14および時分割スイッチ16の各構成については後述する。

【0029】

図2は、画素の回路構成図である。同図から明らかなように、各画素20は、薄膜トランジスタ21、付加容量22および液晶容量23から構成されている。薄膜トランジスタ21は、そのゲート電極がゲートライン..., 11m-1, 11m, 11m+1, ...に接続され、そのソース電極が信号ライン(ソースライン)..., 12n-1, 12n, 12n+1, ...に接続されている。

10

【0030】

この画素構造において、液晶容量23は、薄膜トランジスタ21で形成される画素電極と、これに対応して形成される対向電極との間で発生する容量を意味する。そして、この画素電極に保持される電位は、“H”もしくは“L”の電位で書き込まれる。ここで、“H”は高電圧書き込み状態を示し、“L”は低電圧書き込み状態を示す。

【0031】

液晶の駆動に際しては、対向電極の電位(コモン電位VCOM)を例えば6VのDC電位に設定し、これに対して信号電圧を高電圧H、低電圧Lで1フィールド周期にて周期的に変動させることにより、交流駆動が実現できる。この交流駆動は、液晶分子の分極作用を減少することができ、液晶分子の帯電もしくは電極表面に存在する絶縁膜の帯電を防ぐことが可能となる。

20

【0032】

一方、画素20では、薄膜トランジスタ21がオン状態となると、液晶での光の透過率が変化するとともに、付加容量22が充電される。この充電により、薄膜トランジスタ21がオフ状態となっても、付加容量22の充電電圧による液晶での光透過率状態が、次に薄膜トランジスタ21がオン状態となるまでの間保持される。このような方式により、液晶表示パネル10の画像における画質向上が図られている。

30

【0033】

図3は、ドライバIC14の内部構成の一例を示すブロック図である。図3から明らかなように、ドライバIC14は、水平シフトレジスタ回路31、サンプリングスイッチ群32、レベルシフタ33、データラッチ回路34およびデジタルアナログ変換回路35を有し、本例では、例えば5ビットのデジタル画像データdata1~data5や電源電圧Vdd, Vssを水平シフトレジスタ回路31のシフト方向における両側から取り込む構成となっている。

【0034】

上記構成のドライバIC14において、水平シフトレジスタ回路31は、水平走査パルスを順次出力することによって水平走査(列走査)を行う。サンプリングスイッチ群32におけるサンプリングスイッチの各々は、水平シフトレジスタ回路31からの水平走査パルスに応答して、入力されるデジタル画像データdata1~data5を順次サンプリングする。

40

【0035】

レベルシフタ33は、サンプリングスイッチ群32でサンプリングされた例えば5Vのデジタルデータを液晶駆動電圧のデジタルデータに昇圧する。データラッチ回路34は、レベルシフタ33で昇圧されたデジタルデータを1水平走査期間分蓄積するメモリである。デジタルアナログ変換回路35は、データラッチ回路34から出力される1水平走査期間分のデジタルデータをアナログ信号に変換して出力する。

【0036】

50

ここで、このドライバIC 14からは、先述したドット反転駆動を実現するために、出力端子の奇数(odd)と偶数(even)で極性が反転し、さらに1H(Hは水平走査期間)ごとに極性が反転するドット反転信号が出力される。また、時分割駆動を実現するために、液晶表示パネル10の複数本の信号ラインを1単位(ブロック)とし、これらの信号ラインに与える信号を時系列で各出力端子から出力する。

【0037】

以下に、ドット反転駆動法を用いた液晶表示装置に適用される本発明の第1実施形態の具体例について説明する。

【0038】

図4は、時分割スイッチ16の接続構成の第1例を示す構成図であり、例えばR, G, Bに対応した3時分割駆動への適用例(その1)を示している。この適用例(その1)に係る3時分割駆動の場合には、ドライバIC 14の各出力端子からは、R, G, Bの各色ごとに隣り合う、即ち2画素おきに3画素分の信号が時系列で出力ライン15-1, 15-2, 15-3, ...を介して出力される。

10

【0039】

具体的には、図6のタイミングチャートに示すように、ドライバIC 14の信号出力として、odd出力端子から出力ライン15-1にはR1, R2, R3の各画素の信号が、even出力端子から出力ライン15-2にはG1, G2, G3の各画素の信号が、odd出力端子から出力ライン15-3にはB1, B2, B3の各画素の信号が、...という具合に出力される。

20

【0040】

これに対して、出力ライン15-1と3本の信号ライン12-1, 12-4, 12-7の間に時分割スイッチ16-1, 16-4, 16-7が、出力ライン15-2と3本の信号ライン12-2, 12-5, 12-8の間に時分割スイッチ16-2, 16-5, 16-8が、出力ライン15-3と3本の信号ライン12-3, 12-6, 12-9の間に時分割スイッチ16-3, 16-6, 16-9が、...という具合に設けられている。

【0041】

これらの時分割スイッチ16-1, 16-4, 16-7, 16-2, 16-5, 16-8, 16-3, 16-6, 16-9, ...は、画素スイッチ(トランジスタ)や垂直駆動回路13を構成するトランジスタなどと共に、例えば図7(a)に示すボトムゲート構造あるいは同図(b)に示すトップゲート構造の多結晶TFT(薄膜トランジスタ)によって液晶表示パネル10内に形成される。

30

【0042】

図7(a)に示すボトムゲート構造の薄膜トランジスタでは、ガラス基板41の上にゲート電極42が形成され、その上にゲート絶縁膜43を介してポリシリコン(Poly-Si)層44が形成され、さらにその上に層間絶縁膜45が形成されている。また、ゲート電極42の側方のゲート絶縁膜43上には、N+拡散層からなるソース領域46およびドレイン領域47が形成され、これらの領域46, 47にはソース電極48およびドレイン電極49がそれぞれ接続されている。

【0043】

40

図7(b)に示すトップゲート構造の薄膜トランジスタでは、ガラス基板51の上にポリシリコン層52が形成され、その上にゲート絶縁膜53を介してゲート電極54が形成され、さらにその上に層間絶縁膜55が形成されている。また、ポリシリコン層52の側方のガラス基板51上には、N+拡散層からなるソース領域56およびドレイン領域57が形成され、これらの領域56, 57にはソース電極58およびドレイン電極59がそれぞれ接続されている。

【0044】

これらの時分割スイッチ16-1, 16-4, 16-7, 16-2, 16-5, 16-8, 16-3, 16-6, 16-9, ...は、外部から与えられるゲート選択信号s1, s2, s3(図6のタイミングチャートを参照)に応答して順次オン状態となることにより、ドライバIC 1

50

4 から出力ライン 1 5 -1, 1 5 -2, 1 5 -3, ... に出力される時系列の信号を、1 水平走査期間に 3 時分割して対応する信号ラインに供給する。

【 0 0 4 5 】

このようにして、例えば 8 階調以上でかつ 5 1 2 色以上の表示を可能にする信号電位が、ドライバ I C 1 4 から出力ライン 1 5 -1, 1 5 -2, 1 5 -3, ... および時分割スイッチ 1 6 -1, 1 6 -2, 1 6 -3, ... を介して信号ライン 1 2 -1, 1 2 -2, 1 2 -3, ... に入力される。この場合、外部のドライバ I C 1 4 から出力される時系列の信号は、R, G, B 各々、この順番で時分割スイッチ 1 6 -1, 1 6 -2, 1 6 -3, ... に供給される。

【 0 0 4 6 】

このとき、時分割数は奇数、特に 3 の n 乗 (n は自然数)、即ち 3 の倍数が好ましい。その理由は、1 画素が R, G, B 3 ドットで構成されていることから、外部のドライバ I C 1 4 からの奇数、偶数の反転出力において、画素の R 1, R 2, R 3 出力が奇数出力と偶数出力に対応することができるためである。当然のことながら、G 1, G 2, G 3 と B 1, B 2, B 3 もこれに準ずる。

10

【 0 0 4 7 】

また、上述したことから明かなように、ドライバ I C 1 4 の各出力端子から各出力ライン 1 5 -1, 1 5 -2, 1 5 -3, ... へは、R, G, B の各信号が同期した形で出力されることになる。したがって、外部のドライバ I C 1 4 より出力される信号電位に関しては、信号のローテーションする必要がなく、また複雑なデータの並び替えを検討することなく、連続的にデータの並び替えを行うことができるため、データの並び替えのためのメモリ制御を簡便にすることができる。

20

【 0 0 4 8 】

ここに、信号のローテーションとは、R, G, B の各信号が同期した形で出力されるのではなく、ある出力端子は R から始まり、G, B の順番となり、他の出力端子は G から始まり、B, R の順番となり、さらに他の出力端子は B から始まり、R, G の順番となることを言う。これを可能にするためには、事前に色信号データをドライバ I C 1 4 に取り込む前にデータの並び替えを行い、バッファメモリに蓄積させる処理が必要となる。

【 0 0 4 9 】

上述したように、ドライバ I C 1 4 の出力端子の奇数、偶数で極性の反転した信号電圧が、実際の画素の奇数配列と偶数配列に分配され、かつ各ラインごとにその極性が反転することになるが、3 時分割駆動の場合には、時分割数が奇数であることから、図 5 から明かなように、前の分割ブロックの最後に入力される信号電圧 B 1, B 2, ... と、次の分割ブロックの最初に入力される信号電圧 A 2, A 3, ... とは異なる極性となる。すなわち、全画素エリアに亘ってドット反転駆動が行われる。

30

【 0 0 5 0 】

なお、図 5 は、図 4 に示す 3 時分割駆動の場合の信号電圧の各画素への書き込み状態を示している。同図において、横方向は走査順、縦方向は時分割スイッチの動作順をそれぞれ示し、また H は高電圧、L は低電圧の書き込み状態をそれぞれ示している。

【 0 0 5 1 】

図 8 は、時分割スイッチ 1 6 の接続構成の第 2 例を示す構成図であり、例えば R, G, B に対応した 3 時分割駆動への適用例 (その 2) を示している。この適用例 (その 2) に係る 3 時分割駆動の場合には、ドライバ I C 1 4 の各出力端子からは、R, G, B の 3 画素分の信号電位が順に時系列で出力ライン 1 5 -1, 1 5 -2, 1 5 -3, ... を介して出力される。

40

【 0 0 5 2 】

具体的には、図 1 0 のタイミングチャートに示すように、ドライバ I C 1 4 の信号出力として、o d d 端子から出力ライン 1 5 -1 には R 1, G 1, B 1 の各画素の信号が、e v e n 端子から出力ライン 1 5 -2 には R 2, G 2, B 2 の各画素の信号が、o d d 端子から出力ライン 1 5 -3 には R 3, G 3, B 3 の各画素の信号が、... という具合に出力される。

50

【 0 0 5 3 】

これに対して、出力ライン 1 5 -1 と 3 本の信号ライン 1 2 -1 , 1 2 -2 , 1 2 -3 の間に時分割スイッチ 1 6 -1 , 1 6 -2 , 1 6 -3 が、出力ライン 1 5 -2 と 3 本の信号ライン 1 2 -4 , 1 2 -5 , 1 2 -6 の間に時分割スイッチ 1 6 -4 , 1 6 -5 , 1 6 -6 が、出力ライン 1 5 -3 と 3 本の信号ライン 1 2 -7 , 1 2 -8 , 1 2 -9 の間に時分割スイッチ 1 6 -7 , 1 6 -8 , 1 6 -9 が、... という具合に設けられている。

【 0 0 5 4 】

これらの時分割スイッチ 1 6 -1 , 1 6 -2 , 1 6 -3、1 6 -4 , 1 6 -5 , 1 6 -6、1 6 -7 , 1 6 -8 , 1 6 -9、... も、先の適用例の場合と同様に、図 7 (a) 又は (b) に示すゲート構造の多結晶 T F T によって液晶表示パネル 1 0 内に形成され、外部から与えられるゲート選択信号 s_1 , s_2 , s_3 (図 1 0 のタイミングチャートを参照) に応答して順次オン状態となることにより、ドライバ I C 1 4 から出力ライン 1 5 -1 , 1 5 -2 , 1 5 -3 , ... に出力される時系列の信号を、1 水平走査期間に 3 時分割して対応する信号ラインに供給する。

10

【 0 0 5 5 】

上述した 3 時分割駆動の場合にも、時分割数が奇数であることから、図 9 から明かなように、前の分割ブロックの最後に書き込む信号電圧 B_1 , B_2 , ... と、次の分割ブロックの最初に書き込む信号電圧 A_2 , A_3 , ... とは異なる極性となる。すなわち、全画素エリアに亘ってドット反転駆動が行われる。また、図 1 0 から明かなように、R の出力が終了後、G の出力が発生し、さらに B の出力が発生するため、先の適用例の場合と同様に、外部のドライバ I C 1 4 より出力される信号電位に関しては、信号のローテーションする必要がなく、また複雑なデータの並び替えも不必要となる。

20

【 0 0 5 6 】

なお、図 9 は、図 8 に示す 3 時分割駆動の場合の信号電圧の各画素への書き込み状態を示している。同図において、横方向は走査順、縦方向は時分割スイッチの動作順をそれぞれ示し、また H は高電圧、L は低電圧の書き込み状態をそれぞれ示している。

【 0 0 5 7 】

以上のように、ドット反転駆動を用いたアクティブマトリクス型液晶表示装置において、時分割駆動を適用した場合であっても完全なドット反転駆動を行えるようにしたことにより、今後、S X G A (super X G A) や U X G A (ultra X G A) の如く表示画素が増加する傾向にある表示方式に対して、液晶表示装置の水平駆動回路とその出力 I C の数を増加させることなく、反対に数を減少させることができる。そして、ドット反転の表示を可能にした状態で、良質な画質を安定して供給しつつ、液晶表示モジュールとしてコンパクト化が図れるとともに、安価な液晶表示パネルでカラー表示の多色化を実現することが可能となる。

30

【 0 0 5 8 】

以上説明した各適用例では、時分割数を 3 に設定した場合を例に採って説明したが、3 時分割に限られるものではなく、9 時分割、2 7 時分割のように、3 の n 乗 (n は自然数) に設定することで、ドライバ I C 1 4 の奇数端子、偶数端子から出力される反転信号が、各々の時分割時に画素配列に対応した反転信号に同期できる。

40

【 0 0 5 9 】

図 1 1 に 9 時分割駆動に適用した場合の構成を、図 1 2 に 9 時分割駆動の場合の信号電圧の各画素への書き込み状態をそれぞれ示す。この 9 時分割駆動の場合にも、時分割数が奇数であることから、図 1 2 から明かなように、前の分割ブロックの最後に書き込む信号電圧 B_1 , B_2 , ... と、次の分割ブロックの最初に書き込む信号電圧 A_2 , A_3 , ... とは異なる極性となり、全画素エリアに亘ってドット反転駆動が行われることがわかる。

【 0 0 6 0 】

また、時分割数を 3 の n 乗に設定することで、R , G , B を単位として各画素の信号を扱うことができることから、信号処理が簡単となるため、信号処理系におけるメモリのデータ量を少なくできるという利点もある。ただし、本発明は、3 の n 乗の時分割数に限定

50

されるものではなく、時分割数を奇数に設定することにより、ドット反転を全画素エリアに亘って実現できる。

【 0 0 6 1 】

図 1 3 に例えば 5 時分割駆動に適用した場合の構成を、図 1 4 に 5 時分割駆動の場合の信号電圧の各画素への書き込み状態をそれぞれ示す。この 5 時分割駆動の場合にも、時分割数が奇数であることから、図 1 4 から明かなように、前の分割ブロックの最後に書き込む信号電圧 B 1 , B 2 , ... と、次の分割ブロックの最初に書き込む信号電圧 A 2 , A 3 , ... とは異なる極性となり、全画素エリアに亘ってドット反転駆動が行われることがわかる。

【 0 0 6 2 】

なお、上述した第 1 実施形態においては、ドット反転駆動を前提とし、完全なドット反転駆動を実現するために、時分割数を奇数、特に 3 の n 乗に設定するとしたが、ドット反転駆動に限らず、コモン (V C O M) 反転駆動又は 1 H 反転駆動においても、R , G , B に対応した 3 時分割駆動とすることにより、画質の低下を招くことなく時分割駆動を実現できるという利点がある。

【 0 0 6 3 】

ここで、コモン (V C O M) 反転駆動とは、各画素の対向電極に共通に印加するコモン電圧 V C O M を 1 H ごとに交流反転させる駆動法である。また、1 H 反転駆動とは、各画素に与える画像データの極性をコモン電圧 V C O M に対して 1 H ごとに反転させる駆動法である。

【 0 0 6 4 】

以下に、コモン (V C O M) 反転駆動法を用いた液晶表示装置に適用される本発明の第 2 実施形態について説明する。

【 0 0 6 5 】

図 1 5 は、本発明の第 2 実施形態に係るアクティブマトリクス型カラー液晶表示装置を示す概略構成図である。この第 2 実施形態に係るアクティブマトリクス型液晶表示装置の構成は、基本的には、第 1 実施形態に係るアクティブマトリクス型液晶表示装置の構成と同じである。

【 0 0 6 6 】

カラー液晶表示パネル 6 0 の有効画面領域において、ゲートライン ... , 6 1 m , ... と R , G , B の信号ライン ... , 6 2 R n , 6 2 G n , 6 2 B n , ... との交差点に配された R , G , B の 3 ドットから 1 つの画素が構成されている。これら画素の対向電極には、C s ライン ... , 6 3 m , ... を介してコモン電圧発生回路 6 4 から、例えば 1 H ごとに交流反転するコモン電圧 V C O M が印加される。これにより、コモン (V C O M) 反転駆動が実現される。

【 0 0 6 7 】

ゲートライン ... , 6 1 m , ... の各一端は、垂直駆動回路 6 5 の対応する行の各出力端に接続されている。垂直駆動回路 6 5 は、カラー液晶表示パネル 6 0 と同一の基板 (ガラス基板等の透明絶縁基板) 上に配されており、ゲートライン ... , 6 1 m , ... に順に選択パルスを与えて各画素を行単位で選択することによって垂直走査を行う。

【 0 0 6 8 】

カラー液晶表示パネル 6 0 と同一の基板上にはさらに、信号ライン ... , 6 2 R n , 6 2 G n , 6 2 B n , ... の各々に対応してアナログスイッチ ... , 6 6 R n , 6 6 G n , 6 6 B n , ... が形成されている。これらアナログスイッチ ... , 6 6 R n , 6 6 G n , 6 6 B n , ... も、第 1 実施形態の場合と同様に、図 7 (a) 又は (b) に示すゲート構造の多結晶 T F T (薄膜トランジスタ) によって形成される。

【 0 0 6 9 】

そして、アナログスイッチ ... , 6 6 R n , 6 6 G n , 6 6 B n , ... の各一端は信号ライン ... , 6 2 R n , 6 2 G n , 6 2 B n , ... の各々に接続され、各他端は R , G , B を一組とし、各組ごとに共通に接続されている。すなわち、アナログスイッチ 6 6 R n

10

20

30

40

50

、 $66G_n$ 、 $66B_n$ が組をなして各他端が共通に接続され、アナログスイッチ $66R_{n+1}$ 、 $66G_{n+1}$ 、 $66B_{n+1}$ が組をなして各他端が共通に接続され、...という具合に各他端が各組ごとに共通に接続されている。

【0070】

これらアナログスイッチ...、 $66R_n$ 、 $66G_n$ 、 $66B_n$ 、...は、各組ごとの共通接続点がドライバIC67の各対応する出力端に接続され、スイッチ制御回路68から出力されるスイッチ制御パルス SL_1 、 SL_2 、 SL_3 によってR、G、Bの順に順次オン（閉）/オフ（開）制御されることにより、ドライバIC67の各出力をR、G、B3本の信号ライン...、 $62R_n$ 、 $62G_n$ 、 $62B_n$ 、...に振り分ける。すなわち、アナログスイッチ $66R$ 、 $66G$ 、 $66B$ は、時分割スイッチとして機能する。

10

【0071】

スイッチ制御回路68については、ドライバIC67と共に、カラー液晶表示パネル60の基板とは別体の外部基板上に、単結晶シリコンチップで作成するようにしても良く、またカラー液晶表示パネル60と同一基板上に多結晶TFTで作成するようにしても良い。

【0072】

ドライバIC67は、カラー液晶表示パネル60の各垂直画素列の3本の信号ライン $62R$ 、 $62G$ 、 $62B$ に対応して一組ずつ設けられた回路構成となっている。すなわち、例えばn列目の回路構成について見ると、入力される画像データをサンプリングするサンプリング回路 671_n 、このサンプリング回路 671_n でサンプリングされた画像データを保持するメモリ 672_n 、このメモリ 672_n に保持されたデータをデジタル化するDAコンバータ 673_n および出力回路 674_n から構成されている。

20

【0073】

このドライバIC67において、サンプリング回路 671_n は図3の水平シフトレジスタ回路31、サンプリングスイッチ群32およびレベルシフタ33に相当し、メモリ 672_n はデータラッチ回路34に相当し、DAコンバータ 673_n はデジタルアナログ変換回路35に相当する。なお、出力回路 674_n に相当する回路部分については、図3では省略されている。

【0074】

このように、アナログスイッチ...、 $62R_n$ 、 $62G_n$ 、 $62B_n$ 、...による3時分割駆動を用いることにより、ドライバIC67としては、3本の信号ライン $62R$ 、 $62G$ 、 $62B$ に対して一組のサンプリング回路 671 、メモリ 672 、DAコンバータ 673 および出力回路 674 が必要なだけなので、ドライバIC67の小面積化、低コスト化および低消費電力化が可能になる。

30

【0075】

そして、このドライバIC67は、入力される画像データを1H（1水平走査期間）ごとに順次サンプリングし、垂直駆動回路65によって垂直選択された行の画素に対して画像データを書き込む。なお、ドライバIC67に入力される画像データは、コモン電圧VCOMに対して1Hごとに極性が反転している。これにより、1H反転駆動が実現される。

40

【0076】

この1H反転駆動に加え、先述したように、コモン電圧発生回路64からは1Hごとに交流反転するコモン電圧VCOMが発生されることで、コモン反転駆動が実現される。このように、1H反転駆動に対し、コモン反転駆動を併用することにより、コモン電圧VCOMも1Hごとに極性が反転し、交流反転駆動となることから、ドライバIC67の電源電圧を下げるができるため、低消費電力化および低コスト化が可能となる。

【0077】

次に、第2実施形態に係るアクティブマトリクス型カラー液晶表示装置の動作について、図16のタイミングチャートを用いて説明する。

【0078】

50

ドライバIC 67に入力される画像データとしては、1 Hの間にR, G, Bの各データをシリアルに並べられたものである。この画像データは、サンプリング回路671で1 Hの間に3回、R, G, Bの3データに対してサンプリングされ ($O(n)$)、かつメモリ672に保持され ($P(n)$)、DAコンバータ673および出力回路674を経由して出力されることになる ($Q(n)$)。これらの信号は、1 H期間内ではコモン電圧VCOMに対して同じ極性のものである。

【0079】

ドライバIC 67の出力 ($Q(n)$) は、1 Hごとに極性が反転するデータであり、スイッチ制御回路68からのスイッチ制御パルスSL1, SL2, SL3によるアナログスイッチ (時分割スイッチ) 66R, 66G, 66Bのオン (閉) / オフ (開) 制御によって、3本の信号ライン62R, 62G, 62Bに振り分けられる (3時分割)。

10

【0080】

その結果、例えばn列目を例に採ると、R, G, Bの信号ライン62Rn, 62Gn, 62Bnの各電位CRn, CGn, CBnは、図16に示すように変化し、信号ライン62Rn, 62Gn, 62Bnへの表示データの書き込みが行われる。信号ライン62Rn, 62Gn, 62Bnに書き込まれた表示データは、垂直駆動回路65によって垂直走査され、選択パルスVgによって垂直選択された行の画素に書き込まれる。

【0081】

なお、本例では、コモン電圧VCOMの極性が1 Hごとに反転するコモン (VCOM) 反転駆動に適用した場合について説明したが、コモン電圧VCOMをあるDC電圧に固定することで1 H反転駆動となり、この1 H反転駆動にも同様に適用可能である。

20

【0082】

上述したように、コモン (VCOM) 反転駆動又は1 H反転駆動において、時分割数をR, G, Bに対応した3時分割としたことにより、次のような作用効果が得られる。

【0083】

すなわち、スイッチ制御回路68によるスイッチ制御パルスSL1, SL2, SL3で信号ライン62R, 62G, 62Bに書き込まれた電位は、アナログスイッチ66R, 66G, 66Bが開いた後のハイインピーダンス期間に、液晶表示パネル60内のさまざまな容量結合の影響を受けてシフトする。そして、最終的に画素に書き込まれる電位は、垂直駆動回路65からの選択パルスVgが立ち下がる瞬間に決定されることになる。

30

【0084】

したがって、結果として、水平走査期間の最初に書かれた信号ラインに対応する画素の電位と最後に書かれた信号ラインに対応する画素の電位が異なってしまう。このため、先述した2時分割駆動などの場合は、1つの画素がR, G, B一組ではないので、各色ごとの信号ラインの電位変動が一定せず、縦方向の色むら (縦すじ) などの視覚的な問題の発生原因となる。

【0085】

これに対して、本実施形態のように、時分割数をR, G, Bに対応した3時分割とし、時間的に異なるタイミングで信号ラインに書き込むデータをR, G, Bの3本にしておくことにより、各色ごとの信号ラインの電位変動がほぼ均一、即ちRならばR、GならばG、BならばBで変動し、この電位差は輝度差として現れないため、視覚上、微妙な色あいの変化としてのみ現れることになり、実用上の視覚的な問題は発生しなくなる。

40

【図面の簡単な説明】

【0086】

【図1】本発明に係るアクティブマトリクス型液晶表示装置における液晶表示部の配線図である。

【図2】画素の回路構成図である。

【図3】ドライバICの内部構成の一例を示すブロック図である。

【図4】第1実施形態での3時分割駆動 (その1) の場合における時分割スイッチの接続構成を示す構成図である。

50

【図 5】3 時分割駆動（その 1）の場合の信号電圧の各画素への書き込み状態を示す図である。

【図 6】3 時分割駆動（その 1）の場合の各信号のタイミングチャートである。

【図 7】薄膜トランジスタの一例を示す断面構造図であり、（a）はボトムゲート構造の場合を、（b）はトップゲート構造の場合をそれぞれ示している。

【図 8】第 1 実施形態での 3 時分割駆動（その 2）の場合における時分割スイッチの接続構成を示す構成図である。

【図 9】3 時分割駆動（その 2）の場合の信号電圧の各画素への書き込み状態を示す図である。

【図 10】3 時分割駆動（その 2）の場合の各信号のタイミングチャートである。

10

【図 11】第 1 実施形態での 9 時分割駆動の場合における時分割スイッチの接続構成を示す構成図である。

【図 12】9 時分割駆動の場合の信号電圧の各画素への書き込み状態を示す図である。

【図 13】第 1 実施形態での 5 時分割駆動の場合における時分割スイッチの接続構成を示す構成図である。

【図 14】5 時分割駆動の場合の信号電圧の各画素への書き込み状態を示す図である。

【図 15】本発明の第 2 実施形態に係るアクティブマトリクス型液晶表示装置を示す概略構成図である。

【図 16】第 2 実施形態に係るアクティブマトリクス型液晶表示装置の動作説明のためのタイミングチャートである。

20

【図 17】2 時分割駆動（その 1）の場合における時分割スイッチの接続構成を示す構成図である。

【図 18】2 時分割駆動（その 1）の場合の信号電圧の各画素への書き込み状態を示す図である。

【図 19】2 時分割駆動（その 2）の場合における時分割スイッチの接続構成を示す構成図である。

【図 20】2 時分割駆動（その 2）の場合の信号電圧の各画素への書き込み状態を示す図である。

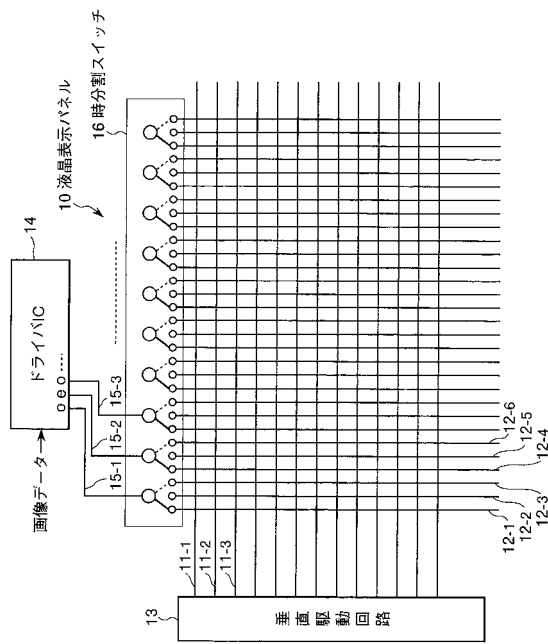
【符号の説明】

【0087】

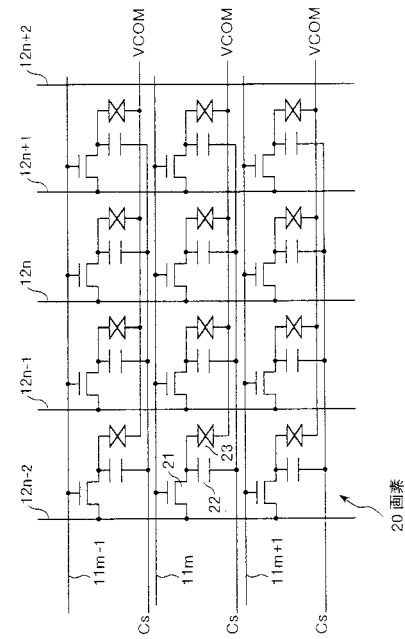
30

10, 60 ... 液晶表示パネル、11-1~11-3, 61m ... ゲートライン、12-1~12-9, 51-1~51-4, 61-1~61-6, 62R, 62G, 62B ... 信号ライン、13, 65 ... 垂直駆動回路、14, 67 ... ドライバ IC、15-1~15-6, 53-1, 53-2, 63-1~63-3 ... 出力ライン、16, 16-1~16-9 ... 時分割スイッチ、20 ... 画素、21 ... 薄膜トランジスタ、22 ... 付加容量、23 ... 液晶容量、64 ... コモン電圧発生回路、66R, 66G, 66B ... アナログスイッチ、68 ... スイッチ制御回路

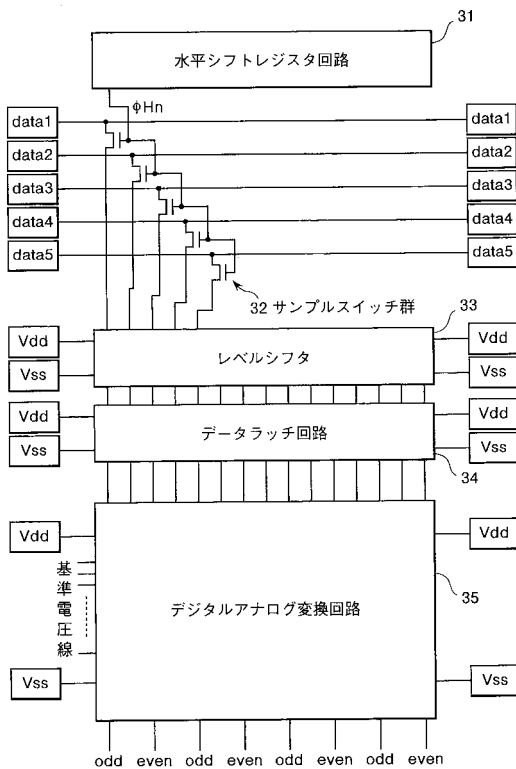
【図 1】



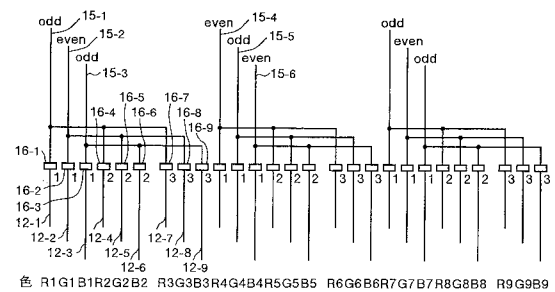
【図 2】



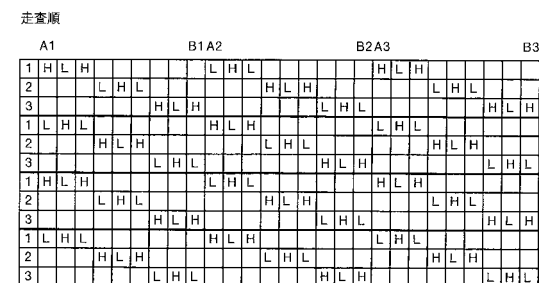
【図 3】



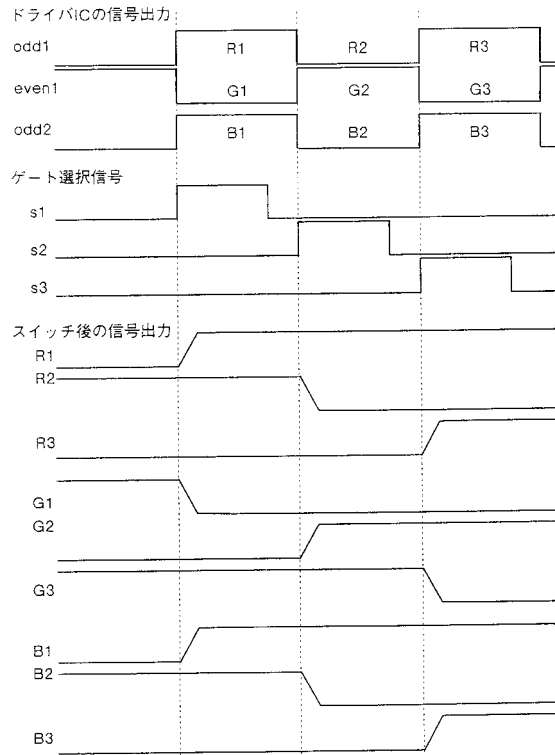
【図 4】



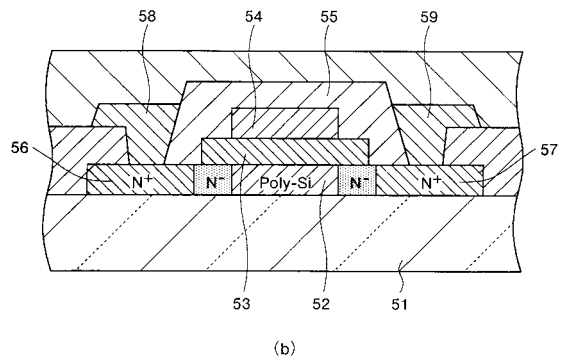
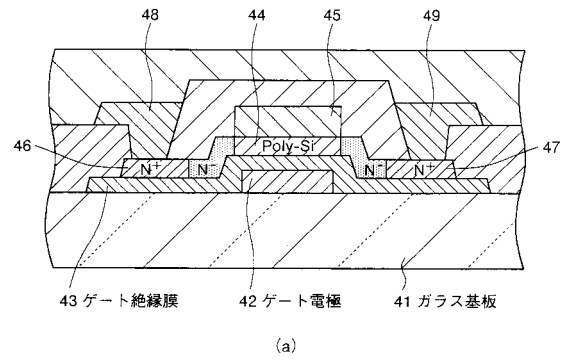
【図 5】



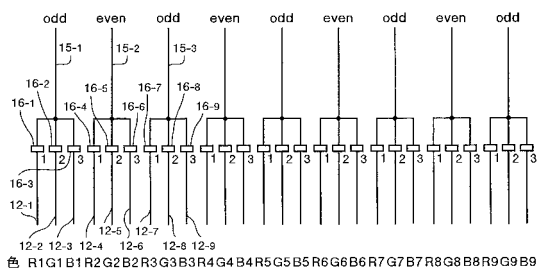
【図 6】



【図 7】



【図 8】

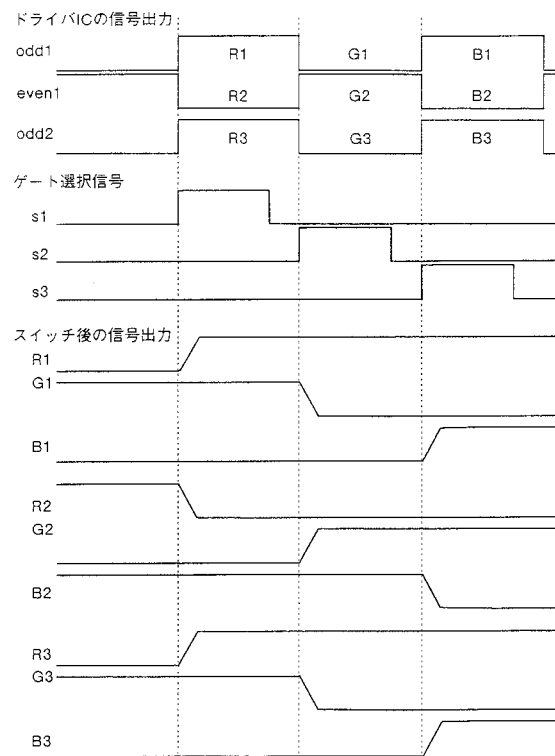


【図 9】

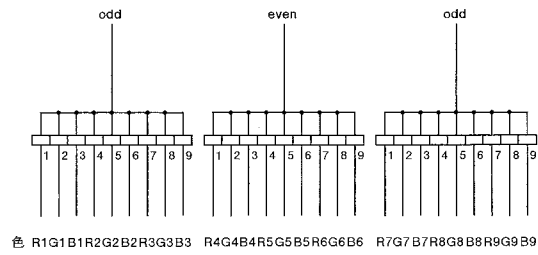
走査順

	A1	B1A2	B2A3	B3
1	H	L	H	L
2	L	H	L	H
3	H	L	H	L
1	L	H	L	H
2	H	L	H	L
3	L	H	L	H
1	H	L	H	L
2	L	H	L	H
3	H	L	H	L
1	L	H	L	H
2	H	L	H	L
3	L	H	L	H

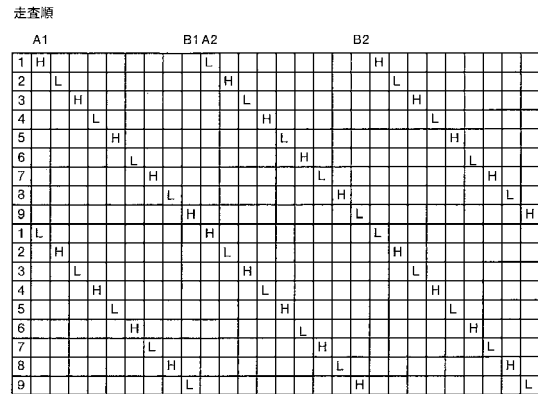
【図 10】



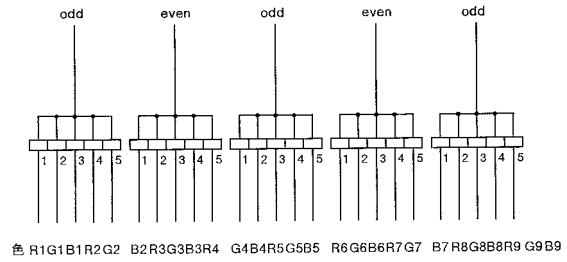
【図 1 1】



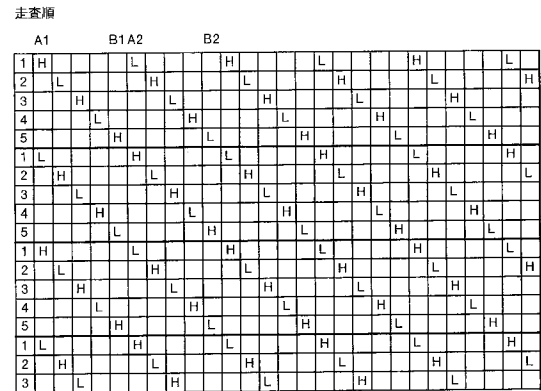
【図 1 2】



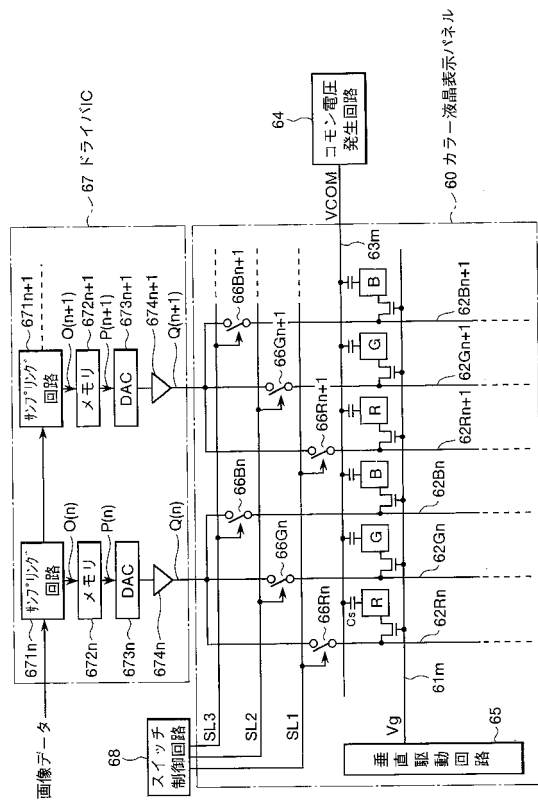
【図 1 3】



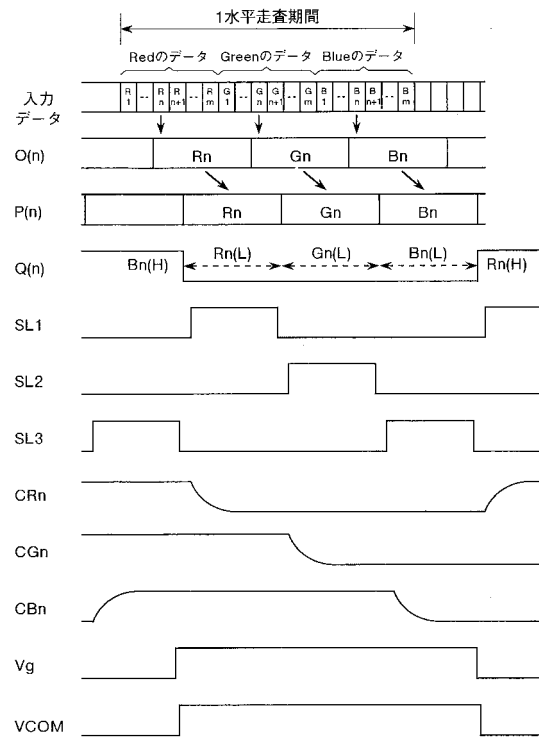
【図 1 4】



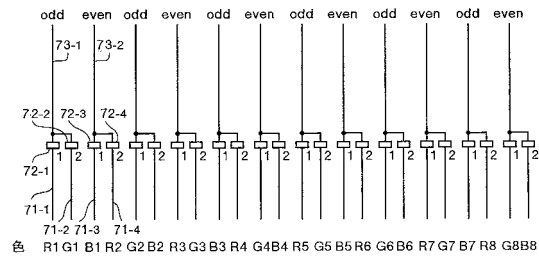
【図 1 5】



【図 1 6】



【図 17】

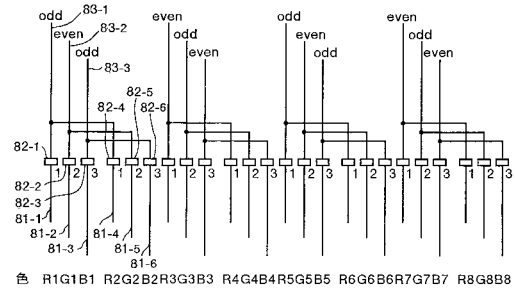


【図 18】

走査順

	A1	B1	A2	B2
1	H	L	H	L
2	L	H	L	H
1	L	H	L	H
2	H	L	H	L
1	H	L	H	L
2	L	H	L	H

【図 19】



【図 20】

走査順

	A1	B1	A2	B2
1	H	L	H	L
2	L	H	L	H
1	L	H	L	H
2	H	L	H	L
1	H	L	H	L
2	L	H	L	H

フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 2 A
G 0 2 F 1/133 5 2 5
G 0 2 F 1/133 5 1 0
G 0 2 F 1/133 5 5 0

(72)発明者 仲島 義晴
東京都港区港南1丁目7番1号 ソニー株式会社内

(72)発明者 市川 弘明
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 堀部 修平

(56)参考文献 特開平07-230077(JP,A)
特開平07-219484(JP,A)
特開昭61-275825(JP,A)
特開昭61-223791(JP,A)
特開昭56-092573(JP,A)
特開昭63-287898(JP,A)
特開平04-052684(JP,A)
特開平04-088315(JP,A)
特開平08-234165(JP,A)

(58)調査した分野(Int.Cl., DB名)
IPC G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3 5 0 5 - 5 8 0

专利名称(译)	液晶表示装置		
公开(公告)号	JP4458121B2	公开(公告)日	2010-04-28
申请号	JP2007165833	申请日	2007-06-25
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	猪野益充 前川敏一 仲島義晴 市川弘明		
发明人	猪野 益充 前川 敏一 仲島 義晴 市川 弘明		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.621.B G09G3/20.623.V G09G3/20.624.C G09G3/20.633.C G09G3/20.642.A G02F1/133.525 G02F1/133.510 G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA34 2H093/NA63 2H093/NC10 2H093/NC12 2H093/NC18 2H093/NC22 2H093/NC23 2H093/NC26 2H093/NC29 2H093/NC34 2H093/NC35 2H093/NC49 2H093/ND05 2H093/ND09 2H093/ND15 2H093/ND17 2H093/ND35 2H193/ZA04 2H193/ZC02 2H193/ZC20 2H193/ZD32 2H193/ZD34 2H193/ZF22 2H193/ZF36 2H193/ZF59 5C006/AA16 5C006/AA22 5C006/AC25 5C006/AC27 5C006/AF43 5C006/BB16 5C006/FA22 5C080/AA10 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ05		
代理人(译)	山本隆久 吉井正明 森浩一		
优先权	1998069625 1998-03-19 JP		
其他公开文献	JP2007256984A		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过使每种颜色的信号线的潜在波动在共同反转驱动中大致恒定来实现时分驱动而不降低图像质量。
 ŽSOLUTION：在使用公共反转驱动方法的液晶显示装置中，其中从公共电压产生电路84输出并且共同施加到每个像素的相对电极的公共电压VCOM每1H交替反转一次当一个像素由R，G和B三个点构成时，时分开关的分割数被设置为对应于R，G和B的三个。

A1

B1A2

B2A3

B3

1	H	L	H					L	H	L						H	L	H							
2				L	H	L					H	L	H						L	H	L				
3							H	L	H					L	H	L						H	L	H	
1	L	H	L					H	L	H						L	H	L							
2				H	L	H					L	H	L						H	L	H				
3							L	H	L					H	L	H							L	H	L
1	H	L	H					L	H	L						H	L	H							
2				L	H	L					H	L	H						L	H	L				
3							H	L	H					L	H	L							H	L	H
1	L	H	L					H	L	H						L	H	L							
2				H	L	H					L	H	L						H	L	H				
3							L	H	L					H	L	H							L	H	L