

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4453336号
(P4453336)

(45) 発行日 平成22年4月21日 (2010. 4. 21)

(24) 登録日 平成22年2月12日 (2010. 2. 12)

(51) Int. Cl.	F 1
GO 2 F 1/1368 (2006. 01)	GO 2 F 1/1368
GO 2 F 1/13 (2006. 01)	GO 2 F 1/13 1 O 1
GO 1 R 31/00 (2006. 01)	GO 1 R 31/00

請求項の数 2 (全 12 頁)

(21) 出願番号	特願2003-368817 (P2003-368817)	(73) 特許権者	000002185
(22) 出願日	平成15年10月29日 (2003. 10. 29)		ソニー株式会社
(65) 公開番号	特開2005-134527 (P2005-134527A)		東京都港区港南1丁目7番1号
(43) 公開日	平成17年5月26日 (2005. 5. 26)	(74) 代理人	100095957
審査請求日	平成18年7月31日 (2006. 7. 31)		弁理士 亀谷 美明
		(74) 代理人	100096389
			弁理士 金本 哲男
		(74) 代理人	100101557
			弁理士 萩原 康司
		(72) 発明者	村瀬 正樹
			東京都品川区北品川6丁目7番35号 ソ
			ニー株式会社内
		(72) 発明者	仲島 義晴
			東京都品川区北品川6丁目7番35号 ソ
			ニー株式会社内

最終頁に続く

(54) 【発明の名称】 フラットディスプレイ装置及びフラットディスプレイ装置の試験方法

(57) 【特許請求の範囲】

【請求項1】

マトリックス状に画素を配置してなる表示部と、
 前記表示部の画素をゲート線により順次選択する垂直駆動回路と、
 前記表示部の信号線の駆動により、前記垂直駆動回路により選択された前記画素を階調データに対応する階調に設定する水平駆動回路とを一体に基板上に形成してなるフラットディスプレイ装置の試験方法において、
 前記フラットディスプレイ装置は、
 外部から制御可能により、前記表示部の前記信号線への前記水平駆動回路の接続を遮断する遮断用のスイッチ回路と、
 外部からの制御により、前記表示部の前記信号線を外部の装置に接続可能に設定する外部接続用のスイッチ回路とを備え、
 前記フラットディスプレイ装置の試験方法は、
 前記遮断用のスイッチ回路と前記外部接続用のスイッチ回路との制御により、
 前記垂直駆動回路によるゲート線の選択に対応して、前記表示部の画素を所定電位に充電する充電の処理を実行した後、
 前記垂直駆動回路によるゲート線の選択に対応して、前記表示部の前記信号線を介して、前記画素の電圧を前記外部の装置により順次測定する測定の処理を実行し、
 前記外部の装置による測定結果を判定し、
 前記充電の処理が、

10

20

前記遮断用のスイッチ回路による遮断を中止すると共に、前記外部接続用のスイッチ回路による前記外部の装置への接続を中止した状態で、

前記水平駆動回路による前記信号線の駆動により、前記階調データに対応する電位に前記画素を充電する処理であり、

前記測定処理が、

前記遮断用のスイッチ回路による遮断を実行すると共に、前記外部接続用のスイッチ回路による前記外部の装置への接続を実行した状態で、

前記外部接続用のスイッチ回路を介して、前記画素の電圧を前記外部の装置で測定する処理である

ことを特徴とするフラットディスプレイ装置の試験方法。

10

【請求項2】

前記充電の処理が、前記階調データに対応する前記表示部の所定列の画素を充電する処理であり、

前記階調データの設定の切り換えにより充電に供する前記画素の列を順次切り換えて、前記充電の処理と前記測定処理とを繰り返す

ことを特徴とする請求項1に記載のフラットディスプレイ装置の試験方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フラットディスプレイ装置及びフラットディスプレイ装置の試験方法に関し、例えば絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用することができる。本発明は、水平駆動回路と表示部の信号線とを遮断可能に遮断用のスイッチ回路を設け、またこの表示部の信号線を外部装置に接続可能に接続用のスイッチ回路を設けることにより、またこのようなスイッチ回路の制御により外部の装置で各画素の電位を測定することにより、電位欠陥に係る不良を簡易かつ確実に検出することができるようにする。

20

【背景技術】

【0002】

近年、例えばPDA、携帯電話等の携帯端末装置に適用されるフラットディスプレイ装置である液晶表示装置においては、液晶表示パネルを構成する絶縁基板であるガラス基板上に、液晶表示パネルの駆動回路を一体に構成するものが提供されるようになっている。

30

【0003】

すなわちこのような液晶表示装置は、液晶セル、この液晶セルのスイッチング素子であるポリシリコンTFT（Thin Film Transistor；薄膜トランジスタ）、保持容量とにより各画素が形成され、この画素をマトリックス状に配置して表示部が形成される。液晶表示装置は、この表示部の周囲に各種の駆動回路が配置され、この駆動回路により表示部を駆動して各種の画像を表示するようになっている。

【0004】

液晶表示装置においては、このようにマトリックス状に配置した多数の画素において、正常に電位を立ち上げることが困難な欠陥画素（以下、電位欠陥の画素と呼ぶ）が発生する場合があり、この画素においては、所望する階調を確保することが困難になる。これにより液晶表示装置の製造工程においては、完成品の目視検査によりこのような電位欠陥の画素を有してなる液晶表示パネルを検出するようになっている。これに対して例えば特開2003-194669号公報等においては、撮像装置により液晶表示パネルを撮像してこの結果得られる撮像結果を処理することにより、このような目視に係る検査を自動化する方法が提案されるようになっている。

40

【0005】

しかしてこのような電位欠陥に係る不良を、さらに一段と簡易かつ確実に検出することができれば、液晶表示パネルの品質を一段と向上することができると考えられる。

【特許文献1】特開2003-194669号公報

50

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は以上の点を考慮してなされたもので、電位欠陥に係る不良を簡易かつ確実に検出することができるフラットディスプレイ装置及びフラットディスプレイ装置の試験方法を提案しようとするものである。

【課題を解決するための手段】

【0007】

かかる課題を解決するため本発明のある観点によれば、フラットディスプレイ装置に適用して、外部から制御可能により、表示部の信号線への水平駆動回路の接続を遮断する遮断用のスイッチ回路と、外部からの制御により、表示部の信号線を外部に接続可能に設定する外部接続用のスイッチ回路とを備えるようにする。

10

【0008】

また本発明の別の観点によれば、フラットディスプレイ装置の試験方法に適用して、遮断用のスイッチ回路と外部接続用のスイッチ回路との制御により、垂直駆動回路によるゲート線の選択に対応して、表示部の画素を所定電位に充電する充電の処理を実行した後、垂直駆動回路によるゲート線の選択に対応して、表示部の信号線を介して画素の電圧を、外部の装置により順次測定する測定の処理を実行し、外部の装置による測定結果を判定する。

【0009】

20

上記構成により、フラットディスプレイ装置に適用して、外部から制御可能により、表示部の信号線への水平駆動回路の接続を遮断する遮断用のスイッチ回路と、外部からの制御により、表示部の信号線を外部に接続可能に設定する外部接続用のスイッチ回路とを備えるようにすれば、これら遮断用のスイッチ回路、外部接続用のスイッチ回路との制御により、必要に応じて直接画素の電圧を外部の装置で測定することができ、これにより電位欠陥に係る不良を簡易かつ確実に検出することができる。また垂直駆動回路によるゲート線の選択に対応して順次電圧を測定することによっても、電位欠陥に係る不良を簡易かつ確実に検出することができる。

【0010】

また上記構成によれば、フラットディスプレイ装置の試験方法に適用して、遮断用のスイッチ回路と外部接続用のスイッチ回路との制御により、垂直駆動回路によるゲート線の選択に対応して、表示部の画素を所定電位に充電する充電の処理を実行した後、垂直駆動回路によるゲート線の選択に対応して、表示部の信号線を介して画素の電圧を、外部の装置により順次測定する測定の処理を実行し、外部の装置による測定結果を判定することにより、直接画素の電圧を外部の装置で測定することができ、これにより電位欠陥に係る不良を簡易かつ確実に検出することができる。また垂直駆動回路によるゲート線の選択に対応して順次電圧を測定することによっても、電位欠陥に係る不良を簡易かつ確実に検出することができる。

30

【発明の効果】

【0011】

40

本発明によれば、電位欠陥に係る不良を簡易かつ確実に検出することができる。

【発明を実施するための最良の形態】

【0012】

以下、適宜図面を参照しながら本発明の実施例を詳述する。

【実施例1】

【0013】

(1) 実施例の構成

図1は、本発明の実施例1に係る液晶表示装置を示すブロック図である。この液晶表示装置1は、液晶セル2、保持容量3、ポリシリコンTFT4とによる画素がガラス基板5上にマトリックス状に配置されて有効表示領域である表示部6が形成され、この表示部6

50

の信号線（列線）L C及びゲート線（行線）L Rがそれぞれ水平駆動回路7及び垂直駆動回路8に接続される。

【0014】

ここで水平駆動回路7及び垂直駆動回路8は、表示部6の周囲、ガラス基板5上に形成され、水平駆動回路7は、各画素の階調を示す階調データD1を順次入力して各画素の駆動信号をライン単位で信号線L Cにより順次表示部7に出力し、垂直駆動回路8は、この水平駆動回路7の出力を選択する選択信号を表示部6のゲート線L Rに出力する。これにより液晶表示装置1では、マトリックス状に配置してなる表示部6の画素を、ゲート線L Rにより順次選択して信号線L Cにより駆動することにより、表示部6に所望の画像を表示するようになされている。

10

【0015】

これらに加えて液晶表示装置1は、アクティブ素子であるトランジスタによる遮断用のスイッチ回路S W1が、水平駆動回路7と表示部6との間、各信号線L Cに設けられ、これによりこの遮断用のスイッチ回路S W1の動作を制御して水平駆動回路7と表示部6との信号線L Cによる接続を遮断できるようになされている。またガラス基板5の周辺部に設けられた入力端子T1に、これら遮断用のスイッチ回路S W1の制御信号に係る配線が共通に接続され、これによりこの入力端子T1を介して入力される制御信号T M B Wによりこれら遮断用のスイッチ回路S W1を連動させてオンオフ制御できるようになされている。

【0016】

20

また液晶表示装置1は、信号線L Cに対してガラス基板5の外部から接続可能に、外部入出力端子T3がガラス基板5の周辺部に設けられ、またこの外部入出力端子T3を介した外部からの信号線L Cへの接続を可能、不可能に制御する制御信号T M B W Xの入力端子T2が同様にガラス基板5の周辺部に設けられる。液晶表示装置1では、これら端子T2及びT3に係る接続が、遮断用のスイッチ回路S W1の表示部6側において、隣接する信号線L C間に、アクティブ素子であるトランジスタによる外部接続用のスイッチ回路S W2をそれぞれ配置し、これら外部接続用のスイッチ回路S W2により接続される信号線L Cを外部入出力端子T3に接続すると共に、入力端子T2から入力される制御信号T M B W Xによりこれら外部接続用のスイッチ回路S W2を制御するように形成され、これにより表示部6に設けられている複数の信号線L Cを共通接続して外部より信号線L Cに接続できるようになされている。

30

【0017】

これらにより液晶表示装置1では、何ら端子T1、T3により制御信号が入力されていない場合、通常の動作状態によりスイッチ回路S W1、S W2がそれぞれオン状態、オフ状態に保持され、階調データD1に応じて水平駆動回路7により表示部6の各画素を駆動できるようになされている。

【0018】

また遮断用のスイッチ回路S W1により水平駆動回路7を表示部6の信号線L Cから切り離し、さらに外部接続用のスイッチ回路S W2により外部入出力端子T3を介して表示部6の信号線を外部の装置に接続できるようになされ、これによりこの外部の装置により各画素の電圧を測定できるようになされている。

40

【0019】

液晶表示装置1は、このような接続に係る表示部6、水平駆動回路7、垂直駆動回路8が関連する回路ブロックと共に、大型のガラス基板上に、多数個取り可能に形成された後、対向電極を設けたガラス基板が対向するように配置され、その後、各ガラス基板5の形状にスクライビングされた後、液晶を封止して形成される。

【0020】

液晶表示装置1は、これら一連の製造工程の中で、大型のガラス基板に多数個取りにより形成された状態で、電位欠陥に係る試験が実施され、この試験により電位欠陥の画素が発見された場合には、スクライビングされた後、不良品として以降の製造工程への供給が

50

停止される。これに対してこの試験により電位欠陥の画素が発見されない場合に、スクライビングされた後、液晶が封止される。

【0021】

図2は、この試験に係る試験装置21と液晶表示装置1との接続を示すブロック図である。この試験においては、試験装置21に設けられたプローブにより、大型のガラス基板上に形成された各液晶表示装置1に順次試験装置21を接続し、これら液晶表示装置1を順次この試験装置21により試験して電位欠陥を検出する。

【0022】

ここで試験装置21においては、コンピュータ22の制御により、コンピュータ22に記録された処理手順に従って液晶表示装置1を駆動すると共に、駆動結果をコンピュータ22に通知する。具体的には、試験装置21は、コンピュータ22の制御により、液晶表示装置1の駆動に供する各種タイミング信号、このタイミング信号を基準にしてなる階調データD1、スイッチ回路SW1、SW2の制御に供する制御信号TMBW、TMBWXを液晶表示装置1に出力する。またこのタイミング信号に基づいて、垂直駆動回路7によるラインの選択に同期して外部入出力端子T2の電圧を測定し、測定結果をコンピュータ22に通知する。

10

【0023】

コンピュータ22は、所定の処理プログラムの実行によりこの試験装置21の動作を制御し、さらには試験装置21のプローブに係る可動機構を制御することにより、各液晶表示装置1を順次試験する。図3は、このようにして実行される1つの液晶表示装置1に係るコンピュータ22の処理手順を示すフローチャートである。コンピュータ22は、プローブの可動機構を制御して、試験対象に係る液晶表示装置1に試験装置21が接続されるとこの処理手順を開始する。

20

【0024】

ここでコンピュータ22は、この処理手順においてステップSP1からステップSP2に移り、表示部6に設けられた左端の画素、1列を処理対象に設定し、この1列の画素を白レベルに、他の列の画素を黒レベルに設定してなる画像データを生成し、この画像データにより液晶表示装置1を駆動するように、試験装置21の動作を制御する。これにより図4(A)に示すように、コンピュータ22は、左端の信号線LC(1R)を白レベル(W)の電位に設定すると共に、他の信号線LC(1G、1B、2R、2G、……)を黒レベル(B)の電位に設定し、垂直駆動回路8による各画素の選択により、これら信号線LCに割り振られた画素を順次充電するようになされている。

30

【0025】

コンピュータ22は、このようにして各画素を所定電位に充電すると、続くステップSP3において、制御信号TMBW、TMBWXの切り換えを試験装置21に指示し、これにより水平駆動回路7を表示部6の信号線LCより切り離し、また外部入出力端子T3を介して表示部6の信号線LCに試験装置21を接続する。

【0026】

コンピュータ22は、このように液晶表示装置1の接続を切り換えると、続くステップSP4において、液晶表示装置1の駆動、この駆動に同期した外部入出力端子T3の電圧測定を試験装置21に指示する。

40

【0027】

これによりコンピュータ22は、図5に示すように、ステップSP2で白レベルの電位に充電してなる画素の電位を、垂直駆動回路8の駆動により順次検出するようになされている。なおここでVD(図5(A))は、垂直同期信号であり、HD(図5(B))は、水平同期信号であり、VT3(図5(C))は、外部入出力端子T3の電圧であり、矢印が試験装置21による電圧検出のタイミングである。

【0028】

しかしてこのように白レベルに充電した後、垂直駆動回路8の駆動による外部入出力端子T3の電圧VT3を測定した場合にあって、何ら電位欠陥が生じていない場合、外部入

50

出力端子T 3の電圧V T 3においては、ほぼ所定の電圧が測定される。これに対して電位欠陥が発生している場合、この電位欠陥の画素が垂直駆動回路8により選択されたタイミングで、矢印Aにより示すように、外部入出力端子T 3の電圧V T 3が一時的に低下して測定されることになる。これによりコンピュータ2 2は、このような電圧V T 3の判定により電位欠陥を検出する。

【0029】

すなわちコンピュータ2 2は、このようにして試験装置2 1に電圧V T 3の測定を指示すると、試験装置2 1から電圧V T 3の測定結果を順次取り込み、1画面分の取り込みを完了すると、続くステップS P 5において、全ての列について、白レベルによる充電、電圧V T 3の測定を完了したか否か判断し、ここで否定結果が得られると、ステップS P 5からステップS P 6に移り、次の右側の列に処理対象を切り換える。また続くステップS P 7において、制御信号T M B W、T M B W Xの切り換えを試験装置2 1に指示し、これにより階調データD 1により表示部6を駆動できるように液晶表示装置1の接続を切り換えた後、ステップS P 2に戻る。

【0030】

これによりコンピュータ2 2は、順次ステップS P 2－S P 3－S P 4－S P 5－S P 6－S P 7－S P 2の処理手順を繰り返し、表示部6の左端側より右端側に、順次、白レベルの電位により各画素を充電してその電位を外部入出力端子T 3により測定し、全ての画素について測定を完了すると、ステップS P 5で肯定結果が得られることにより、ステップS P 8に移る。

【0031】

このステップS P 8において、コンピュータ2 2は、各画素について測定した外部入出力端子T 3の電圧V T 3を所定の判定基準値により判定し、これにより電位欠陥の有無を検出した後、ステップS P 9に移ってこの処理手順を終了する。なおコンピュータ2 2は、このステップS P 8における判定により電位欠陥の画素が検出されると、所定のマーキング手段により、この電位欠陥が検出された液晶表示装置1にマーキングし、この液晶表示装置1の製造工程では、このマーキングを基準にしてこの電位欠陥に係る液晶表示装置1については、続く工程に供給しないようになされている。

【0032】

(2) 実施例の動作

以上の構成において、この液晶表示装置1では(図1)、大型のガラス基板上に、複数台分の水平駆動回路7、垂直駆動回路8、表示部6等が作成される。このとき液晶表示装置1では、端子T 1を介して外部から制御可能により表示部6の信号線L Cへの水平駆動回路7の接続を遮断する遮断用のスイッチ回路S W 1が設けられ、また同様の端子T 2を介して外部からの制御により表示部6の信号線L Cを外部に接続可能に設定する外部接続用のスイッチ回路S W 2が設けられ、この外部接続用のスイッチ回路S W 2が外部入出力端子T 3に接続されて形成される。

【0033】

これによりこの液晶表示装置1では、これら端子T 1、T 2を介して外部の機器よりスイッチ回路S W 1、S W 2の動作を制御すると共に、この外部入出力端子T 3を介して信号線L Cを外部の装置に接続することができ、これにより必要に応じてこの外部の装置により外部入出力端子T 3に所定の電圧を印加し、垂直駆動回路8の駆動により順次ゲート線L Rを選択して所望する画素を充電することができる。またこのようにして充電した画素について、この外部入出力端子T 3への電圧の印加を中止すると共に、この外部入出力端子T 3の電圧V T 3をディジタルアナログ変換回路に接続し、垂直駆動回路8の駆動により順次ゲート線L Rを選択することにより、各画素の電圧を測定することができ、これによりこの測定結果に基づいて、電位欠陥を検出することができる。

【0034】

またこのような外部入出力端子T 3を介した画素の充電に代えて、通常の接続状態により、階調データD 1を水平駆動回路7に供給し、この水平駆動回路7による信号線L Cの

10

20

30

40

50

駆動により各画素を所定電位に充電した後、スイッチ回路SW1、SW2を切り換えて外部の装置により充電された画素の電圧を測定することによっても、電位欠陥を検出することができる。

【0035】

これにより液晶表示装置1では、これら端子T1～T3をこのような機能を有する試験装置に接続するだけで、電位欠陥に係る不良を簡易かつ確実に検出することができる。

【0036】

この液晶表示装置1では、このような欠陥画素の検出に係る試験が、大型のガラス基板上に、複数台分の水平駆動回路7、垂直駆動回路8、表示部6等が作成された状態で実行される。またこの試験により電位欠陥が検出された液晶表示装置をも含めて、対向電極を形成してなるガラス基板が配置された後、各液晶表示装置にこの大型のガラス基板がスクライビングされ、画素欠陥が検出されていない液晶表示装置が選択されて液晶が封止される。

10

【0037】

これによりこの液晶表示装置1に係る製造工程においては、電位欠陥の検出された液晶表示装置については、後続の工程に係る処理を省略し得、その分、無駄を省くことができるようになされている。またこのように後の工程に係る処理を省略するにつき、対向電極を形成してなるガラス基板を配置した後、各液晶表示装置にスクライビングして電位欠陥の液晶表示装置を取り除くことにより、これら対向電極のガラス基板の配置等の処理については、複数台の液晶表示装置1をまとめて処理し得、その分、液晶表示装置1を効率良く生産することができる。

20

【0038】

また従来のような最終的な完成品による目視による試験とは異なり、画素の電圧を直接測定して電位欠陥を検出することにより、高い精度により電位欠陥を検出することができ、その分、液晶表示装置1に係る信頼性を向上することができる。

【0039】

しかしてこの実施例においては、このように外部入出力端子T3に信号線LCを接続する接続用のスイッチ回路SW2については、隣接する信号線を接続する複数のスイッチ回路SW2により構成されて、表示部6の信号線をまとめて外部入出力端子T3に接続する複数のスイッチ回路であることにより、表示部6に高密度に画素が設けられている場合でも、外部装置との間の接続については簡略化することができる。

30

【0040】

これに対して試験装置21、コンピュータ22においては、液晶表示装置1に設けられた水平駆動回路7により各信号線LCを駆動して表示部6の画素を所定電位に充電した後、スイッチ回路SW1、SW2を切り換えて外部入出力端子T3の電圧を測定するようになされ、これにより液晶表示装置1に設けられた水平駆動回路7の構成を有効に利用して電位欠陥が検出され、その分、試験装置の構成が簡略化される。

【0041】

またこのようにして水平駆動回路7により表示部6の画素を充電して、所定列毎にこの充電の処理を実行して外部入出力端子により画素の電圧を検出し、この処理対象である列を順次切り換えてこれらの処理を繰り返すことにより、表示部6が多数の画素により構成されている場合でも、何れの箇所で電位欠陥が発生しているかを簡易かつ確実に検出することができる。しかしてこの実施例では、1列単位でこの充電の処理を実行することにより、水平方向については、この1列単位で電位欠陥の画素を検出することができる。しかして垂直方向については垂直駆動回路8によるゲート線LRの選択のタイミングにより何れのラインで電位欠陥が発生しているかを検出することができ、これらにより高い精度により電位欠陥の画素を検出することができる。

40

【0042】

(3) 実施例の効果

以上の構成によれば、水平駆動回路と表示部の信号線とを遮断可能に遮断用のスイッチ

50

回路を設け、またこの表示部の信号線を外部装置に接続可能に接続用のスイッチ回路を設けることにより、必要に応じて外部の装置により各画素の電圧を測定することができ、これにより電位欠陥に係る不良を簡易かつ確実に検出することができる。

【0043】

またこの外部接続用のスイッチ回路が、表示部の信号線をまとめて外部入出力端子に接続する複数のスイッチ回路であることにより、これら表示部に多くの画素が設けられている場合でも、これらの画素を水平方向にまとめて処理し得、その分、液晶表示装置、さらには試験装置の構成を簡略化して、電位欠陥に係る不良を簡易かつ確実に検出することができる。

【0044】

また以上の構成によれば、このような遮断用のスイッチ回路、接続用のスイッチ回路の制御により外部の装置で各画素の電位を測定することにより、電位欠陥に係る不良を簡易かつ確実に検出することができる。

【0045】

またこの処理において、遮断用のスイッチ回路による遮断を中止すると共に、外部接続用のスイッチ回路による外部の装置への接続を中止した状態である通常の状態、水平駆動回路による駆動により、階調データに対応する電位に画素を充電し、また遮断用のスイッチ回路により接続を遮断すると共に、外部接続用のスイッチ回路より外部の装置に信号線を接続した状態で、この外部の装置で画素の電圧を測定することにより、水平駆動回路の構成を有効に利用して電位欠陥を検出することができる。

【0046】

またこの処理において、表示部の所定列の画素を充電するようにして、この充電に供する画素の列を順次切り換えて、充電の処理と測定の処理とを繰り返すことにより、この所定列を単位にして電位欠陥の画素を高い精度により検出することができる。

【実施例2】

【0047】

図6は、本発明の実施例2に係る液晶表示装置を示すブロック図である。この液晶表示装置30において、図1について上述した液晶表示装置1と同一の構成は、対応する符号を付して示し重複した説明は省略する。

【0048】

この液晶表示装置30においては、実施例1に係る液晶表示装置1と同様に、遮断用のスイッチ回路SW1により、表示部6の信号線LCへの水平駆動回路7の接続を遮断できるように形成され、このスイッチ回路SW1の制御信号TMBWを端子T1から入力できるようになされている。またこのスイッチ回路SW1の表示部6側にそれぞれスイッチ回路SW2が設けられ、このスイッチ回路SW2の他端が共通に接続されて外部入出力端子T3に接続され、さらにこれらスイッチ回路SW2の制御信号TMBWを端子T2から入力できるようになされている。

【0049】

これによりこの液晶表示装置30では、実施例1について上述した液晶表示装置1と同様に、スイッチ回路SW1、SW2の制御により外部の装置により各信号線の電圧を検出し、電位欠陥を簡易かつ確実に検出できるようになされている。

【0050】

さらに液晶表示装置30は、この外部入出力端子T3への配線パターンがCS駆動回路31に接続される。また表示部6に設けられている保持容量3の信号線側とは逆側電極の配線パターンである共通線COMが、端子T1～T3に併設された端子T4に接続され、この端子T4がガラス基板5の外部で端子T3に接続され、これにより共通線COMがスイッチ回路SW2を介して各信号線LCに接続可能に形成される。ここでCS駆動回路31は、信号線LCを所定電位にプリチャージするプリチャージ回路であり、フレーム反転、ライン反転等の、液晶表示装置30における駆動の形式に応じて、所定のタイミングによりプリチャージの処理を実行する。なおこの図6に示す構成において、Cは外付の容量

10

20

30

40

50

であり、32はパッド電極である。

【0051】

これにより液晶表示装置30では、CS駆動回路31によるスイッチ回路SW1、SW2の制御によりプリチャージの処理を実行できるようになされている。またこれら端子T3～T5を外部の試験装置に接続し、スイッチ回路SW1及びSW2をオフ状態及びオン状態に設定して端子T3、T4間に高電圧のパルスを印加することにより、市場における使用により画素欠陥となる耐圧の低い画素を事前に破壊し、このような画素欠陥を有してなる液晶表示装置をスクリーニングできるようになされている。

【0052】

しかしてこれにより液晶表示装置30では、このような画素欠陥のスクリーニングに係る信号線LCへの配線パターン、スイッチ回路SW2、外部端子T3が、電位欠陥の検出に供する信号線への配線パターン、スイッチ回路SW2、外部端子T3に兼用され、これにより電位欠陥の検出に供する構成においては、既存の液晶表示装置の構成を有効に利用して形成され、その分、構成を簡略化できるようになされている。

10

【0053】

またこの液晶表示装置30の構成に対応して、この液晶表示装置30の製造工程では、この液晶表示装置30を試験装置に接続して、スクリーニングの処理を実行した後、電位欠陥の試験を実行する。

【0054】

具体的にスクリーニングの処理においては、スイッチ回路SW1をオフ状態に設定して表示部6の信号線LCを水平駆動回路7から切り離し、またスイッチ回路SW2をオン状態に設定して表示部6の各信号線を外部入出力端子T3に接続する。この状態で、端子T3、T4間に高電圧のパルスを印加し、これにより耐圧の低い画素を破壊する。

20

【0055】

しかしてこのようにして破壊されてなる画素においては、続く電位欠陥により検出することができ、これによりこの実施例に係る液晶表示装置30の製造工程においては、確実にスクリーニングの処理を実行できるようになされている。

【0056】

この実施例の処理においては、高電圧の印加によるスクリーニングの処理に供する配線パターンを電位欠陥の検出に利用することにより、液晶表示装置30の構成を簡略化して実施例1と同様の効果を得ることができる。

30

【実施例3】

【0057】

なお上述の実施例においては、1列単位で画素を充電して電位欠陥を検出する場合について述べたが、本発明はこれに限らず、実用上十分な検出精度を確保できる場合には、複数列単位でこれらの処理を実行してもよく、さらには全ての列についてまとめてこれらの処理を実行してもよい。

【0058】

また上述の実施例においては、遮断用のスイッチ回路と接続用のスイッチ回路とで制御信号の入力用端子を個別に設ける場合について述べたが、本発明はこれに限らず、これらスイッチ回路にあってはオンオフ動作が相補的であることにより、これらの端子をまとめるようにしてもよい。

40

【0059】

また上述の実施例においては、大型のガラス基板上で電位欠陥の試験を実行する場合について述べたが、本発明はこれに限らず、個々の液晶表示装置にスクライビングした後、さらには液晶を封止した後に実行するようにしてもよい。

【0060】

また上述の実施例においては、ガラス基板上に表示部等を作成してなるTF T液晶に本発明を適用する場合について述べたが、本発明はこれに限らず、CGS (Continuous Grain Silicon) 液晶等、各種の液晶表示装置、さらにはEL (Electro Luminescence) 表示

50

装置等、種々のフラットディスプレイ装置に広く適用することができる。

【産業上の利用可能性】

【0061】

本発明は、例えば絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用することができる。

【図面の簡単な説明】

【0062】

【図1】 本発明の実施例1に係る液晶表示装置を示すブロック図である。

【図2】 図1の液晶表示装置の試験の説明に供するブロック図である。

【図3】 図2のコンピュータの処理手順を示すフローチャートである。

【図4】 図3の処理手順の説明に供する図表である。

【図5】 図3の処理手順による電圧測定の説明に供するタイムチャートである。

【図6】 本発明の実施例2に係る液晶表示装置を示すブロック図である。

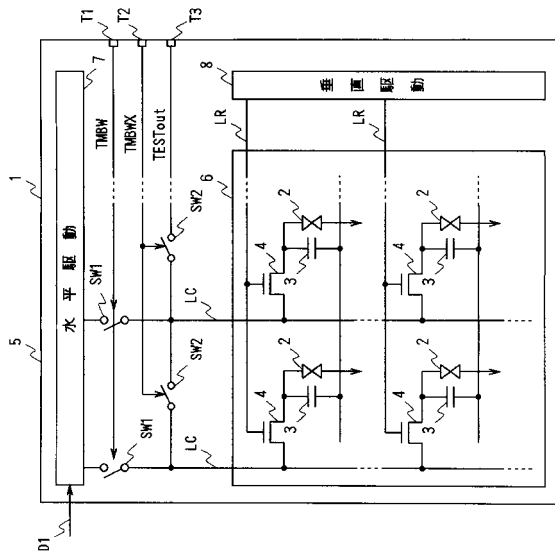
【符号の説明】

【0063】

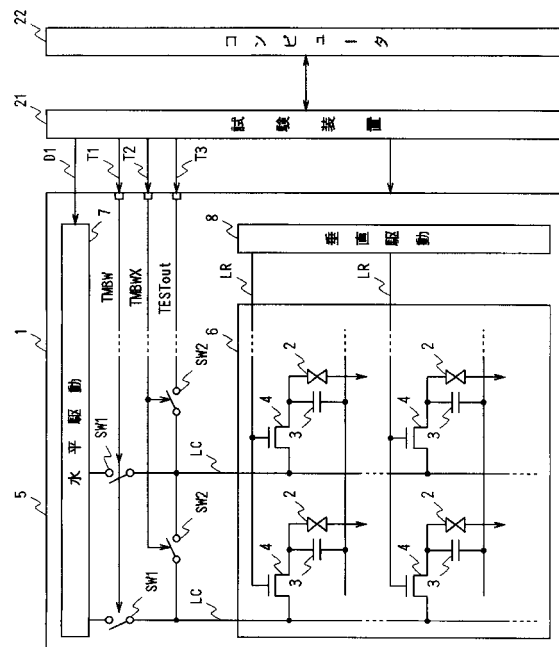
1、30……液晶表示装置、2……液晶セル、3……保持容量、4……TFT、6……表示部、7……水平駆動回路、8……垂直駆動回路、21……試験装置、22……コンピュータ、T1～T5……端子

10

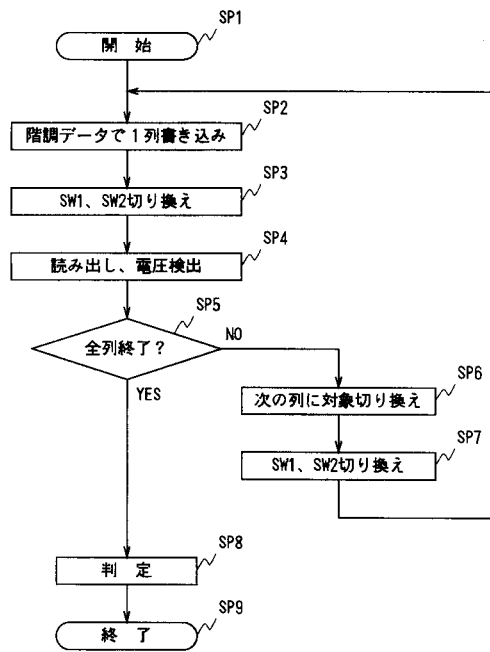
【図1】



【図2】



【図 3】



【図 4】

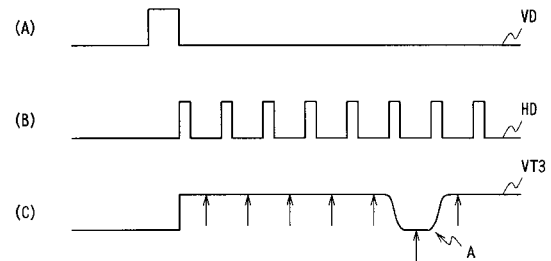
(A)

	1R	1G	1B	2R	2G
1	W	B	B	B	B
2	W	B	B	B	B
3	W	B	B	B	B
4	W	B	B	B	B
5	W	B	B	B	B

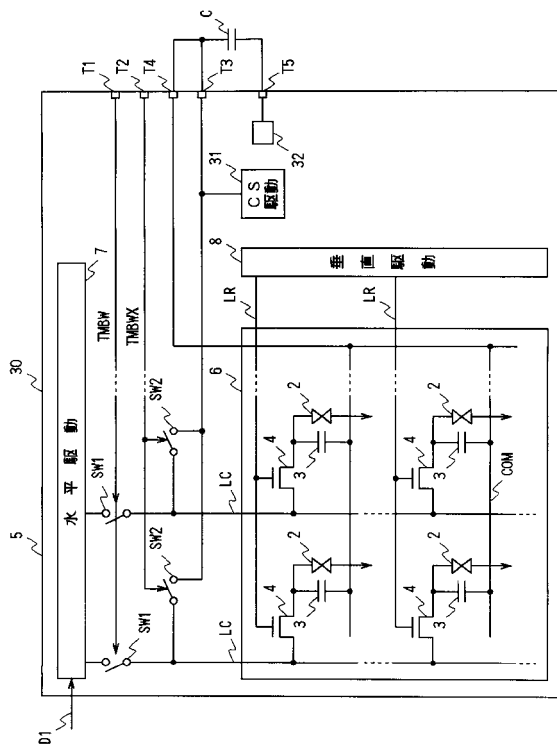
(B)

	1R	1G	1B	2R	2G
1	B	W	B	B	B
2	B	W	B	B	B
3	B	W	B	B	B
4	B	W	B	B	B
5	B	W	B	B	B

【図 5】



【図 6】



フロントページの続き

- (72)発明者 木田 芳利
東京都品川区北品川6丁目7番35号 ソニー株式会社内
(72)発明者 三井 修
東京都品川区北品川6丁目7番35号 ソニー株式会社内

審査官 藤田 都志行

- (56)参考文献 特開平06-043490 (JP, A)
特開平11-316389 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G02F 1/1368
G02F 1/13
G01R 31/00

专利名称(译)	平板显示装置和平板显示装置的测试方法		
公开(公告)号	JP4453336B2	公开(公告)日	2010-04-21
申请号	JP2003368817	申请日	2003-10-29
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	村瀬正樹 仲島義晴 木田芳利 三井修		
发明人	村瀬 正樹 仲島 義晴 木田 芳利 三井 修		
IPC分类号	G02F1/1368 G02F1/13 G01R31/00		
FI分类号	G02F1/1368 G02F1/13.101 G01R31/00		
F-TERM分类号	2G036/AA19 2G036/AA27 2G036/BA33 2G036/BB12 2G036/CA10 2H088/FA13 2H088/HA06 2H088/HA08 2H088/MA20 2H092/GA32 2H092/GA59 2H092/JA24 2H092/JB31 2H092/JB69 2H092/JB77 2H092/MA56 2H092/NA30 2H092/PA06 2H192/AA24 2H192/DA12 2H192/FB02 2H192/HA93 2H192/HB04 2H192/HB13 2H192/HB23 2H192/HB25		
其他公开文献	JP2005134527A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供平板显示装置和测试平板显示装置的方法，例如，应用于具有整体形成在绝缘基板上的驱动电路的液晶显示装置，以便简单且可靠地检测与潜在故障相关的缺陷。ŽSOLUTION：设置用于中断显示部分6的水平驱动电路7和信号线LC之间的连接的中断开关电路SW1，并且将显示部分6的信号线LC连接到外部设备的连接开关电路SW2是安排。此外，通过利用这种开关电路SW1，SW2的控制，利用外部装置测量各个像素的电位。Ž

