

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4305811号  
(P4305811)

(45) 発行日 平成21年7月29日(2009.7.29)

(24) 登録日 平成21年5月15日(2009.5.15)

(51) Int.Cl. F I  
**GO2F 1/1368 (2006.01)** GO2F 1/1368  
**GO2F 1/1335 (2006.01)** GO2F 1/1335 505  
**GO2F 1/1343 (2006.01)** GO2F 1/1343

請求項の数 6 (全 58 頁)

(21) 出願番号 特願2002-244606 (P2002-244606)  
 (22) 出願日 平成14年8月26日(2002.8.26)  
 (65) 公開番号 特開2003-195352 (P2003-195352A)  
 (43) 公開日 平成15年7月9日(2003.7.9)  
 審査請求日 平成17年8月5日(2005.8.5)  
 (31) 優先権主張番号 特願2001-317147 (P2001-317147)  
 (32) 優先日 平成13年10月15日(2001.10.15)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000005108  
 株式会社日立製作所  
 東京都千代田区丸の内一丁目6番6号  
 (74) 代理人 100093506  
 弁理士 小野寺 洋二  
 (72) 発明者 仲吉 良彰  
 千葉県茂原市早野3300番地 株式会社  
 日立製作所 ディスプレイグループ内  
 (72) 発明者 柳川 和彦  
 東京都千代田区丸の内一丁目5番1号 株  
 式会社 日立製作所 知的財産権本部内  
 審査官 金高 敏康

最終頁に続く

(54) 【発明の名称】 液晶表示装置、画像表示装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

第1の基板と第2の基板の対向間隙に液晶を挟持し、前記第1の基板の内面に、第1の方向に延在し互いに並設された複数のゲート線および前記ゲート線と交差する第2の方向に延在し互いに並設された複数のドレイン線と、前記ゲート線とドレイン線の交差部に設けられた複数のスイッチング素子と、前記アクティブ素子で駆動される画素電極を少なくとも有し、前記複数の画素電極で画素領域が構成される液晶表示装置であって、

前記第1の基板の前記画素領域を含んで前記ゲート線、ドレイン線、スイッチング素子、画素電極を形成する電極形成層と、当該電極形成層と前記第1の基板側との間に前記電極形成層に対して第1の絶縁層で絶縁した基準電極層を有し、

前記電極形成層は、前記第1の絶縁層の上層にゲート絶縁層、パッシベーション層、画素電極をこの順で有し、かつ前記ゲート絶縁層上に第1の容量電極層を有すると共に、前記第1の絶縁層上であって前記第1の容量電極層に重畳する位置に第2の容量電極層を有し、

前記画素電極を前記パッシベーション層に形成した第1のスルーホールを介して前記第1の容量電極層に接続すると共に、前記第2の容量電極層を前記第1の絶縁層に形成した第2のスルーホールを介して前記基準電極層に接続したことを特徴とする液晶表示装置。

【請求項2】

前記基準電極層が前記ゲート線と平行、かつ前記画素電極の形成領域に重畳して前記ゲート線の延在方向に有することを特徴とする請求項1記載の液晶表示装置。

10

20

## 【請求項 3】

前記基準電極層が前記第 1 の基板の前記ゲート線と前記ドレイン線および前記画素電極の形成領域を含む領域に有することを特徴とする請求項 1 記載の液晶表示装置。

## 【請求項 4】

前記第 1 の絶縁層が有機絶縁層であることを特徴とする請求項 1 記載の液晶表示装置。

## 【請求項 5】

前記有機絶縁層がカラーフィルタであることを特徴とする請求項 4 記載の液晶表示装置

## 【請求項 6】

前記第 2 の容量電極と同じ層に、前記ドレイン線の延在方向近傍と前記画素電極の間を遮光する遮光層を有することを特徴とする請求項 1 記載の液晶表示装置。

10

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、液晶表示装置に係り、特に画素の点灯を所定の時間維持するための保持容量とその給電抵抗を低減し、かつ開口率を向上したアクティブマトリクス型の液晶表示装置に関する。

## 【0002】

## 【従来の技術】

アクティブマトリクス型の液晶表示装置は、一般に一对の基板の対向間隔に液晶を挟持し、上記一对の基板の一方に形成した薄膜トランジスタ等に代表される多数のスイッチング素子で駆動される画素電極で画素を選択する方式を採用したものである。この種の液晶表示装置の一つの形式は、上記一对の基板の一方（第 1 の基板）に対向する他方の基板（第 2 の基板）にカラーフィルタや共通電極を形成し、あるいはカラーフィルタも第 1 の基板に形成した、所謂縦電界方式である。

20

## 【0003】

また、他の形式として、上記共通電極に相当する対向電極を上記第 1 の基板側に形成する、所謂 IPS 方式がある。この形式でも、カラーフィルタを第 1 の基板または第 2 の基板側に形成したのも既知である。

## 【0004】

縦電界方式の液晶表示装置は、上記第 1 の基板の内面に、第 1 の方向（通常は水平走査方向）に延在して互いに並設された複数のゲート線と、このゲート線と交差する第 2 の方向（通常、垂直走査方向）に延在し互いに並設された複数のドレイン線とを備える。そして、ゲート線とドレイン線の各交差部付近に薄膜トランジスタ等のスイッチング素子を備え、このスイッチング素子で駆動される画素電極を有している。

30

## 【0005】

この縦電界方式では、画素電極に対向して第 2 の基板には共通電極が形成されており、選択された画素電極との間に基板面と略直交する方向の電界を生成し、画素電極と共通電極との間に挟持された液晶の分子の配列を変更させることにより、画素の点灯を行う。

## 【0006】

一方、IPS 方式の液晶表示装置は、上記第 1 の基板の内面に、縦電界方式と同様のゲート線とドレイン線、およびスイッチング素子を有し、かつ同一基板上に櫛形の画素電極を形成し、この画素電極と隣接して対向電極が形成されている。そして、選択された画素電極と対向電極との間に基板面と略平行な方向に電界を生成し、画素電極と対向電極との間にある液晶の分子の配向方向を変化させることにより、画素の点灯を行うものである。さらに、この方式を発展させたものとして、対向電極をべた電極として、その上層あるいは下層に櫛形の画素電極を形成したものもある。

40

## 【0007】

上記した何れの形式の液晶表示装置においても、選択により点灯した画素の点灯時間を所定値に保持するための電荷の蓄積容量（以下、単に保持容量と言う）は画素電極とゲート

50

線の重畳領域、あるいは画素電極の形成領域を横断するように形成した他の電極線と当該画素電極との重畳領域に形成され、この保持容量に電荷を蓄積するための給電路はゲート線あるいは上記他の電極線としている。

【0008】

【発明が解決しようとする課題】

このように、保持容量を形成する一方の電極は線状電極であり、その給電は一方向（当該電極の延在方向）であるため、給電抵抗が大きく、また給電端から遠ざかるに従って電圧降下が著しくなり、必要とする電荷を給電できなくなる場合がある。また、上記のゲート線は通常はドレイン線と交差しているため、その交差容量が増大する。その結果、液晶表示装置の高速駆動が困難となる一つの要因となっていた。これの対策として上記の他の電極線を用いたものがある。しかし、画素電極の形成領域に保持容量を形成すると、当然のこととして開口率が低下する。

10

【0009】

また高精細化に伴い1画素当たりの画素のサイズが縮小し、十分な保持容量を形成することが困難となってきているという課題がある。

【0010】

さらに、開口率を向上するには保持容量のサイズを小さくすることが有効であるが、これは保持容量の減少を招く。すなわち開口率向上と保持容量確保はトレードオフの関係にあるという課題がある。

【0011】

本発明の利点は、保持容量を構成する給電電極の抵抗を低減することにある。また画素の開口率の低下を回避して高輝度、かつ高速駆動のアクティブマトリクス型液晶表示装置を提供することにある。さらに、保持容量と開口率の両立を実現することにある。

20

【0012】

本発明のその他の利点は、以下の説明で明らかとなる。

【0013】

【課題を解決するための手段】

上記目的を達成するために、本発明の典型的な構成は、液晶表示装置のスイッチング素子形成基板の下層の少なくとも画素電極形成領域の大部分あるいは全域を占めるような広い面積の透明導電層（基準電極層）を形成し、その上層に絶縁層を介してスイッチング素子やその他の電極および配線を形成した構成とした。この構成により、保持容量に対する給電抵抗が大幅に低減される。また、開口率向上と保持容量増大のトレードオフを解消できる。以下、本発明の他の定評的な構成を記述する。

30

【0014】

（1）：第1の基板と第2の基板の対向間隙に液晶を挟持し、前記第1の基板の内面に、第1の方向に延在し互いに並設された複数のゲート線および前記ゲート線と交差する第2の方向に延在し互いに並設された複数のドレイン線と、前記ゲート線とドレイン線の交差部に設けられた複数のスイッチング素子と、前記アクティブ素子で駆動される画素電極を少なくとも有し、前記複数の画素電極で画素領域が構成される液晶表示装置であって、前記第1の基板の前記画素領域を含んで前記ゲート線、ドレイン線、スイッチング素子、画素電極を形成する電極形成層と前記第1の基板側との間に当該電極形成層に対して第1の絶縁層で絶縁した基準電極層を有し、前記画素電極と前記基準電極層の間に画素の保持容量を形成する。

40

【0015】

この構成により、蓄積容量に対する給電抵抗が大幅に低減され、画素の開口率と保持容量の両立を実現した液晶表示装置を得ることができる。

【0016】

（2）：（1）において、前記電極形成層は、前記第1の絶縁層の上層にゲート線、ゲート絶縁層、半導体層、ドレイン線、パッシベーション層、画素電極をこの順で有し、前記画素電極と前記基準電極層の間に画素の保持容量を形成する。

50

## 【0017】

画素電極と基準電極層の間に形成されるパッシベーション層、ゲート絶縁層、第1の絶縁層で保持容量が形成されるため、液晶層からみた基準電極層までの距離を大幅に離間させることが可能となり、液晶の駆動用電界への基準電極層の電界の影響が軽減される。

## 【0018】

(3) : (1)において、前記基準電極層が前記ゲート線と平行、かつ前記画素電極の形成領域に重畳して前記ゲート線の延在方向に有する。

## 【0019】

この構成により、ゲート線と基準電極層の間の寄生容量が低減され、また電位の安定化を図ることができる。

10

## 【0020】

(4) : (1)において、前記基準電極層が前記第1の基板の前記ゲート線と前記ドレイン線および前記画素電極の形成領域を含む領域に有する。

## 【0021】

この構成により、基準電極層が、所謂べた電極であることで給電抵抗がさらに低減され、かつ給電方向の制限が無くなる。

## 【0022】

(5) : (1)において、前記ゲート絶縁層より上層に前記パッシベーション層を有し、該パッシベーション層より上層に前記画素電極を有し、前記画素電極の全部または一部が前記パッシベーション層を貫通して前記ゲート絶縁層に接している。

20

## 【0023】

この構成により、導電層と画素電極との間に形成される保持容量を画素電極がパッシベーション層を貫通する面積で調整できる。

## 【0024】

(6) : (1)において、前記ゲート絶縁層より上層に前記パッシベーション層を有し、該パッシベーション層より上層に前記画素電極を有し、前記画素領域における前記画素電極の全部または一部が前記パッシベーション層とゲート絶縁層とを貫通して前記第1の絶縁層に接している。

## 【0025】

この構成により、基準電極層と画素電極との間に形成される保持容量を画素電極がパッシベーション層とゲート絶縁層とを貫通する面積で調整できる。

30

## 【0026】

(7) : (1)において、前記ゲート絶縁層より上層に前記パッシベーション層を有し、該パッシベーション層より上層に前記画素電極を有し、前記スイッチング素子は、前記ゲート絶縁層の上に前記パッシベーション層に形成したスルーホールを介して画素電極と接続するソース電極を有し、前記ソース電極の一部に前記ゲート線または前記ドレイン線に沿った延長部を有する。

## 【0027】

この構成により、ソース電極の延長部の長さ、または幅、すなわちソース電極が画素電極と重畳する面積を変えることで保持容量を調整できる。

40

## 【0028】

(8) : (1)において、前記第1の絶縁層が有機絶縁層である。

## 【0029】

この構成により、前記基準電極層と前記電極形成層の間の電氣的距離を向き絶縁層の場合より離間できる。そして基準電極層と前記ゲート線およびドレイン線との寄生容量を低減できる。

## 【0030】

(9) : (1)において、前記ドレイン線の延在方向近傍と前記画素電極の間を遮光する遮光層を有する。

50

## 【 0 0 3 1 】

この構成により、光漏れを防止できる。

## 【 0 0 3 2 】

( 1 0 ) : ( 1 ) において、前記第 2 の基板の内面に、前記画素電極との間で画素を構成する共通電極を有する。

## 【 0 0 3 3 】

( 1 1 ) : 第 1 の基板と第 2 の基板の対向間隙に液晶を挟持し、前記第 1 の基板の内面に、第 1 の方向に延在し互いに並設された複数のゲート線および前記ゲート線と交差する第 2 の方向に延在し互いに並設された複数のドレイン線と、前記ゲート線とドレイン線の交差部に設けられた複数のスイッチング素子と、前記アクティブ素子で駆動される画素電極を少なくとも有し、前記複数の画素電極で画素領域が構成される液晶表示装置であって、前記第 1 の基板の前記画素領域を含んで前記ゲート線、ドレイン線、スイッチング素子、画素電極を形成する電極形成層と前記第 1 の基板側との間に当該電極形成層に対して第 1 の絶縁層で絶縁した基準電極層を有し、前記画素形成層は、前記第 1 の絶縁層の上層にゲート絶縁層、パッシベーション層、第 2 の有機絶縁層、画素電極をこの順で有し、前記画素電極と前記基準電極層で画素の保持容量を形成する。

10

## 【 0 0 3 4 】

この構成により、画素の開口率が向上し、導電層の面積が大きいために給電抵抗が低減できると共に、画素電極と基準電極層の間に形成されるパッシベーション層、ゲート絶縁層、第 1 の絶縁層で保持容量が形成されるため、当該保持容量の制御が容易になる。さらに、スイッチング素子の上層にも有機絶縁層を設けたことで、画素電極とドレイン線の重畳が可能となり、さらに開口率が向上する。画素電極とドレイン線を重畳した場合に、ドレイン線の延在方向近傍と画素電極の間の遮光層を省略できるため、またさらに開口率が向上する。

20

## 【 0 0 3 5 】

( 1 2 ) : ( 1 1 ) において、前記基準電極層が前記ゲート線と平行、かつ前記画素電極の形成領域に重畳して前記ゲート線の延在方向に有する。

## 【 0 0 3 6 】

この構成により、ゲート線と基準電極層の間の容量が低減され、保持容量の増大を抑制することができ、また電位の安定化を図ることができる。

30

## 【 0 0 3 7 】

( 1 3 ) : ( 1 1 ) において、前記基準電極層が前記第 1 の基板の前記ゲート線と前記ドレイン線および前記画素電極の形成領域を含む領域に有する。

## 【 0 0 3 8 】

この構成により、基準電極層が、所謂べた電極であることで給電抵抗がさらに低減され、かつ給電方向の制限が無くなる。

## 【 0 0 3 9 】

( 1 4 ) : ( 1 1 ) において、前記第 1 の有機絶縁層がカラーフィルタである。

## 【 0 0 4 0 】

この構成により、画素の開口率が向上し、導電層の面積が大きいために給電抵抗が低減できると共に、画素電極と基準電極層の間に形成されるパッシベーション層、ゲート絶縁層、有機材料である誘電率の小さいカラーフィルタ層で保持容量が形成されるため配線間寄生容量の増大を抑制できる。また、第 1 の基板にカラーフィルタ層を形成するため、第 2 の基板との位置合わせ裕度が大きくなる。

40

## 【 0 0 4 1 】

( 1 5 )、( 1 4 ) において、前記基準電極層が前記ゲート線と平行、かつ前記画素電極の形成領域に重畳して前記ゲート線の延在方向に有する。

## 【 0 0 4 2 】

この構成により、ゲート線と導電層の間の容量が低減され、また電位の安定化を図ること

50

ができる。

【0043】

(16) : (14)において、前記基準電極層が前記第1の基板の前記ゲート線と前記ドレイン線および前記画素電極の形成領域を含む領域に有する。

【0044】

この構成により、基準電極層が、所謂べた電極であることで給電抵抗がさらに低減され、かつ給電方向の制限が無くなる。

【0045】

(17) : (11)において、前記第1の絶縁層が有機絶縁層である。

【0046】

この構成により、前記基準電極層と前記電極形成層の間の電気的距離を向き絶縁層の場合より離間できる。そして基準電極層と前記ゲート線およびドレイン線との寄生容量を低減できる。

【0047】

(18) : (11)において、前記ドレイン線の延在方向近傍と前記画素電極の間を遮光する遮光層を有する。

【0048】

この構成により、光漏れを防止できる。

【0049】

(19) : (11)において、前記第2の基板の内面に、前記画素電極との間で画素を構成する共通電極を有する。

【0050】

(20) : 第1の基板と第2の基板の対向間隙に液晶を挟持し、前記第1の基板の内面に、第1の方向に延在し互いに並設された複数のゲート線および前記ゲート線と交差する第2の方向に延在し互いに並設された複数のドレイン線と、前記ゲート線とドレイン線の交差部に設けられた複数のスイッチング素子と、前記アクティブ素子で駆動される画素電極を少なくとも有し、前記複数の画素電極で画素領域が構成される液晶表示装置であって、前記第1の基板の前記画素領域を含んで前記ゲート線、ドレイン線、スイッチング素子、画素電極を形成する電極形成層と前記第1の基板側との間に当該電極形成層に対して第1の絶縁層で絶縁した基準電極層を有し、

前記画素形成層は、前記第1の絶縁層の上層にゲート絶縁層、パッシベーション層、画素電極をこの順で有し、かつ前記第1の絶縁層より上層で前記画素電極と接続した容量電極層を有し、

前記画素電極と前記基準電極層および前記容量電極層で画素の保持容量を形成する。

【0051】

この構成により、画素の開口率が向上し、導電層の面積が大きいため給電抵抗が低減できる。さらに容量電極層の面積、形状で保持容量を調整できるため、開口率と保持容量の両立が容易になる。さらに、パッシベーション層と画素電極の間に有機絶縁層を設けた場合には、画素電極とドレイン線の重畳が可能となり、さらに開口率が向上する。画素電極とドレイン線を重畳した場合に、ドレイン線の延在方向近傍と画素電極の間の遮光層を省略できるため、またさらに開口率が向上する。

【0052】

(21) : (20)において、前記基準電極層が前記ゲート線と平行、かつ前記画素電極の形成領域に重畳して前記ゲート線の延在方向に有する。

【0053】

この構成により、ゲート線と基準電極層の間の容量が低減され、電位の安定化を図ることができる。

【0054】

(22) : (20)において、前記基準電極層が前記第1の基板の前記ゲート線と前記ドレイン線および前記画素電極の形成領域を含む領域に有する。

10

20

30

40

50

## 【 0 0 5 5 】

この構成により、基準電極層が、所謂べた電極であることで給電抵抗がさらに低減され、かつ給電方向の制限が無くなる。

## 【 0 0 5 6 】

( 2 3 ) : ( 2 0 ) において、前記スイッチング素子は、前記ゲート絶縁層の上に前記パッシベーション層に形成したスルーホールを介して前記画素電極と接続するソース電極を有し、前記容量電極層は前記ソース電極に接続して前記画素電極の領域に有する。

## 【 0 0 5 7 】

この構成により、前記容量電極層の大きさを変えることで保持容量を調整できる。

## 【 0 0 5 8 】

( 2 4 ) : ( 2 0 ) において、前記第 1 の絶縁層がカラーフィルタである。

## 【 0 0 5 9 】

この構成により、画素の開口率が向上し、導電層の面積が大きいため給電抵抗が低減できる。また、第 1 の基板にカラーフィルタ層を形成するため、第 2 の基板との位置合わせ裕度が大きくなる。

## 【 0 0 6 0 】

( 2 5 ) : ( 2 0 ) において、前記容量電極層をパッシベーション層上に有し、パッシベーション層上に有機絶縁層を有し、前記画素電極は前記有機絶縁層上に形成され、前記画素電極は前記有機絶縁層に形成したスルーホールを介して前記容量電極層に接続した。

## 【 0 0 6 1 】

この構成により、前記容量電極層の大きさを変えることで保持容量を調整できる。

## 【 0 0 6 2 】

( 2 6 ) : ( 2 0 ) において、前記容量電極層をゲート絶縁層上に有し、前記画素電極を前記パッシベーション層に形成したスルーホールを介して前記容量電極層に接続した。

## 【 0 0 6 3 】

この構成により、前記容量電極層の大きさを変えることで保持容量を調整できる。

## 【 0 0 6 4 】

( 2 7 ) : ( 2 0 ) において、前記容量電極層を前記第 1 の絶縁層上に有し、前記画素電極を前記パッシベーション層を貫通し前記ゲート絶縁層に形成したスルーホールを介して前記容量電極層に接続した。

## 【 0 0 6 5 】

この構成により、導電層と画素電極との間に形成される保持容量を画素電極がパッシベーション層とゲート絶縁層とを貫通する面積で調整できる。

## 【 0 0 6 6 】

( 2 8 ) : ( 2 0 ) において、前記第 1 の絶縁層が有機絶縁層である。

## 【 0 0 6 7 】

この構成により、前記基準電極層と前記電極形成層の間の電氣的距離を向き絶縁層の場合より離間できる。そして基準電極層と前記ゲート線およびドレイン線との寄生容量を低減できる。

## 【 0 0 6 8 】

( 2 9 ) : ( 2 0 ) において、前記ドレイン線の延在方向近傍と前記画素電極の間を遮光する遮光層を有する。

## 【 0 0 6 9 】

この構成により、光漏れを防止できる。

## 【 0 0 7 0 】

( 3 0 ) : ( 2 0 ) において、前記第 2 の基板の内面に、前記画素電極との間で画素を構成する共通電極を有する。

## 【 0 0 7 1 】

( 3 1 ) : 第 1 の基板と第 2 の基板の対向間隙に液晶を挟持し、前記第 1 の基板の内面に、第 1 の方向に延在し互いに並設された複数のゲート線および前記ゲート線と交差する第

10

20

30

40

50

2の方向に延在し互いに並設された複数のドレイン線と、前記ゲート線とドレイン線の交差部に設けられた複数のスイッチング素子と、前記アクティブ素子で駆動される画素電極を少なくとも有し、前記複数の画素電極で画素領域が構成される液晶表示装置であって、前記第1の基板の前記画素領域を含んで前記ゲート線、ドレイン線、スイッチング素子、画素電極を形成する電極形成層と前記第1の基板側との間に当該電極形成層に対して第1の絶縁層で絶縁した基準電極層を有し、  
前記電極形成層は、前記第1の絶縁層の上層にゲート絶縁層、パッシベーション層、画素電極をこの順で有し、かつ前記第1の絶縁層と前記パッシベーション層の間に前記画素電極と接続した容量電極層を有し、  
前記画素電極と前記基準電極層および前記容量電極層で画素の保持容量を形成する。

10

【0072】

この構成により、画素の開口率が向上し、基準電極層の面積が大きいため給電抵抗が低減、かつ容量電極層の面積、形状で保持容量を調整できる。

【0073】

(32) : (31)において、前記基準電極層が前記ゲート線と平行、かつ前記画素電極の形成領域に重畳して前記ゲート線の延在方向に有する。

【0074】

この構成により、ゲート線と基準電極層の間の容量が低減され、配線間寄生容量の増大を抑制することができ、また電位の安定化を図ることができる。

【0075】

20

(33) : (31)において、前記基準電極層が前記第1の基板の前記ゲート線と前記ドレイン線および前記画素電極の形成領域を含む領域に有する。

【0076】

この構成により、基準電極層が所謂べた電極であることで給電抵抗がさらに低減され、かつ給電方向の制限が無くなる。

【0077】

(34) : (31)において、前記有機絶縁層がカラーフィルタである。

【0078】

この構成により、画素の開口率が向上し、基準電極層の面積が大きいため給電抵抗が低減できると共に、カラーフィルタが有機膜であることにより配線間寄生容量が低減できる。また、第1の基板にカラーフィルタ層を形成するため、第2の基板との位置合わせ裕度が大きくなる。

30

【0079】

(35) : (31)において、前記第1の絶縁層が有機絶縁層である。

【0080】

この構成により、前記基準電極層と前記電極形成層の間の電氣的距離を向き絶縁層の場合より離間できる。そして基準電極層と前記ゲート線およびドレイン線との寄生容量を低減できる。

【0081】

(36) : (31)において、前記ドレイン線の延在方向近傍と前記画素電極の間を遮光する遮光層を有する。

40

【0082】

この構成により、光漏れを防止できる。

【0083】

(37) : (31)において、前記容量電極層を前記第1の絶縁層上に有し、前記容量電極層を前記第1の絶縁層を貫通したスルーホールを介して前記基準電極層に接続した。

【0084】

この構成により、基準電極層と画素電極との間に形成される保持容量を基準電極層に接続した容量電極層の面積で調整できる。

【0085】

50

(38) : (31)において、前記容量電極層をゲート絶縁層上に有し、前記容量電極層を前記ゲート絶縁層を貫通したスルーホールを介して前記基準電極層に接続した。

【0086】

この構成により、基準電極層と画素電極との間に形成される保持容量を基準電極層に接続した容量電極層の面積で調整できる。

【0087】

(39) : (31)において、前記容量電極層を前記パッシベーション層上に有し、前記容量電極層を前記パッシベーション層と前記ゲート絶縁層および前記第1の絶縁層を貫通したスルーホールを介して前記容量電極層に接続した。

【0088】

この構成により、基準電極層と画素電極との間に形成される保持容量を基準電極層に接続した容量電極層の面積で調整できる。

【0089】

(40) : (31)において、さらに前記容量電極層をゲート絶縁層上に有すると共に、前記第1の絶縁層上に第2の容量電極層を有し、前記画素電極をパッシベーション層に形成したスルーホールを介して前記容量電極層に接続すると共に、前記第2の容量電極層を前記第1の絶縁層に形成したスルーホールを介して前記基準電極層に接続した。

【0090】

この構成により、保持容量は容量電極層と第2の容量電極層との面積で容易に調整できる。また保持容量をさらに増大することが出来る。

【0091】

(41) : (31)において、前記第1の絶縁層が有機絶縁層である。

【0092】

この構成により、前記基準電極層と前記電極形成層の間の電氣的距離を向き絶縁層の場合より離間できる。そして基準電極層と前記ゲート線およびドレイン線との寄生容量を低減できる。

【0093】

(42) : (31)において、前記ドレイン線の延在方向近傍と前記画素電極の間を遮光する遮光層を有する。

【0094】

この構成により、光漏れを防止できる。

【0095】

(43) : (31)において、前記第2の基板の内面に、前記画素電極との間で画素を構成する共通電極を有する。

【0096】

(44) : 第1の基板と第2の基板の対向間隙に液晶を挟持し、前記第1の基板の内面に、第1の方向に延在し互いに並設された複数のゲート線および前記ゲート線と交差する第2の方向に延在し互いに並設された複数のドレイン線と、前記ゲート線とドレイン線の交差部に設けられた複数のスイッチング素子と、前記アクティブ素子で駆動される画素電極と前記画素電極との間で画素駆動用の電界を生成する対向電極とを少なくとも有し、前記複数の画素電極で画素領域が構成される液晶表示装置であって、前記第1の基板の前記画素領域を含んで前記ゲート線、ドレイン線、スイッチング素子、画素電極を形成する電極形成層と前記第1の基板側との間に当該電極形成層に対して第1の絶縁層で絶縁した基準電極層を有し、前記画素電極と前記基準電極層の間に画素の保持容量を形成する。

【0097】

この構成により、開口率と保持容量の両立が実現する。また保持容量を形成するための画素電極や配線の面積を大きくする必要がないため開口率が向上する。また、基準電極層の面積が大きいために給電抵抗が低減できる。

【0098】

10

20

30

40

50

(45) : (44)において、前記対向電極を前記有機絶縁層上に有し、前記対向電極が前記第1の絶縁層に形成したスルーホールを介して前記基準電極層に接続されている。

【0099】

この構成により、基準電極層の面積が大きいために対向電極への給電抵抗が低減できる。

【0100】

(46) : (44)において、前記対向電極を前記ゲート絶縁層上に有し、前記対向電極が前記ゲート絶縁層と前記第1の絶縁層に形成したスルーホールを介して前記基準電極層に接続されている。

【0101】

この構成により、基準電極層の面積が大きいため給電抵抗が低減できる。

10

【0102】

(47) : (44)において、前記対向電極を前記パッシベーション層上に有し、前記対向電極が前記パッシベーション層と前記ゲート絶縁層および前記第1の絶縁層に形成したスルーホールを介して前記基準電極層に接続されている。

【0103】

この構成により、基準電極層の面積が大きいため給電抵抗が低減できる。

【0104】

(48) : (44)において、前記基準電極層が前記ゲート線と平行、かつ前記画素電極の形成領域に重畳して前記ゲート線の延在方向に有する。

【0105】

この構成により、ゲート線と基準電極層の間の寄生容量が低減され、また電位の安定化を図ることができる。

20

【0106】

(49) : (44)において、前記基準電極層が前記第1の基板の前記ゲート線と前記ドレイン線および前記画素電極の形成領域を含む領域に有する。

【0107】

この構成により、基準電極層が、所謂べた電極であることで給電抵抗がさらに低減され、かつ給電方向の制限が無くなる。

【0108】

(50) : (44)において、前記対向電極は第1の絶縁層上に有すると共に、ドレイン線と交差して隣接画素領域に延在し、当該隣接画素領域の基準電極層に前記第1の絶縁層に形成したスルーホールを介して接続されている。

30

【0109】

この構成により、仮にスルーホールの形成が不十分であっても隣接画素側から対向電極を通して給電がなされる。また、各対向電極と各基準電極とを接続するスルーホールを各画素毎に複数形成する場合には、当該電極層間の接続の信頼性を向上できる。

【0110】

(51) : (44)において、前記対向電極は有機絶縁層上に有し、前記ゲート絶縁層上でドレイン線と交差して隣接画素領域に延在する導電層を有し、前記対向電極は前記ゲート絶縁層に形成したスルーホールを介して前記導電層に接続し、かつ前記導電層は前記第1の絶縁層に形成したスルーホールを介して前記基準電極層に接続されている。

40

【0111】

この構成により、仮にスルーホールの形成が不十分であっても隣接画素側から導電層を通して給電がなされる。また、各対向電極と各基準電極とを接続するスルーホールを各画素毎に複数形成することで、当該電極層間の接続の信頼性を向上できる。

【0112】

(52) : (44)において、前記対向電極はパッシベーション層上に有し、前記ゲート絶縁層上でドレイン線と交差して隣接画素領域に延在する導電層を有し、前記対向電極は前記パッシベーション層と前記ゲート絶縁層に形成したスルーホールを介して前記導電層に接続し、かつ前記導電層は前記第1の絶縁層に形成したスルーホールを介して前記基準

50

電極層に接続される。

【0113】

(53) : (44)において、前記第1の絶縁層の下層に有する前記基準電極と前記第1の基板の間にカラーフィルタ層を有する。

【0114】

この構成により、カラーフィルタ層は前記基準電極で液晶層と隔離されるため、カラーフィルタ層の構成材料による液晶の汚染が阻止される。

【0115】

(54) : (44)において、前記対向電極は前記第1の絶縁層上に前記ゲート線の延在方向と平行で、かつ画素領域にわたって形成され、各画素領域における前記基準電極に前記第1の絶縁層に形成したスルーホールを介して接続する。

10

【0116】

この構成により、保持容量は対向電極と画素電極の重畳部分で形成され、ゲート絶縁層は保持容量の誘電体となり、保持容量を増大させる場合に好適である。

【0117】

(55) : (44)において、前記対向電極を各画素領域における前記基準電極に前記第1の絶縁層と前記ゲート絶縁層とを貫通して形成したスルーホールを介して接続し、前記対向電極と前記画素電極の重畳部分で保持容量を形成する。

【0118】

(56) : (44)において、前記画素電極は前記ゲート絶縁層上に有し、前記対向電極は前記ゲート絶縁層下に有し、前記対向電極は前記第1の絶縁層に形成したスルーホールを介して前記基準電極に接続し、前記対向電極と前記画素電極とで保持容量を形成する。

20

【0119】

(57) : (44)において、前記画素電極は前記対向電極と同層である。

【0120】

(58) : (44)において、前記対向電極は前記画素電極より上層に配置され、ゲート絶縁膜と第1の絶縁膜に形成されたスルーホールを介して前記基準電極に接続している。

【0121】

(59) : (44)において、前記第1の絶縁層が有機絶縁層である。

【0122】

(60) : 第1の基板と第2の基板の対向間隙に液晶を挟持し、前記第1の基板の内面に、第1の方向に延在し互いに並設された複数のゲート線および前記ゲート線と交差する第2の方向に延在し互いに並設された複数のドレイン線と、前記ゲート線とドレイン線の交差部に設けられた複数のスイッチング素子とを少なくとも有し、前記複数の画素電極で画素領域が構成される液晶表示装置であって、

前記第1の基板の前記画素領域を含んで前記ゲート線、ドレイン線、スイッチング素子、画素電極を形成する電極形成層と前記第1の基板側との間に当該電極形成層に対して第1の絶縁層で絶縁して前記画素領域の全域に重畳して基準電極を兼用する対向電極層を有し、

前記画素電極と前記対向電極層の間に画素の保持容量を形成する。

40

【0123】

この構造により、保持容量に対する給電抵抗が大幅に低減され、画質が向上する。また開口率と保持容量の両立が実現する。

【0124】

(61) : (60)において、前記対向電極層が前記ゲート線と平行、かつ前記画素電極の形成領域に重畳して前記ゲート線の延在方向に有する。

【0125】

この構成により、独立した基準電極層を要せず、ゲート線と導電層の間の寄生容量が低減され、また電位の安定化を図ることができる。

【0126】

50

(62) : (60)において、前記対向電極層が前記第1の基板の前記ゲート線と前記ドレイン線および前記画素電極の形成領域を含む領域に有する。

【0127】

この構成により、対向電極層が、所謂べた電極であることで給電抵抗がさらに低減され、かつ給電方向の制限が無くなる。

【0128】

(63) : (60)において、前記画素電極の下層の絶縁層の層構成の全部または一部、および領域の全部または一部を除去した。

【0129】

この構成により、画素電極と対向電極との間に生成される電界強度が増大し、駆動電圧を低減することができる。

10

【0130】

(64) : (60)において、前記対向電極層上に前記ゲート線の延在方向と平行に当該対向電極を隣接する対向電極に接続する接続線を有する。

【0131】

(65) : (60)において、前記対向電極層下に前記ゲート線の延在方向と平行に当該対向電極を隣接する対向電極に接続する接続線を有する。

【0132】

上記(64)または(65)の構成により、仮にスルーホールが不十分であっても隣接画素側から接続線を通して給電がなされる。また、各対向電極と各基準電極とを接続するスルーホールを各画素毎に複数形成する場合には、当該電極層間の接続の信頼性を向上できる。

20

【0133】

(66) : (60)において、前記第1の絶縁層は前記画素領域内の一部で除去されている。

【0134】

本構成により、画素領域内に駆動電圧の異なる複数の領域を形成でき、マルチドメイン効果を得ることができる。

【0135】

(67) : (60)において、前記第1の絶縁層の下層に有する前記基準電極と前記第1の基板の間にカラーフィルタ層を有する。

30

【0136】

(68) : (60)において、前記第1の絶縁層が有機絶縁層である。

【0137】

(69) : (68)において、前記有機絶縁層がカラーフィルタである。

【0138】

(70) : 第1の基板と第2の基板の対向間隙に液晶を挟持し、前記第1の基板の内面に、第1の方向に延在し互いに並設された複数のゲート線および前記ゲート線と交差する第2の方向に延在し互いに並設された複数のドレイン線と、前記ゲート線とドレイン線の交差部に設けられた複数のスイッチング素子と、前記アクティブ素子で駆動される画素電極と前記画素電極との間で画素駆動用の電界を生成する対向電極とを少なくとも有し、前記複数の画素電極で画素領域が構成される液晶表示装置であって、

40

前記第1の基板の前記画素領域を含んで前記ゲート線、ドレイン線、スイッチング素子、画素電極を形成する電極形成層と前記第1の基板側との間に当該電極形成層に対して第1の絶縁層で絶縁した基準電極層を有し、

前記電極形成層は、前記第1の絶縁層の上層にゲート絶縁層、パッシベーション層、有機絶縁層、対向電極をこの順で積層してなり、

前記対向電極層は、前記画素領域の前記ゲート線の延在方向に隣接する画素領域および前記ドレイン線の延在方向に隣接する画素領域にわたって共有され、

かつ前記対向電極層は、前記有機絶縁層、パッシベーション層、ゲート絶縁層、第1の絶

50

縁層を電氣的に貫通するスルーホールを介して前記基準電極層に接続し、前記画素電極と前記基準電極層の間に画素の保持容量を形成する。

【0139】

この構成により、開口率が向上する。また、基準電極層の面積が極めて大きいため給電抵抗を大幅に低減できる。

【0140】

(71) : (70)において、前記画素電極の下層であり、前記第1の絶縁層と前記ゲート絶縁層の間に形成された容量電極層を有し、該容量電極層は前記基準電極層とスルーホールを介して接続されている。

【0141】

この構成により、保持容量を容量電極層で増加させ、調整することができる。

【0142】

(72) : (70)において、前記画素電極下の前記第1の絶縁層に除去領域を設けた。

【0143】

この構成により、画素電極と基準電極層の間に形成される保持容量を増大させることができる。

【0144】

(73) : (70)において、前記第1の絶縁層が有機絶縁層である。

【0145】

(74) : (73)において、前記有機絶縁層がカラーフィルタである。

【0146】

(75) : 第1の基板の内面に、第1の方向に延在し互いに並設された複数のゲート線および前記ゲート線と交差する第2の方向に延在し互いに並設された複数のドレイン線と、前記ゲート線とドレイン線の交差部に設けられた複数のスイッチング素子と、前記アクティブ素子で駆動される画素電極を少なくとも有する画像表示装置であって、前記第1の基板の画素領域に前記ゲート線、ドレイン線、スイッチング素子、および画素電極を形成する電極形成層と、前記第1の基板側との間に当該電極形成層に対して第1の絶縁層で絶縁した基準電極層を有し、前記基準電極層はほぼ画素領域全面に形成され、複数の画素で共有される。

【0147】

(76) : (75)において、前記スイッチング素子を構成する半導体層が結晶性を有する。

【0148】

(77) : 基板と結晶性を有する半導体の間に少なくとも半導体層側に絶縁層を介して形成された基準電極層を有し、前記基準電極層はほぼ画素領域全面に形成され、複数の画素で共有される。

【0149】

(78) : (77)において前記基準電極層が透明電極であることを特徴とする。

【0150】

(79) : 基板の上にほぼ画素領域全面に形成され、複数の画素で共有される基準電極層を形成する第1のプロセスと、絶縁層を形成する第2のプロセスと、半導体層を形成する第3のプロセスを少なくともこの順番で有し、その後前記半導体層にレーザーを照射する第4のプロセスを有すること特徴とする画像表示装置の製造方法を用いる。

【0151】

(80) : 基板の上にほぼ画素領域全面に形成され、複数の画素で共有される基準電極層を形成する第1のプロセスと、絶縁層を形成する第2のプロセスと、半導体層を形成する第3のプロセスを少なくともこの順番で有し、その後前記半導体層にイオンを注入する第4のプロセスを有すること特徴とする画像表示装置の製造方法を用いる。

【0152】

なお、本発明は、上記の各構成および後述する実施例の構成に限定されるものではなく、

10

20

30

40

50

本発明の技術思想を逸脱することなく種々の変形が可能であることは言うまでもない。

【 0 1 5 3 】

【発明の実施の形態】

以下、本発明の実施の形態について、実施例の図面を参照して詳細に説明する。図1は本発明の第1実施例の画素構成を模式的に説明する縦電界型の液晶表示装置の一画素近傍の平面図である。図中、参照符号P Xは画素電極、D Lはドレイン線（映像信号線またはデータ線）、G Lはゲート線（走査線）、S Mは画素電極とドレイン線の間を遮光する遮光膜（シールドメタル）、S Tは基準電極層（導電層とも言う）、S D 1はソース電極、S D 2はドレイン電極、A Sは半導体層、T Hはスルーホールを示す。なお、上記のゲート線、ドレイン線、各電極は、断面で説明する場合は電極層とも称する。

10

【 0 1 5 4 】

図2は図1のI - I線に沿った断面図、図3は図1のII - II線に沿った断面図である。参照符号S U B 1は第1の基板、S Tは基準電極層、O - P A Sは有機絶縁層、P A Sはパッシベーション層、A Lは配向膜、C Tは共通電極、C Fはカラーフィルタ、B Mはブラックマトリクス、S U B 2は第2の基板を示す。

【 0 1 5 5 】

図1～図3において、この液晶表示装置は、第1の基板S U B 1と第2の基板S U B 2の対向間隙に液晶（以下、液晶層とも言う）L Cを挟持している。第1の基板S U B 1の内面には、第1の方向に延在し互いに並設された複数のゲート線G Lおよびゲート線と交差して第2の方向に延在し互いに並設された複数のドレイン線G Lを有する。

20

【 0 1 5 6 】

ゲート線G Lとドレイン線D Lの交差部にはスイッチング素子として薄膜トランジスタT F Tが設けられている。この薄膜トランジスタT F Tはゲート線G Lをゲート電極とし、ドレイン線D Lから延びるドレイン電極S D 2と半導体層A S、ソース電極S D 1で構成される。なお、以下の実施例では、薄膜トランジスタについての説明は省略する。

【 0 1 5 7 】

薄膜トランジスタT F Tのソース電極S D 1はスルーホールT Hを介して画素電極層P Xに接続されている。この画素電極層P Xは画素領域のほとんどの部分に形成されて、液晶表示装置の表示領域を構成している。第1の基板S U B 1の画素領域を含んでゲート線G L、ドレイン線D L、薄膜トランジスタT F T、および画素電極P Xを形成する多層部分を電極形成層と言う。この電極形成層と第1の基板側S U B 1との間に当該電極形成層に対して有機絶縁層O - P A Sで絶縁した基準電極層S Tを有している。

30

【 0 1 5 8 】

なお、後述の各実施例を含めてO - P A Sとして有機絶縁層の代わりに無機絶縁層を用いてもよい。有機絶縁層とすることで、基準電極層とゲート線G Lおよびドレイン線D Lとの寄生容量をさらに低減することができる。

【 0 1 5 9 】

上記電極形成層は、有機絶縁層O - P A Sの上層にゲート線層G L、ゲート絶縁層G I、ドレイン線層D L、薄膜トランジスタT F T、パッシベーション層P A S、および画素電極層P Xをこの順で有する。そして、画素電極層P Xと基準電極層S Tの間に画素の保持容量（所謂、C s t g）を形成する。すなわち、この保持容量はパッシベーション層P A S、ゲート絶縁層G I、および有機絶縁層O - P A Sを誘電体として画素電極層P Xと基準電極層S Tの間に形成される。基準電極層S Tは画素領域のほとんどをカバーした広い面積に形成されている。

40

【 0 1 6 0 】

この有機絶縁層O - P A Sの材料としては、例えばポリシラザンを用いる。これをS O G（スピノンガラス）法で塗布する。配線間の寄生容量低減には、低誘電率の有機膜材料が有効であり、例えばポリイミド、ポリアミド、ポリイミドアミド、アクリル、ポリアクリル、ベンゾシクロブテン、等、種々の有機材料を用いることができる。また、透過型液晶表示装置では透光性を有せしめることが必要で、透光率は高いことが望ましい。透光率

50

の向上に有効なのは、既存の材料層を利用することである。すなわち、カラーフィルタ層を上記の有機絶縁層として利用すれば、透光性を阻害することが少ない。この有機絶縁層の形成プロセスを低減するためには当該層材料が感光性を有することが望ましい。この点は後述の各実施例でも同様である。

【0161】

ゲート絶縁層下でスルーホールを形成する構成では、フォトリソグラフィープロセス数が低減できるからである。また、ゲート絶縁層に設けたスルーホールと同位置で有機絶縁層にスルーホールを設ける場合には、当該ゲート絶縁層あるいはその上層の絶縁層からのスルーホール加工時に、上層の絶縁層をマスクとしたパターニング、あるいは一括加工等を採用できるため、この場合は感光性である必要はない。しかし、通常、同一のプロセス、材料にて種々の構成の製品を製造するため、多品種を同一製造ラインで製造するためには、感光性を有する材料を用いるのは望ましい。この点も後述の各実施例についても同様である。

10

【0162】

また、有機絶縁層O-PASの膜厚は、当業者であれば後述する実施例の開示内容に基づいて、各構成毎にシミュレーションにより容易に設定可能である。すなわち、この膜厚は、基板の平面構造、断面構造、有機絶縁層の誘電率などの値からの特性曲線から算出でき、これを利用して、配線抵抗、周辺の駆動回路の性能、使用する液晶材料、目標とする画質等に関する製品毎、あるいは設計思想に対応した範囲を選択することで実際の膜厚を設定することができる。これに関しては後述の各実施例においても同様である。

20

【0163】

このような構成としたことにより、保持容量に対する給電抵抗が大幅に低減され、画素の開口率と保持容量を両立した液晶表示装置を得ることができる。画素領域に給電線を設ける必要がないため、その場合には画素の開口率が向上する。また、画素電極と基準電極層の間に形成されるパッシベーション層、ゲート絶縁層、誘電率の小さい有機絶縁層で蓄積容量が形成される。液晶層からみた基準電極層までの距離を無機の絶縁層のみの場合に比べて大幅に離間させることが可能となり、液晶の駆動用電界への基準電極層の電界の影響が軽減される。

【0164】

また、本実施例では、基準電極層STはゲート線GLの延在方向と平行、かつ画素電極の形成領域に重畳してゲート線GLの延在方向に有するように構成しても良い。これにより、ゲート線GLと基準電極層の間の容量が低減され、寄生容量の増大を抑制することができる。また電位の安定化を図ることができる。

30

【0165】

図4は本発明の第2実施例の画素構成を模式的に説明する縦電界型の液晶表示装置の一画素近傍の平面図、図5は図4のI-I線に沿った断面図、図6は図4のII-II線に沿った断面図である。図中の前記実施例の図面と同一参照符号は同一機能部分に相当する。

【0166】

本実施例では、基準電極層STが第1の基板SUB1のゲート線層GLとドレイン線DLおよび画素電極層PXの形成領域を含む領域に有する。保持容量は画素電極層PXと基準電極層STの間に形成される。なお、本実施例では、基準電極層STがゲート線層GLの下層に形成するため、両電極層の寄生容量を考慮して有機絶縁層O-PASの厚みは、例えば1 $\mu$ m以上とすることが望ましい。

40

【0167】

この構成により、第1実施例と同様の効果に加え、基準電極層STが、所謂べた電極であることで給電抵抗がさらに低減され、かつ給電方向の制限が無くなる。

【0168】

図7は本発明の第3実施例の画素構成を模式的に説明する縦電界型の液晶表示装置の一画素近傍の平面図、図8は図7のI-I線に沿った断面図である。図中の前記実施例の図面と同一参照符号は同一機能部分に相当する。画素形成層は、有機絶縁層O-PASの上層

50

にゲート線層 G L、ゲート絶縁層 G I、ドレイン線層 D L、薄膜トランジスタ T F T、パッシベーション層 P A S、画素電極 P Xをこの順で有する。画素領域における画素電極 P Xの全部または一部がパッシベーション層 P A Sを貫通してゲート絶縁層 G Iに接している。

【 0 1 6 9 】

本実施例の構成により、前記各実施例の効果に加え、基準電極層 S Tと画素電極 P Xとの間に形成される蓄積容量を画素電極 P Xがパッシベーション層 P A Sを貫通する面積で調整できる。

【 0 1 7 0 】

図 9 は本発明の第 4 実施例の画素構成を模式的に説明する縦電界型の液晶表示装置の一画素近傍の図 8 の I - I 線に沿った断面図である。図中の前記実施例の図面と同一参照符号は同一機能部分に相当する。

10

【 0 1 7 1 】

画素形成層は、有機絶縁層 O - P A Sの上層にゲート線層 G L、ゲート絶縁層 G I、ドレイン線層 D L、薄膜トランジスタ T F T、パッシベーション層 P A S、画素電極 P Xをこの順で有し、画素領域における画素電極 P Xの全部または一部がパッシベーション層 P A Sとゲート絶縁層 G Lとを貫通して有機絶縁層に接している。

【 0 1 7 2 】

本実施例の構成により、基準電極層 S Tと画素電極 P Xとの間に形成される蓄積容量を画素電極 P Xがパッシベーション層 P A Sとゲート絶縁層 G Iとを貫通する面積で調整できる。

20

【 0 1 7 3 】

図 1 0 は本発明の第 5 実施例の画素構成を模式的に説明する縦電界型の液晶表示装置の一画素近傍の平面図である。本実施例は上記第 4 実施例の変形例であり、画素電極 P Xの領域内の一部でゲート絶縁層 G Iを除去したものである。本実施例の効果は第 4 実施例と同様であり、加えてゲート絶縁層 G Iの欠如により透過率が向上する。

【 0 1 7 4 】

図 1 1 は本発明の第 6 実施例の画素構成を模式的に説明する縦電界型の液晶表示装置の一画素近傍の平面図である。本実施例では、薄膜トランジスタ T F Tはゲート絶縁層 G Iの上にパッシベーション層 P A Sに形成したスルーホール T Hを介して画素電極 P Xと接続するソース電極 S D 1を有し、このソース電極 S D 1の一部を画素電極 P Xの領域内に拡大した。ソース電極 S D 1の拡大は、ゲート線 G Lまたはドレイン線 D Lに沿った延長部 S D 1 Eとして形成するのが好適である。

30

【 0 1 7 5 】

本実施例の構成により、前記各実施例の効果に加えてソース電極 S D 1の延長部 S D 1 Eの長さ、または幅を変え、すなわちソース電極 S D 1が画素電極 P Xと重畳する面積を変えることで蓄積容量を調整できる。

【 0 1 7 6 】

図 1 2 は本発明の第 7 実施例の画素構成を模式的に説明する縦電界型の液晶表示装置の一画素近傍の平面図、図 1 3 は図 1 2 の I - I 線に沿った断面図、図 1 4 は図 1 2 の II - II 線に沿った断面図である。図中の前記実施例の図面と同一参照符号は同一機能部分に相当する。

40

【 0 1 7 7 】

本実施例の液晶表示装置は、第 1 の基板 S U B 1 の画素領域を含んでゲート線層 G L、ドレイン線層 D L、薄膜トランジスタ T F T、画素電極 P Xを形成する電極形成層と第 1 の基板 S U B 1 側との間に当該電極形成層に対して第 1 の有機絶縁層 O - P A S 1 で絶縁した基準電極層 S Tを有する。画素形成層は、第 1 の有機絶縁層 O - P A S 1 の上層にゲート線層 G L、ゲート絶縁層 G I、ドレイン線層 D L、薄膜トランジスタ T F T、パッシベーション層 P A S、第 2 の有機絶縁層 O - P A S 2、画素電極 P Xをこの順で有する。そして、画素電極 P Xと基準電極層 S Tで画素の保持容量を形成する。

50

## 【0178】

本実施例の構成により、画素の開口率が向上し、導電層の面積が大きいために給電抵抗が低減できる。また、スイッチング素子の上層にも有機絶縁層を設けた場合には、画素電極とドレイン線の重畳が可能となり、さらに開口率が向上する。画素電極とドレイン線を重畳した場合に、ドレイン線の延在方向近傍と画素電極の間の遮光層を省略できるため、またさらに開口率が向上する。

## 【0179】

また、前記基準電極層STがゲート線層GLと平行、かつ画素電極層PXの形成領域に重畳してゲート線層GLの延在方向に形成されている。これにより、ゲート線層と導電層の間の寄生容量が低減され、また電位の安定化を図ることができる。

10

## 【0180】

さらに、前記基準電極層が前記第1の基板SUB1のゲート線層GLとドレイン線層DLおよび画素電極層PXの形成領域を含む領域に有する。この構成により、基準電極層STが、所謂べた電極であることで給電抵抗がさらに低減され、かつ給電方向の制限が無くなる。

## 【0181】

図15は本発明の第8実施例の画素構成を模式的に説明する縦電界型の液晶表示装置の一画素近傍の平面図、図16は図15のI-I線に沿った断面図、図17は図15のII-II線に沿った断面図である。図中の前記実施例の図面と同一参照符号は同一機能部分に相当する。

20

## 【0182】

本実施例は、前記第1の有機絶縁層をカラーフィルタCFとすることで、画素電極層PXと基準電極層STの間に形成される誘電率の小さい有機絶縁層O-PAS、パッシベーション層PAS、ゲート絶縁層DI、カラーフィルタ層CFで保持容量が形成されるため、基準電極層とゲート線およびドレイン線との寄生容量の増大を抑制できる。また、第1の基板SUB1にカラーフィルタ層CFを形成するため、第2の基板SUB2との位置合わせ裕度が大きくなり、画素の開口率が向上し、導電層の面積が大きいために給電抵抗が低減できる。

## 【0183】

図18は本発明の第9実施例の画素構成を模式的に説明する縦電界型の液晶表示装置の図15のI-I線に沿った断面図、図19は同じく図18のII-II線に沿った断面図である。図中の前記実施例の図面と同一参照符号は同一機能部分に相当する。

30

## 【0184】

図17に示した実施例では、カラーフィルタCFの境界を遮光するブラックマトリクスBMを第2の基板SUB2側に形成した。本実施例では、このブラックマトリクスBMを第1の基板SUB1側に設けたものである。

## 【0185】

また、第8及び第9実施例において、前記基準電極層STはゲート線層GLと平行、かつ画素電極層PXの形成領域に重畳してゲート線層GLの延在方向に形成されている。

## 【0186】

この構成により、ゲート線層GLと基準電極層STの間の寄生容量が低減される。また電位の安定化を図ることができる。

40

## 【0187】

また、基準電極層STを第1の基板SUB1のゲート線層GLとドレイン線層DLおよび画素電極層PXの形成領域を含む領域に有する、所謂べた電極として給電抵抗をさらに低減し、かつ給電方向の制限を無くすことができる。

## 【0188】

さらに、カラーフィルタ層CFとゲート絶縁層GIの間に、カラーフィルタ層CFを平坦化するオーバーコート層を形成してもよい。このとき、カラーフィルタ層CFとゲート絶縁層GIの間に基準電極層STを形成してもよい。

50

## 【 0 1 8 9 】

図 2 0 は本発明の第 1 0 実施例の画素構成を模式的に説明する縦電界型の液晶表示装置の一画素近傍の平面図、図 2 1 は図 2 0 の III - III に沿った断面図である。図中の前記実施例の図面と同一参照符号は同一機能部分に相当する。

## 【 0 1 9 0 】

本実施例は、第 1 の基板 SUB 1 の画素領域を含んでゲート線層 GL、ドレイン線層 DL、薄膜トランジスタ TFT、画素電極層 PX を形成する電極形成層と第 1 の基板側 SUB 1 との間に当該電極形成層に対して第 1 の有機絶縁層 O - PAS 1 で絶縁した第 1 の基準電極層 ST を形成してある。そして、第 1 の有機絶縁層 O - PAS 1 の上層にゲート線層 GL、ゲート絶縁層 GI、ドレイン線層 DL、薄膜トランジスタ TFT、パッシベーション層 PAS、第 2 の有機絶縁層 O - PAS 2、画素電極層 PX をこの順で形成し、第 2 の有機絶縁層 O - PAS 2 とパッシベーション層 PAS の間に画素電極 PX と接続した容量電極層 TED を有してある。

10

## 【 0 1 9 1 】

図 2 2 は本発明の第 1 1 実施例の画素構成を模式的に説明する図 2 0 の III - III に沿った断面図である。図中の前記実施例の図面と同一参照符号は同一機能部分に相当する。本実施例は、図 2 1 に示した容量電極層 TED をゲート絶縁層 GI 上で第 2 の有機絶縁層 O - PAS 2 の下層に形成した。

## 【 0 1 9 2 】

図 2 3 は本発明の第 1 2 実施例の画素構成を模式的に説明する図 2 0 の III - III に沿った断面図である。図中の前記実施例の図面と同一参照符号は同一機能部分に相当する。本実施例は、図 2 1 あるいは図 2 2 に示した容量電極層 TED を第 1 の有機絶縁層 O - PAS の上層でゲート絶縁層 GI の下層に形成した。

20

## 【 0 1 9 3 】

上記第 1 0、第 1 1、第 1 2 の実施例の構成により、画素の開口率が向上し、導電層の面積が大きいために給電抵抗が低減できる。また容量電極層 TED の面積、形状で蓄積容量を調整できる。さらに、薄膜トランジスタの上層にも有機絶縁層を設けた場合には、画素電極とドレイン線の重畳が可能となり、さらに開口率が向上する。画素電極とドレイン線を重畳した場合に、ドレイン線の延在方向近傍と画素電極の間の遮光層を省略できるため、またさらに開口率が向上する。

30

## 【 0 1 9 4 】

なお、第 1 の基準電極層 ST はゲート線層 GL と平行、かつ画素電極層 PX の形成領域に重畳してゲート線層 GL の延在方向に形成することができる。これにより、ゲート線層 GL と第 1 の基準電極層 ST の間の寄生容量が低減され、蓄積容量の増大を抑制することができる。また電位の安定化を図ることができる。

## 【 0 1 9 5 】

また、第 1 の基準電極層 ST を第 1 の基板 SUB 1 のゲート線層 GL とドレイン線層 DL および画素電極層 PX の形成領域を含む領域に形成してもよい。この構成により、第 1 の基準電極層 ST が、所謂べた電極であることで給電抵抗がさらに低減され、かつ給電方向の制限が無くなる。

40

## 【 0 1 9 6 】

図 2 4 は本発明の第 1 3 実施例の画素構成を模式的に説明する縦電界型の液晶表示装置の一画素近傍の平面図、図 2 5 は図 2 4 の III - III に沿った断面図である。図中の前記実施例の図面と同一参照符号は同一機能部分に相当する。本実施例では、例えば図 2 0 ~ 図 2 3 で説明した容量電極層 TED を画素領域におけるパッシベーション層 PAS と第 2 の有機絶縁層 O - PAS の間に形成し、スルーホール TH 2 を介して画素電極層 PX に接続した。

## 【 0 1 9 7 】

すなわち、薄膜トランジスタ TFT は、ゲート絶縁層 GI の上にパッシベーション層 PAS に形成したスルーホール TH 1 を介して画素電極 PX と接続するソース電極を有し、容

50

量電極層 T E D はソース電極 S D 1 に接続して画素電極 P X の形成領域に有する。

【 0 1 9 8 】

この構成により、前記容量電極層の大きさを変えることで保持容量を調整できる。なお、第 1 の有機絶縁層 O - P A S をカラーフィルタとすることもできる。

【 0 1 9 9 】

この構成により、画素の開口率が向上し、導電層の面積が大きいために給電抵抗が低減できると共に、画素電極と基準電極層の間に形成される誘電率の小さい有機絶縁層、パッシベーション層、ゲート絶縁層、カラーフィルタ層で保持容量を形成した場合は、寄生容量の増大を抑制できる。また、第 1 の基板にカラーフィルタ層を形成するため、第 2 の基板との位置合わせ裕度が大きくなる。

10

【 0 2 0 0 】

図 2 6 は本発明の第 1 4 実施例の画素構成を模式的に説明する縦電界型の液晶表示装置の一画素近傍の図 2 4 の III - III に沿った断面図である。図中の前記実施例の図面と同一参照符号は同一機能部分に相当する。本実施例では、容量電極層 T E D をゲート絶縁層 G I 上に有する。画素電極を第 2 の有機絶縁層 O - P A S 2 とパッシベーション層 P A S に形成したスルーホールを介して容量電極層 T E D に接続した。

【 0 2 0 1 】

図 2 7 は本発明の第 1 5 実施例の画素構成を模式的に説明する縦電界型の液晶表示装置の一画素近傍の図 2 4 の III - III に沿った断面図である。図中の前記実施例の図面と同一参照符号は同一機能部分に相当する。本実施例では、容量電極層 T E D を第 1 の有機絶縁層 O - P A S 上に有し、画素電極 P X を第 2 の有機絶縁層 O - P A S 2 とパッシベーション層 P A S およびゲート絶縁層 G I を貫通して形成したスルーホール T H 2 を介して容量電極層 T E D に接続した。

20

【 0 2 0 2 】

上記第 1 3 ~ 第 1 5 の実施例の構成により、導電層と画素電極との間に形成される保持容量を容量電極 T E D の面積で調整できる。

【 0 2 0 3 】

また、第 1 3 ~ 第 1 5 の実施例における第 1 の有機絶縁層 O - P A S 1 をカラーフィルタとしてもよい。

【 0 2 0 4 】

この構成により、画素の開口率が向上し、導電層の面積が大きいために給電抵抗が低減できる。また、第 1 の基板にカラーフィルタ層を形成した場合は、第 2 の基板 S U B 2 との位置合わせ裕度が大きくなる。

30

【 0 2 0 5 】

図 2 8 は本発明の第 1 6 実施例の画素構成を模式的に説明する縦電界型の液晶表示装置の一画素近傍の平面図、図 2 9 は図 2 8 の III - III に沿った断面図である。図中の前記実施例の図面と同一参照符号は同一機能部分に相当する。本実施例では、第 1 の基板の前記画素領域を含んで前記ゲート線、ドレイン線、スイッチング素子、画素電極を形成する電極形成層と前記第 1 の基板側との間に当該電極形成層に対して有機絶縁層で絶縁した第 1 の基準電極層を有する。

40

【 0 2 0 6 】

上記電極形成層は、前記有機絶縁層 O - P A S の上層にゲート線層 G L、ゲート絶縁層 G I、ドレイン線層 D L、薄膜トランジスタ T F T、パッシベーション層 P A S、画素電極層 P X をこの順で有し、かつ有機絶縁層 O - P A S とパッシベーション層 P A S の間に画素電極層 P X と接続した容量電極層 T E D を形成してある。そして、画素電極層 P X と第 1 の基準電極層 S T および容量電極層 T E D で画素の保持容量を形成している。

【 0 2 0 7 】

図 2 9 に示したように、容量電極層 T E D をゲート絶縁層 G I 上に有し、ソース電極 S D 1 を容量電極層 T E D に接続した。スイッチング素子 T F T は、ゲート絶縁層 G I の上にパッシベーション層 P A S に形成したスルーホール T H を介して画素電極 P X と接続する

50

ソース電極SD1を有し、容量電極層TEDはソース電極SD1に接続して画素領域に形成されている。

【0208】

この構成により、前記容量電極層の大きさを変えることで蓄積容量を調整できる。また、有機絶縁層O-PASをカラーフィルタ層とすることもできる。

【0209】

本実施例の構成により、画素の開口率が向上し、導電層の面積が大きいために給電抵抗が低減できる。容量電極層TEDの大きさを変えることで保持容量を調整できる。また、第1の基板にカラーフィルタ層を形成した場合は、第2の基板SUB2との位置合わせ裕度が大きくなる。

10

【0210】

図30は本発明の第17実施例の画素構成を模式的に説明する縦電界型の液晶表示装置の一画素近傍の図28のIII-IIIに沿った断面図である。図中の前記実施例の図面と同一参照符号は同一機能部分に相当する。本実施例では、容量電極層TEDを有機絶縁層O-PAS上に有し、ソース電極SD1をゲート絶縁層GIを貫通したスルーホールTHを介して容量電極層TEDに接続した。

【0211】

この構成により、容量電極層TEDと画素電極PXとの間に形成される保持容量を画素電極PXがパッシベーション層PASとゲート絶縁層GIとを貫通する面積で調整できる。また、有機絶縁層をカラーフィルタ層とすることもできる。

20

【0212】

本実施例の構成により、開口率が向上し、第1の基準電極層の面積が大きいために給電抵抗を低減できる。また、有機絶縁層をカラーフィルタ層とした場合は、第2の基板との位置合わせ裕度が大きくなる。

【0213】

図31は本発明の第18実施例の画素構成を模式的に説明する縦電界型の液晶表示装置の一画素近傍の平面図、図32は図31のIII-IIIに沿った断面図である。図中の前記実施例の図面と同一参照符号は同一機能部分に相当する。本実施例では、容量電極層TEDをゲート絶縁層GI上に有し、画素電極層PXをパッシベーション層PASを貫通したスルーホールTH2を介して容量電極層TEDに接続した。また、有機絶縁層O-PASをカラーフィルタ層とすることもできる。

30

【0214】

本実施例の構成により、第1の基準電極層STと画素電極層PXとの間に形成される保持容量を容量電極層TEDの面積で調整できる。また、有機絶縁層O-PASをカラーフィルタ層とすることもできる。

【0215】

図33は本発明の第19実施例の画素構成を模式的に説明する縦電界型の液晶表示装置の一画素近傍の図31のIII-IIIに沿った断面図である。図中の前記実施例の図面と同一参照符号は同一機能部分に相当する。本実施例では、容量電極層TEDを有機絶縁層O-PAS上に有し、画素電極層PXをパッシベーション層PASとゲート絶縁層GIを貫通したスルーホールTH2を介して容量電極層TEDに接続した。

40

【0216】

本実施例の構成により、第1の基準電極層STと画素電極層PXとの間に形成される保持容量を容量電極層TEDの面積で調整できる。また、有機絶縁層O-PASをカラーフィルタ層とすることもできる。

【0217】

図34は本発明の第20実施例の画素構成を模式的に説明する縦電界型の液晶表示装置の一画素近傍の平面図、図35は図34のIII-IIIに沿った断面図である。図中の前記実施例の図面と同一参照符号は同一機能部分に相当する。本実施例では、容量電極層TEDを第1の有機絶縁層O-PAS上に形成し、(34)、(23)において、前記容量電極

50

層を第1の有機絶縁層上に有し、第1の基準電極層O-PAS2を貫通したスルーホールTH2を介して第1の基準電極層STに接続した。

【0218】

この構成により、蓄積容量を第1の基準電極層に接続した容量電極層の面積で調整できる。また、第1の基板にカラーフィルタ層を形成した場合は第2の基板SUB2との位置合わせ裕度が大きくなる。

【0219】

図36は本発明の第21実施例の画素構成を模式的に説明する縦電界型の液晶表示装置の一画素近傍の図34のIII-IIIに沿った断面図である。図中の前記実施例の図面と同一参照符号は同一機能部分に相当する。本実施例では、容量電極層TEDをゲート絶縁層GI上に有し、ゲート絶縁層GIを貫通したスルーホールTH2を介して第1の基準電極層STに接続した。

10

【0220】

本実施例の構成により、蓄積容量を第1の基準電極層に接続した容量電極層の面積で調整できる。また第1の基板にカラーフィルタ層を形成した場合は第2の基板SUB2との位置合わせ裕度が大きくなる。

【0221】

図37は本発明の第22実施例の画素構成を模式的に説明する縦電界型の液晶表示装置の一画素近傍の図34のIII-IIIに沿った断面図である。図中の前記実施例の図面と同一参照符号は同一機能部分に相当する。本実施例では、容量電極層TEDをパッシベーション層PAS上に有し、このパッシベーション層PASとゲート絶縁層GIおよび第1の有機絶縁層STを貫通したスルーホールTHを介して容量電極層TEDに接続した。

20

【0222】

この構成により、導電層と画素電極との間に形成される蓄積容量を第1の基準電極層に接続した容量電極層の面積で調整できる。また、第1の基板にカラーフィルタ層を形成した場合は第2の基板SUB2との位置合わせ裕度が大きくなる。

【0223】

本実施例の構成により、開口率が向上し、導電層の面積が大きいために給電抵抗が低減できる。また、第1の有機絶縁層O-PASをカラーフィルタとした場合は、第2の基板SUB2との位置合わせ裕度が大きくなる。

30

【0224】

図38は本発明の第23実施例の画素構成を模式的に説明する縦電界型の液晶表示装置の一画素近傍の平面図、図39は図38のIII-IIIに沿った断面図である。図中の前記実施例の図面と同一参照符号は同一機能部分に相当する。本実施例では、容量電極層TEDをゲート絶縁層GI上に有し、ゲート絶縁層GIと有機絶縁層O-PASを貫通するスルーホールTH2を介して第1の基準電極層STに接続した。

【0225】

本実施例の構成により、第1の基準電極層STと画素電極層PXとの間に形成される保持容量を第1の基準電極層STに接続した容量電極層TEDの面積で調整できる。また、第1の基板にカラーフィルタ層を形成した場合は第2の基板SUB2との位置合わせ裕度が大きくなる。

40

【0226】

図40は本発明の第24実施例の画素構成を模式的に説明する縦電界型の液晶表示装置の一画素近傍の図38のIII-IIIに沿った断面図である。図中の前記実施例の図面と同一参照符号は同一機能部分に相当する。本実施例では、容量電極層TEDを有機絶縁層O-PAS上に有し、有機絶縁層O-PASを貫通するスルーホールTH2を介して第1の基準電極層STに接続した。

【0227】

本実施例の構成により、第1の基準電極層STと画素電極層PXとの間に形成される保持容量を第1の基準電極層STに接続した容量電極層TEDの面積で調整できる。また、第

50

1の基板にカラーフィルタ層を形成した場合は第2の基板SUB2との位置合わせ裕度が大きくなる。

【0228】

図41は本発明の第25実施例の画素構成を模式的に説明する縦電界型の液晶表示装置の一画素近傍の図38のIII-IIIに沿った断面図である。図中の前記実施例の図面と同一参照符号は同一機能部分に相当する。本実施例では、容量電極層TEDをゲート絶縁層GI上に有すると共に、有機絶縁層O-PAS上に第2の容量電極層TEDDを有する。画素電極PXをパッシベーション層PASに形成したスルーホールTH2を介して容量電極層TEDに接続すると共に、第2の容量電極層TEDDを有機絶縁層O-PASに形成したスルーホールTH3を介して第1の基準電極層STに接続した。

10

【0229】

この構成により、保持容量は容量電極層TEDと第2の容量電極層TEDDとの面積で調整できる。また、第1の基板にカラーフィルタ層を形成した場合は第2の基板SUB2との位置合わせ裕度が大きくなる。

【0230】

図42は本発明の第26実施例の画素構成を模式的に説明する縦電界型の液晶表示装置の一画素近傍の平面図、図43は図38のIII-IIIに沿った断面図である。図中の前記実施例の図面と同一参照符号は同一機能部分に相当する。本実施例は第1の基板SUB1に前記した各実施例中の容量電極層TEDを有する場合で、かつ有機絶縁層をカラーフィルタ層CFとした場合である。

20

【0231】

第1の基板SUB1上にカラーフィルタ層を設けた場合、スルーホールTH2の部分はカラーフィルタCFが存在しないため、この部分から光漏れが生じる。この光漏れを防止するため、容量電極TEDを第1の基準電極層STに接続するスルーホールTH2に金属遮光膜MLを設け、この金属遮光膜MLを介して容量電極層TEDを接続する。

【0232】

図44は本発明の第27実施例の画素構成を模式的に説明する縦電界型の液晶表示装置の一画素近傍の図42のIII-IIIに沿った断面図である。本実施例では、上記第26実施例における金属遮光膜MLを容量電極層TEDの上層に設けた。

【0233】

図45は本発明の第26実施例または第27実施例におけるスルーホールと金属遮光膜の平面図である。金属遮光膜MLの各辺はスルーホールTH2の開口部より大きく、少なくとも1 $\mu$ m以上の大きさに形成する。なお、カラーフィルタ層CF上にオーバーコート層を設けた場合も同様である。

30

【0234】

図46は本発明の第28実施例を説明する要部断面図であり、スルーホールと金属遮光膜の断面構造を示す図である。本実施例は、有機絶縁層をカラーフィルタとして、容量電極層TEDをソース電極SD1と同層のゲート絶縁層上に形成し、ソース電極SD1を遮光金属膜で形成したものである。スルーホール部での光漏れをスルーホール部に形成した遮光金属膜を用いて対策するものであり、この構成の一例を図42のTH2部を例に説明する。むろん、スルーホール部の遮光に用いる場合は他のスルーホールに用いてもよい。

40

【0235】

図46の(a)はスルーホールTH2に遮光金属膜MLをソース電極SD1により貫通させて第1の基準電極層STに接続し、このソース電極SD1の上に容量電極TEDを形成した。図46の(b)はスルーホールTH2に容量電極層TEDを形成した後、当該スルーホールTH2に遮光金属膜MLをソース電極SD1により形成した。図46の(c)はスルーホールTH2に遮光金属膜MLを形成した後、SD層を介して基準電極層TEDと接続した。

【0236】

また、図46の(d)は遮光金属膜MLをスルーホールTHに構成し、基準電極STと接

50

続した後、遮光金属膜 M L と基準電極層 T E D を接続した。

【 0 2 3 7 】

上記の各実施例において、基準電極層（あるいは第 1 の基準電極層）S T をゲート線 G L と平行、かつ画素電極 P X の形成領域に重畳してゲート線 G L の延在方向に形成することで、ゲート線層 G L と基準電極層（あるいは第 1 の基準電極層）の間の寄生容量の増大を抑制することができ、また電位の安定化を図ることができる。

【 0 2 3 8 】

また、上記の各実施例において、基準電極層（または第 1 の基準電極層）S T を第 1 の基板 S U B 1 のゲート線 G L とドレイン線 D L および画素電極 P X の形成領域を含む領域に形成することで、当該基準電極層が、所謂べた電極であることで給電抵抗がさらに低減され、かつ給電方向の制限が無くなる。

10

【 0 2 3 9 】

さらに、上記の各実施例において、ドレイン線 D L の延在方向近傍と画素電極 P X の間を遮光する遮光層 D L を設けたものでは、ドレイン線 D L と画素電極 P X の間の光漏れを防止できる。

【 0 2 4 0 】

図 4 7 は本発明の第 2 9 実施例の画素構成を模式的に説明する I P S 型の液晶表示装置の一画素近傍の平面図、図 4 8 は図 4 7 の III - III に沿った断面図である。図中の前記実施例の図面と同一参照符号は同一機能部分に相当する。本実施例は第 1 の基板 S U B 1 と第 2 の基板 S U B 2 の対向間隙に液晶を挟持し、第 1 の基板 S U B 1 の内面に、第 1 の方向に延在し互いに並設された複数のゲート線 G L およびこのゲート線 G L と交差する第 2 の方向に延在し互いに並設された複数のドレイン線 D L と、ゲート線 G L とドレイン線 D L の交差部に設けられた複数の薄膜トランジスタ T F T と、この薄膜トランジスタ T F T で駆動される櫛型の画素電極 P X と、画素電極 P X との間で画素駆動用の電界を生成する櫛型の対向電極 C T とを少なくとも有している。

20

【 0 2 4 1 】

画素電極 P X と対向電極 C T は同層に作ることもできる。

【 0 2 4 2 】

そして、第 1 の基板 S U B 1 の画素領域を含んでゲート線 G L 、ドレイン線 D L 、薄膜トランジスタ T F T 、画素電極 P X を形成する電極形成層と第 1 の基板 S U B 1 側との間に当該電極形成層に対して有機絶縁層 O - P A S で絶縁した基準電極層 S T を有し、画素電極 P X と基準電極層 S T の間に画素の保持容量を形成している。

30

【 0 2 4 3 】

そして、対向電極 C T を有機絶縁層 O - P A S 上に有し、対向電極 D T が有機絶縁層 O - P A S に形成したスルーホール T H を介して基準電極層 S T に接続されている。

【 0 2 4 4 】

本実施例の構成により、十分な保持容量を形成できるため、画質の安定、向上が実現する。また保持容量を形成するための画素電極 P X の面積を大きくする必要がないため開口率が向上する。また、基準電極層 S T の面積が大きいために給電抵抗を低減できる。

【 0 2 4 5 】

図 4 9 は本発明の第 3 0 実施例の画素構成を模式的に説明する I P S 型の液晶表示装置の一画素近傍の図 4 7 の IV - IV に沿った断面図である。対向電極 C T はゲート絶縁層 G I 上に有し、対向電極 C T がゲート絶縁層 G I と有機絶縁層 O - P A S に形成したスルーホール T H を介して基準電極層 S T に接続されている。

40

【 0 2 4 6 】

本実施例の構成により、保持容量が画素電極 P X と誘電率の小さい有機絶縁層 O - P A S を介した基準電極層 S T との間に形成。保持容量を形成するための画素電極 P X の面積を大きくする必要がないため開口率が向上する。また、基準電極層 S T の面積が大きいために給電抵抗を低減できる。

【 0 2 4 7 】

50

図50は本発明の第31実施例の画素構成を模式的に説明するIPS型の液晶表示装置の一画素近傍の図47のIV-IVに沿った断面図である。本実施例では、対向電極CTをパッシベーション層PAS上に有し、この対向電極をパッシベーション層PASとゲート絶縁層GIおよび有機絶縁層O-PASに形成したスルーホールTHを介して基準電極層STに接続されている。

【0248】

本実施例の構成により、保持容量が画素電極PXと誘電率の小さい有機絶縁層O-PASを介した基準電極層STとの間に形成される。保持容量を形成するための画素電極PXの面積を大きくする必要がないため開口率が向上する。また、基準電極層STの面積が大きいために給電抵抗を低減できる。

10

【0249】

また、上記第29～第30実施例において、基準電極層STはゲート線GLと平行、かつ画素電極PXおよび対向電極CTの形成領域に重畳してゲート線GLの延在方向に形成してもよい。

【0250】

この構成により、ゲート線層GLと基準電極層STの間の寄生容量が低減され、保持容量の増大を抑制することができ、また電位の安定化を図ることができる。

【0251】

さらに、上記第29～第30実施例において、基準電極層STを第1の基板SUB1のゲート線層GLとドレイン線層DL、画素電極PXおよび対向電極CTの形成領域を含む領域に形成することもできる。

20

【0252】

この構成により、基準電極層STが、所謂べた電極であることで給電抵抗がさらに低減され、かつ給電方向の制限が無くなる。また、有機絶縁層O-PASの層厚を厚くすることで、基準電極層の液晶駆動電界への影響を低減できる。有機絶縁層P-PASに代えてカラーフィルタとすることもでき、またカラーフィルタにオーバーコートを形成した場合はカラーフィルタ層の下層に基準電極層を設けることが望ましい。

【0253】

図51は本発明の第32実施例の画素構成を模式的に説明するIPS型の液晶表示装置の一画素近傍の平面図、図52は図51のV-V線に沿った断面図である。本実施例では、対向電極CTを有機絶縁層O-PAS上に有すると共に、ドレイン線DLと交差して隣接画素領域に延在し、当該隣接画素領域の基準電極層に有機絶縁層O-PASに形成したスルーホールTHを介して接続されている。

30

【0254】

本実施例の構成により、仮にスルーホールTHの形成が不十分であっても隣接画素側から基準電極層STを通して給電がなされる。

【0255】

図53は本発明の第33実施例の画素構成を模式的に説明するIPS型の液晶表示装置の一画素近傍の図51のV-V線に沿った断面図である。本実施例では、対向電極CTはゲート絶縁層GI上に有し、有機絶縁層O-PAS上に一方のドレイン線DLと交差して隣接画素領域に延在する容量電極層TEDを有する。対向電極層CTはゲート絶縁層GIと有機絶縁層O-PASに形成したスルーホールTHを介して第1の基準電極層STに接続している。

40

【0256】

この構成により、仮にスルーホールTHの形成が不十分であっても隣接画素側から第2に基準電極層TEDを通して給電がなされる。また、各対向電極と各基準電極とを接続するスルーホールを各画素毎に複数形成することで、当該電極層間の接続の信頼性を向上できる。

【0257】

図54は本発明の第34実施例の画素構成を模式的に説明するIPS型の液晶表示装置の

50

一画素近傍の図51のV-V線に沿った断面図である。本実施例では対向電極CTはパッシベーション層PAS上に有し、有機絶縁層O-PAS上に一方のドレイン線DLと交差して隣接画素領域に延在する容量電極層TEDを有する。対向電極層CTはパッシベーション層PAS、ゲート絶縁層GI、有機絶縁層O-PASに形成したスルーホールTHを介して第1の基準電極層STに接続している。

【0258】

この構成により、仮にスルーホールの形成が不十分であっても隣接画素側から容量電極層TEDを通して給電がなされる。

【0259】

図55は本発明の第35実施例の画素構成を模式的に説明するIPS型の液晶表示装置の一画素近傍の図51のV-V線に沿った断面図である。本実施例では図54に示した第34実施例の第1の基準電極層STの下層で前記第1の基板SUB1の上にカラーフィルタ層を有する。

10

【0260】

この構成により、前記実施例の効果に加え、カラーフィルタ層CFが第1の基準電極STで液晶層と隔離されるため、カラーフィルタ層CFの構成材料による液晶の汚染が阻止される。

【0261】

図56は図47～図55の実施例の変形例を説明するIPS型の液晶表示装置の一画素近傍の平面図である。すなわち、各画素の対向電極CTと基準電極STとを接続するスルーホールTHを各画素毎に複数形成することで、当該電極層間の接続の信頼性を向上できる。

20

【0262】

図57は本発明の第36実施例の画素構成を模式的に説明するIPS型の液晶表示装置の一画素近傍の平面図、図58は図57のVI-VI線に沿った断面図である。本実施例では、対向電極CTは有機絶縁層O-PAS上にゲート線GLの延在方向と平行で、隣接する画素領域にわたって形成され、各画素領域における基準電極STには有機絶縁層O-PASに形成したスルーホールTHを介して接続する。

【0263】

この構成により、保持容量は対向電極CTと画素電極PXの重畳部分で形成され、ゲート絶縁層GIは保持容量の誘電体となる。保持容量を増大させる場合に好適である。

30

【0264】

図59は本発明の第37実施例の画素構成を模式的に説明するIPS型の液晶表示装置の一画素近傍の図57のVI-VI線に沿った断面図である。本実施例では、対向電極CTは例えばゲート絶縁層上に有し、有機絶縁層O-PAS上にゲート線GLの延在方向と平行で、有機絶縁層O-PASの隣接する画素領域にわたって形成された容量電極層TEDを有している。対向電極CTは各画素領域において基準電極層に有機絶縁層O-PASとゲート絶縁層GIとを貫通して形成したスルーホールTHを介して接続され、容量電極層TEDと画素電極層PXの重畳部分で保持容量が形成される。

【0265】

この構成により、ゲート絶縁層GIが保持容量の誘電体となり、櫛歯状の画素電極となっている。

40

【0266】

図60は本発明の第38実施例の画素構成を模式的に説明する変形IPS型の液晶表示装置の一画素近傍の平面図、図61は図60のVII-VII線に沿った断面図、図62は図60のVIII-VIII線に沿った断面図である。本実施例では、画素電極PXはゲート絶縁層GI上に、所謂リングボーン形状に形成されている。ソース電極SD1はゲート絶縁層GI上に形成され、このソース電極SD1に画素電極が重畳している。対向電極CTは有機絶縁層O-PAS上に有し、スルーホールTH2で基準電極層STに接続し、対向電極CTと前記画素電極とで保持容量を形成する。

50

## 【 0 2 6 7 】

本実施例の構成により、ゲート絶縁層 G I が保持容量の誘電体となり、ヘリングボーン形状の画素電極としたことによる保持容量の低下を増大させることができる。

## 【 0 2 6 8 】

図 6 3 は本発明の第 3 9 実施例の画素構成を模式的に説明する変形 I P S 型の液晶表示装置の画素近傍の図 6 3 の VII - VII 線に沿った断面図である。本実施例では、ソース電極 S D 1 をゲート絶縁層 G I 上に形成し、パッシベーション層 P A S 上に形成した画素電極 P X とスルーホール T H 1 で接続している。他の構成は図 6 1 と同様である。

## 【 0 2 6 9 】

本実施例により、ゲート絶縁層 G I が保持容量の誘電体となっている。

10

## 【 0 2 7 0 】

図 6 4 は本発明の第 4 0 実施例の画素構成の要部を模式的に説明する変形 I P S 型の液晶表示装置の薄膜トランジスタ T F T 部分の平面図である。本実施例では、ゲート絶縁層 G I 上に形成する薄膜トランジスタ T F T のソース電極 S D 1 の面積を変えることで保持容量を調整できるようにした。

## 【 0 2 7 1 】

本発明の他の実施例においても、本概念で保持容量を調整することが出来る。

## 【 0 2 7 2 】

図 6 5 は本発明の第 4 1 実施例の画素構成の要部を模式的に説明する変形 I P S 型の液晶表示装置の画素近傍の平面図、図 6 6 は図 6 5 の IX - IX 線に沿った断面図である。本実施例は、画素電極 P X はゲート絶縁層 G I 上に、所謂ヘリングボーン形状に形成されている。ソース電極 S D 1 はゲート絶縁層 G I 上に形成され、このソース電極 S D 1 に画素電極が重畳している。有機絶縁層 O - P A S の下層には基準電極が形成され、この基準電極を対向電極と兼用する基準 / 対向電極層 S T / C T としている。この基準 / 対向電極層 S T / C T と画素電極 P X で保持容量を形成する。

20

## 【 0 2 7 3 】

本実施例により、対向電極層 C T の形成を不要とし、保持容量に対する給電抵抗が大幅に低減され、画素の開口率の低下のない液晶表示装置を得ることができる。

## 【 0 2 7 4 】

また、基準 / 対向電極層 S T / C T は例えばゲート線 G L と平行、かつ画素電極 P X の形成領域に重畳して前記ゲート線 G L の延在方向に有する。

30

## 【 0 2 7 5 】

この構成により、画素毎に独立した基準 / 対向電極層を要せず、ゲート線層 G L と基準 / 対向電極層 S T / C T との間の容量が低減され、寄生容量の増大を抑制することができ、また電位の安定化を図ることができる。

## 【 0 2 7 6 】

また、基準 / 対向電極層 S T / C T は第 1 の基板 S U B 1 のゲート線 G L とドレイン線 D L および画素電極 P X の形成領域を含む全領域に有する。

## 【 0 2 7 7 】

この構成により、基準 / 対向電極層 S T / C T が、所謂べた電極であることで給電抵抗がさらに低減され、かつ給電方向の制限が無くなる。

40

## 【 0 2 7 8 】

図 6 7 は本発明の第 4 2 実施例の画素構成の要部を模式的に説明する変形 I P S 型の液晶表示装置の画素近傍の図 6 5 の IX - IX 線に沿った断面図である。本実施例では、画素電極 P X はゲート絶縁層 G I 上に、所謂ヘリングボーン形状に形成されている。ソース電極 S D 1 はゲート絶縁層 G I 上に形成され、このソース電極 S D 1 に画素電極が重畳している。本実施例は、図 6 6 の構成における画素電極 P X の下層の有機絶縁層 O - P A S の全部または一部を除去したものに相当する。

## 【 0 2 7 9 】

この構成により、画素電極 P X と基準 / 対向電極層 S T / C T との間に生成される電界強

50

度が増大し、駆動電圧を低減することができる。

【0280】

図68は本発明の第43実施例の画素構成の要部を模式的に説明する変形IPS型の液晶表示装置の画素近傍の平面図、図69は図68のX-X線に沿った断面図である。本実施例は、有機絶縁層O-PASの上に対向電極層CTを有し、かつこの対向電極層CT上にゲート線GLの延在方向と平行に当該対向電極を隣接する画素電極に接続する接続線GLLを有する。

【0281】

図70は本発明の第44実施例の画素構成の要部を模式的に説明する変形IPS型の液晶表示装置の画素近傍の図68のX-X線に沿った断面図である。本実施例は、対向電極層CTと有機絶縁層O-PASの間にゲート線GLの延在方向と平行に当該対向電極層CTを隣接する画素電極層PXに接続する接続線GLLを有する。

10

【0282】

上記第43実施例と第44実施例の構成により、仮にスルーホール形成が不十分であっても隣接画素側から導電層を通して給電がなされる。また、各対向電極層CTと基準電極STとを接続するスルーホールTHを各画素毎に複数形成することで、当該電極層間の接続の信頼性を向上できる。

【0283】

図71は本発明の第45実施例の画素構成の要部を模式的に説明する変形IPS型の液晶表示装置の画素近傍の平面図、図72は図71のXI-XI線に沿った断面図である。本実施例では、基準電極層と対向電極を兼用する基準/対向電極層ST/CTを有し、有機絶縁層O-PASは画素領域内の一部で除去されている。

20

【0284】

図73は本発明の第46実施例の画素構成の要部を模式的に説明する変形IPS型の液晶表示装置の画素近傍の図68のXI-XI線に沿った断面図である。本実施例は、有機絶縁層O-PAS上に対向電極CTを有し、有機絶縁層O-PASの一部を画素領域内で除去した。

【0285】

上記第45実施例および第46実施例の構成により、画素領域内に駆動電圧の異なる複数の領域を形成でき、マルチドメイン効果を得ることができる。

30

【0286】

図74は本発明の第47実施例の画素構成の要部を模式的に説明する他の変形IPS型の液晶表示装置の画素近傍の平面図、図75は図74のXII-XII線に沿った断面図である。

【0287】

本実施例は、第1の基板SUB1と第2の基板SUB2の対向間隙に液晶を挟持し、前記第1の基板の内面に、第1の方向に延在し互いに並設された複数のゲート線および前記ゲート線と交差する第2の方向に延在し互いに並設された複数のドレイン線と、前記ゲート線とドレイン線の交差部に設けられた複数のスイッチング素子と、前記アクティブ素子で駆動される画素電極と前記画素電極との間で画素駆動用の電界を生成する対向電極とを少なくとも有し、前記複数の画素電極で画素領域が構成される液晶表示装置である。

40

【0288】

また電極形状は、画素電極PXを平面状、対向電極CTをヘリングボーン状として、図60、65、68あるいは71の逆となるよう構成しても良い。この場合、ゲート線GLおよびドレイン線DLからの漏洩電界を対向電極CTでシールドできるようになるため、画質の一層の向上が実現する。

【0289】

第1の基板SUB1の画素領域を含んでゲート線GL、ドレイン線DL、薄膜トランジスタTFT、画素電極PXを形成する電極形成層と第1の基板SUB1側との間に当該電極形成層に対して第1の絶縁層O-PAS1で絶縁した基準電極層STを有する。

50

## 【 0 2 9 0 】

電極形成層は、有機絶縁層 O - P A S 1 の上層にゲート線 G L、ゲート絶縁層 G I、パッシベーション層 P A S、第 2 の有機絶縁層 O - P A S 2、対向電極 C T をこの順で積層してある。対向電極層 C T は、画素領域のゲート線 G L の延在方向に隣接する画素領域およびドレイン線 D L の延在方向に隣接する画素領域にわたって共有されている。そして、対向電極層 C T は、第 2 の有機絶縁層 O - P A S 2、パッシベーション層 P A S、ゲート絶縁層 G I、第 1 の有機絶縁層 O - P A S 1 を貫通するスルーホール T H を介して接続され、画素電極 P X と基準電極層 S T の間に画素の保持容量を形成する。

## 【 0 2 9 1 】

本実施例の構成により、ゲート線 G L およびドレイン線 D L からの漏洩電界を対向電極 C T でシールドできるようになるため、画質の一層の向上が実現する。

10

## 【 0 2 9 2 】

図 7 6 は本発明の第 4 8 実施例の画素構成の要部を模式的に説明する他の変形 I P S 型の液晶表示装置の一画素近傍の図 7 4 の XII - XII 線に沿った断面図である。本実施例は、画素電極 P X の下層、かつ第 1 の有機絶縁層 O - P A S 1 とゲート絶縁層 G I の間に基準電極層 S T とスルーホール T H を介して接続した容量電極層 T E D を有する。

## 【 0 2 9 3 】

この構成により、保持容量を容量電極層 T E D の面積で増加させ、調整することができる。

## 【 0 2 9 4 】

図 7 7 は本発明の第 4 9 実施例の画素構成の要部を模式的に説明する他の変形 I P S 型の液晶表示装置の一画素近傍の図 7 4 の XII - XII 線に沿った断面図である。本実施例は、画素電極 P X 下の保持容量を形成する部分の第 1 の有機絶縁層 O - P A S 1 を除去した。

20

## 【 0 2 9 5 】

この構成により、誘電率が小さい有機絶縁層の欠如で画素電極と基準電極層の間に形成される保持容量を増大させることができる。

## 【 0 2 9 6 】

図 7 8 は本発明の第 5 0 実施例の画素構成の要部を模式的に説明する他の変形 I P S 型の液晶表示装置の一画素近傍の図 7 4 の XII - XII 線に沿った断面図である。本実施例は、画素電極 P X の上層にある対向電極 C T の下層にある第 2 の有機絶縁層 O - P A S 2 の一部を除去した。

30

## 【 0 2 9 7 】

この構成によっても、誘電率が小さい有機絶縁層の欠如で画素電極と基準電極層の間に形成される保持容量を増大させることができる。

## 【 0 2 9 8 】

図 7 9 は本発明の第 5 1 実施例の画素構成の要部を模式的に説明する他の変形 I P S 型の液晶表示装置の一画素近傍の図 7 4 の XII - XII 線に沿った断面図である。本実施例は、画素電極 P X の下層にあるゲート絶縁層 G I と第 1 の有機絶縁層 O - P A S 1 の間に容量電極 T E D を設けた。この容量電極 T E D は図示しない位置で対向電極 C T に接続される。また、容量電極 T E D をゲート線 G L の延在方向に平行に形成して画素間で共有としてもよい。

40

## 【 0 2 9 9 】

この構成により、保持容量を容量電極 T E D の面積で増加させ、あるいは調整できる。

## 【 0 3 0 0 】

次に、本発明の液晶表示装置の他の構成部分の実施例を説明する。

## 【 0 3 0 1 】

図 8 0 は本発明の液晶表示装置の基板構成の説明図である。液晶表示装置 P N L は第 1 の基板 S U B 1 と、この第 1 の基板 S U B 1 よりも小サイズの第 2 の基板 S U B 2 を液晶を介して貼り合わせて構成される。第 1 の S U B 1 の一辺とこの辺に隣接する他の辺には端子領域（ドレイン線側端子領域 T M D、ゲート線側端子領域 T M G）が形成され、重ね合

50

わせられた第2の基板SUB2の大部分に有効表示領域を有する。

【0302】

図81は端子領域における第1の基板上に駆動回路を搭載したテープキャリアパッケージを実装した状態の説明図である。ドレイン線側端子領域TMDとゲート線側端子領域TMGのそれぞれに複数のテープキャリアパッケージTCP(ドレイン駆動回路チップCH2を搭載したドレイン線駆動用テープキャリアパッケージ、ゲート駆動回路チップCH1を搭載したゲート線駆動用テープキャリアパッケージ)が搭載される。

【0303】

図82は端子領域における第1の基板上に駆動回路チップを直接実装した状態の説明図である。ドレイン線側端子領域TMDに複数のドレイン線駆動回路チップCH2を、ゲート線側端子領域TMGに複数のゲート線駆動回路チップCH1が搭載される。この実装方式をFCA方式(またはCPG方式)と称する。

10

【0304】

図83は二枚の基板の間に液晶を注入して封止する液晶封入口の配置例の説明図である。この例では、駆動回路チップを搭載しない辺に2つの液晶封入口INJを設けている。この液晶封入口INJの数や設置位置は液晶表示装置PNLのサイズにより設定され、1つでもよく、また3以上とすることもできる。

【0305】

図84は本発明の液晶表示装置の模式断面図である。第1の基板SUB1の内面には基準電極層STとその上層に有機絶縁層O-PASを有している。他の層や電極は図示を省略してある。第1の基板SUB1と第2の基板SUB2の間には液晶LCが封入され、有効表示領域の周囲をシール材SLで封止してある。

20

【0306】

図85はテープキャリアパッケージ方式で実装したゲート駆動回路の端子領域を模式的に説明する平面図である。図85(a)~(c)ではテープキャリアパッケージTCPに搭載された駆動回路チップCH1の端子は第1の基板SUB1側に引き出されたゲート線の端子部に接続される。基準電極STへの接続は有機絶縁層O-PASを除去して接続される。この有機絶縁層O-PASの除去部分をXPで示す。図85(a)はこの除去部分XPをシール材SLの外側で、かつテープキャリアパッケージTCPの下側に配置した状態を示す。

30

【0307】

図85(b)は有機絶縁層O-PASの除去部分XPをシール材SLの外側で、かつテープキャリアパッケージTCPから外れた部分に配置した状態を示す。そして、図85(c)は有機絶縁層O-PASの除去部分XPをシール材SLの内側に配置した状態を示す。

【0308】

図86はFCA方式で駆動回路チップを実装した端子領域を模式的に説明する平面図である。図86(a)はシール材SLの外側で有機絶縁層O-PASを除去し、この除去部分XPで駆動回路チップの基準電極層への給電端子を接続した。図86(b)はシール材SLの中で有機絶縁層O-PASを除去し、この除去部分XPで駆動回路チップの基準電極層への給電端子を接続した。基準電極層への給電線の幅は、給電抵抗を低減するために他の信号線の幅より太いことが望ましい。

40

【0309】

図87は液晶表示装置の制御回路にある基準電位生成回路からフレキシブルプリント基板等で給電する方式とした場合の端子領域を模式的に説明する平面図である。フレキシブルプリント基板FPCに基準電極給電配線STLを設け、液晶表示装置の制御回路にある基準電位生成回路からフレキシブルプリント基板FPCを経由して第1の基板SUB1に引き出した基準電極の端子に給電する。図87(a)はテープキャリアパッケージ実装方式、同(b)はFCA方式にこの給電方式を適用した場合を示す。このように、基準電極層STへの給電を駆動回路チップCH1を経由せずにフレキシブルプリント基板FPCで行うことでさらに低抵抗の給電を行うことができる。GDLはゲート線への給電配線を示す

50

。

## 【0310】

図88は基準電極への給電端子の形成の第1例を説明する液晶表示装置の模式平面図である。縦電界方式とIPS(変形IPS方式、他の変形IPS方式も含む)の何れにおいても、その基準電極STの周辺をパターンングして引出し端子STTを形成し、これに前記図84～図87に示した構成で当該基準電極STに給電を行うようにした。

## 【0311】

図89は基準電極への給電端子の形成の第2例を説明する液晶表示装置の模式平面図、図90は図89のA部分を拡大した要部断面図である。特に、第2の基板SUB2側の共通電極を有する縦電界方式では、基準電極STのコーナー部にパターンングで接続部分STCを形成し、この接続部分STCで導電ペーストAGを介して共通電極STに基準電極STを接続する。基準電極STへの給電は共通電極で行われる。接続部分STCは全コーナーでなくてもよく、コーナー部の一箇所、2箇所、3箇所であってもよい。

10

## 【0312】

図91は基準電極への給電端子の形成の第3例を説明する液晶表示装置の模式断面図、図92は図91の給電端子部分を拡大した要部断面図である。基準電極STへの給電端子STTは基準電極STとは別途に形成してもよい。また、シールSL内でゲート線あるいはドレイン線等の他の配線と接続した配線で引き出してもよい。このとき、両者の接続抵抗に配慮する。給電端子STTが非Al系金属(Cr、Mo、Ti、Ta、W、Zr等の高融点金属、あるいはそれらの合金等の透明電極である基準電極STとの接触抵抗が低い場合に好適な構成である。なお、給電端子STTを透明導電膜(ITO、IZO等)で形成してもよい。

20

## 【0313】

図93は基準電極への給電端子の形成の第4例を説明する液晶表示装置の模式断面図である。給電端子STTと基準電極STの接触抵抗が高い場合、補助接続線STT'を介して接続するのが好ましい。例えば、給電端子STTがAlの場合、補助接続線STT'は非Alとする。また、補助接続線STT'にも透明導電膜を用いる場合、およびAl系の給電端子STTと基準電極STを直接接続する場合でも、通常の信号線と異なり、多点給電が可能であるため図93の構成が可能である。

30

## 【0314】

図94は第1の基板に形成する有機絶縁層をカラーフィルタとした場合の有効表示領域外周の構成例を説明する液晶表示装置の模式断面図である。有機絶縁層をカラーフィルタCFとした場合には、有効表示領域外周に3原色(R、G、B)のカラーフィルタ材料CF1、またはその少なくとも1つと他の少なくとも1つCF2を積層する。これにより、有効表示領域外周に遮光層を形成できる。また、有効表示領域外周に2つのカラーフィルタ材料を積層する場合、CF1をRとしCF2をGまたはBとする。Rのカラーフィルタ材料はR光以外を吸収するため、Rを吸収するGまたはBのカラーフィルタ材料を組み合わせることでR、G、Bの各色光を吸収できる。

## 【0315】

図95は第1の基板に形成する有機絶縁層をカラーフィルタとした場合の有効表示領域外周の他の構成例を説明する液晶表示装置の模式断面図である。シールSLとその外周部分に図94で説明したようなCF2を積層した場合で、カラーフィルタ層(CF1、CF2)と有効表示領域を含めや全カラーフィルタ層を保護するために、このカラーフィルタ層(CF、CF1、CF2)の上にオーバーコート層OCを形成するのが望ましい。

40

## 【0316】

図96はシールとその外周部分および有効表示領域の全てにカラーフィルタを形成した構成例を説明する液晶表示装置の模式断面図である。この場合も、シールとその外周部分および有効表示領域の全てのカラーフィルタ層CFの上にオーバーコート層OCを形成するのが望ましい。

## 【0317】

50

図97は第1の基板に形成した各種の引出し端子や給電端子に駆動回路を実装する場合の位置合わせ方式の説明図であり、同図(a)はテープキャリアパッケージを用いた場合、同(b)はFCA方式を採用した場合を示す。同図(a)および同(b)において、カラーフィルタCFをシール外にも設けた場合、駆動回路チップCH1を搭載したテープキャリアパッケージTCPまたはFCAの駆動回路チップCH1と第1の基板に形成した各種の引出し端子や給電端子とのアライメントを取るアライメントマークAM近傍では、カラーフィルタCFに除去部分XPを形成するのが望ましい。これにより、アライメントマークAMの光学認識の際の誤差の発生を防ぎ、実装精度を確保できる。

【0318】

図98は第1の基板に形成した基準電極層の電食を防止する構成とした液晶表示装置の模式断面図である。シールSLの外側にある基準電極層STの電食を防止するため、基準電極層STの端部まで有機絶縁層OPASを被覆する。

10

【0319】

図99は第1の基板に形成する有機絶縁層をカラーフィルタとした場合のカラーフィルタの形成例を説明する模式平面図である。同図に示したように、カラーフィルタCFはシールSLの内側のみに形成することもできる。カラーフィルタCFは光の波長を選択する機能を果たすために多量の顔料あるいは染料を含む。このため、無色の有機絶縁層に比べて吸湿性が高くなる傾向を有する。

【0320】

高温高湿となり得るシールSLの外部の領域にカラーフィルタCFがあると、当該部分のカラーフィルタCFは吸湿で膨潤し、しわ状となり、その上層に形成する引出し線や給電線の断線を招く場合がある。これを防止するために、カラーフィルタCFをシールSLの内側にのみ形成する。

20

【0321】

図100は第1の基板に形成する有機絶縁層をカラーフィルタとした場合の構成例を説明する模式平面図である。図99で説明した構成において、基準電極層STをシールSLの外側まで形成したとき、走査信号線等との短絡を防止するためにカラーフィルタCFの非形成部にはオーバーコート層OCを形成する。これにより、上記の短絡を防止できる。

【0322】

図101は第1の基板に形成する有機絶縁層をカラーフィルタとした場合の他の構成例を説明する模式平面図である。第1の基板SUB1の有効表示領域内にのみカラーフィルタ層CFを形成した場合、基準電極層STも当該有効表示領域内にのみ形成する。なお、基準電極層STは他の配線と交差させないでカラーフィルタCFからはみ出して形成してもよい。

30

【0323】

図102は第1の基板に形成する有機絶縁層をカラーフィルタとした場合のさらに他の構成例を説明する模式平面図である。図101において、基準電極層STは他の配線と交差させないでカラーフィルタCFからはみ出して形成した場合には、図102のようにカラーフィルタCFおよび基準電極STを被覆してオーバーコート層OCを形成する。

【0324】

図103は本発明の液晶表示装置を透過型表示モジュールとして用いた一配置例を説明する模式断面図である。第1の基板SUB1と第2の基板SUB2の貼り合わせで形成した液晶表示装置の第1の基板SUB1の背面にバックライトBLを設置する。この配置例は透過型表示モジュールの典型的な構成である。バックライトBLからの照明光L1は液晶表示装置を透過するときに当該液晶表示装置で変調され、第2の基板側SUB2から出射する。

40

【0325】

図104は本発明の液晶表示装置を透過型表示モジュールとして用いた他の配置例を説明する模式断面図である。第1の基板SUB1と第2の基板SUB2の貼り合わせで形成した液晶表示装置の第2の基板SUB2の表面にフロントライトFLを設置する。フロント

50

ライトFLからの照明光L1は液晶表示装置を透過するとき当該液晶表示装置で変調され、第1の基板側SUB1から出射する。

【0326】

図105は本発明の液晶表示装置を反射型表示モジュールとして用いた第1の配置例を説明する模式断面図である。第1の基板SUB1と第2の基板SUB2の貼り合わせで形成した液晶表示装置の第1の基板SUB1に有する基準電極STを反射性金属層で構成する。第2の基板SUB2に入射した外光L2は基準電極STで反射し、第2の基板側から出射する光L2は液晶表示装置内を透過するとき当該液晶表示装置に形成された電子潜像で変調される。

【0327】

図106は本発明の液晶表示装置を反射型表示モジュールとして用いた第2の配置例を説明する模式断面図である。第1の基板SUB1と第2の基板SUB2の貼り合わせで形成した液晶表示装置の第2の基板SUB2の表面にフロントライトFLを設置する。フロントライトFLから出射した光L2は第1の基板の内面に有する反射性金属層で構成した基準電極STで反射し、第2の基板側からフロントライトFLを通して出射する。この光L2は液晶表示装置内を透過するとき当該液晶表示装置で変調される。

【0328】

図107は本発明の液晶表示装置を反射型表示モジュールとして用いた第3の配置例を説明する模式断面図である。第1の基板SUB1と第2の基板SUB2の貼り合わせで形成した液晶表示装置の第2の基板SUB2の表面に反射層RTを設けている。第1の基板SUB1から入射した外光L2は反射層RTで反射し、第1の基板側から出射する。この光L2は液晶表示装置内を透過するとき当該液晶表示装置で変調される。

【0329】

図108は本発明の液晶表示装置を反射型表示モジュールとして用いた第4の配置例を説明する模式断面図である。第1の基板SUB1と第2の基板SUB2の貼り合わせで形成した液晶表示装置の第2の基板SUB2の内面に設ける共通電極CTを反射性金属層で構成する。第1の基板SUB1から入射した外光L2は共通電極CTで反射し、第1の基板側から出射する。この光L2は液晶表示装置内を透過するとき当該液晶表示装置で変調される。

【0330】

図109は本発明の液晶表示装置を反射型表示モジュールとして用いた第5の配置例を説明する模式断面図である。第1の基板SUB1と第2の基板SUB2の貼り合わせで形成した液晶表示装置の第1の基板SUB1の背面にフロントライトFLを設置する。また、第2の基板SUB2の内面に設ける共通電極CTを反射性金属層で構成する。フロントライトFLから第1の基板SUB1に入射した外光L2は共通電極CTで反射し、第1の基板側からフロントライトFLを通して出射する。この光L2は液晶表示装置内を透過するとき当該液晶表示装置で変調される。

【0331】

図110は本発明の液晶表示装置を透過/反射型表示モジュールとして用いた一配置例を説明する模式断面図である。第1の基板SUB1と第2の基板SUB2の貼り合わせで形成した液晶表示装置の第1の基板SUB1に有する基準電極STは反射性金属層で構成し、その各画素対応で部分的な開口(スリット孔、あるいはドット孔などでもよい)を有している。

【0332】

反射型モードとして動作する場合は、第2の基板SUB2から入射した外光L2が基準電極STで反射し、第2の基板SUB2から出射する。透過型モードとして動作する場合は、第1の基板SUB1の背面に設置したバックライトBLからの光L1が基準電極STの開口を通過して第2の基板SUB2を通して出射する。この光L2あるいはL1は液晶表示装置内を透過するとき当該液晶表示装置で変調される。また、基準電極STを開口を持つ反射性金属層に代えて半透過性反射層とすることもできる。なお、反射型と透過型の両

10

20

30

40

50

モードで動作することはもちろんである。

【0333】

図111は本発明の液晶表示装置を透過/反射型表示モジュールとして用いた他の配置例を説明する模式断面図である。第1の基板SUB1と第2の基板SUB2の貼り合わせで形成した液晶表示装置の第2の基板SUB2に有する共通電極CTは反射性金属層で構成し、部分的な開口(スリット孔、あるいはドット孔など)を有している。

【0334】

反射型として動作する場合は、第1の基板SUB1から入射した外光L2が共通電極CTで反射し、第1の基板SUB1から出射する。透過型として動作する場合は、第2の基板SUB2の表面に設置したフロントライトFLからの光L1が共通電極CTの開口を通過して第1の基板SUB1を通して出射する。この光L2あるいはL1は液晶表示装置内を透過するとき、当該液晶表示装置に形成された電子潜像で変調される。また、共通電極CTを開口を持つ反射性金属層に代えて半透過性反射層とすることもできる。

10

【0335】

本発明は、以上の各実施例、構成例に限定されるものではなく、薄膜トランジスタ等のスイッチング素子を形成した基板側に基準電極を設けた構成を基本として各種の液晶表示装置を構成できる。

【0336】

また上記各実施例の基板は、例えばSUB1としてガラス基板でも良い。

【0337】

またSUB1はプラスチックあるいは樹脂基板でも良い。

20

【0338】

本発明では、基板生成時あるいは基板納入前にあらかじめ基準電極層STが形成できるため、良品の基板のみを適用でき、歩留まりが向上する。また容量形成部に精度が要求されないため、スループット向上と低コスト化が実現する。またTFT層を形成する前に成膜するため、塗布法のような異物の発生しやすい製法も使用でき、さらに低コスト化が実現する。

【0339】

上述の各実施例では、ゲート線GL、ゲート絶縁膜GI、半導体層の順の構造にて説明しているが、半導体層、ゲート絶縁膜GI、ゲート線GLの順に積層した構造でも良い。この場合、半導体層として結晶性を有する層、例えばポリシリコン、CGS、SLS、SELAX、あるいは単結晶などを用いた場合に好適となる。

30

【0340】

さらに、半導体層に結晶性を有する層を用いた場合、さらなる利点を実現する。本発明では、半導体層と基板の間に、ほぼ画素領域全てに渡るような広い面積の基準電極層STが形成されている。結晶性を有する半導体層を用いたスイッチング素子の形成工程ではイオンの注入が行われるが、このイオンは半導体層以外の領域にも広く注入される。本発明では、基準電極層STでこのイオンを遮蔽できるため、該イオンが基板SUB1まで至ることを回避でき、基板にダメージが加わることを防止でき、信頼性の向上が実現する。

【0341】

さらに、結晶性を有する半導体層の形成工程では、アモルファスの半導体を形成後レーザーを局所的に照射、スキャンすることによりレーザーの熱で半導体を局所的に融解し、結晶化させることに結晶性を付与する方法がある。例えばSELAX、SLSなどとして知られている。このような方法においては、半導体を融解させるレベルの熱が加わることで、融解部周辺にも高熱の伝達が生じる。このとき、この高熱で基板SUB1にゆがみや熱ストレスが蓄積することを見出した。さらに、このストレスは偏光状態の乱れになり、コントラスト比を低下させるという新たな問題を発見するに至った。

40

【0342】

本発明では、半導体層と基板SUB1の間に基準電極層STがある。この基準電極層STは画素領域の大半に渡る広いものであり、複数画素にまたがり、また導電性を有する。こ

50

のため、レーザーによる局所的高熱を即時に拡散でき、上記基板へのダメージ、ストレス、コントラストの低下が回避でき、高品質化、高信頼性が実現する。

【0343】

この効果は結晶性の半導体層と基板の間に画素領域の大半に渡る導電層を有することにより実現できる効果であり、本発明はこの構成、すなわち結晶性の半導体層と基板の間に画素領域の大半に渡る導電層を有する画像表示装置も、発明として開示および主張するものである。

【0344】

また上記各実施例は説明のため液晶表示装置を用いている。しかし、上記各実施例の説明から明らかなように、基板SUB1上の構成が本発明で開示の思想を適用すれば、有機EL、無機EL、あるいはその他の画像表示装置に適用できるものである。したがって、本明細書での請求項における「液晶表示装置」とは、画像表示装置を均等の範囲として開示し、主張するものである。また同様に、本明細書での請求項における「第1の基板と第2の基板の対向間隙に液晶を挟持し」とは、液晶表示装置の均等物としての画像表示装置の場合には、「対向配置される第1の基板と第2の基板と」の意味である。

【0345】

【発明の効果】

以上説明したように、本発明によれば、スイッチング素子を形成した基板側に点灯画素の保持容量を構成する給電電極としての基準電極層を設けることにより、当該給電電極の抵抗を低減すると共に、画素の開口率の低下を回避して高輝度、かつ高速駆動のアクティブマトリクス型液晶表示装置を提供することができる。

さらに、保持容量と開口率を両立した画像表示装置を提供できる。

さらに、結晶性半導体を用いた画像表示装置の画質、信頼性を向上することが出来る。

【図面の簡単な説明】

【図1】本発明の一実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の平面図である。

【図2】図1のI-I線に沿った断面図である。

【図3】図1のII-II線に沿った断面図である。

【図4】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の平面図である。

【図5】図4のI-I線に沿った断面図である。

【図6】図4のII-II線に沿った断面図である。

【図7】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の平面図である。

【図8】図7のI-I線に沿った断面図である。

【図9】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の図8のI-I線に沿った断面図である。

【図10】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の平面図である。

【図11】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の平面図である。

【図12】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の平面図である。

【図13】図12のI-I線に沿った断面図である。

【図14】図12のII-II線に沿った断面図である。

【図15】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の平面図である。

【図16】図15のI-I線に沿った断面図である。

【図17】図15のII-II線に沿った断面図である。

【図18】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の図15のI

10

20

30

40

50

- I 線に沿った断面図である。

【図 19】図 18 のII - II 線に沿った断面図である。

【図 20】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の平面図である。

【図 21】図 20 のIII - III に沿った断面図である。

【図 22】本発明の他の実施例の画素構成を模式的に説明する図 20 のIII - III に沿った断面図である。

【図 23】本発明の他の実施例の画素構成を模式的に説明する図 20 のIII - III に沿った断面図である。

【図 24】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の平面図である。

【図 25】図 24 のIII - III に沿った断面図である。

【図 26】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の図 24 のIII - III に沿った断面図である。

【図 27】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の図 24 のIII - III に沿った断面図である。

【図 28】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の平面図である。

【図 29】図 28 のIII - III に沿った断面図である。

【図 30】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の図 28 のIII - III に沿った断面図である。

【図 31】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の平面図である。

【図 32】図 31 のIII - III に沿った断面図である。

【図 33】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の図 31 のIII - III に沿った断面図である。

【図 34】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の平面図である。

【図 35】図 34 のIII - III に沿った断面図である。

【図 36】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の図 34 のIII - III に沿った断面図である。

【図 37】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の図 34 のIII - III に沿った断面図である。

【図 38】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の平面図である。

【図 39】図 38 のIII - III に沿った断面図である。

【図 40】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の図 38 のIII - III に沿った断面図である。

【図 41】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の図 38 のIII - III に沿った断面図である。

【図 42】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の平面図である。

【図 43】図 42 のIII - III に沿った断面図である。

【図 44】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の図 42 のIII - III に沿った断面図である。

【図 45】本発明の他の実施例におけるスルーホールと金属遮光膜の平面図である。

【図 46】本発明の他の実施例を説明する要部断面図である。

【図 47】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の平面図である。

【図 48】図 47 のIII - III に沿った断面図である。

10

20

30

40

50

【図49】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の図47のIV - IVに沿った断面図である。

【図50】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の図47のIV - IVに沿った断面図である。

【図51】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の平面図である。

【図52】図51のV - V線に沿った断面図である。

【図53】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の図51のV - V線に沿った断面図である。

【図54】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の図51のV - V線に沿った断面図である。

【図55】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の図51のV - V線に沿った断面図である。

【図56】図47～図55の実施例の変形例を説明する液晶表示装置の一画素近傍の平面図である。

【図57】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の平面図である。

【図58】図57のVI - VI線に沿った断面図である。

【図59】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の図57のVI - VI線に沿った断面図である。

【図60】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の平面図である。

【図61】図60のVII - VII線に沿った断面図である。

【図62】図60のVIII - VIII線に沿った断面図である。

【図63】本発明の他の実施例の画素構成を模式的に説明する液晶表示装置の一画素近傍の図63のVII - VII線に沿った断面図である。

【図64】本発明の他の実施例の画素構成の要部を模式的に説明する液晶表示装置の薄膜トランジスタTFT部分の平面図である。

【図65】本発明の他の実施例の画素構成の要部を模式的に説明する液晶表示装置の一画素近傍の平面図である。

【図66】図65のIX - IX線に沿った断面図である。

【図67】本発明の他の実施例の画素構成の要部を模式的に説明する液晶表示装置の一画素近傍の図65のIX - IX線に沿った断面図である。

【図68】本発明の他の実施例の画素構成の要部を模式的に説明する液晶表示装置の一画素近傍の平面図である。

【図69】図68のX - X線に沿った断面図である。

【図70】本発明の他の実施例の画素構成の要部を模式的に説明する液晶表示装置の一画素近傍の図68のX - X線に沿った断面図である。

【図71】本発明の他の実施例の画素構成の要部を模式的に説明する液晶表示装置の一画素近傍の平面図である。

【図72】図71のXI - XI線に沿った断面図である。

【図73】本発明の他の実施例の画素構成の要部を模式的に説明する液晶表示装置の一画素近傍の図71のXI - XI線に沿った断面図である。

【図74】本発明の他の実施例の画素構成の要部を模式的に説明する液晶表示装置の一画素近傍の平面図である。

【図75】図74のXII - XII線に沿った断面図である。

【図76】本発明の他の実施例の画素構成の要部を模式的に説明する液晶表示装置の一画素近傍の図74のXII - XII線に沿った断面図である。

【図77】本発明の他の実施例の画素構成の要部を模式的に説明する液晶表示装置の一画素近傍の図74のXII - XII線に沿った断面図である。

10

20

30

40

50

【図78】本発明の他の実施例の画素構成の要部を模式的に説明する液晶表示装置の一画素近傍の図74のXII - XII線に沿った断面図である。

【図79】本発明の他の実施例の画素構成の要部を模式的に説明する液晶表示装置の一画素近傍の図74のXII - XII線に沿った断面図である。

【図80】本発明の液晶表示装置の基板構成の説明図である。

【図81】端子領域における第1の基板上に駆動回路を搭載したテープキャリアパッケージを実装した状態の説明図である。

【図82】端子領域における第1の基板上に駆動回路チップを直接実装した状態の説明図である。

【図83】二枚の基板の間に液晶を注入して封止する液晶封入口の配置例の説明図である。

10

【図84】本発明の液晶表示装置の模式断面図である。

【図85】テープキャリアパッケージ方式で実装したゲート駆動回路の端子領域を模式的に説明する平面図である。

【図86】FCA方式で駆動回路チップを実装した端子領域を模式的に説明する平面図である。

【図87】液晶表示装置の制御回路にある基準電位生成回路からフレキシブルプリント基板等で給電する方式とした場合の端子領域を模式的に説明する平面図である。

【図88】基準電極への給電端子の形成の第1例を説明する液晶表示装置の模式平面図である。

20

【図89】基準電極への給電端子の形成の第2例を説明する液晶表示装置の模式平面図である。

【図90】図89のA部分を拡大した要部断面図である。

【図91】基準電極への給電端子の形成の第3例を説明する液晶表示装置の模式断面図である。

【図92】図91の給電端子部分を拡大した要部断面図である。

【図93】基準電極への給電端子の形成の第4例を説明する液晶表示装置の模式断面図である。

【図94】第1の基板に形成する有機絶縁層をカラーフィルタとした場合の有効表示領域外周の構成例を説明する液晶表示装置の模式断面図である。

30

【図95】第1の基板に形成する有機絶縁層をカラーフィルタとした場合の有効表示領域外周の他の構成例を説明する液晶表示装置の模式断面図である。

【図96】シールとその外周部分および有効表示領域の全てにカラーフィルタを形成した構成例を説明する液晶表示装置の模式断面図である。

【図97】第1の基板に形成した各種の引出し端子や給電端子に駆動回路を実装する場合の位置合わせ方式の説明図である。

【図98】第1の基板に形成した基準電極層の電食を防止する構成とした液晶表示装置の模式断面図である。

【図99】第1の基板に形成する有機絶縁層をカラーフィルタとした場合のカラーフィルタの形成例を説明する模式平面図である。

40

【図100】第1の基板に形成する有機絶縁層をカラーフィルタとした場合の構成例を説明する模式平面図である。

【図101】第1の基板に形成する有機絶縁層をカラーフィルタとした場合の他の構成例を説明する模式平面図である。

【図102】第1の基板に形成する有機絶縁層をカラーフィルタとした場合のさらに他の構成例を説明する模式平面図である。

【図103】本発明の液晶表示装置を透過型表示モジュールとして用いた一配置例を説明する模式断面図である。

【図104】本発明の液晶表示装置を透過型表示モジュールとして用いた他の配置例を説明する模式断面図である。

50

【図105】本発明の液晶表示装置を反射型表示モジュールとして用いた一配置例を説明する模式断面図である。

【図106】本発明の液晶表示装置を反射型表示モジュールとして用いた他の配置例を説明する模式断面図である。

【図107】本発明の液晶表示装置を反射型表示モジュールとして用いた他の配置例を説明する模式断面図である。

【図108】本発明の液晶表示装置を反射型表示モジュールとして用いた他の配置例を説明する模式断面図である。

【図109】本発明の液晶表示装置を反射型表示モジュールとして用いた他の配置例を説明する模式断面図である。

10

【図110】本発明の液晶表示装置を透過／反射型表示モジュールとして用いた一配置例を説明する模式断面図である。

【図111】本発明の液晶表示装置を透過／反射型表示モジュールとして用いた他の配置例を説明する模式断面図である。

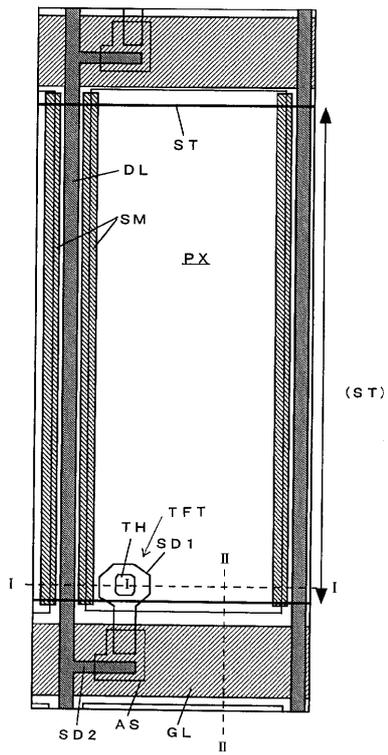
【符号の説明】

SUB1・・・第1の基板、SUB2・・・第2の基板、CF・・・カラーフィルタ、BM・・・ブラックマトリクス、CT・・・共通電極（または対向電極）、LC・・・液晶（または液晶層）、AL・・・配向膜、PAS・・・パッシベーション層、O-PAS（O-PAS1、O-PAS2）・・・有機絶縁層（第1の有機絶縁層、第2の有機絶縁層）、SD1・・・ソース電極、SD2・・・ドレイン電極、DL・・・ドレイン線（またはドレイン線層）、GL・・・ゲート線（またはゲート線層）、GI・・・ゲート絶縁層、SM・・・シールドメタル、ST・・・基準電極（または基準電極層）、PX・・・画素電極（または画素電極層）、TH（TH1、TH2）・・・スルーホール、AS・・・半導体層、Cstg・・・保持容量または蓄積容量、NGI・・・ゲート絶縁層除去領域、OC・・・オーバーコート層、TED・・・第2基準電極、ML・・・金属層、XP・・・有機絶縁層除去領域、CT/ST・・・対向／基準兼用電極層、BL・・・バックライト、FL・・・フロントライト。

20

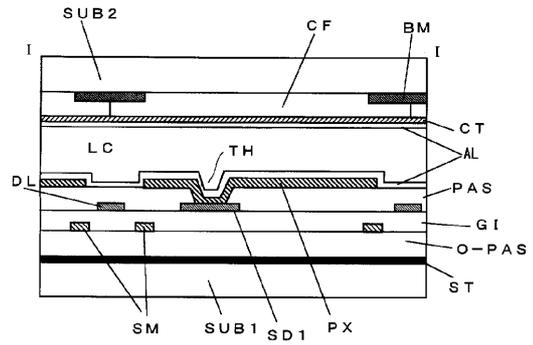
【図1】

図1



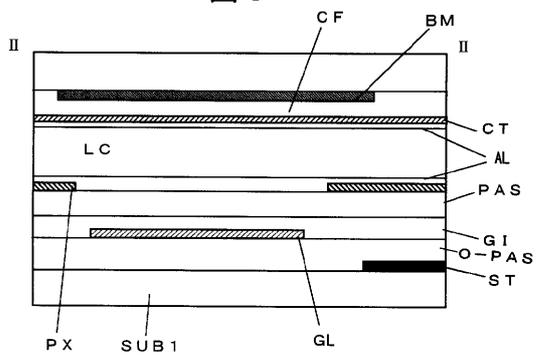
【図2】

図2



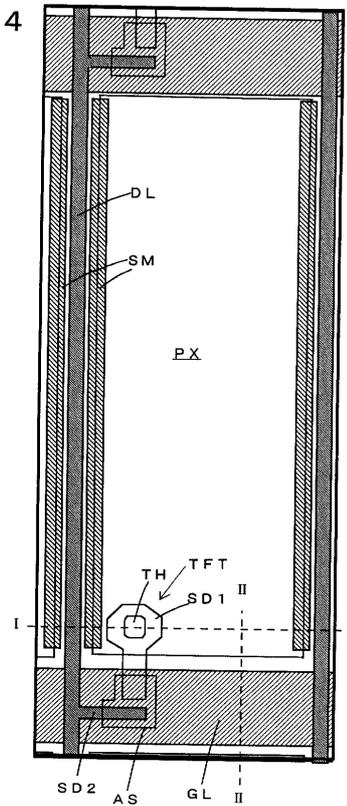
【図3】

図3

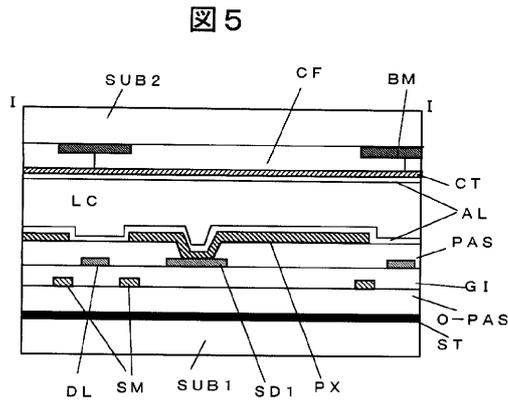


【図4】

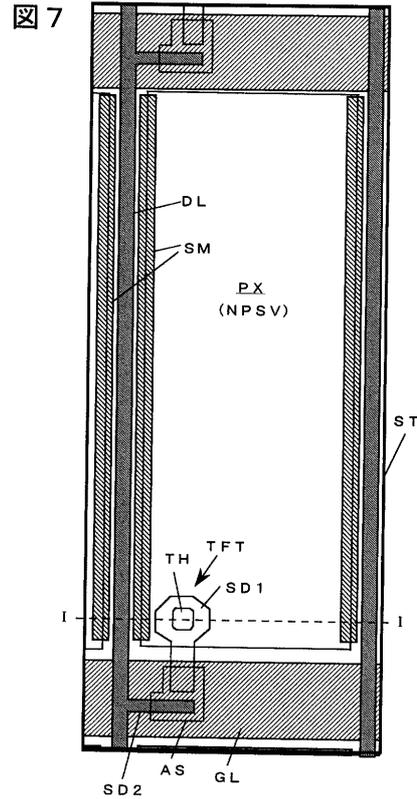
図4



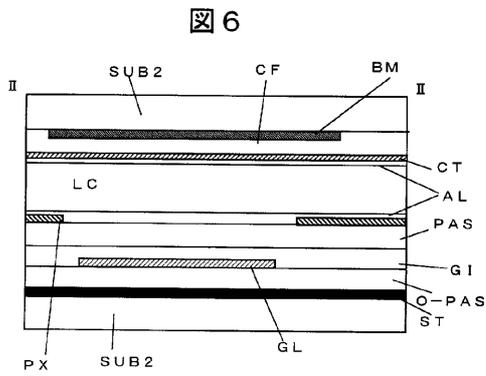
【図5】



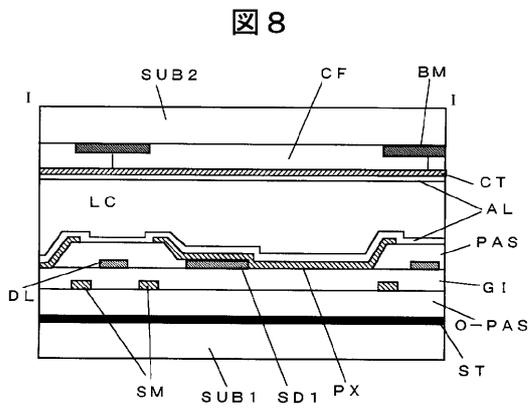
【図7】



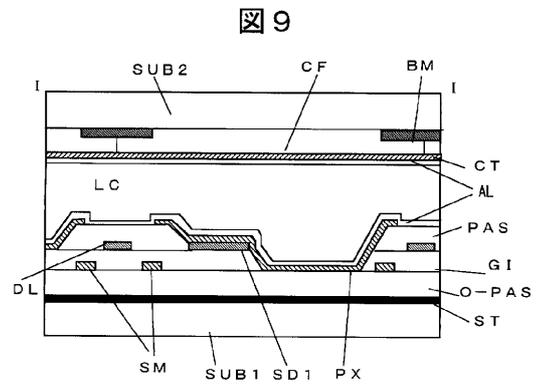
【図6】



【図8】

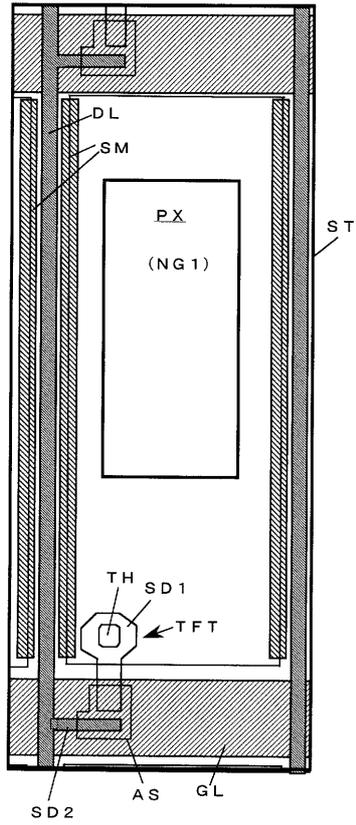


【図9】



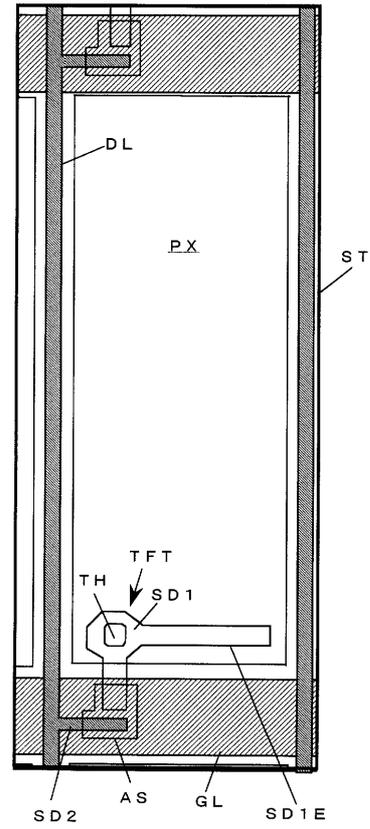
【図10】

図10



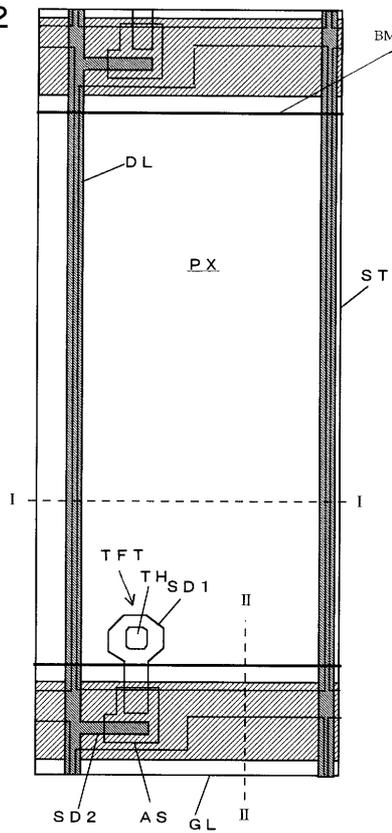
【図11】

図11



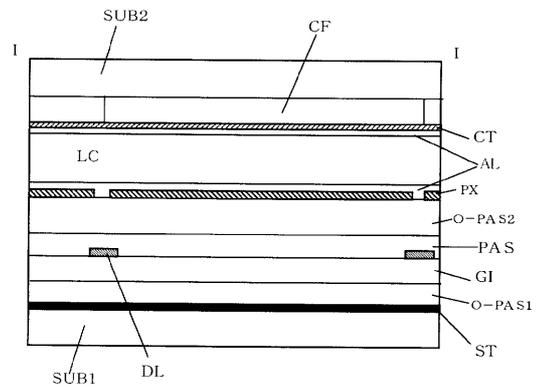
【図12】

図12

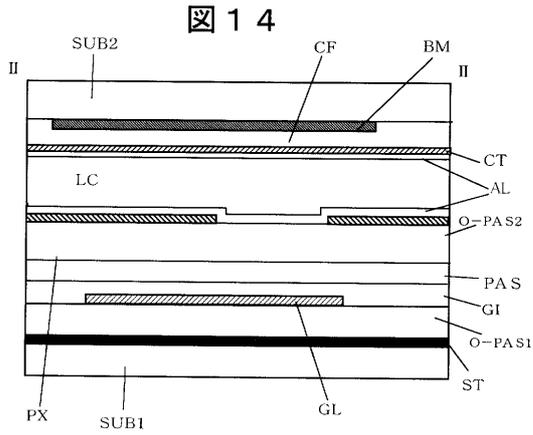


【図13】

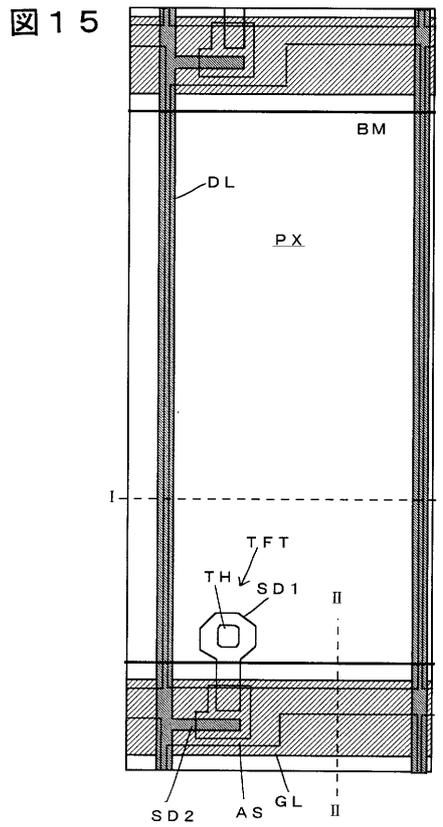
図13



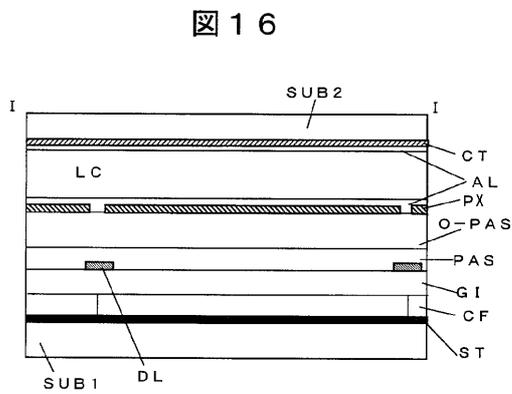
【図14】



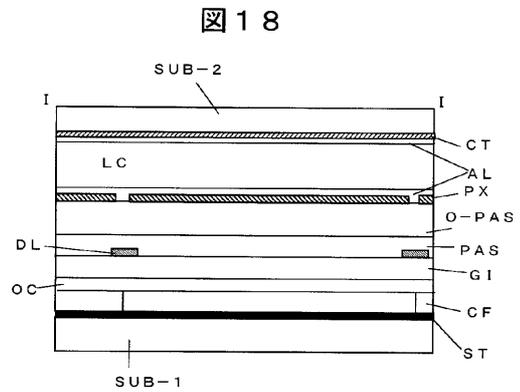
【図15】



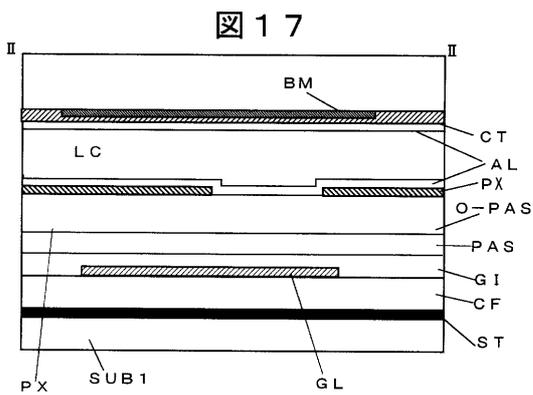
【図16】



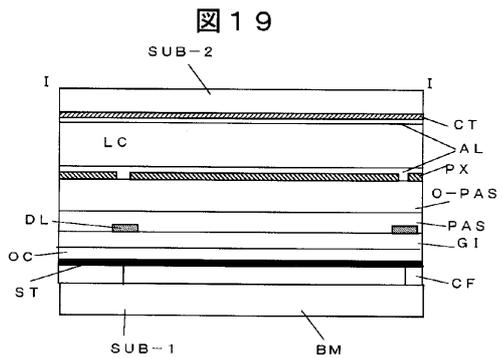
【図18】



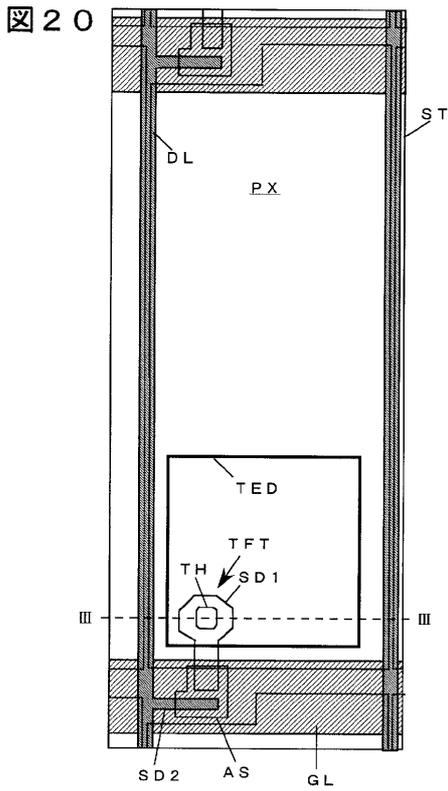
【図17】



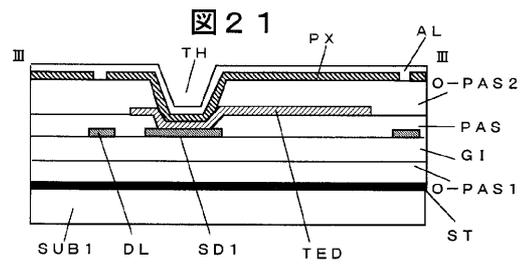
【図19】



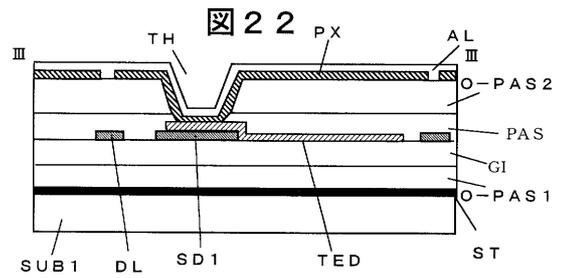
【図20】



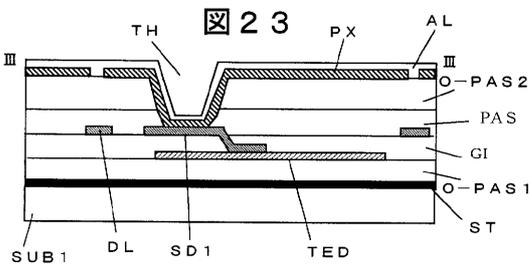
【図21】



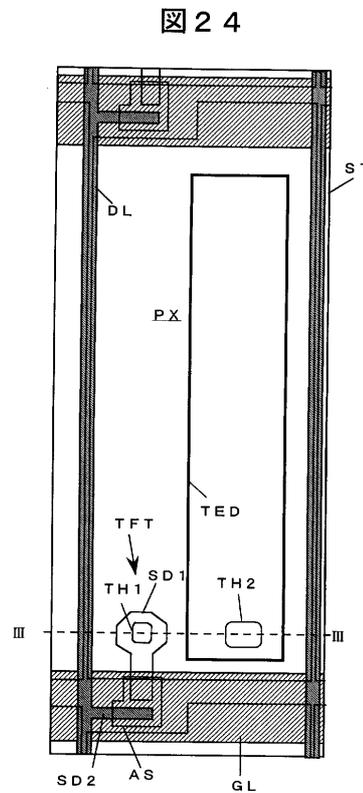
【図22】



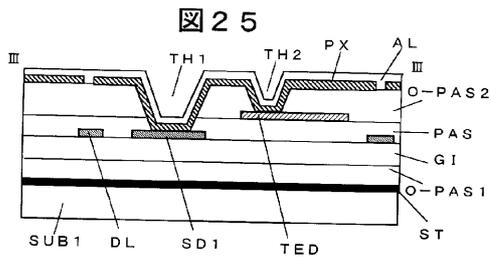
【図23】



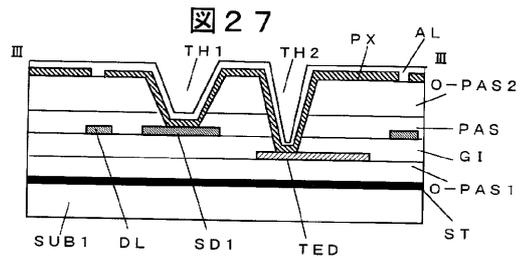
【図24】



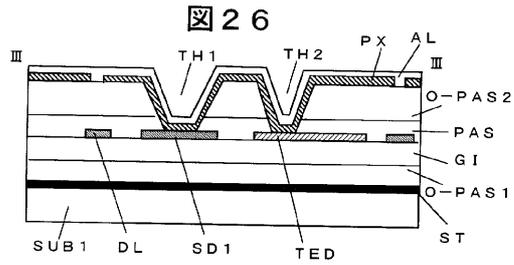
【図25】



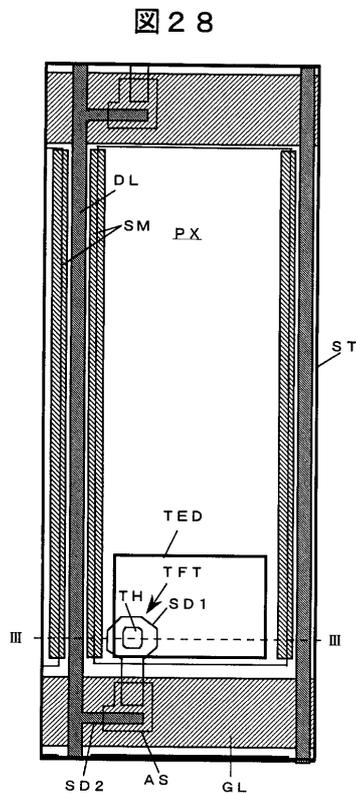
【図27】



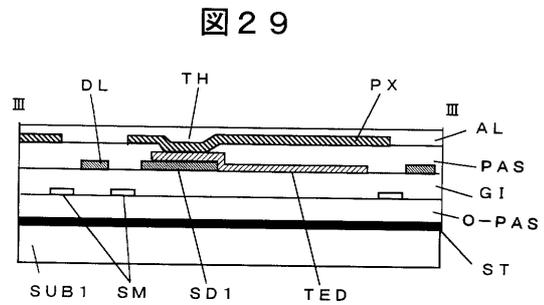
【図26】



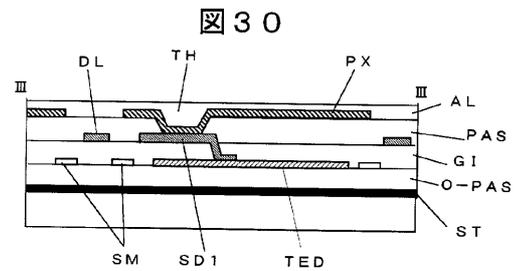
【図28】



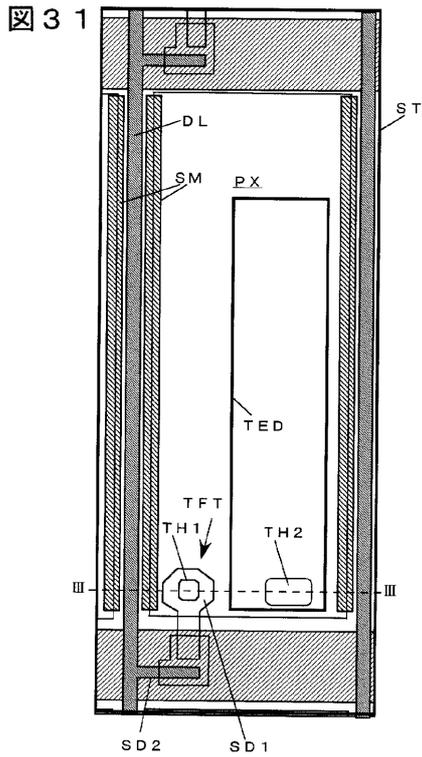
【図29】



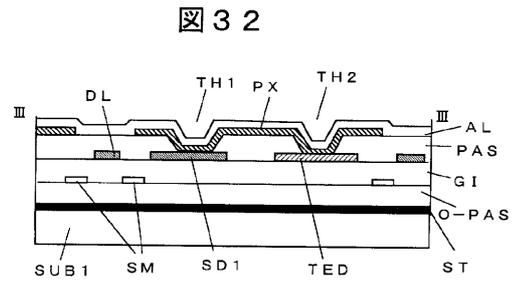
【図30】



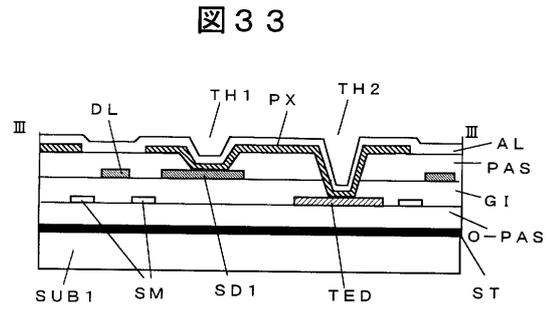
【図31】



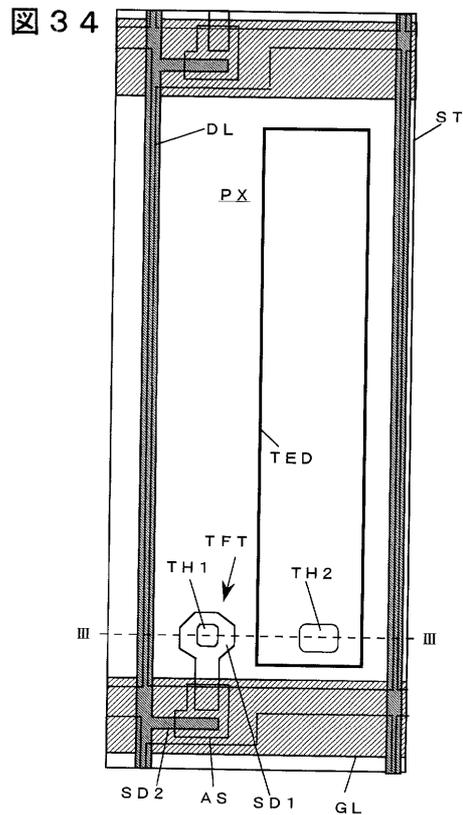
【図32】



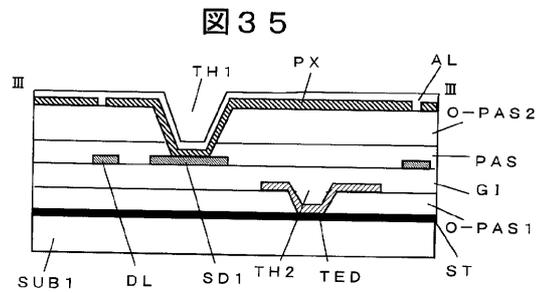
【図33】



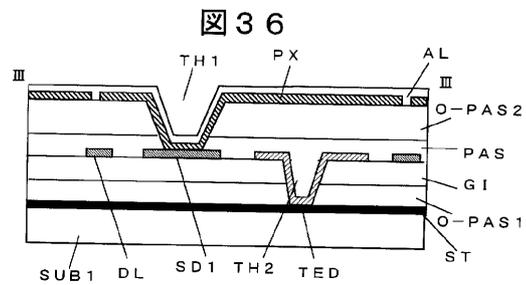
【図34】



【図35】



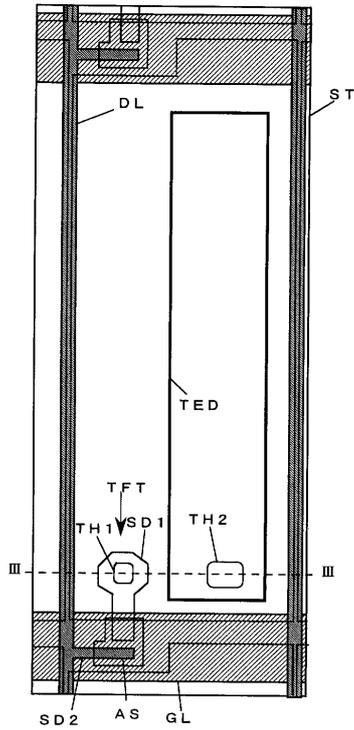
【図36】





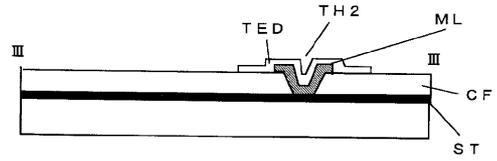
【 図 4 2 】

図 4 2



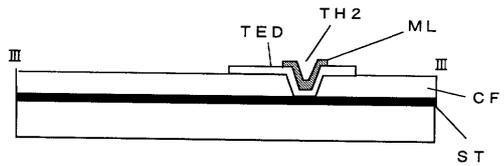
【 図 4 3 】

図 4 3



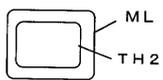
【 図 4 4 】

図 4 4



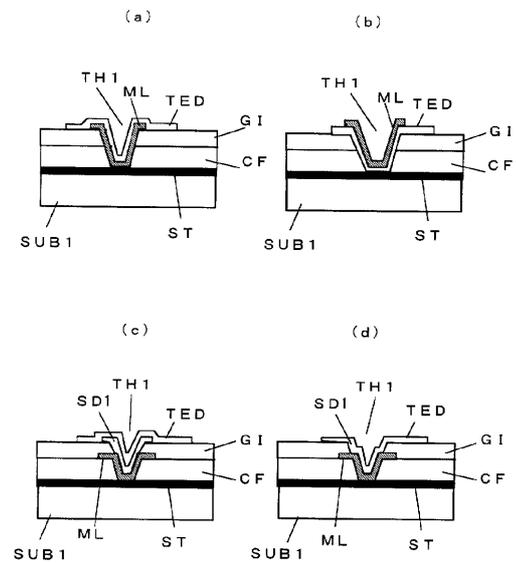
【 図 4 5 】

図 4 5

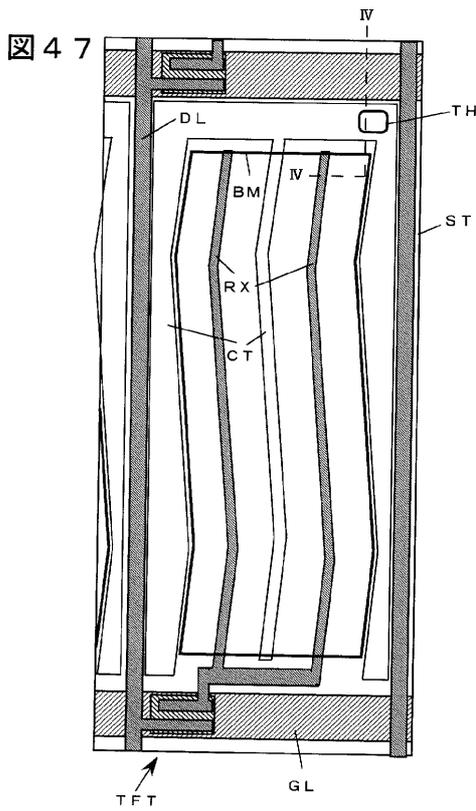


【 図 4 6 】

図 4 6

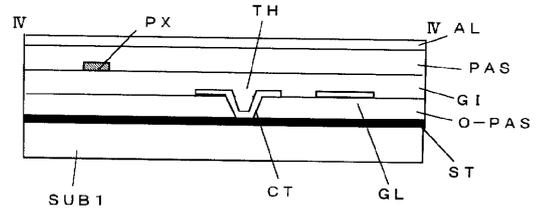


【図47】



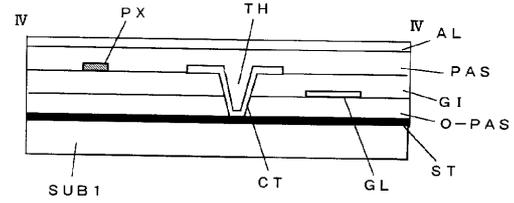
【図48】

図48



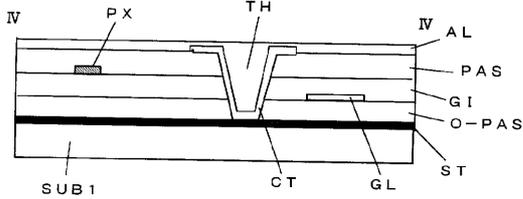
【図49】

図49



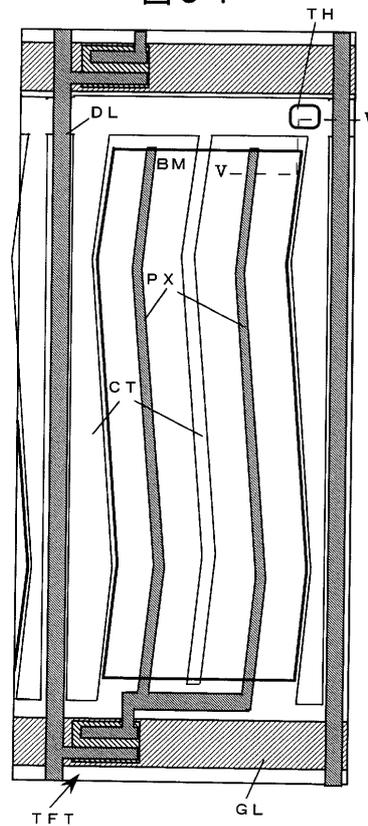
【図50】

図50



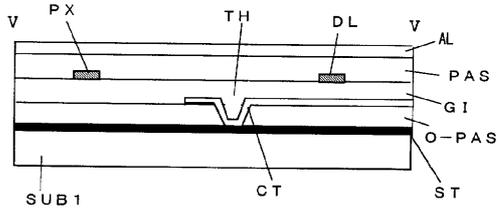
【図51】

図51



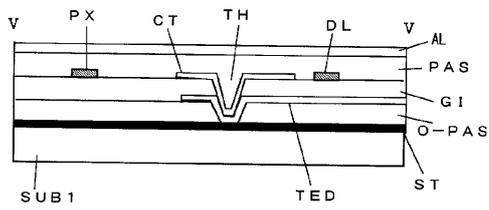
【図52】

図52



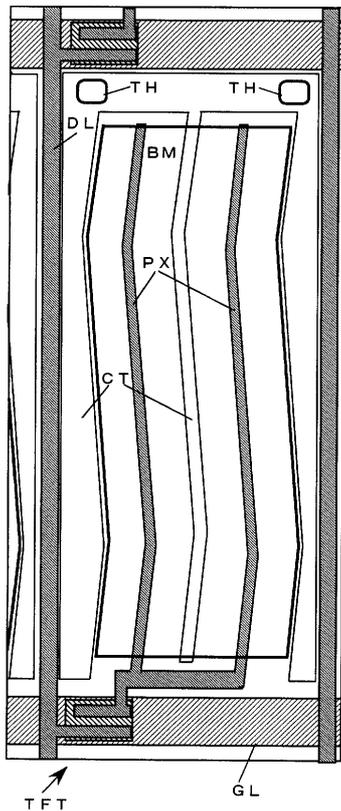
【図53】

図53



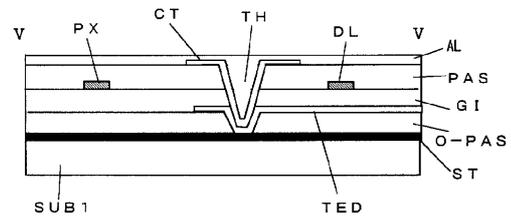
【図56】

図56



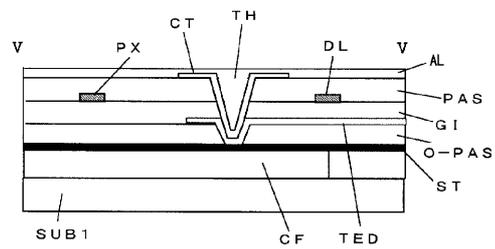
【図54】

図54



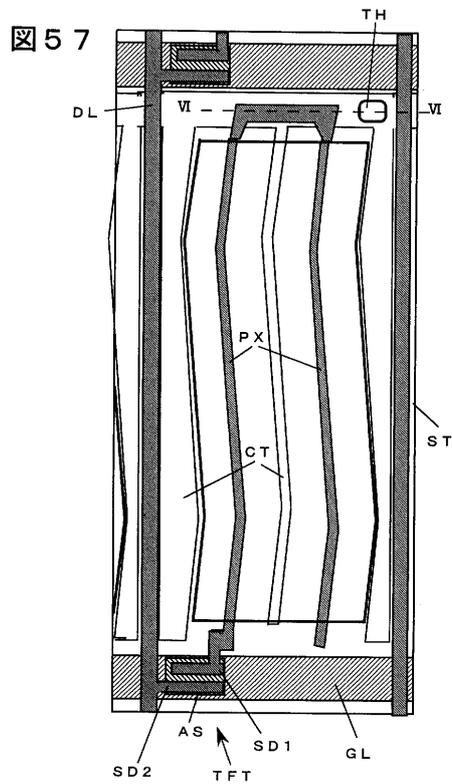
【図55】

図55



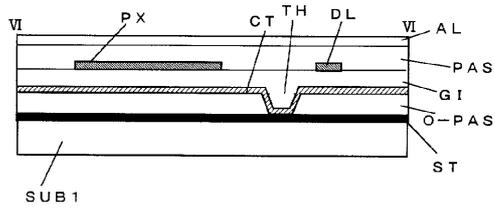
【図57】

図57



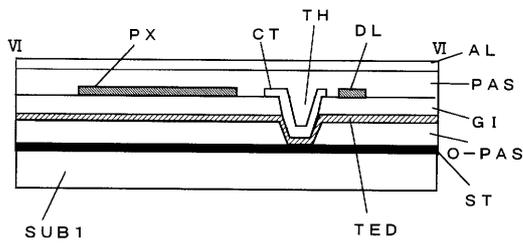
【図58】

図58



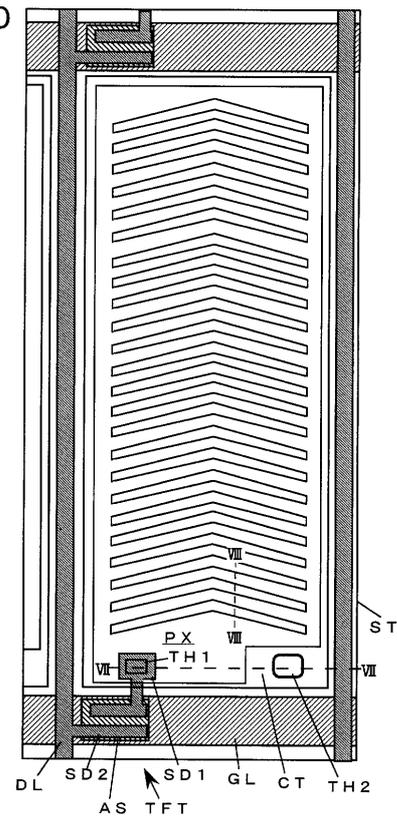
【図59】

図59



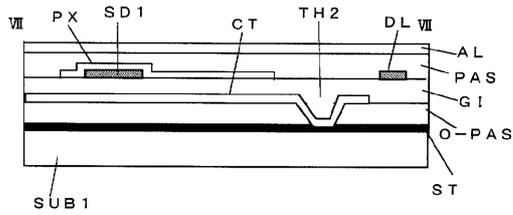
【図60】

図60



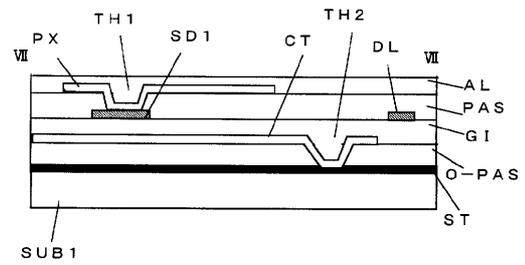
【図61】

図61



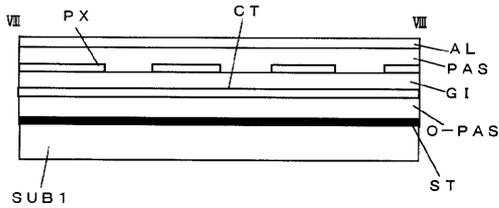
【図63】

図63



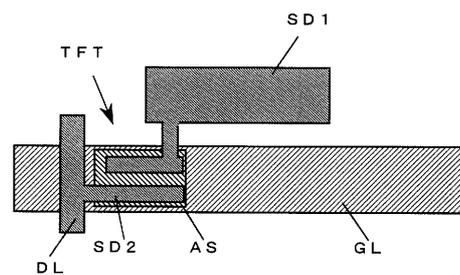
【図62】

図62



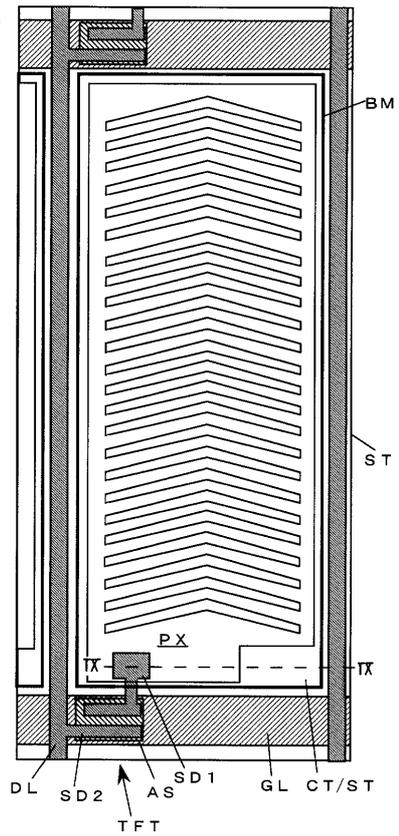
【図64】

図64



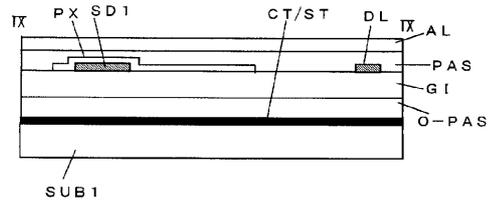
【図65】

図65



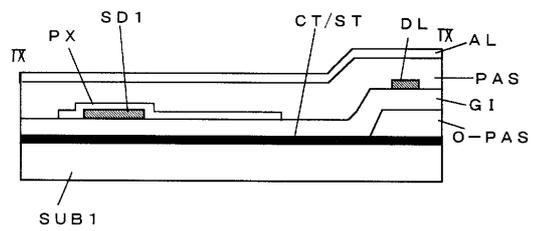
【図66】

図66



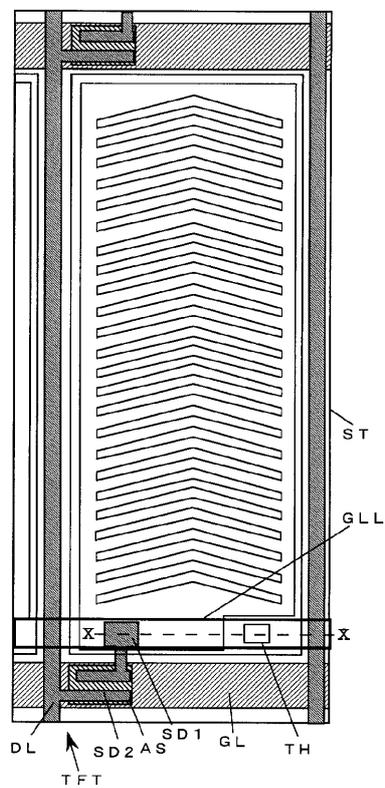
【図67】

図67



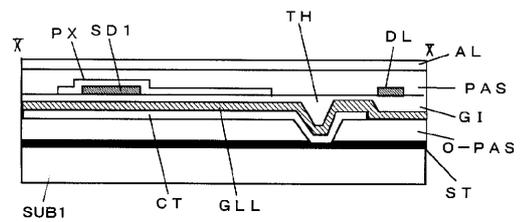
【図68】

図68



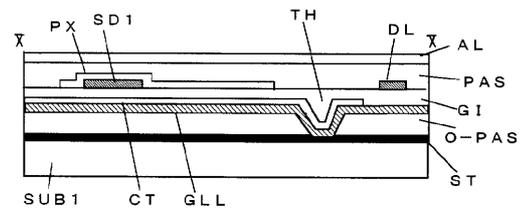
【図69】

図69

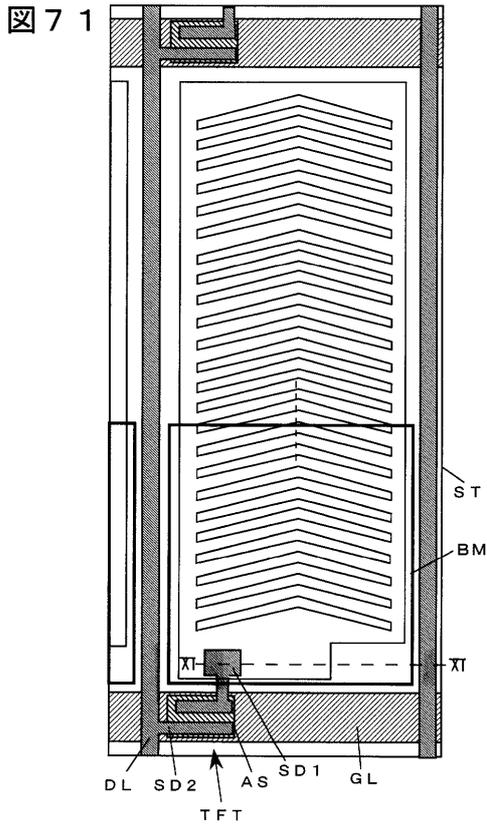


【図70】

図70

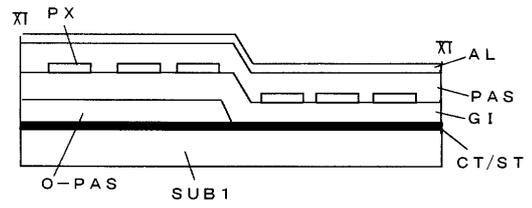


【図71】



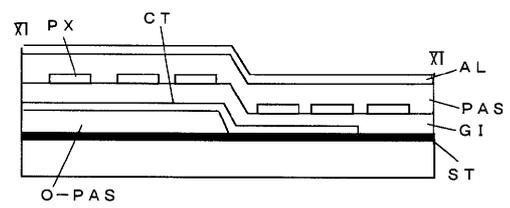
【図72】

図72

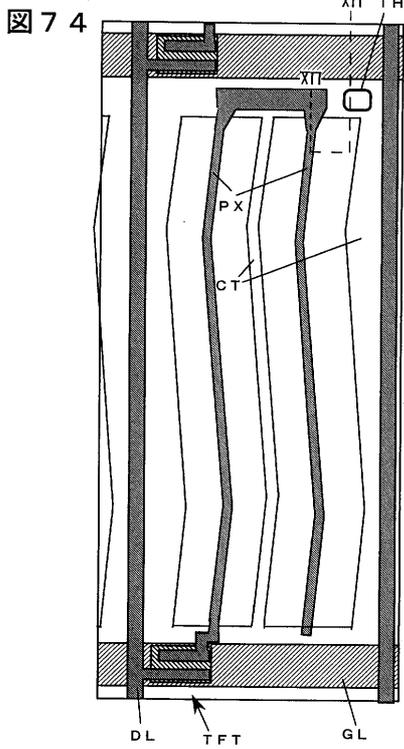


【図73】

図73

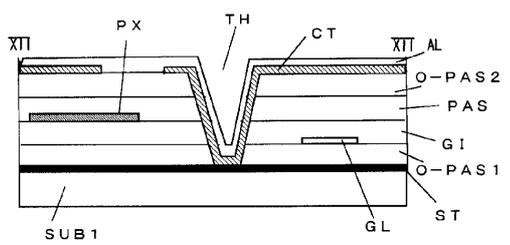


【図74】



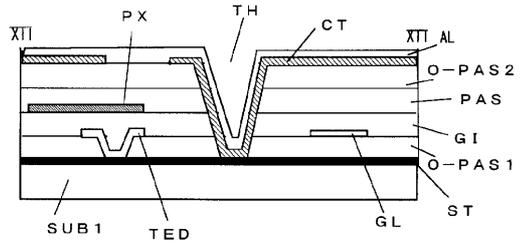
【図75】

図75

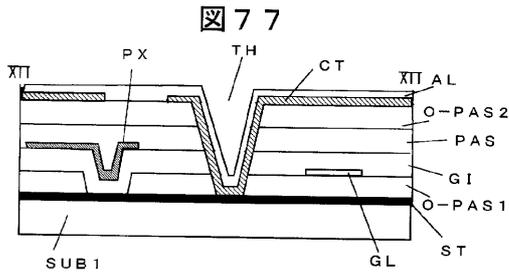


【図76】

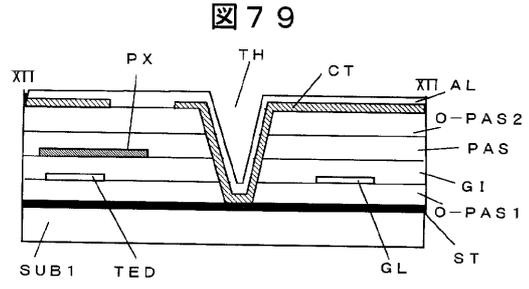
図76



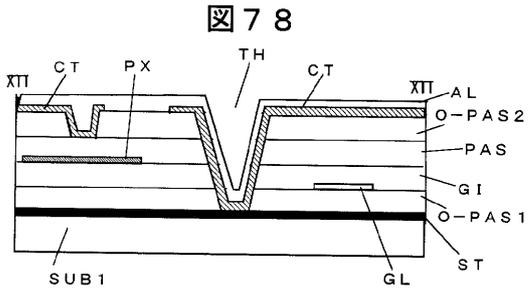
【 図 77 】



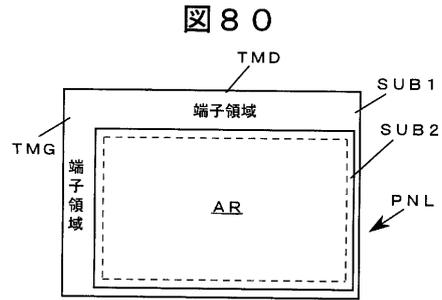
【 図 79 】



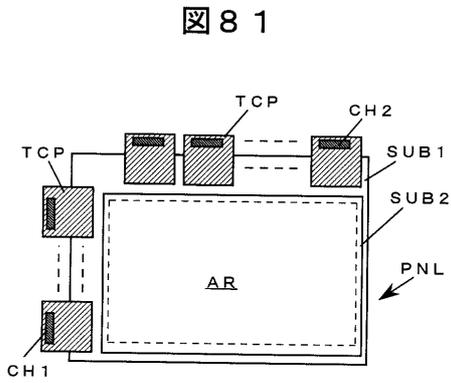
【 図 78 】



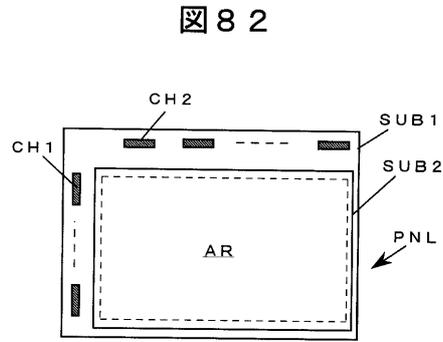
【 図 80 】



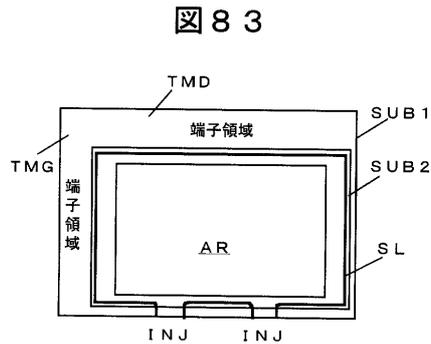
【 図 81 】



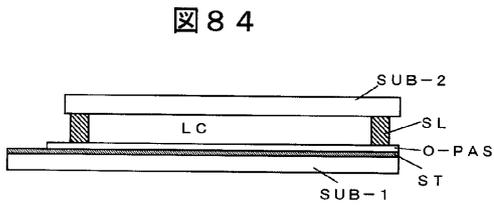
【 図 82 】



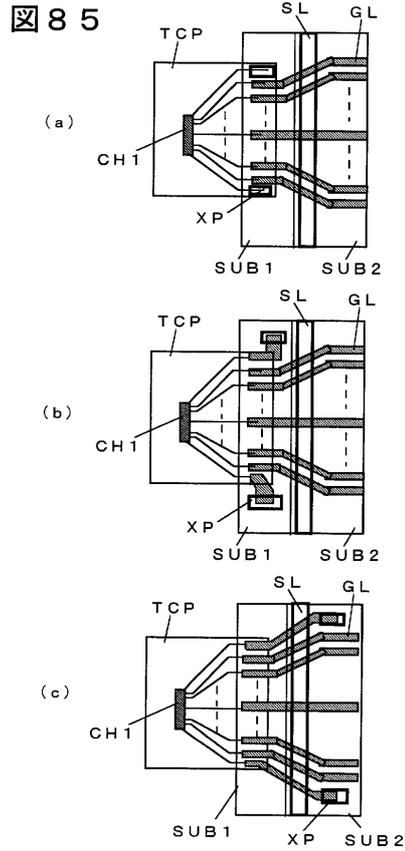
【 図 83 】



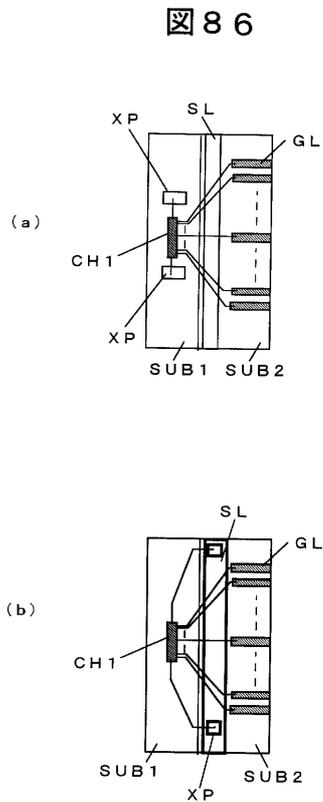
【 84 】



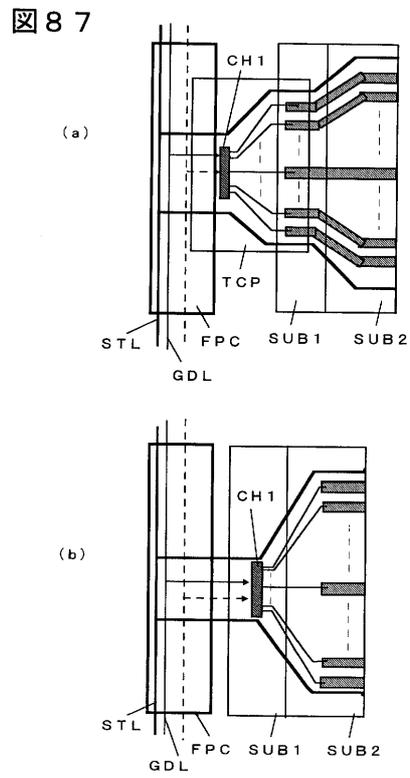
【 85 】



【 86 】

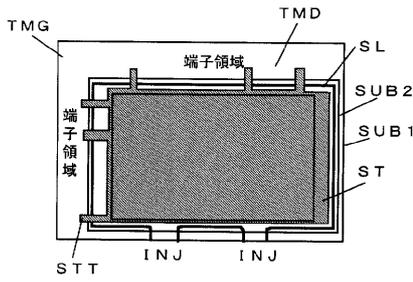


【 87 】



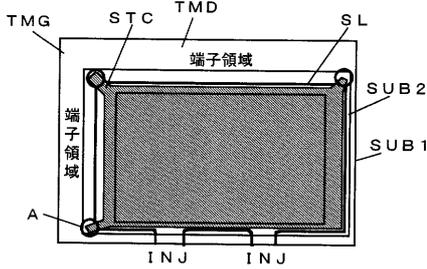
【図88】

図88



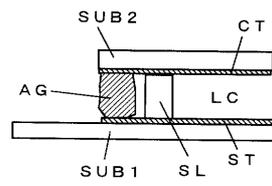
【図89】

図89



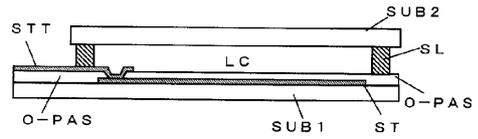
【図90】

図90



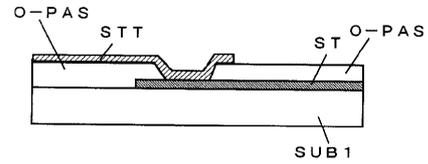
【図91】

図91



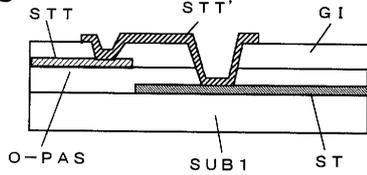
【図92】

図92



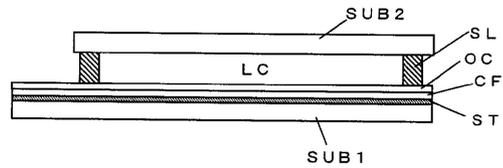
【図93】

図93



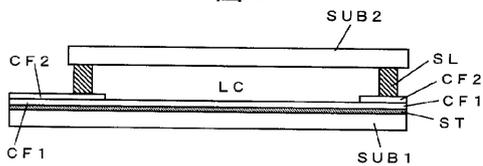
【図96】

図96



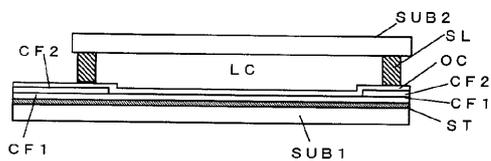
【図94】

図94



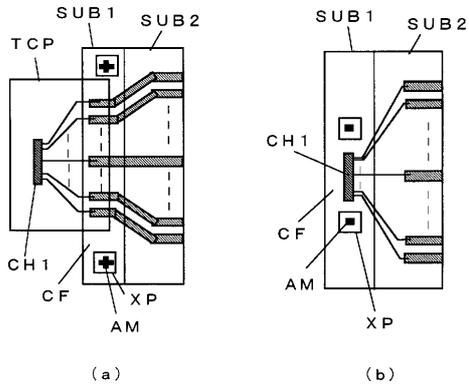
【図95】

図95



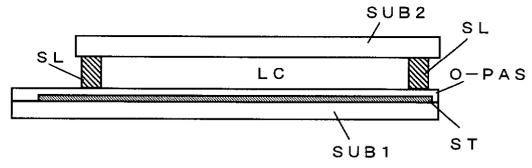
【 97 】

97



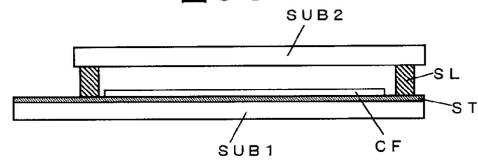
【 98 】

98



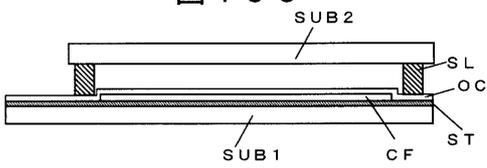
【 99 】

99



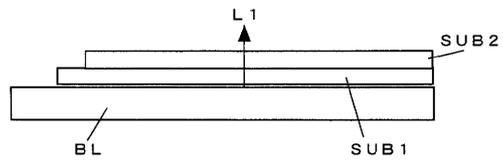
【 100 】

100



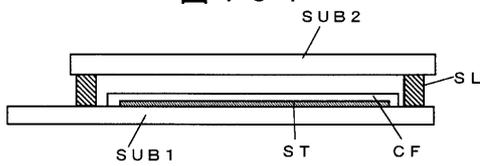
【 103 】

103



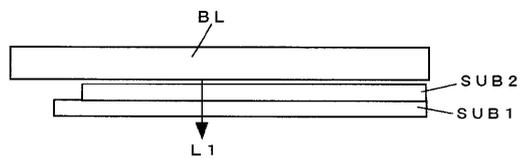
【 101 】

101



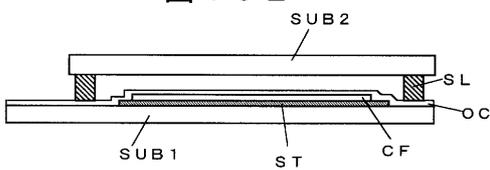
【 104 】

104



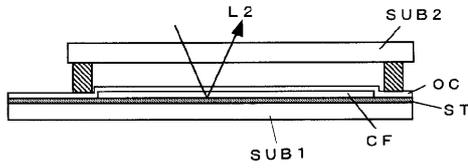
【 102 】

102



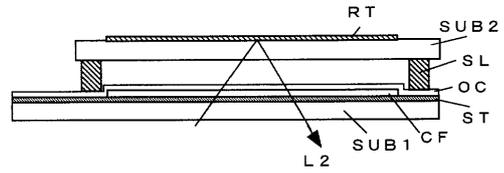
【図105】

図105



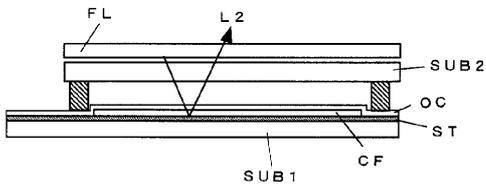
【図107】

図107



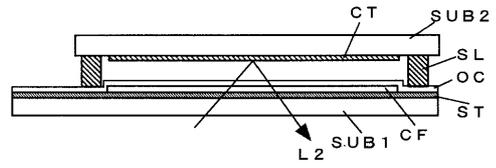
【図106】

図106



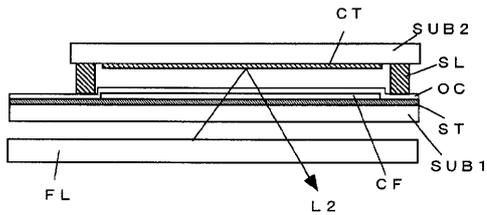
【図108】

図108



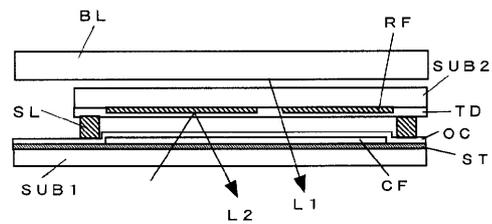
【図109】

図109



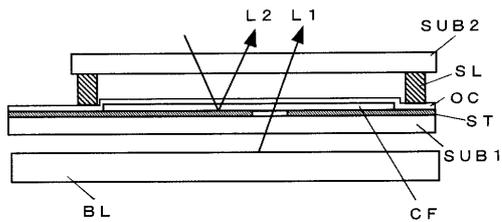
【図111】

図111



【図110】

図110



---

フロントページの続き

(56)参考文献 特開2001-228493(JP,A)  
特開2000-098408(JP,A)  
特許第3591513(JP,B2)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368  
G02F 1/1335  
G02F 1/1343

专利名称(译)	液晶显示装置，图像显示装置及其制造方法		
公开(公告)号	<a href="#">JP4305811B2</a>	公开(公告)日	2009-07-29
申请号	JP2002244606	申请日	2002-08-26
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	仲吉良彰 柳川和彦		
发明人	仲吉 良彰 柳川 和彦		
IPC分类号	G02F1/1368 G02F1/1335 G02F1/1343 G02F1/136 G02F1/1362		
FI分类号	G02F1/1368 G02F1/1335.505 G02F1/1343		
F-TERM分类号	2H091/FA02Y 2H091/GA02 2H091/GA09 2H091/GA13 2H091/LA11 2H091/LA15 2H092/GA11 2H092/GA14 2H092/GA29 2H092/GA40 2H092/GA50 2H092/GA51 2H092/JA24 2H092/JA28 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB01 2H092/JB22 2H092/JB31 2H092/JB51 2H092/JB57 2H092/JB61 2H092/MA12 2H092/NA07 2H092/NA25 2H092/PA08 2H092/PA12 2H092/PA13 2H191/FA02Y 2H191/GA04 2H191/GA15 2H191/GA19 2H191/LA11 2H191/LA19 2H192/AA24 2H192/BB02 2H192/BB03 2H192/BB04 2H192/BB12 2H192/BB13 2H192/BB54 2H192/BC31 2H192/BC62 2H192/BC74 2H192/BC77 2H192/CB05 2H192/CC04 2H192/CC42 2H192/DA12 2H192/DA42 2H192/DA62 2H192/DA72 2H192/EA03 2H192/EA17 2H192/EA22 2H192/EA42 2H192/EA43 2H192/EA44 2H192/EA56 2H192/EA72 2H192/FA35 2H192/FA46 2H192/FB22 2H192/FB46 2H192/GD47 2H192/GD71 2H192/JA32 2H291/FA02Y 2H291/GA04 2H291/GA15 2H291/GA19 2H291/LA11 2H291/LA19		
代理人(译)	小野寺杨枝		
优先权	2001317147 2001-10-15 JP		
其他公开文献	JP2003195352A5 JP2003195352A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：确保孔径率和容量。Z SOLUTION：在第一基板的内表面上具有沿第一方向延伸的多个相互平行的栅极线，沿与栅极线交叉的第二方向延伸的多个相互平行的漏极线，多个切换的图像显示装置在栅极线和漏极线的交叉点处提供的元件和由有源元件驱动的像素电极具有电极形成层，该电极形成层在第一基板的像素区域中形成栅极线，漏极线，开关元件和像素电极，以及通过与第一基板侧相对的第一绝缘层与电极形成层绝缘的参考电极层；参考电极层几乎完全形成在整个像素区域表面上并由多个像素共享。Z

