

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4243035号
(P4243035)

(45) 発行日 平成21年3月25日 (2009. 3. 25)

(24) 登録日 平成21年1月9日 (2009. 1. 9)

(51) Int. Cl.

F I

G O 9 G 3/36 (2006. 01)

G O 2 F 1/133 (2006. 01)

G O 9 G 3/20 (2006. 01)

G O 9 G 3/30 (2006. 01)

G O 9 G 3/36

G O 2 F 1/133 5 O 5

G O 9 G 3/20 6 1 1 A

G O 9 G 3/20 6 2 1 D

G O 9 G 3/20 6 2 2 Q

請求項の数 14 (全 32 頁) 最終頁に続く

(21) 出願番号	特願2001-96471 (P2001-96471)	(73) 特許権者	000001889
(22) 出願日	平成13年3月29日 (2001. 3. 29)		三洋電機株式会社
(65) 公開番号	特開2002-297105 (P2002-297105A)		大阪府守口市京阪本通2丁目5番5号
(43) 公開日	平成14年10月11日 (2002. 10. 11)	(74) 代理人	100075258
審査請求日	平成17年7月19日 (2005. 7. 19)		弁理士 吉田 研二
		(74) 代理人	100081503
			弁理士 金山 敏彦
		(74) 代理人	100096976
			弁理士 石田 純
		(72) 発明者	北川 誠
			大阪府守口市京阪本通2丁目5番5号 三
			洋電機株式会社内
		(72) 発明者	筒井 雄介
			大阪府守口市京阪本通2丁目5番5号 三
			洋電機株式会社内
			最終頁に続く

(54) 【発明の名称】 表示装置の駆動方法及び駆動回路

(57) 【特許請求の範囲】

【請求項 1】

n 行 m 列マトリクス複数の画素を備え、
パーシャル表示命令に応じて、任意の s 行 m 列マトリクスのパーシャル表示領域にはパーシャル表示を行い、残りの領域には背景領域として背景表示を行う表示装置の駆動方法であり、
パーシャル表示モード時には、
1 フレーム期間中に、
前記パーシャル表示領域の各画素に所定のパーシャル表示データを順次書き込むと共に、
前記背景領域の内、前記パーシャル表示領域の最終行の次の s + 1 行目領域の画素と、k 行 m 列の画素とに背景表示データを書き込むことを特徴とする表示装置の駆動方法（但し、n、m、s 及び k は全て 1 以上の整数で、 $s < n$ 、 $k < n - s - 1$ とする）。

【請求項 2】

請求項 1 に記載の表示装置の駆動方法において、
前記背景領域のうちの前記 k 行 m 列の画素は、1 フレーム毎に選択行がシフトすることを特徴とする表示装置の駆動方法。

【請求項 3】

請求項 2 に記載の表示装置の駆動方法において、
前記背景領域のうちの (n - s - 1) 行 m 列マトリクスの画素には、合計 (n - s - 1) / k フレーム期間かけて前記背景表示データを書き込むことを特徴とする表示装置の駆動

10

20

方法。

【請求項 4】

請求項 2 に記載の表示装置の駆動方法において、

前記背景領域のうちの $(n - s - 1)$ 行 m 列マトリクスの画素には、合計 $(n - s - 1) / k$ フレーム期間かけて前記背景表示データを書き込み、

次の合計 $(n - s - 1) / k$ フレーム期間には、同一行の画素に対し、背景表示データの基準電位に対する極性を反転させた背景表示データを書き込むことを特徴とする表示装置の駆動方法。

【請求項 5】

請求項 1 ～ 4 のいずれか一つに記載の表示装置の駆動方法において、

前記パーシャル表示命令が出されると、

1 フレーム期間に前記 n 行 m 列の全画素を選択して通常表示する際の単位クロックとなる画素クロックよりも、周波数の低い画素クロックを単位クロックとして用いて、

前記パーシャル表示領域の全画素にパーシャル表示データを書き込み、前記背景表示領域のうちの前記 $s + 1$ 行目領域の画素と、前記 k 行 m 列の画素に背景表示データを書き込むことを特徴とする表示装置の駆動方法。

【請求項 6】

請求項 1 ～ 5 のいずれか一つに記載の表示装置の駆動方法において、

前記パーシャル表示命令が出された後、前記 n 行 m 列マトリクスの全画素に背景表示データを書き込んでから、前記 s 行 m 列の画素にパーシャル表示データを順次書き込み、かつ前記 $s + 1$ 行目の画素と、前記 k 行 m 列の画素に背景表示データを書き込むことを特徴とする表示装置の駆動方法。

【請求項 7】

請求項 1 ～ 5 のいずれか一つに記載の表示装置の駆動方法において、

前記パーシャル表示命令が検出されると、次の第 1 フレームの期間中には、

前記 s 行 m 列のパーシャル表示領域の各画素に所定のパーシャル表示データを順次書き込み、

かつ前記背景領域の全画素に、背景表示データを順次書き込み、

前記第 1 フレームに続く第 2 フレーム以降の各フレーム期間中には、

前記 s 行 m 列のパーシャル表示領域の各画素に、前記パーシャル表示データを書き込み、かつ、前記背景領域のうちの $s + 1$ 行目領域の画素と、前記 k 行 m 列の画素に背景表示データを書き込むことを特徴とする表示装置の駆動方法。

【請求項 8】

n 行 m 列マトリクスの複数の画素が、行ライン毎に選択されかつ列ラインから表示データの供給を受けて表示を行い、

かつ、パーシャル表示命令が出されると、1 フレーム期間中に、前記 n 行 m 列マトリクスの内の s 行 m 列の画素を選択して所定のパーシャル表示データを順次書き込み、また、前記 n 行 m 列の残りの背景領域のうちの $s + 1$ 行目の画素と、 k 行 m 列の画素とを選択して背景表示データを書き込む表示装置の駆動回路であって、

各行の選択期間に対応した行クロックを発生する行クロック作成部と、

行クロックを 1 フレーム毎にカウントする行クロックカウント部と、

前記パーシャル表示データを書き込むべき s 行の到来タイミングを検出するパーシャル表示行検出部と、

前記 1 フレーム期間中に背景表示データを書き込むべき $s + 1$ 行目及び k 行の到来タイミングを検出する背景表示行検出部と、

前記パーシャル表示行検出部又は前記背景表示行検出部のいずれかで表示行の到来が検出されると前記 n 行 m 列マトリクスを行毎に駆動する行ドライバでの行駆動動作を許可するドライバ制御信号を発生するドライバ制御信号発生部と、を備えることを特徴とする表示装置の駆動回路（但し、 n 、 m 、 s 及び k は全て 1 以上の整数で、 $s < n$ 、 $k < n - s - 1$ を満たす）。

10

20

30

40

50

【請求項 9】

請求項 8 に記載の表示装置の駆動回路において、
更にフレーム数をカウントするフレームカウント部を備え、
前記背景表示行検出部は、前記フレームカウント部でのカウント値に基づいて、前記背景表示データを書き込むべき行をシフトさせることを特徴とする表示装置の駆動回路。

【請求項 10】

請求項 8 又は請求項 9 に記載の表示装置の駆動回路において、
さらに表示データの所定基準電圧に対する極性を単位期間毎に反転させるための極性反転信号作成部を備え、
前記背景領域のうち前記 $s + 1$ 行目を除く各画素は、合計 $(n - s - 1) / k$ フレーム期間よりなる 1 背景表示期間かけて、それぞれが 1 回選択され、
次の 1 背景表示期間の到来を前記極性反転信号作成部が検出し前記背景表示データの極性を反転することを特徴とする表示装置の駆動回路。

10

【請求項 11】

請求項 8 ~ 10 のいずれか一つに記載の表示装置の駆動回路において、
さらに、1 フレーム期間に前記 n 行 m 列の全画素を選択して通常表示する際の単位クロックを分周する分周回路を有し、
前記パースシャル表示命令が出されると、前記分周回路からの分周画素クロックを単位クロックとして用い、1 フレーム期間中に前記 s 行 m 列の画素への前記パースシャル表示データの書き込み制御、及び、前記 $s + 1$ 行目領域の画素及び前記 k 行 m 列の画素への前記背景表示データの書き込み制御を行うことを特徴とする表示装置の駆動回路。

20

【請求項 12】

請求項 11 に記載の表示装置の駆動回路において、
前記パースシャル表示行検出部及び前記背景表示行検出部での表示行検出信号に基づいて、前記背景領域のうち、前記 $s + 1$ 行目領域の画素及び前記 k 行 m 列の画素以外の行に対する選択期間の到来を検出し、前記行クロックの周波数を増大する行クロック制御部を備えることを特徴とする表示装置の駆動回路。

【請求項 13】

請求項 1 ~ 12 のいずれか一つに記載の表示装置の駆動方法又は駆動回路において、
前記背景表示データは、オフ表示データ又は任意の背景色データであることを特徴とする表示装置の駆動方法又は駆動回路。

30

【請求項 14】

請求項 1 ~ 13 のいずれか一つに記載の表示装置の駆動方法又は駆動回路において、
該表示装置は、液晶表示装置であることを特徴とする表示装置の駆動方法又は駆動回路。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

この発明は、液晶表示装置等の平面表示装置の駆動方法及び駆動回路に関し、特にそのパースシャル表示に関する。

【0002】

40

【従来の技術】

液晶表示装置や有機 EL 表示装置等に代表される平面表示装置は、薄型で軽量かつ低消費電力であることから、携帯電話などの携帯機器の表示装置として優れており、多くの携帯機器に用いられている。

【0003】

この表示装置は、マトリクス状に配置された複数の画素によって任意パターンを表示可能なマトリクス型表示装置、時計等の固定パターンを表示するセグメント型表示装置、さらにこのマトリクス型とセグメント型が同一表示パネル内に内蔵された表示装置などが知られている。

【0004】

50

ところで、携帯機器では、消費電力の一層の低減が求められており、表示装置においても更なる低消費電力化が要求されている。そこで、パワーセーブ時には、画面の内、必要最小限な部分だけを表示させるというパーシャル表示が可能な表示装置が従来より知られている。このようなパーシャル表示は、例えば、液晶表示装置の表示領域の一部に電池残量、時刻表示などのための固定パターン表示領域を設け、他の領域はマトリクス状に複数の画素を配置して任意のパターンを表示する領域より構成し、パワーセーブ時に固定パターン表示領域のみ駆動して固定パターンを表示させることなどで実現することができる。

【 0 0 0 5 】

【発明が解決しようとする課題】

上述のように、同一表示パネル上に、それぞれ別個に駆動可能な複数の領域を設け、駆動も別々に制御する構成とすれば、要求に応じて一部の領域のみ表示することができる。しかし、パワーセーブ時においても、任意の位置に表示することや任意のパターンを表示したいという要求があり、予め分割された表示領域を個別に制御する表示装置ではこの要求に対応することはできない。

【 0 0 0 6 】

また、表示装置が搭載される機種によって、パワーセーブ時の表示内容、表示位置の要求が違いため、表示パネルの構造、駆動回路を要求に応じてそれぞれ専用に開発しなければならない。

【 0 0 0 7 】

マトリクス型の表示装置であれば、任意の位置に任意の表示を表示することが可能であるが、パーシャル表示で、一部のみしかパターンが表示されない場合でも、他の領域も通常通りの駆動が必要なため、これではパーシャル表示による消費電力の低減効果が低い。

【 0 0 0 8 】

上記課題を解決するために、この発明は、任意の位置にパーシャル表示を行う表示装置において残りの背景領域における表示品質の向上を目的とする。

【 0 0 0 9 】

【課題を解決するための手段】

上記目的を達成するためにこの発明は、以下のような特徴を有する。

【 0 0 1 0 】

表示装置の駆動方法に関し、本発明の特徴は、 n 行 m 列マトリクスの複数の画素を備え、パーシャル表示命令に応じて、任意の s 行 m 列マトリクスのパーシャル表示領域にはパーシャル表示を行い、残りの領域には背景領域として背景表示を行う表示装置の駆動方法であり、パーシャル表示モード時には、1フレーム期間中に、前記パーシャル表示領域の各画素に所定のパーシャル表示データを順次書き込むと共に、前記背景領域の内、前記パーシャル表示領域の最終行の次の $s + 1$ 行目領域の画素と、 k 行 m 列の画素とに背景表示データを書き込むことである。但し、 n 、 m 、 s 及び k は全て1以上の整数で、 $s < n$ 、 $k < n - s - 1$ とする。

【 0 0 1 1 】

表示装置の駆動回路に関し、本発明の他の特徴は、 n 行 m 列マトリクスの複数の画素が、行ライン毎に選択されかつ列ラインから表示データの供給を受けて表示を行い、かつ、パーシャル表示命令が出されると、1フレーム期間中に、前記 n 行 m 列マトリクスの内の s 行 m 列の画素を選択して所定のパーシャル表示データを順次書き込み、また、前記 n 行 m 列の残りの背景領域のうちの $s + 1$ 行目の画素と、 k 行 m 列の画素とを選択して背景表示データを書き込む表示装置の駆動回路であって、各行の選択期間に対応した行クロックを発生する行クロック作成部と、行クロックを1フレーム毎にカウントする行クロックカウンタ部と、前記パーシャル表示データを書き込むべき s 行の到来タイミングを検出するパーシャル表示行検出部と、前記1フレーム期間中に背景表示データを書き込むべき $s + 1$ 行目及び k 行の到来タイミングを検出する背景表示行検出部と、前記パーシャル表示行検出部又は前記背景表示行検出部のいずれかで表示行の到来が検出されると前記 n 行 m 列マトリクスを行毎に駆動する行ドライバでの行駆動動作を許可するドライバ制御信号を発生

10

20

30

40

50

するドライバ制御信号発生部と、を備えることである。

【0012】

また、本発明では、上記駆動方法又は駆動回路において、前記背景領域のうちの前記 k 行 m 列の画素は、1 フレーム毎に選択行をシフトして選択する。

【0013】

本発明の他の特徴は、上記駆動方法又は駆動回路において、前記背景領域のうちの $(n - s - 1)$ 行 m 列マトリクスの画素には、合計 $(n - s - 1) / k$ フレーム期間かけて前記背景表示データを書き込むことである。

【0014】

本発明の他の特徴は、上記駆動方法又は駆動回路において、前記背景領域のうちの $(n - s - 1)$ 行 m 列マトリクスの画素には、合計 $(n - s - 1) / k$ フレーム期間かけて前記背景表示データを書き込み、次の合計 $(n - s - 1) / k$ フレーム期間には、同一行の画素に対し、背景表示データの基準電位に対する極性を反転させた背景表示データを書き込むことである。

10

【0015】

本発明の他の特徴は、上記駆動方法又は駆動回路において、前記パーシャル表示命令が出されると、1 フレーム期間に前記 n 行 m 列の全画素を選択して通常表示する際の単位クロックとなる画素クロックよりも、周波数の低い画素クロックを単位クロックとして用いて、前記パーシャル表示領域の全画素にパーシャル表示データを書き込み、前記背景表示領域のうちの前記 $s + 1$ 行目領域の画素と、前記 k 行 m 列の画素に背景表示データを書き込むことである。

20

【0016】

本発明の他の特徴は、上記駆動方法又は駆動回路において、前記パーシャル表示命令が出された後、次のフレームでは、前記 n 行 m 列マトリクスの全画素に背景表示データを書き込んでから、又は前記 s 行 m 列のパーシャル表示領域の各画素に所定のパーシャル表示データを順次書き込み、かつ前記背景領域の全画素に、背景表示データを順次書き込む。そして、その次のフレームから前記 s 行 m 列の画素にパーシャル表示データを順次書き込み、かつ前記 $s + 1$ 行目の画素と、前記 k 行 m 列の画素に背景表示データを書き込むことである。

以上のような駆動方法、駆動回路を採用すれば、液晶表示パネル等の表示パネルを備える表示装置において、パネル自体の構成を変更することなく、パネルの任意の位置にパーシャル表示を行わせることができる。そして、パーシャル表示の行われない背景領域において、まず、パーシャル表示領域最終行に続く背景領域先頭行に対しては、パーシャル表示領域と同様に毎フレーム背景表示データを書き込む。一方、背景領域の残りの画素は、1 フレーム期間には、 k 行 m 列マトリクスの画素のみ背景表示データを書き込む。

30

【0017】

このように、パーシャル表示領域の境界に位置する背景領域先頭行を毎フレーム選択するので、残りの背景領域についてはそれぞれ数フレームに1回しか選択されなくても、これらの背景領域に、パーシャル表示領域での表示内容が漏洩して、クロストークなどが起きること防ぐ。その一方で、背景領域の上記先頭行を除く領域は、1 フレーム期間中に所定の k 行のみ選択することで必要に応じて消費電力の低減を図ったり、1 フレーム期間中に選択しない行を設けることで、選択する行に対する駆動時間をその分長くすることが可能となる。

40

【0018】

また、背景表示データは、通常、文字や記号などの特別な情報がなく、情報自体に変化がないので頻繁に書き込む必要がない。さらに、このようなデータであれば、各画素への書き込み周期がある程度長くなっても表示の劣化が少ない。

【0019】

なお、背景表示データとしてはオフ表示データや、所望の色データを採用でき、特にオフ表示データを採用することで複数フレームにわたって書き込みを行わないことによる表示

50

内容の劣化は非常に小さい。さらに、所定周期毎に背景表示データを書き込む際、例えば液晶表示パネルに有効な表示データの極性反転を行うことで、直流成分の印加により劣化する液晶など、表示素子の劣化を確実に防止することができる。

【 0 0 2 0 】

【 発明の実施の形態 】

以下、図面を用いてこの発明の好適な実施の形態（以下実施形態という）について説明する。

【 0 0 2 1 】

〔 基本構成 〕

図 1 は、本発明に係る表示装置の概略構成を示している。この表示装置は、例えば携帯電話に搭載される LCD などの平面表示装置であり、一対の基板間に液晶が封入されて構成された液晶表示（LCD）パネル 200 と、この LCD パネル 200 を駆動する駆動回路 100 と、駆動回路 100 及び LCD パネル 200 に必要な電源電圧（例えば VDD1、VDD2、VDD3）を供給する電源回路 300 を備える。

【 0 0 2 2 】

LCD パネル 200 は、各画素にスイッチ素子として薄膜トランジスタが設けられ、この薄膜トランジスタのオンオフを行方向に延びるゲートラインで制御し、この薄膜トランジスタを介して列方向に延びるデータラインから各画素に表示データを供給することで、画素毎の表示が可能なアクティブマトリクス型 LCD パネルである。また、パネルの表示部の周辺には、ゲートラインを順に制御する垂直方向ドライバ（Vドライバ）210、所定タイミングでデータラインに表示データを供給する水平方向ドライバ（Hドライバ）220 が形成されている。但し、この Vドライバ 210 及び Hドライバ 220 は、パネル 200 上に形成されるものには限られず、IC 化される駆動回路 100 の一部又は独立の回路で形成される場合もある。

【 0 0 2 3 】

駆動回路 100 は、供給される RGB デジタルデータをラッチするラッチ回路 101、ラッチデータをアナログデータに変換するデジタルアナログ（D/A）変換回路 102、変換されたアナログデータを増幅して R、G、B アナログ表示データとして LCD パネル 200 の Hドライバ 220 に対して供給するアンプ 104 を備える。駆動回路 100 は、また、図示しない CPU から命令を受け取って命令に応じた制御信号を出力する CPU インターフェース（I/F）回路 106 と、タイミングコントローラ（T/C）400 を備える。I/F 回路 106 は、図示しない CPU から送出される命令を受け取ってこれを解析し、命令に応じた制御信号を出力する。CPU から送出される命令は、パワーセーブ制御命令の他、表示パネルでの表示位置の調整命令やコントラスト調整命令などである。

【 0 0 2 4 】

T/C 400 は、ドットクロック DOTCLK、水平同期信号 Hsync、垂直同期信号 Vsync 等のタイミング信号に基づき、LCD パネル 200 の Vドライバ 210 や Hドライバ 220 の動作及び表示に必要なタイミング信号、制御信号を発生する回路であり、後述するように、本実施形態では、任意の位置でのパースシャル表示を可能とし、かつ、必要に応じてその際の消費電力の低減を可能としている。

【 0 0 2 5 】

n 行 × m 列マトリクスの画素を備える LCD パネル 200 を例に挙げて説明する。本実施形態において、通常表示モードには、1 フレーム期間中に全画素を駆動するが、各行を順に選択し、同時に m 列のデータラインに所定表示データを供給し、各行に対応する画素に表示データを書き込み、これを全 n 行について行うことで、図 2（a）に示すように全画面表示を行う。

【 0 0 2 6 】

例えば CPU からパワーセーブ命令によってパースシャル表示モードに移行すると、図 2（b）のように全 n 行のうちの任意の s 行 m 列だけがパースシャル表示領域 202 となって所定のパースシャル表示を行い、他の領域は背景表示領域（背景領域）204 となり背景表示

10

20

30

40

50

(オフ表示)を行う。液晶層を挟んで設けられる共通電極と画素電極との間の電圧が0Vであると(オフ時)、白が表示されるノーマリホワイトモードLCDの場合には、上記背景領域204ではオフ表示に相当する白が表示される(白ラスタ表示が行われる)。

【0027】

本実施形態において、背景領域204は、パースシャル表示期間中、ずっとオフしているのではなく、図2(c)のように、所定期間毎に、行毎に順に選択され、対応画素に白表示データを書き込んでいる。白表示は、ノーマリホワイトの場合、原理的には電極間に電圧を印加しないことで実現されるが、実際には共通電極と白を表示する各画素電極との間に数ボルトの電圧を印加している。従って、実際の装置でのオフ表示に相当する電圧を白表示データとして背景領域204の各画素電極に画素トランジスタを介して書き込む。

10

【0028】

画面が100行×100列($n, m = 100$)のマトリクスLCDの場合であって、パースシャル表示領域202が25($s = 25$)×100の画素領域で、背景領域204が75×100の場合を例に説明すると、ある1フレーム期間中、背景領域204のうち所定k行についてはパースシャル表示領域202と同様に選択して、そこに背景表示データ(背景領域は白表示データ)を書き込む。次の1フレーム期間中には、背景領域204の内の他のk行を選択し、そこに白表示データを書き込む。

【0029】

上記例では背景領域が75行であり、 $k = 1$ の設定の場合、背景領域204では75フレーム($(n - s) / k$ フレーム)に1回対応する行204wが順次選択され、白表示データが書き込まれることとなる。従って、背景領域204の各行は、75フレーム後に再び選択されるまで選択されることなく、書き込まれた白表示を維持する。

20

【0030】

また、背景領域204は、複数フレーム($(n - s) / k$ フレーム)期間かけて全画素に白データが書き込まれるが、その内のある行204wについて着目すると、該任意フレーム($(n - s) / k$ フレーム)期間の次の複数のフレーム($(n - s) / k$ フレーム)期間には、同一行に対し、先の該任意フレーム($(n - s) / k$ フレーム)期間とは極性の反転(共通電極電圧を基準として極性が反転)した白表示データを書き込んで反転駆動を行っている。

【0031】

図3は、本実施形態の表示装置における通常表示モードからパースシャル表示モードへの移行時の動作を示している。図1のI/F回路106が通常表示モードであると判断している場合、図3(a)のようにLCDパネル200は、全画面を用いて通常表示を行う(S1)。CPUからパースシャル表示制御命令が送られてくると、I/F回路106がこれを解析してパースシャル表示制御信号を発生し、パースシャル表示モードに切り替わる(S2)。なお、スイッチなどが設けられている場合に、これを機器使用者が切り替えることで同等のパースシャル制御信号が発生し、パースシャル表示モードに移行してもよい。

30

【0032】

装置がパースシャル表示モードに切り替わった後、直接、上述のようなパースシャル及び背景表示を行っても良いが、本実施形態では、通常表示からパースシャル表示への移行に際して、一旦全画面をオフ表示させている。具体的には、移行時の1フレームは、まず、通常通り各画素を選択して白表示データを書き込み白ラスタ表示を行う(S3、図3(b))。

40

【0033】

このような制御をおこなうのは、パースシャル表示に切り替わった際、背景領域で通常表示時の表示が徐々にオフ表示状態へ変化していくことを防ぐ為である。つまり、通常表示からパースシャル表示に切り替わった時、背景領域204の画素には、前の通常フレームの画素表示データが書き込まれている。ところが背景領域204では、上述のように1フレーム毎には選択されない。従って、たとえ各画素に設けられている画素トランジスタが次にゲートラインが選択されるまでオフ制御されていても、トランジスタのOFFリーク電流のため、画素表示データは徐々にドレインラインに抜けてゆき、液晶層を挟んで対向する

50

共通電極の電位に近づいていく。つまり、背景領域 204 では、通常表示フレームから切り替わった際に、数秒かけて徐々にオフ表示（白ラスタ）に変化することとなり、このようなゆっくりとした表示の変化は、装置使用者にとって好まれないことが多い。そこで、パーシャル表示に切り替わる前に、一旦全画面に白表示データを書き込んで白ラスタ表示をさせることで、パーシャル表示時には、全ての画素は、オフ状態である白表示状態から変化することになり、パーシャル表示時の背景領域 204 における表示劣化をなくすることができる。なお、以下において、LCD パネル 200 としては、特に言及しない限り、ノーマリホワイト型であり、白表示とは実質的にオフ表示であるものとして説明する。

【0034】

一旦、全画面白ラスタ表示を行った後、LCD パネル 200 では、図 3(c) のようなパーシャル表示が行われる(S4)。本実施形態において、LCD パネル 200 でのパーシャル表示は、パーシャル制御信号に基づいて図 1 の T/C400 が後述するような制御信号、タイミング信号を発生することで実行でき、LCD パネル 200 にはパーシャル表示に対応するための特別な構成を備えなくても実現できる。

【0035】

パーシャル表示モードにおいてパーシャル表示領域は、通常表示と同様に 1 フレーム中に各行が選択され表示データが書き込まれる。本実施形態に係る背景領域 204 の駆動方法 1~4 については、以下に図 3(c) を参照して説明する。各駆動方法のより具体的な駆動波形の例については、図 9~図 15 及び図 18 を参照して後述する。

【0036】

なお、パーシャル表示モードから通常表示モードへの復帰は、CPU などから通常表示制御命令が送られ、図 1 の I/F 回路 106 がこれを解析し、その結果に応じて、通常表示制御信号の発生又はパーシャル表示制御信号の出力停止などを行うことで達成される(図 3、S5)。

【0037】

(駆動方法 1)

方法 1 において、パーシャル表示領域 202 は 1 フレーム期間中に全 s 行(ゲートライン)を順次選択して所定の表示データを書き込み、背景領域 204 では、同じ 1 フレーム期間中に、領域 204 の k 行のみ選択して白表示データを書き込む。つまり、本駆動方法 1 では、1 フレーム期間中にパーシャル表示領域 202 の全 s 行と、背景領域 204 の k 行との合計 s + k 行を順に選択し、選択された行に対し、m 列のデータラインに所定タイミングで表示データを送出することで、対応する画素に対応する表示データを順次書き込む。

【0038】

そして、パーシャル表示領域 202 が 25 行、背景領域 204 が 75 行で k = 1 である場合、1 フレーム期間に、26 行(25 行 + 1 行)が順に選択され、背景領域 204 の他のライン 204 t は、図 1 の T/C400 の作成する信号のうち、後述する制御信号である垂直マスク信号(VMASK)に基づいて選択が禁止される。

【0039】

次のフレームには、パーシャル表示領域 202 は再び全 s 行が選択され表示データが書き込まれる(但し、表示データは、ライン反転、1 フレーム反転により極性が 1 ライン毎、1 フレーム毎に変化する)。また、背景領域 204 では、前フレームで白表示データを書き込んだ k ラインと異なる k ラインが選択され、白表示データが書き込まれる。従って、全 100 行でパーシャル表示領域 202 の行数 s が 25、背景領域 204 での 1 フレーム当たりの選択行数 k が 1 であれば、上述のように、パーシャル表示領域 202 は、各フレームで全領域 202 に表示データが書き込まれ、背景領域 204 では、75 フレームかかって全ての領域に白表示データが書き込まれることとなる。

【0040】

また、k = 1 で、背景領域 204 において、前のフレームで選択された 1 ラインと隣接する 1 ラインが次フレームに選択される場合には、隣接するラインには逆極性の白表示デー

10

20

30

40

50

タを書き込んでライン反転駆動を行う。

【 0 0 4 1 】

さらに、複数 ($(n - s) / k$) フレーム期間 (1 背景表示期間) かけて (上記例では 7 5 フレーム)、背景領域 2 0 4 の全画素に白表示データが書き込まれたら、次の ($n - s$) / k フレーム期間には、同一行に逆極性の白表示データを書き込む。

【 0 0 4 2 】

また、背景領域では、1 ライン毎かつ、1 背景画面毎に極性を反転して白表示を行うことで、背景領域においても液晶に直流電圧成分がずっと印加されることが防がれ、液晶の劣化を防止している。

【 0 0 4 3 】

駆動方法 1 では、パーシャル表示モードに際して、以上のような手順を繰り返してパーシャル表示及び背景表示を行う。

【 0 0 4 4 】

なお、駆動方法 1 では、各画素を点順次駆動した場合も、線順次駆動した場合でも適用可能である。点順次駆動の場合には、あるパーシャル表示領域及び背景領域のいずれにおいても、対応する行 (ゲートライン) が選択された際、データラインに順次表示データを送出し、線順次駆動の場合には全データラインに一斉に書き込むべき表示データを送出する。

【 0 0 4 5 】

(駆動方法 2)

1 フレーム期間中に、パーシャル表示領域 2 0 2 の全 s 行と背景領域 2 0 4 の k 行が選択され表示データが書き込まれる点は、上記方法 1 と共通するが、方法 2 では、パーシャル表示領域 2 0 2 の全 s 行の画素を点順次駆動 (又は線順次駆動) して表示データを書き込んだ後、全データライン (m 列) に白表示データを供給してから背景領域 2 0 4 の k 行を選択する。より具体的には、パーシャル表示領域 2 0 2 について駆動を終えた後、次の 1 水平走査期間 (1 H : 1 ゲートライン選択期間) において、 m 本のデータライン全てに白表示データを書き込んでから、背景領域 2 0 4 の k 行のゲートラインを選択する。これにより選択されたゲートラインの画素トランジスタがオンし、データラインに供給されている白表示データを取り込み、対応する画素は白を表示する。

【 0 0 4 6 】

この背景領域 2 0 4 において選択されて白表示データの書き込まれる行は、上記方法 1 と同様に、1 フレーム毎に変化し、かつ前フレームと次フレームとで背景領域 2 0 4 の選択行が隣接する場合、隣接行で白表示データの電圧が互いに逆極性となるようにする。

【 0 0 4 7 】

背景領域 2 0 4 については複数フレームで全領域に白表示データが書き込まれ、1 背景画面毎に同一行に書き込まれる白表示データの電圧極性が反転されるのは上記方法 1 と同様である。

【 0 0 4 8 】

上記駆動方法 1 では、パーシャル表示領域 2 0 2 に対する行選択終了後、同一 1 フレーム期間中に選択される背景領域 2 0 4 での行の選択期間が到来するまで H ドライバ 2 2 0 が動作を停止し、対応する行を選択した後、再び動作を停止する。これに対し、本駆動方法 2 では、パーシャル表示領域 2 0 2 に対する行選択終了後、続く 1 H 期間だけ H ドライバ 2 2 0 を動作させて各データラインに白表示データを書き込めば、残りの背景領域 2 0 4 の選択期間中は動作を停止させることができる。そして、このような制御は、上述の駆動方法 1 と同様に T / C 4 0 0 における最小限の構成の変更、追加により容易に実現することができる。

【 0 0 4 9 】

(駆動方法 3)

駆動方法 3 では、プリチャージ制御信号を利用して背景領域 2 0 4 の k 行に白表示データを書き込む。アクティブマトリクス型の LCD では、通常の場合、1 H 期間中、対応する

10

20

30

40

50

ゲートラインを選択して画素トランジスタをオンさせ、その際データラインに印加される表示データを画素トランジスタを介して各画素に書き込むことで画素毎の表示を行っている。しかし、ライン反転駆動方式の場合には、特に、1 H 毎にデータラインに印加される表示データの極性が反転するため、1 H の切り替わり後、データラインの電圧が、早く確実に次に表示すべき表示データの電圧になることが望まれる。そこで、予め続く 1 H でデータラインに書き込む表示データ電圧に近い電圧を各データラインに書き込むプリチャージが行われている。特に、薄膜トランジスタの能動層に多結晶シリコンを用いる p - S i T F T L C D では、T F T の動作負荷の軽減等の目的のため、図 3 に示すように専用のプリチャージドライバ 2 3 0 を L C D パネル 2 0 0 に他のドライバ 2 1 0、2 2 0 と共に形成しておき、プリチャージ駆動を行う。

10

【 0 0 5 0 】

本実施形態の駆動方法 3 では、このようなプリチャージのために利用されるプリチャージ制御信号及びプリチャージデータを背景領域 2 0 4 での背景表示にも利用する。つまり、あるフレーム期間中に背景領域 2 0 4 の選択すべき行の選択タイミングになる際、後述するように、図 1 の T / C 4 0 0 に、その 1 H の開始直前にプリチャージ制御信号 (P C G) を発生させ、この制御信号に応じて各データラインに白表示データに相当するプリチャージデータを書き込む。なお、パーシャル表示領域 2 0 2 では、プリチャージ制御信号によって各データラインに、任意の行が選択される直前に、その行において表示すべきパーシャル表示データのレベルに応じた所定のプリチャージデータが供給される。なお、この所定プリチャージデータはパーシャル表示データのレベルに関係なく、一定レベルに設定してあってもよい。

20

【 0 0 5 1 】

背景領域 2 0 4 において 1 フレーム毎に選択する行 (ゲートライン) を変更すること、ライン毎に白表示データの極性を反転すること、1 背景画面毎に白表示データの極性を反転する点は上記方法 1 及び 2 と同一である。

【 0 0 5 2 】

このようにプリチャージ制御信号を利用して背景領域 2 0 4 の k 行への白表示データを書き込むこととすれば、背景表示期間中に、H ドライバ 2 2 0 を制御する必要がなくなり省電力化に寄与することが可能となる。

【 0 0 5 3 】

(駆動方法 4)

本実施形態において方法 4 は、1 フレーム期間中に背景領域 2 0 4 の選択する k 行についての駆動方法は、上記方法 1 ~ 3 のいずれかで実行し、選択しない (n - s - k) 行の選択期間に相当する間は、1 H 期間の長さを制御するパルス (例えば行クロック) の周波数を高め、行ドライバ (V ドライバ 2 1 0) 内で各行選択パルスを高速転送してしまう。

30

【 0 0 5 4 】

このような駆動を行うことで、1 フレーム期間中に表示する行数が s 行 + k 行の場合には、通常動作 (n 行駆動) の時よりも、より遅い周波数で各行を駆動することが可能で、動作周波数に消費電力の依存するデジタル処理系の回路での消費電力低減が可能となる。

【 0 0 5 5 】

また、1 フレーム期間中に背景領域 2 0 4 内で選択しない行に相当する期間は、V ドライバ 2 1 0 を停止させるのではなく、V ドライバ 2 1 0 内で出力すれば各行が選択される選択パルスを該行には出力せず高速転送する。従って、次に、目的とする行に選択パルスを出力して該行を駆動する際に、特別なパルス送り出し動作などをする必要が無く、直ちに必要な行 (ゲートライン) に選択パルスを出力することができる。

40

【 0 0 5 6 】

このように、パーシャル表示モードの際は、V ドライバが行を選択するための選択パルスの転送周波数を一部増大し、それによって、表示装置全体の動作周波数を低下させる。よって、L C D パネル 2 0 0 の内蔵ドライバ等の設計変更を行うことなく、駆動周波数の低減による消費電力の低減を達成することが可能で、パワーセーブモードにおいてパーシャ

50

ル表示をすることが可能となる。

【 0 0 5 7 】

(駆動回路)

次に、上述のような駆動を実現する本実施形態に係る駆動回路の構成例について説明する。図 4 は図 1 の駆動回路 1 0 0 の中の T / C 4 0 0 の構成、図 5 は、本実施形態において L C D パネル 2 0 0 に内蔵する V ドライバ 2 1 0 の構成を示している。

【 0 0 5 8 】

T / C 4 0 0 には、ドットクロック (DOTCLK)、水平同期信号 (Hsync)、垂直同期信号 (Vsync) 及びパーシャル表示制御信号 (PARTIAL) が供給されており、これらに基づいて、水平クロック (CKH)、水平スタートパルス (STH)、プリチャージ制御信号 (PCG)、ゲートライン選択制御信号 (ENB)、垂直クロック (CKV)、垂直スタートパルス (STV)、極性反転制御信号 (FRP) を作成し、これを L C D パネル 2 0 0 の V ドライバ 2 1 0、H ドライバ 2 2 0 に供給する。

【 0 0 5 9 】

H カウンタ 1 2 は、分周回路 1 1 を経て供給されるドットクロック (DOTCLK) をクロックとしてこれをカウントする。そして H カウンタ 1 2 は、アンドゲート 3 1 を介して 1 H 期間に 1 回に出力される水平同期信号 (Hsync) と後述する 1 H 幅制御回路 1 9 からの H リセット信号 (Hreset) によりカウント値がリセットされるため、1 H 期間毎にドットクロックをカウントする。

【 0 0 6 0 】

上記分周回路 1 1 は、図 6 に示すような構成で 2 段の F / F 1 1 1、1 1 2 とアンドゲート 1 1 3、1 1 5、インバータ 1 1 4 及びドットクロックと分周クロックとを選択して出力するオアゲート 1 1 6 を備える。そして、上記駆動方法 4 のように背景領域 2 0 4 について 1 フレーム期間中に k 行しか選択しないこととした場合に、通常のドットクロック (DOTCLK) を分周し、H カウンタ 1 2、後述する V カウンタ 3 4 及びフレームカウンタ 4 7 に対しその分周クロックを供給することにより、パーシャル表示モードの際に回路の動作速度を低下させて消費電力を下げるために用いられる。

【 0 0 6 1 】

H カウンタ 1 2 のドットクロックカウント値は、デコーダ 1 3 でデコードされ得られたパルス信号がフリップフロップ (F / F) 2 0、アンドゲート 2 7 を介して、水平クロック (CKH) として出力され、L C D パネル 2 0 0 の H ドライバ 2 2 0 に供給される。

【 0 0 6 2 】

デコーダ 1 4 は、H カウンタ 1 2 のドットクロックカウント値に基づいて各 1 水平走査期間中のスタートタイミングを決めるパルスを発生し、これが F / F 2 1 及びアンドゲート 2 8 を介して水平スタートパルス (STH) として出力される。

【 0 0 6 3 】

デコーダ 1 5 は、H カウンタ 1 2 のドットクロックカウント値に基づいて、1 水平期間の開始直前のタイミングを求めてパルス信号を作成する。このパルス信号は、F / F 2 2 及びアンドゲート 2 9 を介して、1 H の開始直前に、データラインの電圧を続く 1 H 期間の表示データ電圧に近づけるためのプリチャージ制御信号 (PCG) として出力される。

【 0 0 6 4 】

デコーダ 1 6 は、H カウンタ 1 2 のドットクロックカウント値に基づいて、各ゲートラインの選択許可期間を制御するタイミングを求め、これが F / F 2 3 及びアンドゲート 3 0 を介し、ゲートライン選択制御信号 (ENB) として出力される。この制御信号 (ENB) は、1 H の開始直前にデータラインに対して行われる上記プリチャージ期間中に、ゲートラインが選択され画素トランジスタがオンしてプリチャージデータが各画素に書き込まれることを禁止するための制御信号である。このゲートライン選択制御信号 (ENB) は、図 5 に示す L C D パネル 2 0 0 の V ドライバ 2 1 0 に供給される。

【 0 0 6 5 】

図 5 に示す V ドライバ 2 1 0 は、パネルのゲートライン数 (n) に応じ、後述する垂直ク

10

20

30

40

50

ロック（非反転CKV、反転CKV）をクロックとして、垂直スタートパルス（STV）を順次シフトする複数段のシフトレジスタ251、252・・・、y番目とy+1番目のシフトレジスタ出力の論理積を出力するアンドゲート261、262・・・、ゲートラインへの各最終出力ゲート271、272・・・を有し、上記ゲートライン選択制御信号（ENB）がこの最終出力ゲート271、272・・・の一方の入力端に供給されている。そして、この制御信号（ENB）は、1H期間の開始直前のプリチャージ期間中にLレベルとなるため、ゲートラインへのゲート選択信号の出力が制御信号（ENB）のLレベルの間、禁止される。

【0066】

Hカウンタ12でのドットクロックカウント値をデコードするデコーダ17からの出力は、F/F24を介してアンドゲート44の一方の入力端に供給されている。このアンドゲート44の他方の入力端には、分周回路11を介してドットクロック（DOTCLK）が供給されている。通常表示状態において分周回路11で分周は行われないので、このゲート44のアンド出力はドットクロックとほぼ等しく、これがクロックとして供給されるF/F41のQ端子からは、1H毎にレベルの変化する信号が得られ、これは垂直クロック（CKV）としてLCDパネル200のVドライバ210に出力される。

【0067】

デコーダ18は、Hカウンタ12のドットクロックカウント値に基づいたパルス信号を発生し、これは、1H毎に表示データを反転させるための反転制御信号（FRP）を出力するためのF/F40にクロックを供給するアンドゲート43に1入力としてF/F25を介して供給されている。

【0068】

1H幅制御回路19は、各ゲートラインの1選択期間に対応する1H期間に1回Hリセット信号（Hreset）を発生し、後述のアンドゲート32及びVカウンタ34と共に行クロック作成部の一部として機能する。また、上記駆動方法4において説明したように、T/C400内で、1H期間、1V（1フレーム）期間の基準となるHリセット信号（Hreset）の出力タイミングを速め、背景領域において選択されない行についてデータ処理期間を短縮する。これにより、図5のVドライバでのゲート選択パルスの転送速度が向上する。

【0069】

この1H幅制御回路19は、図7に示すような構成であり、例えばHカウント値が高速リセット設定値「10」の時、Hを出力するデコーダ191、Hカウントが通常リセット設定値「120」の時、Hを出力するデコーダ192、これらデコーダ191、192の出力と、後述するVマスク信号（VMASK）との反転、非反転信号とのアンドをとるゲート193、195、2つのアンドゲートのオアをとるオアゲート196を有する。背景領域204であるため、後述するVマスク信号（VMASK）がLレベルで、該当期間中での選択が行われない期間には、インバータ194によって反転マスク信号がアンドゲート193に供給され、アンドゲート193からのデコーダ191の出力が許可される。よって、通常、カウント値がm（例えばm=120、但しここでmは帰線期間を含む）で出力されるHリセットパルス（Hreset）を、Hカウンタが10まで数えたところで出力することができる。

【0070】

Vカウンタ34は、アンドゲート32の出力をクロックとして受け、アンドゲート33の出力によりリセットされる。アンドゲート32には、1H幅制御回路19からのHリセットパルス（Hreset）と、分周回路11を介して供給されるドットクロック（DOTCLK）とが入力されており、このVカウンタ34は、1Hに1回Hとなるパルスのカウントし、1V期間毎に垂直同期信号（Vsync）に応じてそのカウント値をリセットする。

【0071】

デコーダ35は、Vカウンタ34でのカウント値に基づいて1垂直走査期間（1V）に1回、1V期間のスタートを示す垂直スタートパルス（STV）をF/F37を介して出力する。

【 0 0 7 2 】

デコーダ 3 6 は、V カウンタ 3 4 でのカウント値に基づいて、該カウント値が L C D パネル 2 0 0 のライン数（ゲートライン数 n ）に応じた数値になると V リセットパルス（Vreset）を F / F 3 8 を介して出力する。この V リセット信号（Vreset）は、F / F 4 0 のリセット端子に供給されて 1 H 及び 1 フレームごとに表示データの極性を反転させる反転パルス（FRP）をリセットし、また F / F 4 1 のリセット端子にも供給されて上述の V クロック（CKV）をリセットする。さらに、この V リセットパルスは、ドットクロック（DOTCLK）との論理積をとるアンドゲート 4 2 に供給され、F / F 3 9 は、このゲート 4 2 のアンド出力をクロック端子に受けて動作することで、F / F 3 9 からは 1 フレーム毎に反転する Q 出力が得られる。

10

【 0 0 7 3 】

E X O R ゲート 4 5 は、上記 F / F 3 9 及び 4 0 の出力の排他的論理和をとり、これが極性反転パルス（FRP）として L C D パネル 2 0 0 の H ドライバ 2 2 0 に出力される。

【 0 0 7 4 】

さらに、本実施形態では、図 4 の下側に記載されているように、フレームカウンタ 4 7、フレームカウント値に応じてマスク信号（VMASK）を生成・出力するマスク生成回路 4 8 及び F / F 5 0、フレームカウント値をデコードしてフレームカウンタをリセットするためのデコーダ 4 9 及び F / F 5 1 を備える。

【 0 0 7 5 】

フレームカウンタ 4 7 は、V リセット（Vreset）、H リセット（Hreset）及びドットクロックのアンドをとるアンドゲート 4 6 からの出力をカウントする。アンドゲート 4 6 からは、1 V 期間中に 1 回、即ち 1 フレーム期間に 1 回 H レベルとなる出力が得られるため、フレームカウンタ 4 7 は、このアンド出力をカウントすることでフレーム数をカウントし、結果を M A S K 生成回路 4 8 とデコーダ 4 9 に出力する。

20

【 0 0 7 6 】

M A S K 生成回路 4 8 は、図 8 に示すような構成で、パーシャル表示行の到来タイミングを検出するパーシャル表示行検出部に相当するコンパレータ 4 8 2、背景領域内でオフ表示データを書き込む行の到来を検出する背景表示行検出部に相当するコンパレータ 4 8 1 及び加算回路 4 8 3 を備え、また、オアゲート 4 8 4 及び 4 8 5、インバータ 4 8 6 を備える。加算回路 4 8 3 は、任意に設定可能な設定値、例えば「25」をフレーム（F）カ

30

【 0 0 7 7 】

コンパレータ 4 8 1 は、V カウンタ 3 4 からの V カウント値と、F カウント値 + 設定値「25」と比較し、V カウント値が F カウント値 + 設定値「25」になると H レベルを出力し、他の値のときは L レベルを出力する。また、コンパレータ 4 8 2 は、V カウント値が、目的とするパーシャル表示位置に応じて任意に設定された値、例えばここでは「25」より小さければ H レベルを出力し、「25」以上で L レベルを出力する。

【 0 0 7 8 】

よって、オアゲート 4 8 4 からは、V カウント値が、0 - 2 4 の期間と、F カウント値 + 2 5 の期間だけ H レベルが出力され、オアゲート 4 8 5 からは、後述するパーシャル表示スタート信号（SPART）が H レベル（パーシャル表示モード）の時だけ、上記ゲート 4 8 4 からの出力が V マスク信号（VMASK）として、F / F 5 0 を介して出力される。

40

【 0 0 7 9 】

なお、通常表示時には、スタート信号（SPART）が L レベルを維持するため、インバータ 4 8 6 を介してオアゲート 4 8 5 には常時 H が入力されるため、V マスク信号（VMASK）は H レベルを維持する。

【 0 0 8 0 】

V マスク信号（VMASK）は、アンドゲート 2 7 ~ 3 0 の一方の入力端に供給されており、V マスク信号（VMASK）が L レベルの時には、H クロック（CKH）、H スタートパルス（STH）、プリチャージ制御信号（PCG）及びイネーブル信号（ENB）の出力を禁止する。また

50

、Vマスク信号 (VMASK) は 1 H 幅制御回路 1 9 に供給されており、1 H 幅制御回路 1 9 は、上述のようにこの V マスク信号 (VMASK) が L レベルの時だけ、1 H 期間を H カウント値が 1 0 になったタイミングで、H リセットパルス (Hreset) を出力する。更に、この V マスク信号 (VMASK) は、アンドゲート 4 3 の入力端にも供給されており、V マスク信号 (VMASK) が L レベルの時には F / F 4 0 の出力が固定され、結果として極性反転信号 (FRP) のレベルがその期間、固定される。

【 0 0 8 1 】

デコーダ 4 9 には、背景領域 2 0 4 のライン数 ($n - s$) と、パーシャル表示時において 1 フレーム期間中に選択する背景領域 2 0 4 のライン数 k とに応じて $[(n - s) / k]$ が設定される。例えば、ここでは、 $n = 100$ 、 $s = 25$ 、 $k = 1$ で、「75」が設定されており、F カウント値が 75、つまりパーシャル表示時において 75 フレーム目にパルスが出力される。このパルスは、F / F 5 1 を介してフレームカウンタ 4 7 に F リセットパルス (Freset) として供給され、フレームカウンタ 4 7 は、パーシャル表示モードの時は、 $[(n - s) / k]$ フレーム (75 フレーム) 毎にカウント値がリセットされる。

【 0 0 8 2 】

F / F 5 2 は、図 1 の I / F 回路 1 0 6 からパーシャル表示モードになると出力されるパーシャル表示制御信号 (PARTIAL) を D 端子に受け、V リセット (Vreset)、H リセット (Hreset) 及びドットクロックのANDをとるANDゲート 4 6 からの出力をクロックとして動作する。ANDゲート 4 6 からは、1 V 期間に 1 回立ち上がるパルス信号が供給されるため、F / F 5 2 は、パーシャル表示制御信号を受けると次の 1 V 期間にこれを取り込んで Q 端子から出力する。

【 0 0 8 3 】

F / F 5 2 からの Q 出力はANDゲート 5 4 の一方の入力と、F / F 5 3 の D 端子に供給されている。また、F / F 5 3 はクロックとして、上記 F / F 5 2 と同様にANDゲート 4 6 からの出力を受けており、F / F 5 3 の Q 端子からは、パーシャル表示が命令されてから 1 V 期間が経過した時に H レベルとなるパーシャル表示スタート信号 (SPART) が出力され、このスタート信号 (SPART) は上記マスク生成回路 4 8 及び分周回路 1 1 に供給される。また、F / F 5 3 の反転 Q 出力は、ANDゲート 5 4 の他の入力に供給されている。従って、ANDゲート 5 4 からは、パーシャル表示制御信号 (PARTIAL) が H レベルとなった次の 1 V 期間だけ H レベル、他の期間は L を維持するフラッシュ信号 (FLASH) が出力される。

【 0 0 8 4 】

上記フラッシュ信号 (FLASH) は、オアゲート 5 5、5 6、5 7 の一方の入力端に供給されており、フラッシュ信号 (FLASH) が H になると、各オアゲート 5 5 ~ 5 7 からの R、G、B デジタル出力が全て H レベルとなる。

【 0 0 8 5 】

この R、G、B デジタル出力の全 H レベルは、白表示を意味しており、この R、G、B デジタル出力が、図 1 のラッチ回路 1 0 1 等のデジタル処理回路に出力され、D / A 変換回路 1 0 2、アンプ 1 0 4 を経て白表示のための R、G、B アナログ表示信号として LCD パネル 2 0 0 の H ドライバ 2 2 0 に供給される。

【 0 0 8 6 】

従って、以上のような構成により、パーシャル表示制御信号が H となると、図 3 に示したように、まず、次の 1 フレームでは、全画面白表示 (白ラスタ表示) となり、命令から 1 フレーム経過したときに、F / F 5 3 からパーシャル表示スタート信号 (SPART) が出力され、パーシャル表示動作が開始する。

【 0 0 8 7 】

(表示装置動作)

次に、上記構成によって実現される表示装置の動作タイミングについて、さらに図 9 ~ 11 を参照して説明する。なお、図 9 は通常表示時、図 10 は全画面白表示時、図 11 は上述の駆動方法 1 及び方法 4 が採用されたパーシャル表示時におけるタイミングチャートを

それぞれ示している。

【 0 0 8 8 】

・ 通常表示

通常表示時には、パーシャル表示制御信号 (PARTIAL) が L レベルを維持するので、V マスク信号 (VMASK) が H レベルを維持する。このため、偶数フレーム、奇数フレームとも、1 H 幅制御回路 1 9 はデータライン数 m に応じて H リセットパルス (Hreset) を出力するため、1 H 期間は一定で、V クロック (CKV) も一定となる。また、H クロック (CKH)、H スタートパルス (STH)、プリチャージ制御信号 (PCG)、イネーブル信号 (ENB) のいずれも禁止されることなく出力される。

【 0 0 8 9 】

従って、図 5 に示す LCD パネル 2 0 0 の V ドライバ 2 1 0 は、V スタートパルス (STV) が出力されると、1 H 毎の V クロック (CKV) に従って各ゲートラインを選択する信号を順次発生し、対応するゲートラインにイネーブル信号 (ENB) がそれぞれ H レベルの期間ゲート選択信号を順に出力していく。また、LCD パネル 2 0 0 の H ドライバは、H スタートパルス (STH) が出力されると、V ドライバ 2 1 0 によって選択されたゲートラインの各画素に書き込むべき表示データを H クロック (CKH) に従って、順次、対応するデータラインに出力していく。

【 0 0 9 0 】

このように V ドライバ 2 1 0 によってゲートラインを順に選択し、H ドライバ 2 2 0 から対応して順にデータラインに表示データを出力してゆき、選択されたゲートラインに接続された画素トランジスタを ON させ、データラインと画素トランジスタを介して各画素に表示データを書き込む。そして、このような動作を各フレームで繰り返し、任意の表示を行う。

【 0 0 9 1 】

なお、表示データは、極性反転制御信号 (FRP) が 1 H、つまり 1 ライン毎に反転することでその極性が反転制御されて各画素に印加される。また、偶数フレームと奇数フレームとでもこの制御信号 (FRP) が反転するため、同一行についてはフレーム毎に極性の反転した表示データが供給される。

【 0 0 9 2 】

・ 白ラスタ表示

上述のように、図 1 の I / F 回路 1 0 6 等から T / C 4 0 0 に供給されるパーシャル表示制御信号 (PARTIAL) が L レベル (通常表示) から H レベル (パーシャル表示) へと変化すると、続く 1 V 期間だけ H レベルとなるフラッシュ信号 (FLASH) がアンドゲート 5 4 から出力される。従って、図 1 0 に示すように、R、G、B 表示データが 1 V (1 フレーム) 期間全て白データとなる。この白ラスタ表示の際、他のタイミング信号は、図 9 において説明した通常表示時と変わらないので、V ドライバ 2 1 0 は、通常表示時と同様に V スタートパルス (STV) が出力されるとゲートラインを順に選択し、H ドライバ 2 2 0 が、H スタートパルス (STH) が出力されると、各データラインに順次白データを出力する。従って、1 フレーム期間は、画面全てに白が表示される。

【 0 0 9 3 】

・ パーシャル表示 (駆動方法 1 及び駆動方法 4)

図 1 1 は、図 4 に示すような構成によって実現される駆動方法のパーシャル表示時の動作を示しており、上述の駆動方法 1 と駆動方法 4 の両方が実行されている。つまり、所定の位置へのパーシャル表示、残りの背景領域での白表示、に加え、1 フレーム期間中の動作速度を低下させて駆動回路における消費電力低減を図っている。1 フレーム期間における動作速度の低下は、図 4 の 1 H 幅制御回路 1 9 による V ドライバの高速転送制御と、分周回路 1 1 の分周信号をドットクロック (DOTCLK) として使用することで可能となっている。

【 0 0 9 4 】

パーシャル表示制御信号 (PARTIAL) が H レベルに変化すると、上述のように最初の 1 フ

10

20

30

40

50

レームでは画面全体に白が表示され、次のフレームになるとパーシャル表示スタート信号（SPART）が、LレベルからHレベルに変化する。従って、図6に示す構成の分周回路11では、アンドゲート115からのドットクロック（DOTCLK）の出力が禁止され、ここでは、F/F111及び112によって4分周されたドットクロック（以下分周ドットクロック）がアンドゲート113及びオアゲート116を介して出力される。この4分周ドットクロックに従って動作する回路はその動作速度が4分の1となり、図11に示すように作成される制御信号（CKH、CKV、ENB、STH、FRP等）も1/4の周波数となる。

【0095】

また、MASK生成回路48では、コンパレータ482及びコンパレータ481からの比較出力がオアゲート485によって選択され、図8のように、コンパレータ482及び加算回路483に対する設定値をパーシャル表示位置が1～25ラインとなるように設定した場合、Vカウント値が0～24の期間と、フレームカウント値+25の期間HレベルとなるVマスク信号（VMASK）が出力される。ゲートラインを1行目から順に選択していくVドライバ210には、まず、パーシャル表示が行われる1～25ラインまでの間、Vマスク信号（VMASK）に基づいて作成されたイネーブル信号（ENB）が供給される。従って、この期間（パーシャル表示期間）は、Vドライバ210にHレベルのイネーブル信号（ENB）の出力が許可され、各ライン（行）への選択パルスの出力が許可される。よって、上記4分周ドットクロックに基づいて作成された通常時の1/4の周波数のVクロック（CKV）に従って動作する点を除き、Vドライバ210は、通常表示時と同様、イネーブル信号（ENB）がHレベルの期間、各ゲートラインにゲート選択パルスを出力する。また、Hドライバ220においても、Hクロック（CKH）及びVクロック（CKV）等が通常時の1/4の周波数である点を除いて、通常時と同様に、1H期間中、データラインに選択されたゲートラインに対応した画素に書き込む表示データ（パーシャル表示データ）を順次出力する。

【0096】

マスク生成回路48は、Vカウント値がパーシャル表示領域外になるとVマスク信号（VMASK）をLとする。従って、このVマスク信号（VMASK）がLの期間はVドライバ210によるゲートラインの選択は禁止され、極性反転信号（FRP）の反転動作は、直前の状態を維持する。

【0097】

また、Vマスク信号（VMASK）がLレベルになると、1H幅制御回路19は、例えば、図7において、通常Hカウント値が120になると出力していたHリセットパルス（Hreset）をHカウント値が10になった時点で出力する。従ってHリセットパルス（Hreset）の出力周期が速くなり、Hカウンタ12でのカウント処理が速くなり、Hカウント値に応じて作成されるF/F41からのVクロック（CKV）の周期が、図11に示されるように短くなる。ここで、図5に示すように、LCDパネル200のVドライバ210では、シフトレジスタ251・・・がこのVクロック（CKV）をシフトクロックとして動作しているため、Vクロック（CKV）が速まることで、その期間、Vドライバ210内でのシフトレジスタ転送速度が速まる。

【0098】

背景表示期間において、マスク生成回路48のコンパレータ481が背景領域で選択すべきラインを検出すると、図11に示すように該当するライン選択期間だけVマスク信号（VMASK）をHレベルとする。これにより、Vドライバ210は、Vマスク信号（VMASK）Hレベル期間中、パーシャル表示期間と同様に、対応するゲートラインに選択信号を出力する。また、Hドライバ220は、Hスタートパルス（STH）が出力されると、供給されている白表示データを極性反転制御信号（FRP）によって決まる極性で順次データラインに書き込む。従って、背景領域204の所定のラインが1フレーム期間中にパーシャル表示領域と同様に選択されここに白表示データが書き込まれる。

【0099】

図11において、上段の偶数フレームに続く下段の奇数フレームでは、パーシャル表示期

10

20

30

40

50

間中における動作は、極性反転制御信号（FRP）が偶数フレームと逆転していて、各画素に偶数フレームの時と逆極性の表示データが書き込まれる点を除くと同じである。背景表示期間においては、奇数フレームでは、一旦LレベルとなったVマスク信号（VMASK）が再びHレベルになるタイミングが1H期間遅い。これは、図8のマスク生成回路48において、Fカウンタ値が前フレーム（偶数フレーム）より1つ多いためであり、前フレームで選択された次のラインが選択されている。また、このとき、Hドライバ220からは、極性反転制御信号（FRP）のレベルが偶数フレーム時と逆であるため、前フレームと逆極性の白表示データが各データラインに出力され、選択されたゲートラインに対応する画素に書き込まれる。

【0100】

10

以上の動作を繰り返し行うことで、図3（c）に示すようにパーシャル表示領域202には、1フレーム毎に表示データが書き込まれ、また背景領域204では、選択されないライン（ゲートライン）に相当する期間（204t）はVドライバ210内で高速転送が行われ、所定ラインだけが選択され白表示データが書き込まれる。そして、背景領域204では、図8のような設定の場合には、75フレームで全領域に白表示データが書き込まれる。更に、次の75フレームには、極性反転制御信号（FRP）のレベルが前の75フレームの時と反転するので、同一のゲートラインには、75フレーム前とは極性が逆の白表示データが書き込まれる。

【0101】

・パーシャル表示（駆動方法1）

20

次に、図12を用いて駆動方法1のみの場合の具体的な動作タイミングを説明する。駆動方法1では、上述のようにVドライバ210において高速転送を実行せず、図4の構成を用いて説明すると、分周回路11での分周を行わず、かつ背景表示期間中において、1H幅制御回路19がHリセットパルスの出力周期を速めない。タイミングチャートにおいて、図11と相違する点は、Vクロック（CKV）の周期が、Vマスク信号（VMASK）のレベルに関わらず一定であることであり、他は図11で説明したパーシャル表示動作及び背景表示動作と同じである。このような駆動方法1により、上記図11のときのようにパーシャル表示モード時における駆動周波数が変わらないのでデジタル回路系での消費電力は変わらないが、マスク生成回路48での設定（コンパレータ481、482及び加算回路483）により、任意の位置にパーシャル表示することができ、また、背景領域については1

30

【0102】

・パーシャル表示（駆動方法2）

次に、図13を用いて駆動方法2のみの場合の具体的な動作タイミングを説明する。図12の駆動方法1と同様に、Vドライバ210での高速転送、及び駆動周波数の低減は行っていない。上記図12に示す駆動方法1と相違する点は、図13では、背景表示期間の開始後、最初の1H期間においてHスタートパルス（STH）が出力され、Hドライバ220が、このHスタートパルスに応じてデータラインに白表示データを書き込むことである。このため、Vマスク信号（VMASK）が背景表示期間中にHレベルとなって、Vドライバ210が対応するゲートラインを選択すると、既に各データラインに書き込まれている白表示データが直ちに対応する画素に書き込まれる。

40

【0103】

・パーシャル表示（駆動方法2及び4）

図14は、上記駆動方法2と駆動方法4とを組み合わせた駆動方法での具体的な動作タイミングを示している。上記図13と相違する点は、図11と図12との差異と同様に、まず、パーシャル表示モードの場合に図4の分周回路11などを利用することで各回路の動作周波数を下げ、図14では、通常表示動作よりもCKV、ENB、FRP、VMASK、表示データ等の周期が長いことである。また、背景表示期間において最初の1Hでデータラインに白表示データを書き込んだ後、及び背景領域の1フレーム中に選択すべきゲートラインの選択が終了した後、図4の1H幅制御回路19などを利用することで、Hリセ

50

ットパルス（Hreset）の出力タイミングを速め、最終的にLCDパネル200のVドライバ210におけるシフトレジスタのデータ転送クロックとなるVクロック（CKV）の周波数を上げている。このため、図14に示すようにVマスク信号がLレベルの期間はVドライバ内でゲート選択パルスの高速転送が行われている。

【0104】

・パーシャル表示（駆動方法3）

図15は、駆動方法3の場合の具体的な動作タイミングを示している。この方法においても、上記図12に示した駆動方法1と同様に、Vドライバ210でのパルス高速転送、及び駆動周波数の低減は行っていない。上記図12の方法では、背景表示期間中において、Vマスク信号（VMASK）がHレベルとなった時、Hスタートパルス（STH）に応じてHドライバ220がデータラインに白表示データを書き込むが、図15の方法では、通常表示と同様に、Hスタートパルスの直前にプリチャージ制御信号（PCG）を発生させ、プリチャージ回路によって各データラインに白表示データを書き込む。

10

【0105】

ここで、図16及び図17を用いてプリチャージ波形及びLCDパネル200に内蔵可能なプリチャージドライバ230の構成について説明する。プリチャージドライバ230は、プリチャージ制御信号（PCG）とその反転信号に応じてオンオフするTFTよりなるスイッチSW1、SW2・・・SWmにより構成されている。そこで、図16のようにプリチャージ制御信号（PCG）が出力されて各スイッチSW1、・・・がオンすると、対応するスイッチSWを介してプリチャージデータラインに接続された1番目からm番目まであるデータラインに、それぞれプリチャージデータ（PCD）が印加される。このプリチャージデータ（PCD）は、図16に示すように、プリチャージ制御信号（PCG）の出力直後に始まる1H期間にデータラインに印加されるR、G、B表示データと、極性が一致している。そして、その電圧レベルは、通常表示時において、R、G、B表示データの間電圧レベルに設定している。

20

【0106】

背景表示期間中は白表示データがデータラインに向けて出力されており、白表示であればR、G、B表示データの間電圧レベルも白表示データと同等になる。従って、背景表示期間中、このプリチャージドライバ230のスイッチSW1～SWmをオンさせれば、Hドライバ220を動作させなくても、各データラインにプリチャージデータを選択されたゲートラインの画素に白表示データとして供給できる。従って、Hドライバ220の負荷を減らし、その消費電力を低減することが可能となる。

30

【0107】

・パーシャル表示（駆動方法3及び4）

図18は、駆動方法3と方法4とを組み合わせた場合の具体的な動作タイミングを示している。上記図15と相違する点は、パーシャル表示モードにおける各タイミング信号の周波数が低いことと、背景表示期間のVマスク信号（VMASK）がLレベルの期間、Vクロック（CKV）の周波数を上げ、Vドライバ内においてゲート選択信号を高速転送している点である。このような駆動方法により、パーシャル表示モードにおける駆動周波数の低減による消費電力の低減と、Hドライバの処理負荷の低減の両方が可能となる。

40

【0108】

〔背景表示色〕

上記基本構成では、パーシャル表示モードに移行してから背景領域には白データ（オフ表示）を表示するものとして説明している。しかし、背景表示データとしては、オフ表示データに限らず、他の背景表示色データを採用し、そのデータの示す色を背景領域に表示してもよい。以下に背景表示色を所定の色とする場合について説明する。採用する表示色は、例えばカラー表示装置における赤（R）又は緑（G）又は青（B）のいずれかである。

【0109】

図19は、パーシャル表示時に、背景領域をオフ表示以外の所定色を表示するためのタイミングコントローラ400の構成例を示している。図20は、この図19の背景領域検出

50

回路 60 の動作を概念的に説明している。図 19 において、上述の図 4 と同一部分には同一符号を付して説明を省略する。図 4 と相違する点は、図 19 のタイミングコントローラ 400 は、図 4 の構成に加え、パースシャル表示時の背景領域を検出し、その背景表示期間に所定の色のデジタル信号の出力を許可ための構成として、背景領域検出回路 60、F/F 61、アンドゲート 62、63、64 を備えることである。

【0110】

背景領域検出回路 60 には、V カウンタ 34 からの V カウント値（行カウント値）が供給され、また、図示しない CPU から図 1 の CPU インタフェース部 106 を介してパースシャル表示領域の境界位置情報（PTA1S）と、パースシャル表示領域がこの境界より上か下か（例えば上なら H、下なら L）を示す位置情報（PTAF）とが供給され、これらに基づき以下の背景領域検出信号（PTWH）を出力する。例えば位置情報 P T A F が「H」であれば、境界位置（PTA1S）よりもパースシャル表示領域が上に位置することを意味する。よって、背景領域検出回路 60 は、V カウント値が、上記 PTA1S の示すパースシャル表示領域の境界位置より上の行を示す期間は「L」、V カウント値が境界位置より下の行を示す期間は「H」となる信号 PTWH を出力する。また位置情報 PTAF が「L」であれば、V カウント値が境界位置（PTA1S）より上の行を示している期間は「H」、境界位置（PTA1S）より下の行を示している期間は「L」となる信号 PTWH を出力する。

【0111】

このように図 19 の背景領域検出回路 60 は、背景表示期間のみ「H」となる背景領域検出信号（PTWH）を出力する。例えば図 20 に示すように、背景領域が 25 行目から 100 行目までとすると、背景領域検出回路 60 は、V カウント値が 25 になるまで「L」レベルで 25 ～ 100 の選択期間「H」となる信号 PTWH を出力する。そして、以上のような信号 PTWH は、F/F 61 を介して、R、G、B のデジタル出力ラインに設けたアンドゲート 62、63 及び 64 の一方の入力端に供給される。

【0112】

アンドゲート 62、63 及び 64 の他方の入力端には、例えば操作者又は CPU によって設定される背景色信号（R__PAR、G__PAR、B__PAR）が供給されている。従って、背景表示期間中に検出信号 PTWH が「H」となると、このときアンドゲート 62、63 及び 64 に供給されている背景色表示信号がオアゲート 55、56 及び 57 を介し背景表示データとして出力される。

【0113】

ここで、「白」は、R、G、B 入力デジタルデータ（例えば 6 ビット）において、R、G、B データの全ビットが「H；1」で表されるのに対し、例えば単色の「青」は、R 及び G が全ビット「L；0」、B が「H；1」で表される。従って、上記背景色として、例えば単色の「青」が設定されている場合、本実施形態では R__PAR 及び G__PAR の全ビットが「L」で、B__PAR の全ビット「H」であり、これが、パースシャル表示モードでの背景領域の表示データとして表示パネルに供給され、背景領域に単色の「青」が表示される。

【0114】

また、このような所定背景表示色を採用した場合でも、図 3 に説明したように、パースシャル表示モードへの移行後の第 1 フレームでは、全画面白表示（オフ表示）を行い、その次の第 2 フレームよりパースシャル表示と任意の色の背景表示を実行することが好適である。さらに、パースシャル表示動作への移行第 1 フレームにおいて行う全画面表示は、上記全画面白色に限らず、全画面を所定の背景色としてもよい。例えば、この表示色は、上述のようにパースシャル表示動作時に背景色として設定される色と同色としてもよい。このように移行フレームの全画面表示色をパースシャル表示動作時の背景色と同色とすれば、パースシャル表示モードへ移行時に表示色の急激な変化を避けることができ、また、簡易な回路構成で移行第 1 フレームでの全画面表示色をオフ表示色以外とすることが可能となる。

【0115】

なお、パースシャル表示モードへの移行後、CPU から、背景期間に所定色の背景表示デー

タが供給される構成であれば、上記基本構成において説明した図4のような回路構成を変更することなく白以外の所定色の背景を表示することができる。

【0116】

さらに、後述するように移行第1フレームにおいて、全画面白表示等の背景表示を行うのではなく、パーシャル表示と、背景全領域についての背景表示を行ってもよい。

【0117】

ここで、以上に説明した背景表示色については、オン表示色（例えばノーマリホワイの場合には黒）や、その他任意の中間色に設定することも可能である。各画素に設けられるTFTのオフリーク電流により、背景領域について画素選択間隔が長くなると多少の色抜け、つまり色の変化が発生する可能性がある。しかし、本発明において背景領域は、特別な情報を表示することを目的としておらず、このような領域における多少の色変化は、表示品質の観点から許容範囲内に収まる場合もある。従って、このような場合に、背景領域を任意の色で表示可能な構成とすることで、操作者に希望する背景色を選択させることができる。

10

【0118】

また、一方で、画素TFTでのオフリーク電流が十分小さければ、背景表示色を所定オン表示色や中間色に設定しても、色変化なく長期間その色を背景領域に表示していることができる。なお、R、G、Bのいずれかの単色での背景表示は、R、G、Bのいずれかは白表示と同一のオフ表示データ、残りの2色がオン表示データ、又はいずれか1色がオン表示データで残り2色がオフ表示データによって表現される。つまり、R、G、Bいずれか単色の背景表示であれば、少なくとも1色は「オフ表示」と等しく、所望の中間色よりも、上述の各画素TFTでのオフリーク電流による色抜けの影響を受け難く、パーシャル表示モードにおける背景表示色の変化が小さい。

20

【0119】

[背景領域先頭行]

次に、図21を参照して、パーシャル表示モードでの背景表示の品質向上を図るための駆動方法について説明する。この方法においては、上述のように、パーシャル表示モードへの移行第1フレームで全画面オフ表示などの背景表示を行い、その後、パーシャル表示モードに移る。そして、上記移行第1フレームに続く第2フレームからは、任意のs行m列マトリクスのパーシャル表示領域202に対してはパーシャル表示データを書き込み、上記パーシャル表示領域の最終行に続く背景領域先頭行204h(s+1行目)と、k行m列マトリクス領域204wとにはそれぞれに背景表示データを書き込む。つまり、背景領域204のうち、背景領域先頭行204hに対しては毎フレーム書き込みを行い、k行m列マトリクス領域204wについては、上述の説明と同様にフレーム毎に位置をシフトして書き込みを行うこととなり、n行m列マトリクスの内、パーシャル表示領域202とs+1行目領域204hとを除く背景領域の各画素は、(n-s-1)/kフレームに1回背景表示データが書き込まれる。

30

【0120】

このような駆動方法を採用することにより、パーシャル表示領域202に続く背景領域204はその先頭行が1フレームに1回必ずオフ表示データなどの背景表示データが書き込まれることとなる。従って、複数フレーム期間おきにしか選択されない他の背景領域204が、パーシャル表示領域202の最終行に書き込んだデータの影響を受けてクロストークのように表示されることを防止することができる。

40

【0121】

次に、このような背景領域の先頭行204hに対して毎フレーム背景表示データを書き込むための具体的な動作について説明する。なお、以下の説明では、先頭行であるs+1行目領域204hには背景表示データとしてオフ表示データを書き込み、この領域204hを除く他の背景領域204には、背景表示データとしてR、G、Bの単色表示など任意の色を表示する場合を例に挙げて任意の色を表示するものとする。この場合、上述の図19に示すタイミングコントローラ400において、マスク生成回路48及び背景領域検出回

50

路 60 の設定を変更することで対応することができる。

【0122】

即ち、これらの回路 48 及び回路 60 の構成は、上述の図 20 と同様であり、図 22 に示すように、コンパレータ 1 (481) 及びコンパレータ 2 (482) 及びコンパレータ 3 (60) に設定する値が変更されており (図 20 参照)、図 23 に示すような波形の (a) VMASK、(b) PTWH を作成している。

【0123】

具体的には、例えばパシヤール表示領域 202 が n 行 m 列マトリクスの 1 行目 ~ 25 行目までであるとする「25 + 1」をコンパレータ 1 及び 2 にそれぞれセットしている。このため、まず、コンパレータ 2 の出力は、V カウント値 (行数) が「25 + 1」以上になると「L」から「H」に変化する。そして、コンパレータ 1 は、フレームカウンタ 47 から供給される F カウント値が「25 + 1」になったときのみ「H」、それ以外は「L」を出力する。従って、SPART 信号が H でパシヤール表示モードの時は、オアゲート 485 から出力される VMASK 信号は、図 23 (a) に示すように、1 フレーム期間中において、1 行目から 25 + 1 行目までの期間と、(F カウント値 + 25 + 1) 行目の期間「H」レベルとなり、信号が「H」レベルとなる期間には、パネルに対して通常表示モードと同様に画素選択及び表示データ書き込みが行われる。また、図 23 の例では、表示データは、背景領域期間の 25 + 1 行目の到来時にはパシヤール表示データから背景表示データに切り替わっている。従って、「25 + 1」行目のタイミングで表示データの各画素への書き込みが許可されることとなり、パシヤール表示領域の最終行の選択・書き込みにつき、その次行に対する背景表示データの選択・書き込みが行われることとなる。

【0124】

また、背景領域検出回路 60 (コンパレータ 3) に対しては、境界位置の先頭値として「25 + 1」が設定され、終了値には「100」が設定されている。よって、パシヤール表示領域が背景境界位置より前にある場合 (PTAF = 1)、図 23 に示すように V カウント値が「25 + 1」以上になると「H」レベルとなり、V カウント値が「100 以上」となると「L」レベルとなる背景検出信号 (PTWH) が出力される。この PTWH 信号は、図 19 に示すように背景色データ (R__PAR, G__PAR, B__PAR) の各 R, G, B データラインへの出力を制御しており、図 23 (b) のように背景期間のうち、パシヤール表示領域との境界先頭行領域 204h に相当する期間を除いた期間「H」レベルとなり、背景色データの出力を許可している。

【0125】

従って、背景領域 204 中の k 行 m 列マトリクス領域 204w の選択期間中には、操作者又は CPU によって指定される任意の背景色データがこの領域 204w に書き込まれて表示される。もちろん、 k 行 m 列マトリクス領域 204w に対してオフ表示データを書き込んでよく、この場合、図 8 に示す MASK 生成回路 48 でのコンパレータ比較値を上記のようにパシヤール表示行数 s に対し「 $s + 1$ 」を設定するだけで対応できる。

【0126】

図 24 は、以上のような制御に対し、さらに上述の駆動方法 4 を適用した場合のタイミングチャートの一例を示しており、背景先頭行 204h に対する制御を除き、上述の図 14 とほぼ同様の動作が行われている。図 24 において、駆動方法 4 及び図 14 に関して既に説明したように、背景領域のうち、1 フレーム期間中に選択されない行 (ここでは「 $n - s - 1$ 」行) の選択期間に相当する間には、1 H 期間の長さを制御する行クロックの周波数を高めている。このように行クロックなどの周波数を高めることで、図 5 の V ドライブ 210 内での各行選択パルスを高速転送することが可能となる。従って、通常動作 (n 行駆動) の時よりも、より遅い周波数で各行 (s 行 + 1 行 + k 行) を駆動することができ、動作周波数に消費電力の依存するデジタル処理系の回路での消費電力低減が可能となる。もちろん、1 フレーム期間中に選択されない背景領域期間についてクロックの高速転送を実行しない他の駆動方法 1, 2 及び 3 を採用しても良い。

【0127】

ここで、先頭行領域 204h に書き込む背景表示データは、オフ表示データ（ノーマリホワイトの場合の白表示）の他、上述のようにカラー表示の場合の R, G, B のいずれか、又は任意の色を採用することができる。但し、この背景表示データは、残りの背景領域 204 に書き込むデータと同一データを用いることで、先頭行領域 204h だけが目立ってしまうという問題を防ぐことができる。

【0128】

なお、n 行 m 列画面内に複数のパーシャル表示領域 202 が設定される場合には、各パーシャル表示領域 202 の最終行の次行（204h）に対して毎フレーム背景表示データを書き込むことが好適である。また例えばパーシャル表示領域 202 が n 行 m 列マトリクスの中央や、後ろ側（図 21 では画面下側）に位置する場合には、パーシャル表示領域 202 の先頭行の前行に対しても毎フレーム背景表示データを書き込むこととすれば、パーシャル表示領域 202 よりも前の行に位置する背景領域 204 に対して、このパーシャル表示領域 202 の先頭行の表示データが悪影響を及ぼすことを防止でき、背景領域の表示品質の一層の向上を図ることができる。以上のようにパーシャル表示領域 202 に隣接する行については、毎フレーム背景表示データを書き込むことで背景領域 204 の表示品質が向上する。

【0129】

〔パーシャル表示モードへの移行第 1 フレームの表示〕

次に、装置がパーシャル表示モードに切り替わった移行第 1 フレームにおいて、全画面背景表示ではなく、パーシャル及び背景表示を実行する場合の動作及び駆動回路の例について説明する。

【0130】

上述の図 3 に示す動作では、パーシャル表示が命令されると、移行第 1 フレームでは、全画面背景表示を行い、次の第 2 フレームからパーシャル表示に移行している。これに対し、移行後第 1 フレームにおいて、パーシャル表示領域にパーシャル表示を行い、背景領域の全領域には背景表示を行うことにより、移行時に一瞬全画面が消えることがなく、スムーズにパーシャル表示に移行できる。

【0131】

図 25 は、このようなモード移行動作を示している。図 1 の I/F 回路 106 が通常表示モードであると判断している場合、図 3 (a) のように LCD パネル 200 は、全画面を用いて通常表示を行う (S1)。CPU 等からパーシャル表示制御命令が送られてくると、図 1 の I/F 回路 106 がこれを解析してパーシャル表示制御信号を発生し、パーシャル表示モードに切り替わる (S2)。

【0132】

装置がパーシャル表示モードに切り替わると、図 25 (b) に示すようにパーシャル表示領域 202 にはパーシャル表示データを書き込み、また背景領域 204 の全領域に対し、オフ表示データや、設定した任意の色データなどの背景表示データを書き込む (S3)。

【0133】

移行時の 1 フレームに、このようにパーシャル表示と、背景領域 204 の全領域への背景表示を行うことにより、上述のように一旦全画面が背景表示となることがなく、移行直後からパーシャル表示領域 202 に所望の表示を行うことができる。さらに、全画素に対してパーシャル表示データ又は背景表示データという有意のデータを書き込むことになるので、パーシャル表示に切り替わった際、複数フレームに 1 回しか選択されない背景領域において、通常表示時の表示が徐々に背景表示状態へ変化していくことを防ぐことができる。

【0134】

図 25 (c) に示すように、移行第 2 フレーム以降は、既に説明したような各種パーシャル表示動作を採用することができる。即ち、図 25 (c) に示すように、1 フレーム期間中に、s 行 m 列マトリクスからなるパーシャル表示領域 202 と、背景領域 204 のうちの k 行 m 列マトリクス領域 204w とを選択し、それぞれパーシャル表示及び背景表示を

10

20

30

40

50

行う (S4)。

【0135】

なお、パーシャル表示モードにおける背景領域204の駆動方法については上述のような方法1~4のいずれか又はそれらを組み合わせることができ、一例として図25(d)のステップS4に示すように、背景領域のk行m列領域204w以外の非選択行についてはドライバの高速転送を実行する等の駆動方法を採用することができる。また、さらに図21を参照して説明したように、パーシャル表示領域の最終行に隣接する背景先頭領域204hには、パーシャル表示領域と同様に毎フレーム選択し、ここに背景表示データを書き込む方法を採用することもできる。

【0136】

図26は、以上のような移行動作を実行するタイミングコントローラ400の一例を示している。このタイミングコントローラ400において上述の図19に示す構成と同一部分には同一符号を付して説明を省略する。図19と相違する点は、デジタル表示データの出力制御部分の構成である。具体的には、図26のタイミングコントローラ400では、背景領域検出回路60からF/F61を介して出力される背景検出信号(PTWH)と、フラッシュ信号(FLASH)との論理積をとるアンドゲート65を備える。オアゲート55, 56, 57は、それぞれ3入力端を備え、第1入力端には、対応するR, G, Bデジタル信号が供給され、第2入力端には背景検出信号(PTWH)が供給され、残る第3入力端には、上記アンドゲート65からの出力が供給されている。

【0137】

このような構成において、CPUなどからCPU I/F回路を介して供給されるパーシャル表示制御信号(PARTIAL)がHレベルとなると、F/F52及びF/F53及びアンドゲート54を経て出力されるフラッシュ信号(FLASH)は、次の1フレーム期間はHレベル、他の期間はLレベルとなる。また、背景検出信号(PTWH)は、背景領域期間Hレベルとなる。従って、アンドゲート65からは、パーシャル表示制御信号がHレベルとなった次のフレームの背景領域においてHレベルが出力され、R, G, Bデジタルデータの各ビットに対して設けられているオアゲート55, 56及び57の出力は全てHレベルとなる。R, G, Bデジタル出力R#OUT, G#OUT, B#OUTの全ビットHレベルは、ここでは白表示(オフ表示)データを意味しており、この構成によりパーシャル表示制御信号がHレベルになった次の1フレームの背景期間には背景領域にオフ表示データが書き込まれる。

【0138】

また、フラッシュ信号(FLASH)は、パーシャル表示制御信号がHレベルとなってから1フレーム期間が経過し、2フレーム目からは再びLレベルとなる。従って、2フレーム目以降においては、アンドゲート65の出力はLレベルを維持する。一方、背景検出信号(PTWH)は上述のように背景期間になるとHレベルとなるので、オアゲート55, 56及び57からの出力は背景期間は、Hレベルに固定される。従って、パーシャル表示モードに移行して2フレーム目からは各背景表示期間中には表示データとしてここでは白表示データ(オフ表示データ)がデータラインに供給されていることとなる。

【0139】

なお、パーシャル表示モードへの移行第1フレーム及び第2フレームにおいて背景領域に表示させるデータは、もちろん上記構成によって実現されるオフ表示データには限らず、上述のようにR, G, Bのいずれかの色データ又は任意の中間色データとしても良い。

【0140】

また、パーシャル表示モードへ移行して第2フレーム以降におけるパーシャル表示は、上記駆動方法1~4のいずれか又はその組み合わせによって実行する事ができる。或いは、上述のようにパーシャル表示領域の最終行に続く背景領域先頭行(又はパーシャル表示領域の境界隣接行)について、毎フレーム選択して背景表示データを書き込む方法を採用しても良い。

【0141】

【発明の効果】

以上説明したように本発明によれば、任意の位置にパーシャル表示を行うことができ、また、残りの背景領域での背景表示を高い表示品質で実行することができる。さらに、背景領域において、1フレーム期間中に上記パーシャル表示領域と共に選択される領域を背景領域先頭行と、残りの領域の内の一部であるk行m列領域としているので、パーシャル表示モードにおいて1フレーム期間中に選択する行数を通常表示モードの時より減らすことで、消費電力の低減を図ることも可能となる。

【図面の簡単な説明】

【図1】 本発明の実施形態に係る表示装置の構成を示す図である。

【図2】 本発明の実施形態に係る表示装置の表示種類を説明する概念図である。

【図3】 本発明の実施形態に係る表示モードの切替動作とその際の表示状態を示す図である。

10

【図4】 本発明の実施形態に係る駆動回路のタイミングコントローラ部における構成を示す図である。

【図5】 本発明の実施形態に係るLCDパネルのVドライバの構成を示す図である。

【図6】 図4の分周回路11の構成を示す図である。

【図7】 図4の1H幅制御回路19の構成を示す図である。

【図8】 図4のMASK生成回路48の構成を示す図である。

【図9】 本発明の実施形態に係る通常表示時の動作を示すタイミングチャートである。

【図10】 本発明の実施形態に係る白ラスタ表示時の動作を示すタイミングチャートである。

20

【図11】 本発明の実施形態に係る駆動方法1及び方法4を実行する場合のパーシャル表示時の動作を示すタイミングチャートである。

【図12】 本発明の実施形態に係る駆動方法1を実行する場合のパーシャル表示時の動作を示すタイミングチャートである。

【図13】 本発明の実施形態に係る駆動方法2を実行する場合のパーシャル表示時の動作を示すタイミングチャートである。

【図14】 本発明の実施形態に係る駆動方法2及び方法4を実行する場合のパーシャル表示時の動作を示すタイミングチャートである。

【図15】 本発明の実施形態に係る駆動方法3を実行する場合のパーシャル表示時の動作を示すタイミングチャートである。

30

【図16】 本発明の実施形態において用いられるプリチャージ波形を示す図である。

【図17】 本発明の実施形態において用いられるプリチャージドライバ230の構成を示す図である。

【図18】 本発明の実施形態に係る駆動方法3及び方法4を実行する場合のパーシャル表示時の動作を示すタイミングチャートである。

【図19】 本発明の実施形態に係る駆動回路のタイミングコントローラ部における構成を示す図である。

【図20】 本発明の図19に示す背景領域検出回路60の動作を説明する図である。

【図21】 本発明の実施形態に係る表示装置のパーシャル表示モードでの背景領域選択方法を説明する概念図である。

40

【図22】 図21に示す方法を実行するためにマスク生成回路48及び背景領域検出回路60に設定される閾値とこれらの回路出力を示す図である。

【図23】 図21に示す方法を実行するためにマスク生成回路48及び背景領域検出回路60からの出力波形を説明する図である。

【図24】 図21に示す方法を採用した場合の動作例を示すタイミングチャートである。

【図25】 本発明の実施形態に係る表示装置においてパーシャル表示への移行時からパーシャル及び背景表示を実行する手順の例を説明する図である。

【図26】 本発明の実施形態に係る表示装置においてパーシャル表示への移行時からパーシャル及び背景表示を実行するためのタイミングコントローラ部における構成例を示す

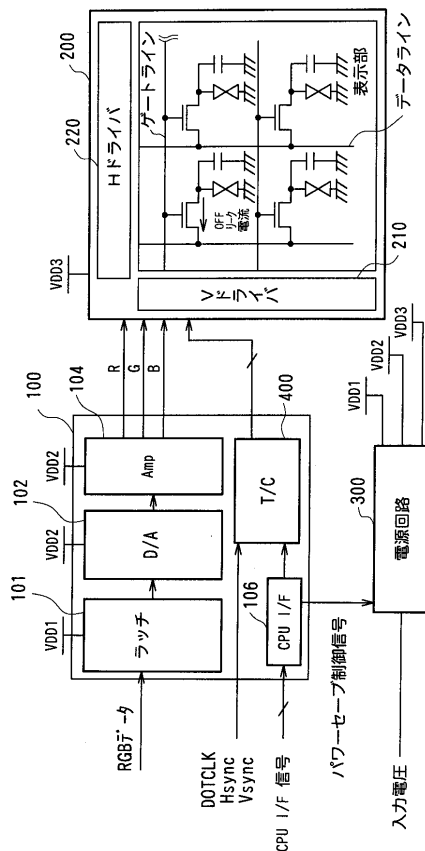
50

図である。

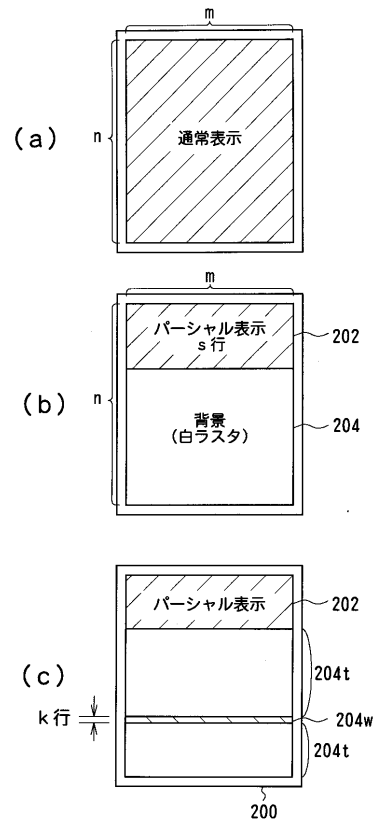
【符号の説明】

11 分周回路、12 Hカウンタ、13, 14, 15, 16, 17, 18, 35, 36 デコーダ、19 1H幅制御回路、34 Vカウンタ、47 フレームカウンタ、48 MASK生成回路、49 デコーダ(フレームカウンタリセット用)、52, 53 F/F(モード切替タイミング制御部)、60 背景領域検出回路、100 駆動回路、200 表示パネル(LCDパネル)、210 Vドライバ、220 Hドライバ、230 プリチャージドライバ、400 T/C(タイミングコントローラ)。

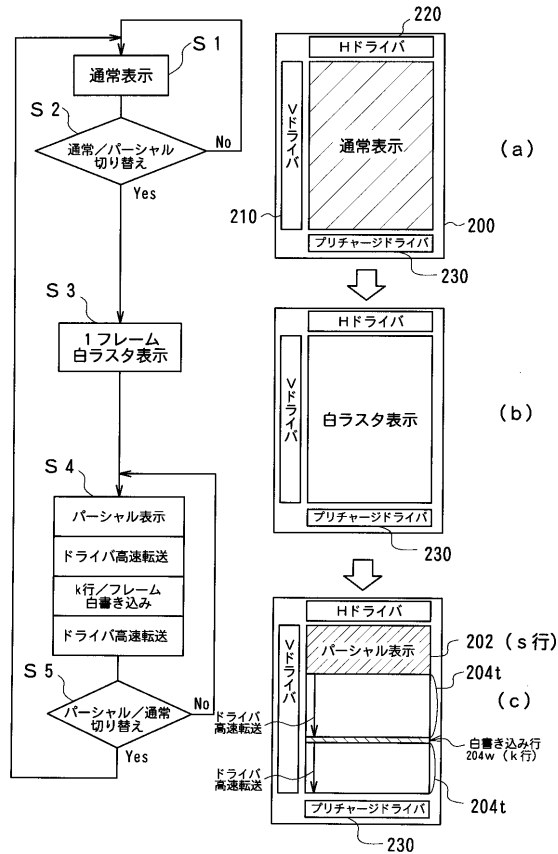
【図1】



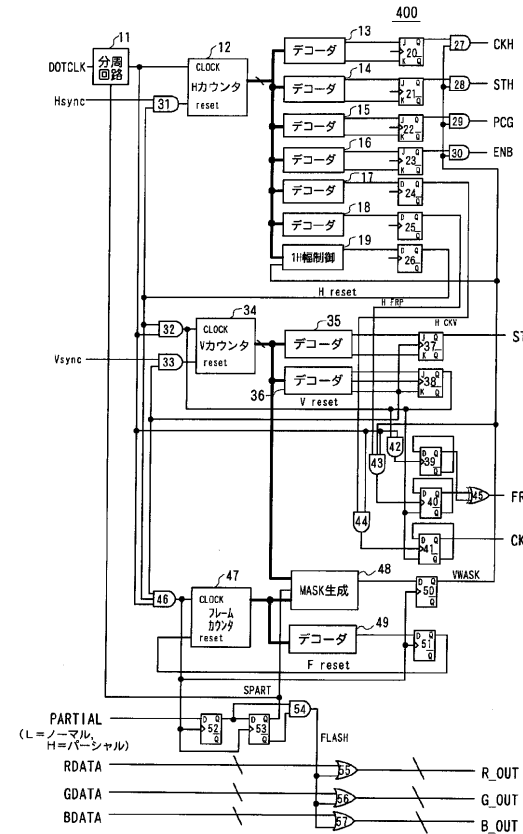
【図2】



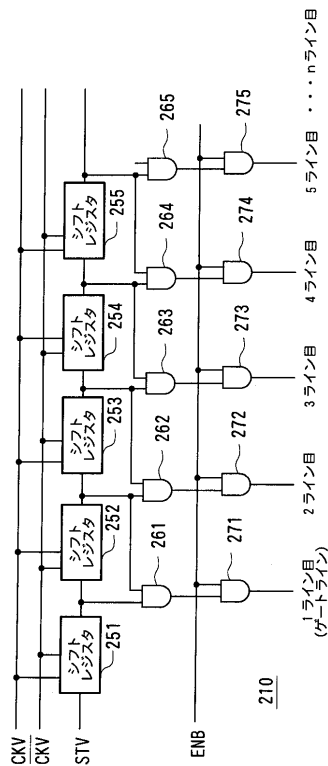
【図 3】



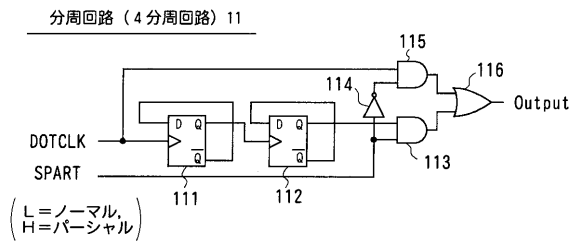
【図 4】



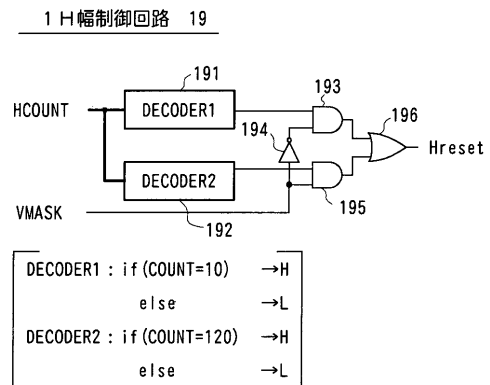
【図 5】



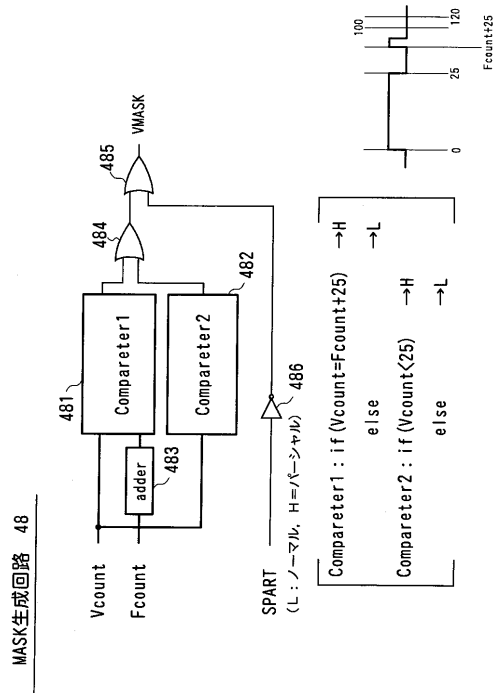
【図 6】



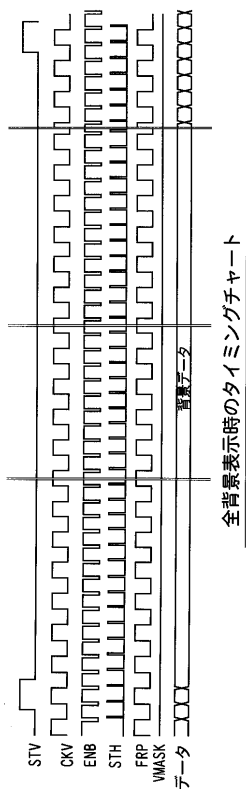
【図 7】



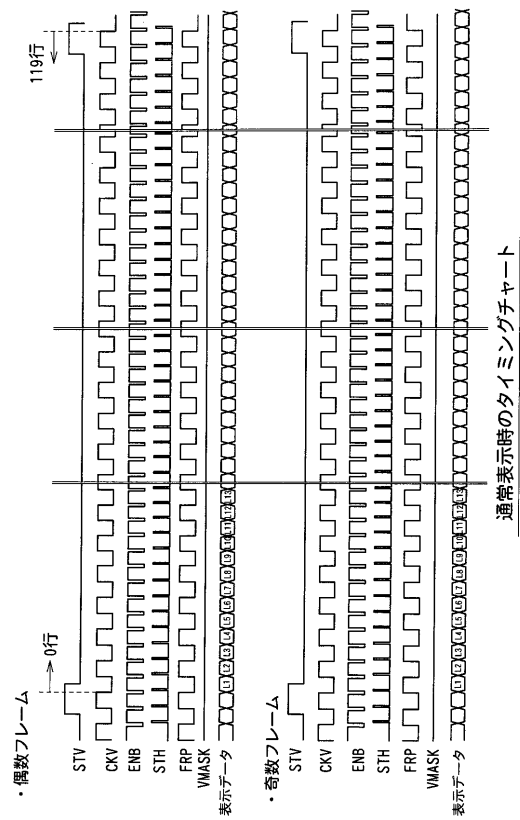
【図 8】



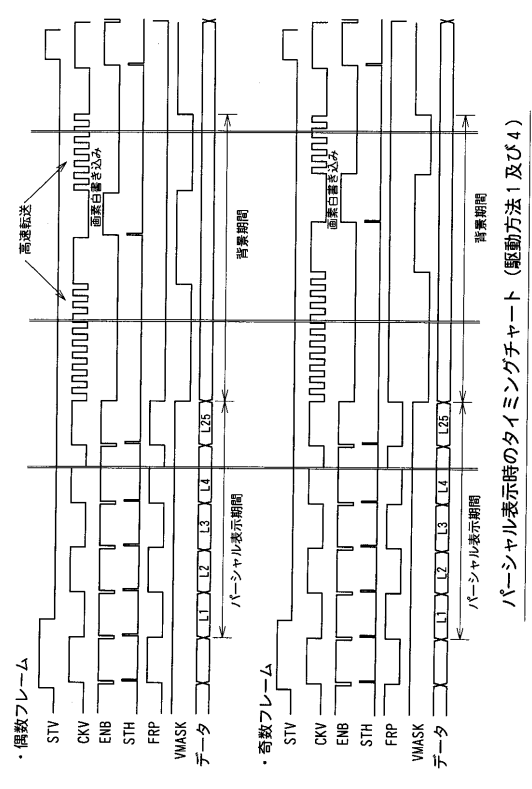
【図 10】



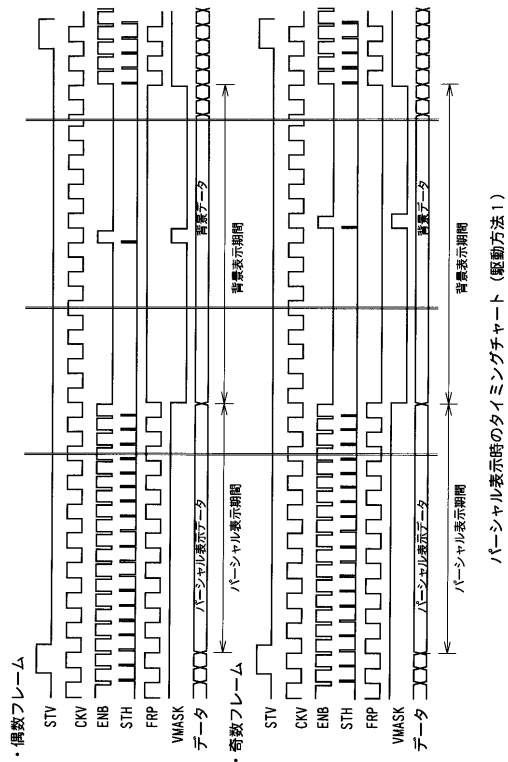
【図 9】



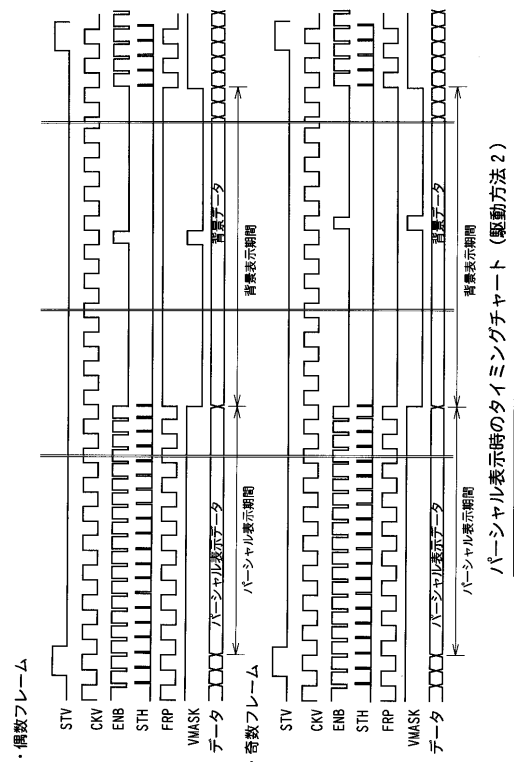
【図 11】



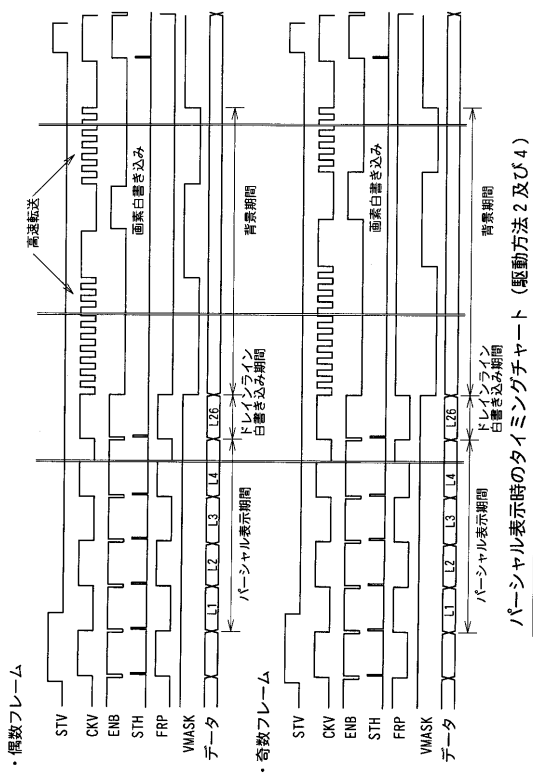
【図 1 2】



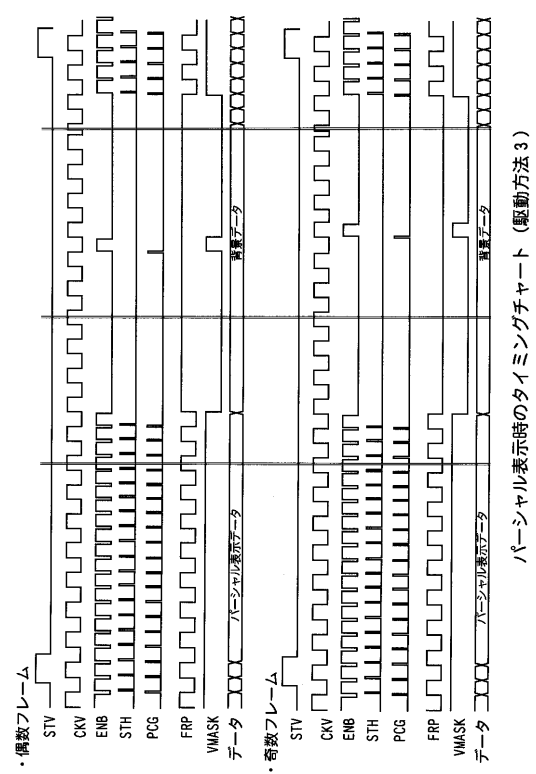
【図 1 3】



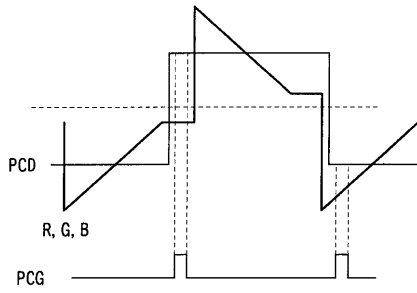
【図 1 4】



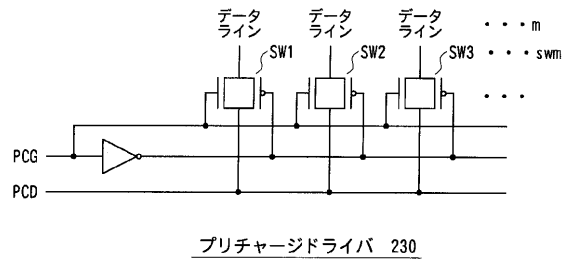
【図 1 5】



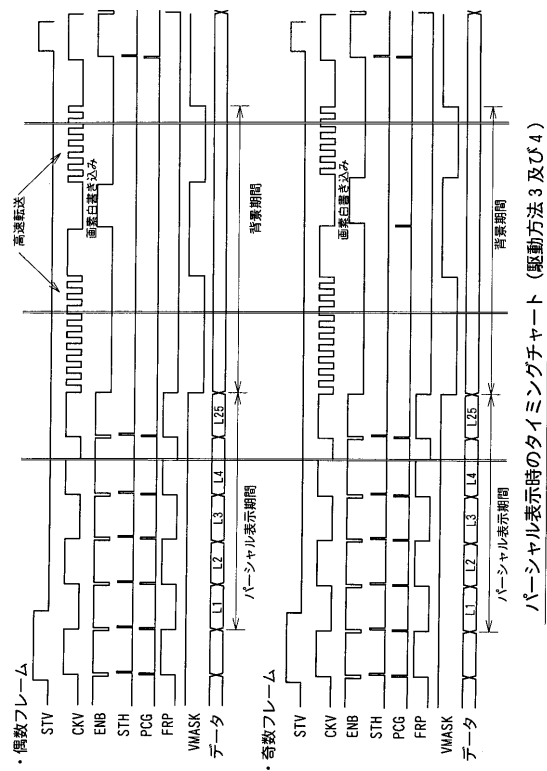
【図 16】



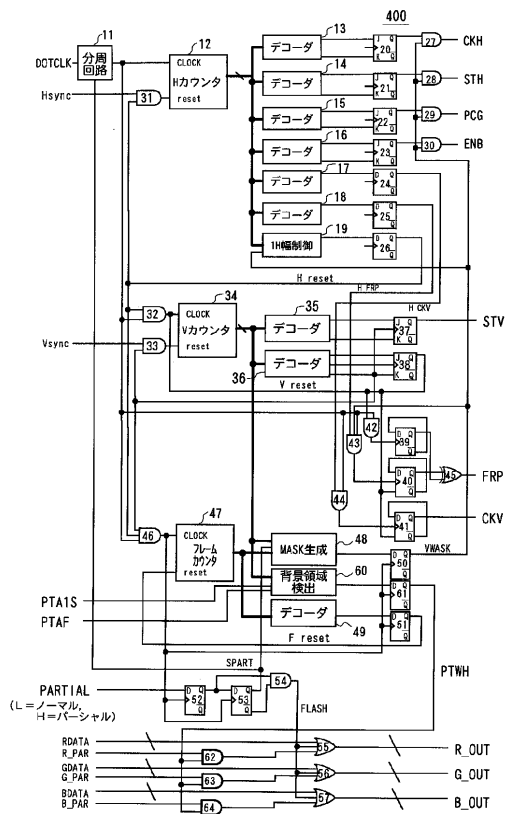
【図 17】



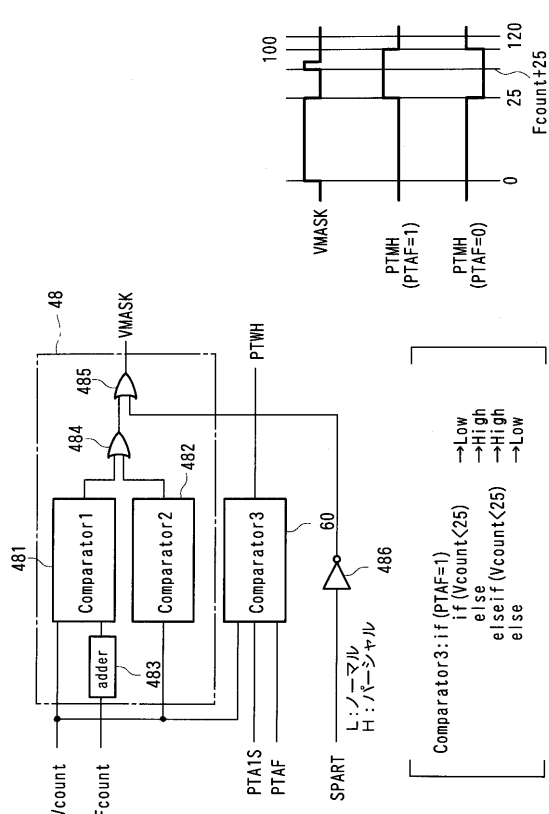
【図 18】



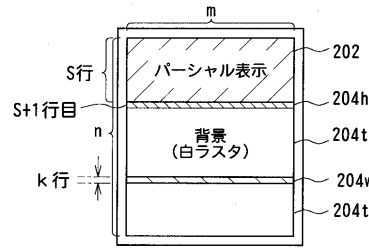
【図 19】



【図 20】



【図 2 1】



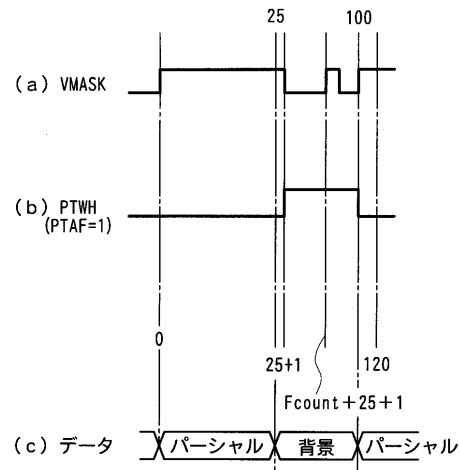
【図 2 2】

Comparator1: if (Vcount=fcount+25+1) →High
else →Low

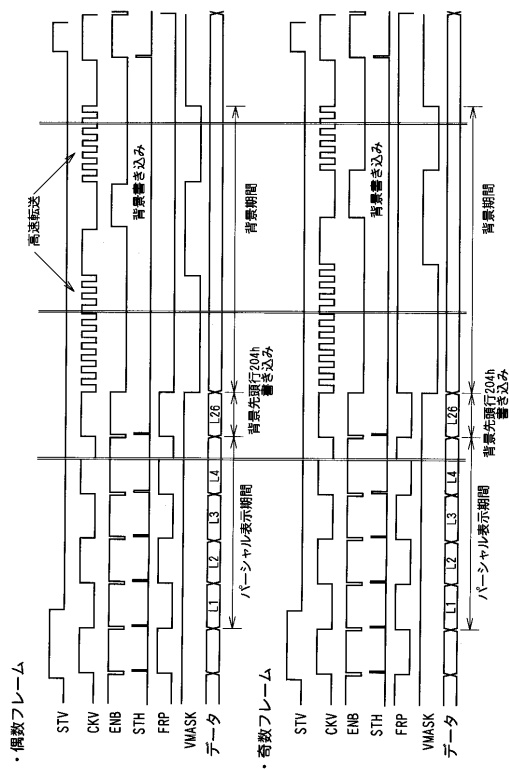
Comparator2: if (Vcount<25+1) →High
else →Low

Comparator3: if (PTAF=1)
if (Vcount<25+1) →Low
else →High
elseif (Vcount<25) →High
else →Low

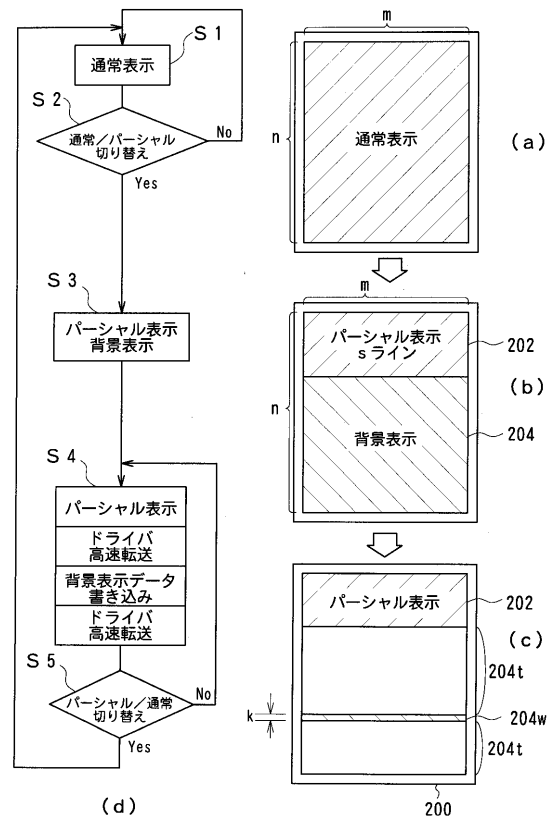
【図 2 3】



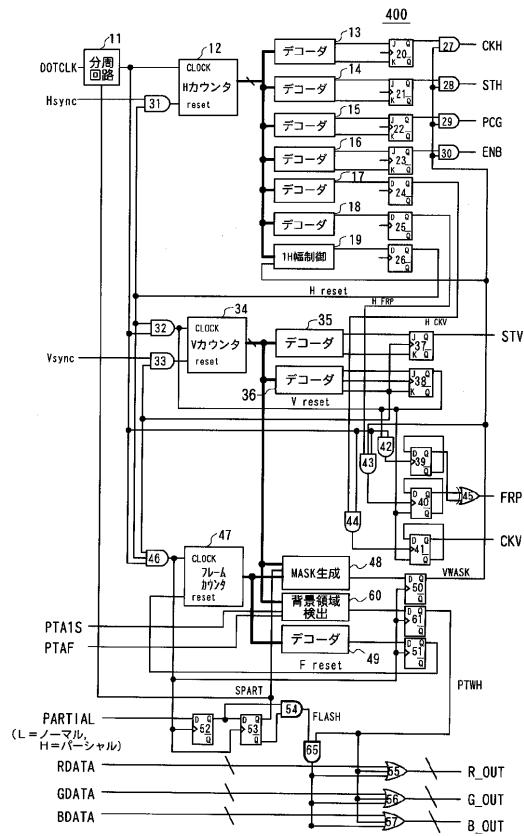
【図 2 4】



【図 2 5】



【図 26】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 2 R
G 0 9 G 3/20 6 6 0 K
G 0 9 G 3/30 J

(72)発明者 小林 貢
大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
(72)発明者 上原 久夫
大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
(72)発明者 藤岡 誠
大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

審査官 後藤 亮治

(56)参考文献 特開平11-184434(JP,A)
特開平10-187105(JP,A)
特開平10-232645(JP,A)
特開平07-175454(JP,A)
特開2000-276093(JP,A)
特開平10-214063(JP,A)
特開平11-003064(JP,A)

(58)調査した分野(Int.Cl., DB名)
G09G 3/00 - 3/38
G02F 1/133

专利名称(译)	用于驱动显示设备的方法和设备		
公开(公告)号	JP4243035B2	公开(公告)日	2009-03-25
申请号	JP2001096471	申请日	2001-03-29
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
当前申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	北川誠 筒井雄介 小林貢 上原久夫 藤岡誠		
发明人	北川 誠 筒井 雄介 小林 貢 上原 久夫 藤岡 誠		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G09G3/30		
FI分类号	G09G3/36 G02F1/133.505 G09G3/20.611.A G09G3/20.621.D G09G3/20.622.Q G09G3/20.622.R G09G3/20.660.K G09G3/30.J		
F-TERM分类号	2H093/NA33 2H093/NC16 2H093/NC24 2H093/NC25 2H093/NC26 2H093/NC27 2H093/NC34 2H093/NC50 2H093/ND39 2H193/ZA04 2H193/ZC15 5C006/AA21 5C006/AC22 5C006/BB16 5C006/BC03 5C006/FA05 5C080/AA06 5C080/AA10 5C080/BB05 5C080/DD01 5C080/DD26 5C080/FF11 5C080/FF12 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ07		
代理人(译)	吉田健治 金山俊彦 石田 纯		
其他公开文献	JP2002297105A		
外部链接	Espacenet		

摘要(译)

要解决的问题：改善在任意位置执行部分显示的显示设备的剩余背景区域中的显示质量。解决方案：当驱动具有 (n) 行和 (m) 列像素的液晶显示装置并发出部分显示指令时，将预定的部分显示数据写入可设置行的部分显示区域202中。 (m) 通过在一个帧周期期间顺序地选择每一行，在 (n) 行和 (m) 列的矩阵中的列，并且在背景区域204中写入诸如关闭显示（白色显示）的预定背景数据，除了在一个帧周期期间的背景区域204中，背景显示数据被写入部分显示区域中的最后一行之后的第 $(s+1)$ 行中的像素中，以及 (k) 的像素中。 (s) 行和 (m) 列。然而，假设 n, m, s 和 k 是不小于1的所有整数，并且 $s < n$ ，并且 $k < n-s-1$ 。对于每个帧顺序地筛选所选择的第 k 行，并且通过 $(n-s-1)/k$ 帧周期获取整个背景区域204以选择一次。

【図1】

