(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3972838号
(P3972838)
(45)発行日　平成19年9月5日(2007.9.5)　(24)登録日　平成19年6月22日(2007.6.22)

(51)Int.Cl.　　F I
G02F 1/1368 (2006.01)　　G02F 1/1368
G02F 1/1335 (2006.01)　　G02F 1/1335 520

請求項の数 2　(全 24 頁)

(21)出願番号　特願2003-54215(P2003-54215)
(22)出願日　平成15年2月28日(2003.2.28)
(65)公開番号　特開2004-264534(P2004-264534A)
(43)公開日　平成16年9月24日(2004.9.24)
審査請求日　平成17年3月30日(2005.3.30)

(73)特許権者　000004329
日本ビクター株式会社
神奈川県横浜市神奈川区守屋町３丁目１２番地
(74)代理人　100083806
弁理士　三好　秀和
(74)代理人　100101247
弁理士　高橋　俊一
(72)発明者　岩佐　隆行
神奈川県横浜市神奈川区守屋町３丁目１２番地　日本ビクター株式会社内

審査官　奥田　雄介

最終頁に続く

(54)【発明の名称】反射型液晶表示装置

(57)【特許請求の範囲】

【請求項１】

半導体基板上にスイッチング素子と、該スイッチング素子用の保持容量部とを電気的に分離してそれぞれ複数設け、且つ、複数の前記スイッチング素子及び複数の前記保持容量部の上方に積層した複数の機能膜のうちで最上層に金属膜を用いて成膜した反射用画素電極を電気的に分離して複数設けて、一つの前記スイッチング素子に接続した一つの前記保持容量部及び一つの前記反射用画素電極を組にして一つの画素を形成し、この画素を前記半導体基板上で行方向と列方向とにマトリックス状に複数配置すると共に、複数の前記反射用画素電極に対向して透明な対向電極を透明基板の下面に成膜して、複数の前記反射用画素電極と前記対向電極との間に液晶を封入して構成した反射型液晶表示装置において、

前記反射型液晶表示装置の使用形態に応じてスキャン方向を変更され、且つ、各行に沿って配置した各スイッチング素子のゲート電極に接続するように行ごとに配線されて、ゲートパルスをスキャン方向の行順に供給するゲート線と、

各列に沿って配置した各スイッチング素子のドレイン電極（又はソース電極）に接続するように金属膜を用いて列ごとに配線されて、ビデオ信号を列順に供給する信号線と、

同一列上にあって、互いに隣り合わせて配置した２つの画素間を跨いで配線された接続線とを少なくとも備え、

前記接続線は、一端が一方の画素内に形成した前記保持容量部の容量電極用コンタクト及び前記反射用画素電極に接続されると共に、他端が前記機能膜中の絶縁膜を介して一方の画素用の前記ゲート線と交差して、他方の画素内に形成した前記スイッチング素子のソー

ス電極（又はドレイン電極）に接続されていることを特徴とする反射型液晶表示装置。
【請求項２】
請求項１記載の反射型液晶表示装置において、
前記接続線は、前記ゲート線と交差させた部位の線幅を前記一方の画素内に延出させた線幅及び前記他方の画素内に延出させた線幅よりも幅狭くくびれさせたことを特徴とする反射型液晶表示装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、反射型液晶表示装置のレイアウト構造に係り、とくに、反射型液晶表示装置の使用形態（例えば、天吊り型，据え置き型）に応じてゲート線のスキャン方向を変更できるように構成した場合に、同一列上に一方の画素Ａと、他方の画素Ｂとを隣り合わせて配置した際、ゲート線のスキャン方向に伴って生じる画素Ａのフィールドスルー特性の影響を軽減できるように構成した反射型液晶表示装置に関するものである。
【０００２】
【従来の技術】
最近、屋外公衆用や管制業務用のディスプレイとか、ハイビジョン放送規格やコンピュータ・グラフィクスのＳＶＧＡ規格に代表される高精細映像の表示用ディスプレイ等のように、映像を大画面に表示するための投射型液晶表示装置が盛んに利用されている。
【０００３】
この種の投射型液晶表示装置には、大別すると透過方式を用いた透過型液晶表示装置と、反射方式を用いた反射型液晶表示装置とがあるが、前者の透過型液晶表示装置の場合には、各画素に設けられたＴＦＴ（Thin Film Transistor：薄膜トランジスタ）の領域が光を透過させる画素の透過領域とならないために開口率が小さくなるという欠点を有していることから、後者の反射型液晶表示装置が注目されている。
【０００４】
一般的に、上記した反射型液晶表示装置では、半導体基板（Ｓｉ基板）上にスイッチング素子と、該スイッチング素子用の保持容量部とを電気的に分離してそれぞれ複数設け、且つ、複数のスイッチング素子及び複数の保持容量部の上方に積層した複数の機能膜のうちで最上層に金属膜を用いて成膜した反射用画素電極を電気的に分離して複数設けて、一つのスイッチング素子に接続した一つの保持容量部及び一つの反射用画素電極を組にして一つの画素を形成し、この画素を半導体基板上で行方向と列方向とにマトリックス状に複数配置すると共に、複数の反射用画素電極に対向して全画素共通となる透明な対向電極を透明基板の下面に成膜して、複数の反射用画素電極と対向電極との間に液晶を封入して構成することで、透明基板側からカラー画像用の読み出し光を対向電極を介して液晶内に入射させて、スイッチング素子により対向電極と各反射用画素電極の間の電位差をビデオ信号に対応させて各反射用画素電極ごとに変化させ、液晶の配向を制御することでカラー画像用の読出し光を変調して、各反射用画素電極で反射させたカラー画像用の読出し光を透明基板から出射させるものである。
【０００５】
図１は従来例１の反射型液晶表示装置において、一つの画素を模式的に拡大して示し、且つ、図５に示したＸ－Ｙ矢視線に沿って断面した断面図、
図２は従来例１の反射型液晶表示装置におけるアクティブマトリックス駆動回路を説明するため図であり、（ａ）はアクティブマトリックス駆動回路のブロック図、（ｂ）は（ａ）中のＴＲ部を拡大して示した回路図である。
【０００６】
図１に示した従来例１の反射型液晶表示装置１０Ａは一般的な反射型プロジェクタに適用できるように構成されているものであり、画像を表示するための複数の画素のうちで一つの画素を拡大して説明すると、基台となる半導体基板１１は、単結晶シリコンのようなｐ型Ｓｉ基板（又はｎ型Ｓｉ基板でも良い）を用いており、この半導体基板（以下、ｐ型Ｓ

ｉ基板と記す）１１内の図示左側に、一つのｐ⁻ウエル領域１２が左右のフィールド酸化膜１３Ａ，１３Ｂによって画素単位で電気的に分離された状態で設けられている。そして、一つのｐ⁻ウエル領域１２内に一つのスイッチング素子１４が設けられており、このスイッチング素子１４はＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor ）として構成されている。

【０００７】

また、一つのスイッチング素子（以下、ＭＯＳＦＥＴと記す）１４は、ｐ⁻ウエル領域１２上の略中央に位置するゲート酸化膜１５上にポリシリコンからなるゲート電極１６が成膜されることで、ゲートＧが形成されている。

【０００８】

また、ＭＯＳＦＥＴ１４のゲートＧの図示左側にはドレイン領域１７が形成され、且つ、このドレイン領域１７上に第１ビアホールＶｉａ１内のアルミ配線によりドレイン電極１８が成膜されることで、ドレインＤが形成されている。

【０００９】

また、ＭＯＳＦＥＴ１４のゲートＧの図示右側にはソース領域１９が形成され、且つ、このソース領域１９上に第１ビアホールＶｉａ１内のアルミ配線によりソース電極２０が成膜されることで、ソースＳが形成されている。

【００１０】

また、ｐ型Ｓｉ基板１１上でｐ⁻ウエル領域１２より図示右方に、イオン注入した拡散容量電極２１が形成されており、この拡散容量電極２１も左右のフィールド酸化膜１３Ｂ，１３Ｃによって画素単位で電気的に分離された状態で設けられており、この従来例１ではフィールド酸化膜１３Ａからフィールド酸化膜１３Ｃまでの範囲が一つの画素と対応している。

【００１１】

また、拡散容量電極２１上には絶縁膜２２と容量電極２３とが順に成膜され、且つ、容量電極２３上に第１ビアホールＶｉａ１内のアルミ配線により容量電極用コンタクト２４が成膜されることで、一つのＭＯＳＦＥＴ１４に対応した保持容量部Ｃが形成されている。

【００１２】

また、フィールド酸化膜１３Ａ～１３Ｃ，ゲート電極１６，容量電極２３の上方には、第１層間絶縁膜２５と、第１メタル膜２６と、第２層間絶縁膜２７と、第２メタル膜２８と、第３層間絶縁膜２９と、第３メタル膜３０とによる複数の機能膜が上記した順で積層して成膜されている。

【００１３】

この際、第１，第２，第３層間絶縁膜２５，２７，２９は、絶縁性があるＳｉＯ$_2$（酸化ケイ素）などを用いて成膜されている。

【００１４】

また、第１，第２，第３メタル膜２６，２８，３０は、導電性がある金属膜としてアルミ配線などにより一つのＭＯＳＦＥＴ１４と対応して一つの画素ごとに所定のパターン形状にそれぞれ区画されており、同じ画素内では第１，第２，第３メタル膜２６，２８，３０同士が電気的に接続されているものの、隣り合う画素に対しては第１，第２，第３メタル膜２６，２８，３０中に細い幅で略角状に周回した開口部２６ａ（図４に図示），２８ａ，３０ａがそれぞれ形成されることで画素ごとに第１，第２，第３メタル膜２６，２８，３０が電気的にそれぞれ分離されている。

【００１５】

そして、一つの画素内で、最下段の第１メタル膜２６は一つの画素のＭＯＳＦＥＴ１４と、このＭＯＳＦＥＴ用の保持容量部Ｃとにそれぞれ接続されている。また、一つの画素内において、中段の第２メタル膜２８は、上方に配置した後述の透明基板３３側から入射させた読み出し光Ｌの一部を下方に設けたｐ型Ｓｉ基板１１上のＭＯＳＦＥＴ１４側に対して遮光するための金属遮光膜として設けられているものである。即ち、第２メタル膜（金属遮光膜）２８は、上段の隣り合う第３メタル膜３０間に形成された開口部３０ａから侵

入する読み出し光Ｌの一部を遮光するように開口部３０ａを覆って成膜されていると共に、第２層間絶縁膜２７をエッチングした第２ビアホールＶｉａ２内にアルミ配線を成膜することにより最下段の第１メタル膜２６に接続されている。

【００１６】

また、一つの画素内において、上段の第３メタル膜３０は、一つの画素に対応して隣り合う第３メタル膜３０間に形成した開口部３０ａによって正方形状に区切られて一つの反射用画素電極として設けられており、且つ、第３層間絶縁膜２９をエッチングした第３ビアホールＶｉａ３内にアルミ配線を成膜することにより中段の第２メタル膜２８に接続されている。

【００１７】

また、第３メタル膜（以下、反射用画素電極と記す）３０の上方には液晶３１が封入されており、この液晶３１を介して透明な対向電極３２が透明基板（ガラス基板）３３の下面に複数の反射用画素電極３０に対向し、且つ、各反射用画素電極３０に対する共通電極として画素ごとに区画されずにＩＴＯ（Indium Tin Oxide）などを用いて成膜されている。

【００１８】

次に、従来例１の反射型液晶表示装置１０Ａにおいて、ｐ型Ｓｉ基板１１上に複数の画素を行方向と列方向とにマトリックス状に配置した時のアクティブマトリックス駆動回路について図２（ａ），（ｂ）を用いて説明する。

【００１９】

図２（ａ），（ｂ）に示した如く、従来例１の反射型液晶表示装置１０Ａにおけるアクティブマトリックス駆動回路５０では、一つのＭＯＳＦＥＴ１４に接続した一つの保持容量部Ｃ及び一つの反射用画素電極３０を組にして一つの画素が形成され、この画素の組がｐ型Ｓｉ基板１１上に行方向と列方向とにマトリックス状に複数配置されている。

【００２０】

そして、複数の画素のうちで一つの画素を特定するために、水平シフトレジスタ回路５１と垂直シフトレジスタ回路５５とが列方向と行方向とに直交してそれぞれ設けられている。

【００２１】

まず、水平シフトレジスタ回路５１側では、ビデオスイッチ５２を介して信号線５３が列方向（垂直方向）に向かって列ごとに配線されているものの、ここでは図示の都合上、信号線５３は１本のみを水平シフトレジスタ回路５１側に結線した状態で示す。この信号線５３はビデオ信号を列順に供給するものである。この際、水平シフトレジスタ回路５１とビデオスイッチ５２との間に設けた信号線５３にはビデオ線５４が結線されている。また、一つの信号線５３は、第１メタル膜２６（図１）のアルミ配線により一つの列に沿って配置した複数のＭＯＳＦＥＴ１４のドレイン電極１８にそれぞれ接続されている。

【００２２】

次に、垂直シフトレジスタ回路５５側では、ゲート線５６が行方向（水平方向）に向かって行ごとに配線されているものの、ここでは図示の都合上、ゲート線５６は１本のみを垂直シフトレジスタ回路５５側に結線した状態で示す。このゲート線５６はゲートパルスを後述のスキャン方向の行順に供給するものである。この際、一つのゲート線５６は、ポリシリコンにより一つの行に沿って配置した複数のＭＯＳＦＥＴ１４のゲート電極１６にそれぞれ接続されている。

【００２３】

また、各ＭＯＳＦＥＴ１４のソース電極２０は、第１メタル膜２６（図１）のアルミ配線により容量電極用コンタクト２４を介して保持容量部Ｃの容量電極２３に接続されていると共に、第１，第２メタル膜２６，２８（図１）のアルミ配線を介して一つの反射用画素電極３０にも接続されている。

【００２４】

この際、アクティブマトリックス駆動回路５０は、周知のフレーム反転駆動法を適用しており、ビデオ信号はフレーム周期ごとに正極性及び負極性に反転し、即ち、例えば、ビデ

オ信号の第ｎフレーム期間が正書き込み、第（ｎ＋１）フレーム期間が負書き込みとなる。従って、信号線５３からビデオ信号を入力する場合には、信号線５３をＭＯＳＦＥＴ１４のドレイン電極１８か、又は、ＭＯＳＦＥＴ１４のソース電極２０のいずれか一方に接続すれば良いが、ここでは上述したように信号線５３をＭＯＳＦＥＴ１４のドレイン電極１８に接続している。尚、信号線５３をソース電極２０に接続した場合には、ＭＯＳＦＥＴ１４のドレイン電極１８に一つの保持容量部Ｃ及び一つの反射用画素電極３０が接続されるものである。

【００２５】

また、上記した従来例１の反射型液晶表示装置１０Ａにおいて、固定電位としてＭＯＳＦＥＴ１４に供給するウエル電位と、保持容量部Ｃに供給するＣＯＭ（コモン）電位とが必要である。

【００２６】

即ち、ＭＯＳＦＥＴ１４に供給するウエル電位は、ゲート線５６と、一つのp^-ウエル領域１２（図１）内に形成した不図示のp^+領域上のウエル電位用コンタクトとの間に固定電位として例えば１５Ｖの電圧が印加されている。尚、ｎ型Ｓｉ基板を用いた場合にはウエル電位として例えば０Ｖを印加すれば良い。

【００２７】

一方、保持容量部Ｃに供給するＣＯＭ電位は、保持容量部Ｃの容量電極２４と、拡散容量電極２２上の不図示のＣＯＭ（コモン）電位用コンタクトと間に固定電位として例えば８．５Ｖの電圧が印加されている。この際、ＣＯＭ電位は、保持容量部Ｃを形成するためには基本的に何ボルトでもかまわないものの、ビデオ信号の中心値（例えば８．５Ｖ）などに設定しておけば、保持容量部Ｃにかかる電圧は電源電圧の略半分ですむ。つまり、保持容量耐圧は電源電圧の略半分で良いので、保持容量部Ｃの絶縁膜２２の膜厚のみを薄くして容量値を大きくすることが可能であり、保持容量部Ｃの保持容量値が大きいと、反射用画素電極３０の電位の変動を小さくすることができ、フリッカーや液晶３１（図１）の焼きつきなどに対して有利である。

【００２８】

そして、保持容量部Ｃは、一つの反射用画素電極３０に印加された電位とＣＯＭ電位との電位差に応じて電荷を蓄積し、非選択期間に一つのＭＯＳＦＥＴ１４がオフ状態になってもその電圧を保持し、一つの反射用画素電極３０にその保持電圧を印加し続ける機能を備えている。

【００２９】

ここで、従来例１の反射型液晶表示装置１０Ａにおけるアクティブマトリックス駆動回路５０において、一つの画素を駆動させる場合には、ビデオ線５４から順次タイミングをずらして入力されたビデオ信号がビデオスイッチ５２を介して列方向に配置した一つの信号線５３に供給され、且つ、この一つの信号線５３と行方向に配置した一つのゲート線５６とが交差した位置にある一つのＭＯＳＦＥＴ１４が選択されてＯＮ動作する。

【００３０】

そして、選択された一つの反射用画素電極３０に信号線５３を介してビデオ信号が入力されると電荷のかたちで保持容量部Ｃに書き込まれ、且つ、選択された一つの反射用画素電極３０と対向電極３２（図１）と間にビデオ信号に応じて電位差が発生し、液晶３１の光学特性を変調している。この結果、透明基板３３側から入射させたカラー画像用の読み出し光Ｌ（図１）は液晶３１で画素ごとに変調されて反射用画素電極３０により反射され、透明基板３３から出射される。このため、透過方式と異なって、読み出し光Ｌを１００％近く利用でき、投射される画像に対して高精細と高輝度とを両立できる構造となっている。

【００３１】

次に、Ｓｉ基板１１上で複数の画素を列方向と行方向とに直交してマトリックス状に配置した際、例えば一つの列上で反射型液晶表示装置１０Ａの天面側に配置した一方の画素Ａと、この一つの列と同一列上で一方の画素Ａの下方に隣り合わせて配置した他方の画素Ｂ

との間で発生する寄生容量について図３～図５を用いて説明する。

【００３２】

図３は従来例１の反射型液晶表示装置において、複数の画素のうちで例えば画素Ａと画素Ｂとを一つの列上で列方向に上下隣り合わせて配置した時に、画素Ａ，Ｂの寄生容量を説明するための回路図、

図４は従来例１の反射型液晶表示装置において、複数の画素のうちで例えば画素Ａと画素Ｂとを一つの列上で列方向に上下隣り合わせて配置した時に、画素Ａの寄生容量を説明するために図５に示したＸ－Ｙ矢視線に沿って断面した断面図、図５は従来例１の反射型液晶表示装置において、複数の画素のうちで例えば画素Ａと画素Ｂとを一つの列上で列方向に上下隣り合わせて配置した時に、画素Ａの寄生容量を説明するために図４に示したＸ－Ｙ矢視線に沿って第１メタル膜側から半導体基板（Ｓｉ基板）側を見た平面図である。

【００３３】

まず、図３に示した如く、画素Ａと画素Ｂとを一つの列上で列方向に上下隣り合わせて配置した時に、上方に配置した画素Ａには寄生容量Ｃａ１，Ｃａ２が存在している。また、画素Ａの場合と同様に、下方に配置した画素Ｂにも寄生容量Ｃｂ１，Ｃｂ２が存在している。

【００３４】

即ち、画素Ａのゲート線５６と画素ＡのＭＯＳＦＥＴ１４のソース電極２０側との間に寄生容量Ｃａ１が存在し、且つ、画素ＡのＭＯＳＦＥＴ１４のソース電極２０側と画素Ｂのゲート線５６との間に寄生容量Ｃａ２が存在している。また、画素Ａの場合と同様に、画素Ｂのゲート線５６と画素ＢのＭＯＳＦＥＴ１４のソース電極２０側との間に寄生容量Ｃｂ１が存在し、且つ、画素ＢのＭＯＳＦＥＴ１４のソース電極２０側と画素Ｃのゲート線５６との間に寄生容量Ｃｂ２が存在している。

【００３５】

ここで、図４に示した如く、上方に配置した画素ＡのＭＯＳＦＥＴ１４のソース電極２０が画素Ａの保持容量部Ｃと画素Ａの反射用画素電極３０とに接続され、且つ、下方に配置した画素ＢのＭＯＳＦＥＴ１４のソース電極２０が画素Ｂの保持容量部Ｃと画素Ｂの反射用画素電極３０とに接続された状態で、画素Ａと画素Ｂはそれぞれ電気的に分離されている。

【００３６】

また、図４に示したＸ－Ｙ矢視線に沿って第１メタル膜２６側からＳｉ基板（半導体基板）１１側を平面的に見た図５において、画素Ａの領域及び画素Ｂの領域には、各ＭＯＳＦＥＴ１４のドレイン電極１８及びゲート電極１６並びにソース電極２０が各画素領域内の左上方部位に行方向（水平方向）に沿ってそれぞれ配置され、且つ、各画素領域内の下方に拡散容量電極２１，絶縁膜２２（図１），容量電極２３を積層した各保持容量部Ｃが大きな面積を持ってそれぞれ配置されている。

【００３７】

また、一つの行の画素Ａ及びこの下方の行の画素Ｂにゲートパルスを供給するためのゲート線５６，５６は、ポリシリコンにより各画素領域内の上方部位に斜線枠で示した如くそれぞれ行方向（水平方向）に沿って配線され、且つ、各画素領域内の途中からＴ字状に分岐した部分が各ＭＯＳＦＥＴ１４，１４のゲート電極１６，１６にそれぞれ接続されている。

【００３８】

また、一つの列上の画素Ａ，Ｂに対して共通であり且つ一つの列のビデオ信号を供給するための一つの信号線５３は、第１メタル膜２６（図４）のアルミ配線により各画素領域内の左側に網点枠で示した如く列方向（垂直方向）に沿って配線され、且つ、各画素Ａ，Ｂの各ＭＯＳＦＥＴ１４，１４のドレイン電極１８，１８に接続されている。

【００３９】

また、画素Ａ，Ｂ用の接続線５７，５７は、第１メタル膜２６のアルミ配線により各画素領域内の略中央に網点枠で示した如く列方向（垂直方向）に沿ってそれぞれ画素駆動ごと

に配線され、且つ、各画素Ａ，Ｂの各ＭＯＳＦＥＴ１４，１４のソース電極２０，２０にそれぞれ接続されていると共に、各画素Ａ，Ｂの容量電極２３，２３上に設けた容量電極用コンタクト２４，２４にそれぞれ接続されており、更に、接続線５７，５７は第１，第２メタル膜２６（図４）のアルミ配線を介して各画素Ａ，Ｂの反射用画素電極３０，３０にそれぞれ接続されている。

【００４０】

また、一つの列上の画素Ａ，Ｂに対して共通であり且つ各画素Ａ，ＢにＣＯＭ電位を供給するための一つのＣＯＭ線５８は、第１メタル膜２６（図４）のアルミ配線により各画素領域内の右側に網点枠で示した如く列方向（垂直方向）に沿って配線され、且つ、各画素Ａ，Ｂの拡散容量電極２１，２１上に設けたＣＯＭ電位用コンタクト５９，５９に接続されている。

【００４１】

また、一つの列上の画素Ａ，Ｂに対して共通であり且つ各画素Ａ，Ｂにウエル電位を供給するための一つのウエル線６０は、第１メタル膜２６（図４）のアルミ配線により各画素領域内でＣＯＭ線５８よりも右側に網点枠で示した如く列方向（垂直方向）に沿って配線され、且つ、各画素Ａ，Ｂのｐ⁻ウエル領域１２，１２（図４）内に設けたウエル電位用コンタクト６１，６１に接続されている。

【００４２】

上記のように各線を配線した時に、画素Ａの寄生容量Ｃａ１は、斜線枠で示した画素Ａのゲート線５６と、網点枠で示した画素Ａの接続線５７とが互いに重なり合う部位（オーバーラップ部位）で発生している。また、画素Ａの寄生容量Ｃａ２は、網点枠で示した画素Ａの接続線５７と、斜線枠で示した画素Ｂのゲート線５６とが互いに重なり合う部位（オーバーラップ部位）で発生しており、これらの状態を図４にも断面して示している。

【００４３】

尚、画素Ｂの寄生容量Ｃｂ１，Ｃｂ２は、図４及び図５中での図示を省略しているものの、画素Ａと同様に発生している。

【００４４】

この際、実回路動作を考えた場合、画素Ａにおいては、画素ＡのＭＯＳＦＥＴ１４がＯＦＦになった時点で、画素Ａの反射用画素電極３０の画素電位は次のフレームで再び画素ＡのＭＯＳＦＥＴ１４がＯＮするまで、画素電位を固定していなければならない。この画素電位保持時間については、例えば１／３０ｓｅｃの間に、例えば５ｍＶ以内の画素電位変動に抑えなければならず、この画素電位変動値を超えた場合は、フリッカーや液晶３１（図１）の焼き付きといった不具合が発生する。

【００４５】

ところで、一般的に、液晶表示装置内の各画素に寄生容量が存在すると、画素電圧が変動したり、走査線（ゲート線）の遅延によってフリッカが発生するために、この寄生容量に対して対策を施したアクティブマトリックス型液晶表示素子がある（例えば、特許文献１参照）。

【００４６】

【特許文献１】

特開２００１－７５１２７号公報

図６は従来例２のアクティブマトリックス型液晶表示素子を示した等価回路図である。

【００４７】

図６に示した従来例２のアクティブマトリックス型液晶表示素子１００は、上記した特許文献１（特開２００１－７５１２７号公報）に開示されているものであり、ここでは特許文献１を参照して簡略に説明する。

【００４８】

従来例２のアクティブマトリックス型液晶表示素子１００では、行方向（水平方向）に沿って配置した複数の走査線１０１と、列方向（垂直方向）に沿って配置した複数の信号線１０２とが直交し、且つ、両線１０１，１０２の交わる部位にスイッチング素子であるＴ

ＦＴ素子１０３がそれぞれ設けられている。

【００４９】

そして、走査線１０１は各行に配置した各ＴＦＴ素子１０３のゲート電極Ｇにそれぞれ接続され、一方、信号線１０２は各列に配置した各ＴＦＴ素子１０３のソース電極Ｓにそれぞれ接続されている。更に、ＴＦＴ素子１０３のドレイン電極Ｄに液晶容量１０４，蓄積容量１０５，画素電極１０７が接続されている。また、ＴＦＴ素子１０３のゲート電極Ｇとドレイン電極Ｄとの間に寄生容量１０６が存在しており、この寄生容量１０６はゲート電極Ｇとドレイン電極Ｄの重なりによって生じている。

【００５０】

ここで、ＴＦＴ素子１０３のドレイン電極Ｄを構成する薄膜パターンを形成する工程において、露光時の露光ステージスキャン速度または露光量を変化させ、縮小補正値を制御することにより、走査線１０１で走査される行方向（水平方向）で隣り合うｎ番目のＴＦＴ素子１０３の寄生容量領域をｎ＋１番目のＴＦＴ素子１０３の寄生容量領域よりも小さくなるパターンをもつアクティブマトリックス型液晶表示素子を形成して、行方向に隣り合う画素の寄生容量に面内分布を持たせることで、表示画面の均一性を改善し、高画質な液晶パネルを実現している旨が開示されている。

【００５１】

【発明が解決しようとする課題】

ところで、図１に示した従来例１の反射型液晶表示装置１０Ａは、主にプロジェクタとして使用されるため、この使用方法として部屋の天井からさかさまに吊り下げて投影する天吊り型と、床とか棚などにそのまま置いて投影する据え置き型の２種類が存在しており、１台の反射型液晶表示装置１０Ａで両方の使用を可能に構成されている。

【００５２】

図７は従来例１の反射型液晶表示装置の使用形態を説明するための模式図であり、（ａ）は天吊り型として使用する場合に垂直シフトレジスタ回路でゲート線をスキャンＵ方向に走査する状態を示し、（ｂ）は据え置き型として使用する場合に垂直シフトレジスタ回路でゲート線をスキャンＤ方向に走査する状態を示した図、

図８は従来例１の反射型液晶表示装置において、ゲート線のスキャン方向により画素Ａのフィールドスルー特性が異なる状態を説明するための信号波形図であり、（ａ）はゲート線をスキャンＵ方向に走査した場合を示し、（ｂ）はゲート線をスキャンＤ方向に走査した場合を示した図である。

【００５３】

即ち、図７（ａ）に示したように、従来例１の反射型液晶表示装置１０Ａを天吊り型として使用する場合には、筐体Ｋの底面Ｋａ側を天井に対向させて吊り下げるために、複数の画素に対して先に図２（ａ）を用いて説明した垂直シフトレジスタ回路５５でゲート線５６をスキャンＵ方向の行順に走査することで、筐体Ｋの底面Ｋａ側から天面Ｋｂ側に向かって一つの列上に配置した画素Ｂ，画素Ａの順にスキャンさせている。

【００５４】

一方、図７（ｂ）に示したように、従来例１の反射型液晶表示装置１０Ａを据え置き型として使用する場合に、筐体Ｋの底面Ｋａ側を床上又は棚上に載置するために、複数の画素に対して垂直シフトレジスタ回路５５でゲート線５６を上記とは逆なスキャンＤ方向の行順に走査することで、筐体Ｋの天面Ｋｂ側から底面Ｋａ側に向かって一つの列上に配置した画素Ａ，画素Ｂの順にスキャンさせている。

【００５５】

この際、ゲート線５６のスキャン方向の異なりによって、従来例１の反射型液晶表示装置１０Ａにおける画素レイアウトでは画素電圧がフレームごとに非対称になってしまう不具合が発生しており、この原因を追及すると、上記したように一つの列上で列方向に上下隣り合わせて画素Ａ，Ｂを配置した時に生じる画素Ａの寄生容量Ｃａ１，Ｃａ２に起因することが判明した。

【００５６】

より具体的に図５及び図８を併用して説明すると、まず、図８（ａ）に示した状態は、同一列上で一方の画素Ａと他方の画素Ｂとを上下隣り合わせて配置した時に先に図２（ａ）を用いて説明した垂直シフトレジスタ回路５５でゲート線５６をスキャンＵ方向に走査した場合に、例えば全画面に「白表示」を書き込んだ場合のフレーム反転駆動法による駆動電圧波形を示している。

【００５７】

ここで、一つの列上で反射型液晶表示装置１０Ａの天面側に配置した一方の画素Ａに注目すると、画素Ａに印加するビデオ信号ＳＩＧは、基準電圧０Ｖより上方で信号中心電圧Ｖｓｉｇｃを中心として下位電圧Ｖｄと上位電圧Ｖｐとの間を繰り返す矩形波であり、このビデオ信号ＳＩＧが一つの信号線５３を介してフレーム周期ごとに正極性及び負極性で画素ＡのＭＯＳＦＥＴ１４のドレイン電極１８に印加されており、即ち、ビデオ信号ＳＩＧは第ｎフレーム（但しｎは自然数）で正極性書き込みを行い、第（ｎ＋１）フレームで正極性に対して上下を反転した負極性書き込みを行っている。

【００５８】

また、第ｎフレーム目でビデオ信号ＳＩＧを画素Ａに印加した後に、画素Ａのゲートパルス ＧＡｇが画素Ａのゲート線５６を介して画素ＡのＭＯＳＦＥＴ１４のゲート電極１６に所定の書き込み時間ｔｗに亘って電圧Ｖｇで印加されるので、画素ＡのＭＯＳＦＥＴ１４がＯＮになると共に、これに伴ってビデオ信号ＳＩＧが画素Ａの保持容量部Ｃに電荷として蓄積される。

【００５９】

この際、ゲート線５６をスキャンＵ方向に走査しているために、画素Ａよりも先に駆動される画素ＢのゲートパルスＧＢｇは点線で示したように画素Ａのゲートパルス ＧＡｇより前に画素ＢのＭＯＳＦＥＴ１４のゲート電極１６に印加されている。

【００６０】

そして、画素Ａのゲートパルス ＧＡｇの立上がりと同時に画素Ａの書き込み信号ＧＡｓが画素Ａの反射用画素電極３０にビデオ信号ＳＩＧの上位電圧Ｖｐと略同じ値の画素電極電圧Ｖｐで印加される。この時、画素Ａの書き込み信号ＧＡｓは、▲１▼画素Ａの書き込み特性と、▲２▼画素Ａのフィールドスルー特性と、▲３▼画素Ａの保持特性とに依存している。

【００６１】

即ち、画素Ａの書き込み信号ＧＡｓの立上がりは、画素Ａの書き込み特性に依存しており、この画素Ａの書き込み特性は画素ＡのＭＯＳＦＥＴ１４のＯＮ電流，書き込み時間ｔｗ，ビデオ信号ＳＩＧの上位電圧Ｖｐによって左右される。

【００６２】

また、画素Ａのゲートパルス ＧＡｇを画素ＡのゲートＧに所定の書き込み時間ｔｗに亘って印加した後でこのゲートＧがＯＦＦした瞬間に、画素Ａの書き込み信号ＧＡｓは画素電極電圧Ｖｐに対してフィールドスルー電圧△Ｖｐ１分だけ低くなる。

【００６３】

この後、画素Ａの書き込み信号ＧＡｓは画素Ａの反射用画素電極３０に接続した画素Ａの保持容量部Ｃによる画素Ａの保持特性によって第ｎフレーム目の終了に向かって徐々に下降する。この際、画素Ａの保持特性は、画素ＡのＭＯＳＦＥＴ１４のＯＦＦ電流，保持容量，保持時間，液晶抵抗を通じてのリーク電流などに依存している。

【００６４】

ここで、上記した画素Ａの書き込み信号ＧＡｓ中のフィードスルー電圧△Ｖｐ１の画素電位への影響を見てみると、フィードスルー電圧△Ｖｐ１は正極性書き込み、負極性書き込みのどちらでも電位が基準電圧０Ｖの方向に向かって減衰する。従って、ビデオ信号ＳＩＧの信号中心電圧Ｖｓｉｇｃに対して、正負の表示信号電位がフィードスルー電圧△Ｖｐ１分だけ異なってしまうので、このままでは正負書き込み電位が異なってしまい、両者の間にＤＣのオフセット成分が発生するため、対向電極電位Ｖｃｏｍをオフセット電位分だけ補正して正負のバランスをとる必要がある。

【００６５】
そして、ゲート線５６をスキャンＵ方向に走査した場合には、画素Ａのフィードスルー電圧△Ｖｐ１は、先に示した図４及び図５中における画素Ａの寄生容量Ｃａ１によって決まる。この時、画素Ｂのゲートパルスパルス ＧＢｇは画素Ａのゲートパルス ＧＡｇよりも前に印加されるため、画素Ａの寄生容量Ｃａ１によるフィードスルーが発生する前に画素Ｂのゲートパルス ＧＢｇがＯＦＦになって画素Ｂのゲートパルス ＧＢｇの電位が０Ｖに確定（固定）されてしまうために、画素Ａの寄生容量Ｃａ２（図４，図５）によるフィードスルーは発生しない。
【００６６】
次に、図８（ｂ）に示した状態は、一つの列上で列方向に上下隣り合わせて画素Ａ，Ｂを配置した時に先に図２（ａ）を用いて説明した垂直シフトレジスタ回路５５でゲート線５６をスキャンＤ方向に走査した場合に、例えば全画面に「白表示」を書き込んだ場合のフレーム反転駆動法による駆動電圧波形を示している。
【００６７】
この場合、第ｎフレーム目でビデオ信号ＳＩＧを画素Ａに印加した後に、画素Ａのゲートパルス ＧＡｇが画素Ａのゲート線５６を介して画素ＡのＭＯＳＦＥＴ１４のゲート電極１６に所定の書き込み時間ｔｗに亘って電圧Ｖｇで印加され、この後、画素Ａのゲートパルス ＧＡｇがＯＦＦになった直後、画素Ｂのゲートパルス ＧＢｇがＯＮになる。そして、画素Ａのゲートパルス ＧＡｇがＯＦＦになる時に、先に示した図４及び図５中における画素Ａの寄生容量Ｃａ１によって基準電圧０Ｖ方向に画素Ａのフィールドスルーが発生する。しかしこの時、画素Ｂのゲートパルス ＧＢｇがＯＮになるために、画素Ａのゲートパルス ＧＡｇの電位が０Ｖ方向に下降しつつ、一方、画素Ｂのゲートパルス ＧＢｇの電位がＶｇ方向に上昇しつつ、両ゲートパルス ＧＡｇ，ＧＢｇの電位が変動中であるので画素Ａの寄生容量Ｃａ２（図４及び図５）によって基準電圧０Ｖと反対方向に画素Ａのフィードスルーが発生する。
【００６８】
この結果として、ゲート線５６をスキャンＤ方向に走査した場合に、画素Ａのフィードスルー電圧が△Ｖｐ２となり、このフィードスルー電圧△Ｖｐ２はゲート線５６をスキャンＵ方向に走査した場合のフィードスルー電圧△Ｖｐ１と比較して小さくなる。
【００６９】
従って、ＤＣのオフセット成分をキャンセルするための対向電極電位Ｖｃｏｍは、スキャン方向Ｕとスキャン方向Ｄでは値が異なるため、対向電極電位Ｖｃｏｍを一度設定してしまうと、スキャン方向を変更すると対向電極電位Ｖｃｏｍの値が異なってしまうために液晶３１（図４）にＤＣ成分が発生することになり、フリッカーや液晶３１の焼き付きといった問題が発生していた。
【００７０】
一方、先に図６を用いて説明した特許文献１の技術思想では、行方向（水平方向）で隣り合うｎ番目とｎ＋１番目の各ＴＦＴ素子１０３の寄生容量領域に対して対策を施しているものの、列方向（垂直方向）で隣り合うｍ－１番目とｍ番目の各ＴＦＴ素子１０３の寄生容量領域に対しては何等の対策を施していないので、従来例１におけるようなゲート線５６のスキャンＵ方向，スキャンＤ方向の異なりにより、一つの列上で列方向に上下隣り合わせて配置した画素Ａ，Ｂのフィールドスルー特性の影響に対して特許文献１の技術思想を適用することができない。
【００７１】
そこで、反射型液晶表示装置の使用形態（例えば、天吊り型，据え置き型）に応じてゲート線のスキャン方向を変更できるように構成した場合に、同一列上に一方の画素Ａと、他方の画素Ｂとを隣り合わせて配置した際、ゲート線のスキャンＵ方向，スキャンＤ方向に伴って生じる画素Ａのフィールドスルー特性の影響を軽減できる反射型液晶表示装置が望まれている。
【００７２】

【課題を解決するための手段】
本発明は上記課題に鑑みてなされたものであり、第１の発明は、半導体基板上にスイッチング素子と、該スイッチング素子用の保持容量部とを電気的に分離してそれぞれ複数設け、且つ、複数の前記スイッチング素子及び複数の前記保持容量部の上方に積層した複数の機能膜のうちで最上層に金属膜を用いて成膜した反射用画素電極を電気的に分離して複数設けて、一つの前記スイッチング素子に接続した一つの前記保持容量部及び一つの前記反射用画素電極を組にして一つの画素を形成し、この画素を前記半導体基板上で行方向と列方向とにマトリックス状に複数配置すると共に、複数の前記反射用画素電極に対向して透明な対向電極を透明基板の下面に成膜して、複数の前記反射用画素電極と前記対向電極との間に液晶を封入して構成した反射型液晶表示装置において、
前記反射型液晶表示装置の使用形態に応じてスキャン方向を変更され、且つ、各行に沿って配置した各スイッチング素子のゲート電極に接続するように行ごとに配線されて、ゲートパルスをスキャン方向の行順に供給するゲート線と、
各列に沿って配置した各スイッチング素子のドレイン電極（又はソース電極）に接続するように金属膜を用いて列ごとに配線されて、ビデオ信号を列順に供給する信号線と、
同一列上にあって、互いに隣り合わせて配置した２つの画素間を跨いで配線された接続線とを少なくとも備え、
前記接続線は、一端が一方の画素内に形成した前記保持容量部の容量電極用コンタクト及び前記反射用画素電極に接続されると共に、他端が前記機能膜中の絶縁膜を介して一方の画素用の前記ゲート線と交差して、他方の画素内に形成した前記スイッチング素子のソース電極（又はドレイン電極）に接続されていることを特徴とする反射型液晶表示装置である。
【００７３】
また、第２の発明し、上記した第１の発明の反射型液晶表示装置において、
前記接続線は、前記ゲート線と交差させた部位の線幅を前記一方の画素内に延出させた線幅及び前記他方の画素内に延出させた線幅よりも幅狭くくびれさせたことを特徴とする反射型液晶表示装置である。
【００７４】
【発明の実施の形態】
以下に本発明に係る反射型液晶表示装置の一実施例を図９乃至図１６を参照して＜第１実施例＞，＜第２実施例＞の順に詳細に説明する。
【００７５】
＜第１実施例＞
図９は本発明に係る第１実施例の反射型液晶表示装置において、複数の画素のうちで例えば画素Ａと画素Ｂとを一つの列上で列方向に上下隣り合わせて配置した時に、画素Ａの寄生容量を説明するために図１０に示したＸ－Ｙ矢視線に沿って断面した断面図、
図１０は本発明に係る第１実施例の反射型液晶表示装置において、複数の画素のうちで例えば画素Ａと画素Ｂとを一つの列上で列方向に上下隣り合わせて配置した時に、画素Ａの寄生容量を説明するために図９に示したＸ－Ｙ矢視線に沿って第１メタル膜側から半導体基板（Ｓｉ基板）側を見た平面図、
図１１は本発明に係る第１実施例の反射型液晶表示装置において、ゲート線のスキャン方向が異なっても画素Ａのフィールドスルー特性が略同じになる状態を説明するための信号波形図であり、（ａ）はゲート線をスキャンＵ方向に走査した場合を示し、（ｂ）はゲート線をスキャンＤ方向に走査した場合を示した図である。
【００７６】
図９及び図１０に示した本発明に係る第１実施例の反射型液晶表示装置１０Ｂの構造形態は、先に図４及び図５を用いて説明した従来例１の反射型液晶表示装置１０Ａの構造形態に対して一部異なっているだけである。
【００７７】
この第１実施例の反射型液晶表示装置１０Ｂでは、使用形態（例えば天吊り型，据え置き

型）に応じてスキャン方向を変更され且つゲートパルスをスキャン方向の行順に供給するゲート線５６が、各行に沿って配置した各スイッチング素子（以下、ＭＯＳＦＥＴと記す）１４のゲート電極１６に接続するようにポリシリコンを用いて行ごとに配線されており、且つ、ビデオ信号を列順に供給する信号線５３は、各列に沿って配置した各ＭＯＳＦＥＴ１４のドレイン電極１８（又はソース電極２０）に接続するように金属膜を用いて列ごとに配線されており、更に、同一列上にあって、互いに隣り合わせて配置した２つの画素Ａ，Ｂ間を跨いで配線された接続線６２は、一端が一方の画素Ａ内に形成した保持容量部Ｃの容量電極用コンタクト２４及び反射用画素電極３０に接続されると共に、他端が機能膜中の絶縁膜２５を介して一方の画素Ａ用のゲート線５６と交差して、他方の画素Ｂ内に形成したＭＯＳＦＥＴ１４のソース電極２０（又はドレイン電極１８）に接続されることで、従来例１で説明したようなゲート線５６のスキャンＵ方向（天吊り型の場合），スキャンＤ方向（据え置き型の場合）の異なりに伴って生じる画素Ａのフィールドスルー特性の影響を軽減できるようになしたものである。

【００７８】

尚、説明の便宜上、先に示した従来例１の反射型液晶表示装置１０Ａと同じ構成部材に対して同一の符号を付して図示すると共に、同じ構成部材に対しては必要に応じて適宜説明し、従来例１と異なる構成部材に新たな符号を付して、従来例１と異なる点を中心にして説明する。

【００７９】

即ち、図９及び図１０に示した如く、本発明に係る第１実施例の反射型液晶表示装置１０Ｂにおいて、半導体基板（以下、Ｓｉ基板と記す）１１上にＭＯＳＦＥＴ（スイッチング素子）１４と、ＭＯＳＦＥＴ用の保持容量部Ｃとを電気的に分離してそれぞれ複数設け、且つ、複数のＭＯＳＦＥＴ１４及び複数の保持容量部Ｃの上方に積層した複数の機能膜のうちで最上層に金属膜を用いて成膜した反射用画素電極３０を電気的に分離して複数設けて、一つのＭＯＳＦＥＴ１４に接続した一つの保持容量部Ｃ及び一つの反射用画素電極３０を組にして一つの画素を形成し、この画素をＳｉ基板１１上で行方向と列方向とにマトリックス状に複数配置すると共に、複数の反射用画素電極３０に対向して透明な対向電極３２を透明基板３３の下面に成膜して、複数の反射用画素電極３０と対向電極３２との間に液晶３１を封入して構成した点は、従来例１と同じである。

【００８０】

また、一つの列上の画素Ａ，Ｂに対して共通である信号線５３及びＣＯＭ線５８並びにウエル線６０は従来例１と同じであるので詳述を省略する。

【００８１】

ここで、従来例１と異なる点を説明すると、図１０に示した如く、例えば一つの列上で反射型液晶表示装置１０Ｂの天面側に一方の画素Ａを配置し、且つ、一つの列と同一列上で一方の画素Ａの下方に隣り合わせて他方の画素Ｂを配置すると共に、各画素内の上方部位にＭＯＳＦＥＴ１４を配置する一方、各画素内の下方部位に保持容量部Ｃを配置した場合に、一方の画素Ａにゲートパルスを供給するための画素Ａのゲート線５６は、画素Ｂの反射用画素電極３０の下方に一方の画素Ａ用として配置したＭＯＳＦＥＴ１４のゲート電極１６に接続されている。

【００８２】

また、一方の画素Ａの接続線６２は、一方の画素Ａと他方の画素Ｂとの間を跨いで列方向（垂直方向）に沿って画素駆動ごとに配線され、且つ、同一の線幅で配線されている。

【００８３】

この際、一方の画素Ａの接続線６２は、一方の画素Ａ内に延出させた一端が一方の画素Ａ内に形成した保持容量部Ｃの容量電極用コンタクト２４及び第１，第２メタル膜２６，２８を介して一方の画素Ａ内の反射用画素電極３０に接続されると共に、他方の画素Ｂ内に延出させた他端が機能膜中の第１層間絶縁膜２５（図１）を介して一方の画素Ａ用のゲート線５６と交差して、他方の画素Ｂ内に形成したＭＯＳＦＥＴ１４のソース電極２０に接続されている。

【００８４】
従って、一方の画素Ａを駆動する場合には、画素Ａの反射用画素電極３０の下方に配置した保持容量部Ｃと、画素Ａの反射用画素電極３０と、画素Ｂの反射用画素電極３０の下方に一方の画素Ａ用として配置したＭＯＳＦＥＴ１４とを組にしている。
【００８５】
尚、図１０での図示を一部省略するものの、画素Ａの駆動の場合と同様に、他方の画素Ｂを駆動する場合には、画素Ｂの反射用画素電極３０の下方に配置した保持容量部Ｃと、画素Ｂの反射用画素電極３０と、不図示の画素Ｃの反射用画素電極３０の下方に他方の画素Ｂ用として配置したＭＯＳＦＥＴ１４とを組にすれば良い。
【００８６】
これに伴って、図９に示した如く、画素Ａの反射用画素電極３０の下方に配置したＭＯＳＦＥＴ１４と、画素Ｂの反射用画素電極３０の下方に配置したＭＯＳＦＥＴ１４は、第１メタル膜２６中に細い幅で略角状に周回した開口部２６ｂによってそれぞれ電気的に分離されている。この際、画素Ａの反射用画素電極３０の下方に配置したＭＯＳＦＥＴ１４は画素Ａよりも上方に隣り合わせた画素用であり、一方、上述したように画素Ｂの反射用画素電極３０の下方に配置したＭＯＳＦＥＴ１４は画素Ａ用である。
【００８７】
上記のように各線を配線した時に、図１０に示したように、画素Ａの寄生容量Ｃａ１は、斜線枠で示した画素Ａのゲート線５６と、網点枠で示した画素Ａの接続線６２とが互いに重なり合う部位（オーバーラップ部位）で発生しているものの、画素Ｂのゲート線５６（図示せず）と画素Ａの接続線６２とは互いに重なり合う部位（オーバーラップ部位）がないために従来例１で述べたような画素Ａの寄生容量Ｃａ２は発生していない。
【００８８】
尚、画素Ｂの寄生容量Ｃｂ１は、図９及び図１０中での図示を省略しているものの、画素Ａと同様に発生しているが、画素Ｂの寄生容量Ｃｂ２は発生していない。
【００８９】
ここで、上記した第１実施例の画素レイアウトにおいて、ゲート線５６をスキャンＵ方向に走査した場合の画素Ａの画素電極の駆動電圧波形を図１１（ａ）に示し、ゲート線５６をスキャンＤ方向に走査した場合の画素Ａの画素電極の駆動電圧波形を図１１（ｂ）に示している。尚、図１１（ａ），（ｂ）の各波形の動作については先に図８（ａ），（ｂ）を用いて従来例１で説明しているので、ここでは従来例１に対して異なる点のみを述べる。
【００９０】
この第１実施例の画素レイアウトの場合、上述したように画素Ａの寄生容量Ｃａ２は発生していないために、画素Ａのフィードスルー電圧△Ｖｐ３は画素Ａの寄生容量Ｃａ１にしか依存せず、図１１（ａ）に示したスキャンＵ方向，図１１（ｂ）に示したスキャンＤ方向の両方で駆動した場合においても画素Ａのフィードスルー電圧△Ｖｐ３は変化しない。従って、一台の反射型液晶表示装置１０Ｂで天吊り型と据え置き型とに兼用できる。
【００９１】
このため、対向電極電位Ｖｃｏｍをオフセット電位分だけ補正して正負のバランスを１度調整してしまえば、ゲート線５６のスキャン方向を変えてもフィードスルー電圧△Ｖｐ３量が変化せず、フリッカーや液晶３１（図９）の焼き付きの問題を解消することができる。
【００９２】
尚、上記した第１実施例では周知のフレーム反転駆動法を適用しているので、信号線５３からビデオ信号を入力する場合には、信号線５３をＭＯＳＦＥＴ１４のドレイン電極１８か、又は、ソース電極２０のいずれか一方に接続すれば良いが、ここでは上述したように信号線５３をドレイン電極１８に接続している。尚、信号線５３をＭＯＳＦＥＴ１４のソース電極２０に接続した場合には、接続線６２にＭＯＳＦＥＴ１４のドレイン電極１８と保持容量部Ｃの容量電極用コンタクト２４とが接続され、更に、接続線６２が第１，第２

メタル膜２６，２８を介して一つの反射用画素電極３０に接続されるものである。

【００９３】

次に、第１実施例の反射型液晶表示装置１０Ｂを一部変形させた変形例について図１２を用いて簡略に説明する。

【００９４】

図１２は第１実施例の反射型液晶表示装置を一部変形させた変形例について説明するために第１メタル膜側から半導体基板（Ｓｉ基板）側を見た平面図である。

【００９５】

図１２に示した如く、第１実施例の反射型液晶表示装置１０Ｂを一部変形させた変形例の反射型液晶表示装置１０Ｂ’では、第１実施例の画素レイアウトに対して上下を反転させたものであり、即ち、例えば一つの列上で反射型液晶表示装置１０Ｂ’の底面側に一方の画素Ａを配置し、且つ、一つの列と同一列上で一方の画素Ａの上方に隣り合わせて他方の画素Ｂを配置すると共に、各画素内の上方部位に保持容量部Ｃを配置する一方、各画素内の下方部位にＭＯＳＦＥＴ１４を配置した場合に、例えば一方の画素Ａの接続線６２は、一方の画素Ａと他方の画素Ｂとの間を跨いで列方向（垂直方向）に沿って画素駆動ごとに配線されており、一方の画素Ａ内に延出させた一端側が一方の画素Ａ内に形成した保持容量部Ｃの容量電極用コンタクト２４及び第１，第２メタル膜２６，２８を介して一方の画素Ａ内の形成した反射用画素電極３０に接続されると共に、他方の画素Ｂ内に延出させた他端側が機能膜中の第１層間絶縁膜２５（図１）を介して一方の画素Ａ用のゲート線５６と交差して、他方の画素Ｂ内に形成したＭＯＳＦＥＴ１４のソース電極２０に接続されている。

【００９６】

従って、変形例の反射型液晶表示装置１０Ｂ’を天吊り型として使用してゲート線５６をスキャンＵ方向に走査した場合に第１実施例とは逆に画素Ａ，画素Ｂの順にスキャンされ、一方、据え置き型として使用してゲート線５６をスキャンＤ方向に走査した場合に第１実施例とは逆に画素Ｂ，画素Ａの順にスキャンされるものの、第１実施例と同様にゲート線５６のスキャン方向が異なっても画素Ａのフィードスルー電圧△Ｖｐ３｛図１１（ａ），（ｂ）｝は変化しないので、一台の反射型液晶表示装置１０Ｂ’で天吊り型と据え置き型とに兼用できる。

【００９７】

＜第２実施例＞

図１３は本発明に係る第２実施例の反射型液晶表示装置において、複数の画素のうちで例えば画素Ａと画素Ｂとを一つの列上で列方向に上下隣り合わせて配置した時に、画素Ａの寄生容量を説明するために図１４に示したＸ－Ｙ矢視線に沿って断面した断面図、

図１４は本発明に係る第２実施例の反射型液晶表示装置において、複数の画素のうちで例えば画素Ａと画素Ｂとを一つの列上で列方向に上下隣り合わせて配置した時に、画素Ａの寄生容量を説明するために図１３に示したＸ－Ｙ矢視線に沿って第１メタル膜側から半導体基板（Ｓｉ基板）側を見た平面図、

図１５は本発明に係る第２実施例の反射型液晶表示装置において、ゲート線のスキャン方向が異なっても画素Ａのフィールドスルー特性が略同じになる状態を説明するための信号波形図であり、（ａ）はゲート線をスキャンＵ方向に走査した場合を示し、（ｂ）はゲート線をスキャンＤ方向に走査した場合を示した図である。

【００９８】

図１３及び図１４に示した本発明に係る第２実施例の反射型液晶表示装置１０Ｃの構造形態は、先に図９及び図１０に示した本発明に係る第１実施例の反射型液晶表示装置１０Ｂに対して一部異なっているだけである。

【００９９】

この第２実施例の反射型液晶表示装置１０Ｃでは、例えば一つの列上で反射型液晶表示装置１０Ｃの天面側に一方の画素Ａを配置し、且つ、一つの列と同一列上で一方の画素Ａの下方に隣り合わせて他方の画素Ｂを配置すると共に、各画素内の上方部位にＭＯＳＦＥＴ

１４を配置する一方、各画素内の下方部位に保持容量部Ｃを配置した場合に、一方の画素Ａと他方の画素Ｂとの間に跨がって列方向（垂直方向）に沿って画素駆動ごとに配線した一方の画素Ａの接続線６３は、一方の画素Ａのゲート線５６と交差させた部位の線幅を一方の画素Ａ内に延出した線幅及び他方の画素Ｂ内に延出した線幅よりも幅狭くくびれさせている点が第１実施例と異なっている。

【０１００】

尚、説明の便宜上、先に示した従来例１の反射型液晶表示装置１０Ａ及び第１実施例の反射型液晶表示装置１０Ｂと同じ構成部材に対して同一の符号を付して図示すると共に、従来例１及び第１実施例と異なる構成部材に新たな符号を付して、従来例１及び第１実施例と異なる点のみを説明する。

【０１０１】

ここで、従来例１及び第１実施例と異なる点をより具体的に説明すると、一方の画素Ａの接続６３は、一方の画素Ａ内に広い幅で延出させた一端側の広幅部６３ａが一方の画素Ａ内に形成した保持容量部Ｃの容量電極用コンタクト２４及び第１，第２メタル膜２６，２８を介して一方の画素Ａ内の反射用画素電極３０に接続されると共に、他方の画素Ｂ内に広幅部６３ａより僅かに狭い幅で延出させた他端側の狭幅部６３ｃが機能膜中の第１層間絶縁膜２５（図１）を介して一方の画素Ａ用のゲート線５６と交差して、他方の画素Ｂ内に形成したＭＯＳＦＥＴ１４のソース電極２０に接続されている。この際、接続線６３の他端側の狭幅部６３ｃは、ＭＯＳＦＥＴ１４のソース電極２０側に重なり合わないように一端側の広幅部６３ａより僅かに狭い幅に設定されている。

【０１０２】

更に、一方の画素Ａの接続線６３は、一端側の広幅部６３ａと他端側の狭幅部６３ｃとの間で一方の画素Ａのゲート線５６と交差する部位にくびれ部６３ｂが形成されており、このくびれ部６３ｂの線幅は、一方の画素Ａ内に延出させた一端側の広幅部６３ａの線幅及び他方の画素Ｂ内に延出させた他端側の狭幅部６３ｃの線幅よりも幅狭くくびれさせている。

【０１０３】

従って、一方の画素Ａを駆動する場合には、画素Ａの反射用画素電極３０の下方に配置した保持容量部Ｃと、画素Ａの反射用画素電極３０と、画素Ｂの反射用画素電極３０の下方に一方の画素Ａ用として配置したＭＯＳＦＥＴ１４とを組にしている。

【０１０４】

尚、図１４での図示を一部省略するものの、画素Ａと同様に、他方の画素Ｂを駆動する場合には、画素Ｂの反射用画素電極３０の下方に配置した保持容量部Ｃと、画素Ｂの反射用画素電極３０と、不図示の画素Ｃの反射用画素電極３０の下方に他方の画素Ｂ用として配置したＭＯＳＦＥＴ１４とを組にすれば良い。

【０１０５】

上記のように各線を配線した時に、図１４に示したように、画素Ａの寄生容量Ｃａ１’は、斜線枠で示した画素Ａのゲート線５６と、網点枠で示した画素Ａの接続線６３とが互いに重なり合う部位（オーバーラップ部位）で発生しているものの、重なり合う部位の接続線６３に狭幅部６３ｃとくびれ部６３ｂとが形成されているために重なり合う部位（オーバーラップ部位）の面積が小さくなるので、画素Ａの寄生容量Ｃａ１’の値は前記した第１実施例における画素Ａの寄生容量Ｃａ１（図９，図１０）の値よりも小さく設定することができる。一方、この第２実施例でも画素Ｂのゲート線５６（図示せず）と画素Ａの接続線６３とは互いに重なり合う部位（オーバーラップ部位）がないために従来例１で述べたような画素Ａの寄生容量Ｃａ２は発生していない。

【０１０６】

尚、画素Ｂの寄生容量Ｃｂ１は、図１３及び図１４中での図示を省略しているものの、画素Ａと同様に発生しているが、画素Ｂの寄生容量Ｃｂ２は発生していない。

【０１０７】

ここで、上記した第２実施例の画素レイアウトにおいて、ゲート線５６をスキャンＵ方向

に走査した場合の画素Ａの画素電極の駆動電圧波形を図１５（ａ）に示し、ゲート線５６をスキャンＤ方向に走査した場合の画素Ａの画素電極の駆動電圧波形を図１５（ｂ）に示している。

【０１０８】

この第２実施例の画素レイアウトの場合も、上述したように画素Ａの寄生容量Ｃａ２は発生していないために、画素Ａのフィードスルー電圧△Ｖｐ４は画素Ａの寄生容量Ｃａ１’しか依存せず、図１５（ａ）に示したスキャンＵ方向，図１５（ｂ）に示したスキャンＤ方向の両方で駆動した場合においても画素Ａのフィードスルー電圧△Ｖｐ４は変化しない。従って、一台の反射型液晶表示装置１０Ｃで天吊り型と据え置き型とに兼用できる。

【０１０９】

しかも、画素Ａの寄生容量Ｃａ１’の値は第１実施例の場合よりも小さくなっているために、画素電極電圧に対する寄生容量Ｃａ１’の影響が小さくなり、画素Ａのフィードスルー電圧△Ｖｐ４を第１実施例の場合よりも小さくすることができる。

【０１１０】

この際、画素Ａのフィードスルー電圧△Ｖｐ４は信号電圧のレベルによって変化するため、画素Ａのフィードスルー電圧△Ｖｐ４が大きいと対向電極電位Ｖｃｏｍをオフセットしきれずに液晶３１（図１３）にＤＣ成分が発生することがあるものの、画素Ａのフィードスルー電圧△Ｖｐ４が小さいので液晶３１の焼き付きや、フリッカー発生の原因をより確実に防止することができる。

【０１１１】

尚、上記した第２実施例でも周知のフレーム反転駆動法を適用しているので、信号線５３からビデオ信号を入力する場合には、信号線５３をＭＯＳＦＥＴ１４のドレイン電極１８か、又は、ソース電極２０のいずれか一方に接続すれば良いが、ここでは上述したように信号線５３をドレイン電極１８に接続している。尚、信号線５３をＭＯＳＦＥＴ１４のソース電極２０に接続した場合には、接続線６３にＭＯＳＦＥＴ１４のドレイン電極１８と保持容量部Ｃの容量電極用コンタクト２４とが接続され、更に、接続線６３が第１，第２メタル膜２６，２８を介して一つの反射用画素電極３０に接続されるものである。

【０１１２】

次に、第２実施例の反射型液晶表示装置１０Ｃを一部変形させた変形例について図１６を用いて簡略に説明する。

【０１１３】

図１６は第２実施例の反射型液晶表示装置を一部変形させた変形例について説明するために第１メタル膜側から半導体基板（Ｓｉ基板）側を見た平面図である。

【０１１４】

図１６に示した如く、第２実施例の反射型液晶表示装置１０Ｂを一部変形させた変形例の反射型液晶表示装置１０Ｃ’では、第２実施例の画素レイアウトに対して上下を反転させたものであり、即ち、例えば一つの列上で反射型液晶表示装置１０Ｃ’の底面側に一方の画素Ａを配置し、且つ、一つの列と同一列上で一方の画素Ａの上方に隣り合わせて他方の画素Ｂを配置すると共に、各画素内の上方部位に保持容量部Ｃを配置する一方、各画素内の下方部位にＭＯＳＦＥＴ１４を配置した場合に、例えば一方の画素Ａの接続線６３は、一方の画素Ａと他方の画素Ｂとの間をくびれさせて跨いで列方向（垂直方向）に沿って画素駆動ごとに配線されており、一方の画素Ａ内に延出させた一端側が一方の画素Ａ内に形成した保持容量部Ｃの容量電極用コンタクト２４及び第１，第２メタル膜２６，２８を介して一方の画素Ａ用の反射用画素電極３０に接続されると共に、他方の画素Ｂ内に延出させた他端側が機能膜中の第１層間絶縁膜２５（図１）を介して一方の画素Ａ用のゲート線５６と交差して、他方の画素Ｂ内に形成したＭＯＳＦＥＴ１４のソース電極２０に接続されている。

【０１１５】

従って、変形例の反射型液晶表示装置１０Ｃ’を天吊り型として使用してゲート線５６をスキャンＵ方向に走査した場合に第２実施例とは逆に画素Ａ，画素Ｂの順にスキャンされ

、一方、据え置き型として使用してゲート線５６をスキャンＤ方向に走査した場合に第２実施例とは逆に画素Ｂ，画素Ａの順にスキャンされるものの、第２実施例と同様にゲート線５６のスキャン方向が異なっても画素Ａのフィードスルー電圧△Ｖｐ４｛図１５（ａ），（ｂ）｝は変化しないので、一台の反射型液晶表示装置１０Ｃ’で天吊り型と据え置き型とに兼用できる。

【０１１６】

【発明の効果】

以上詳述した本発明に係る反射型液晶表示装置によると、反射型液晶表示装置の使用形態（例えば、天吊り型，据え置き型）に応じてゲート線のスキャン方向を変更できるように構成した場合に、とくに、同一列上に一方の画素と他方の画素とを隣り合わせて配置した際、同一列上にあって、互いに隣り合わせて配置した２つの画素間を跨いで配線された接続線は、一端が一方の画素内に形成した保持容量部の容量電極用コンタクト及び反射用画素電極に接続されると共に、他端が機能膜中の絶縁膜を介して一方の画素用のゲート線と交差して、他方の画素Ｂ内に形成したスイッチング素子のソース電極（又はドレイン電極）に接続されているため、垂直シフトレジスタでゲート線をスキャンＵ方向又はスキャンＤ方向に変更しても、ゲート線のスキャンＵ方向，スキャンＤ方向に伴って生じる一つの画素のフィールドスルー特性が両方向で略同じになるので、フリッカーやを液晶の焼きつきを防止することができる。

【０１１７】

また、上記した本発明に係る反射型液晶表示装置において、前記接続線は、ゲート線と交差させた部位の線幅を一方の画素内に延出させた線幅及び他方の画素内に延出させた線幅よりも幅狭くくびれさせたため、一つの画素のフィードスルー量を小さく設定できるので、フリッカーやを液晶の焼きつきをより確実に防止することができる。

【図面の簡単な説明】

【図１】従来例１の反射型液晶表示装置において、一つの画素を模式的に拡大して示し、且つ、図５に示したＸ－Ｙ矢視線に沿って断面した断面図である。

【図２】従来例１の反射型液晶表示装置におけるアクティブマトリックス駆動回路を説明するため図であり、（ａ）はアクティブマトリックス駆動回路のブロック図、（ｂ）は（ａ）中のＴＲ部を拡大して示した回路図である。

【図３】従来例１の反射型液晶表示装置において、複数の画素のうちで例えば画素Ａと画素Ｂとを一つの列上で列方向に上下隣り合わせて配置した時に、画素Ａ，Ｂの寄生容量を説明するための回路図である。

【図４】従来例１の反射型液晶表示装置において、複数の画素のうちで例えば画素Ａと画素Ｂとを一つの列上で列方向に上下隣り合わせて配置した時に、画素Ａの寄生容量を説明するために図５に示したＸ－Ｙ矢視線に沿って断面した断面図である。

【図５】従来例１の反射型液晶表示装置において、複数の画素のうちで例えば画素Ａと画素Ｂとを一つの列上で列方向に上下隣り合わせて配置した時に、画素Ａの寄生容量を説明するために図４に示したＸ－Ｙ矢視線に沿って第１メタル膜側から半導体基板（Ｓｉ基板）側を見た平面図である。

【図６】従来例２のアクティブマトリックス型液晶表示素子を示した等価回路図である。

【図７】従来例１の反射型液晶表示装置の使用形態を説明するための模式図であり、（ａ）は天吊り型として使用する場合に垂直シフトレジスタ回路でゲート線をスキャンＵ方向に走査する状態を示し、（ｂ）は据え置き型として使用する場合に垂直シフトレジスタ回路でゲート線をスキャンＤ方向に走査する状態を示した図である。

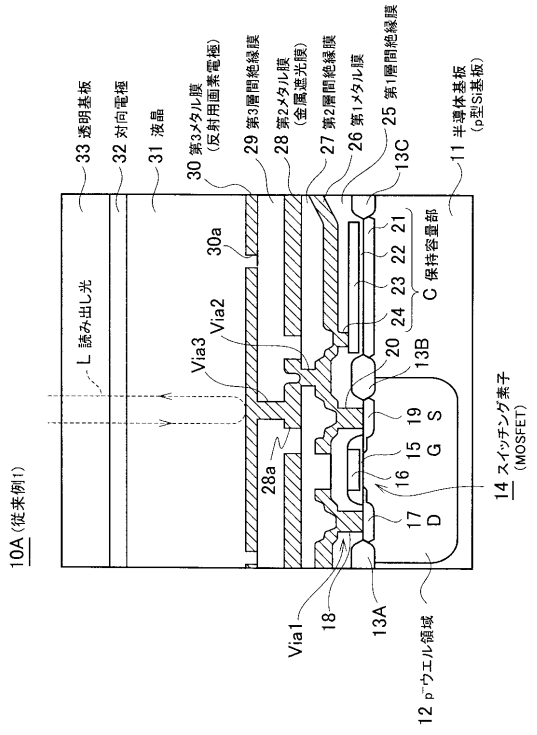
【図８】従来例１の反射型液晶表示装置において、ゲート線のスキャン方向により画素Ａのフィールドスルー特性が異なる状態を説明するための信号波形図であり、（ａ）はゲート線をスキャンＵ方向に走査した場合を示し、（ｂ）はゲート線をスキャンＤ方向に走査した場合を示した図である。

【図９】本発明に係る第１実施例の反射型液晶表示装置において、複数の画素のうちで例えば画素Ａと画素Ｂとを一つの列上で列方向に上下隣り合わせて配置した時に、画素Ａの

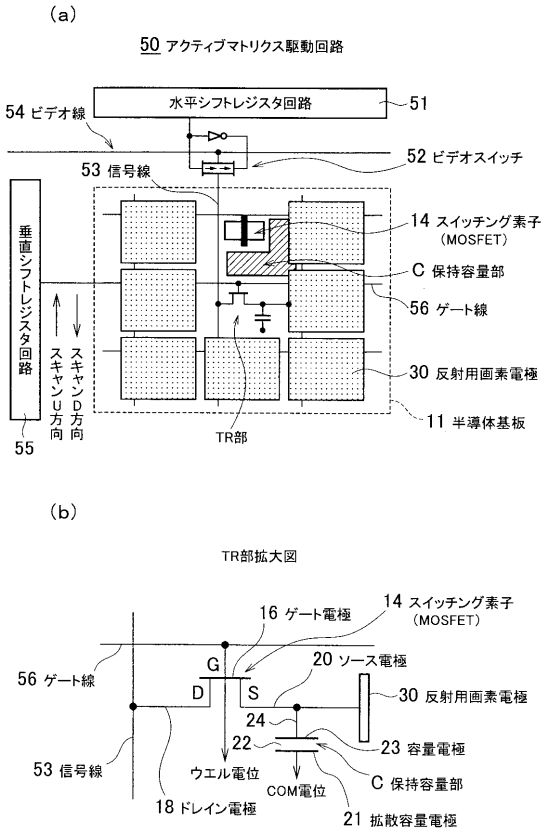
寄生容量を説明するために図１０に示したＸ－Ｙ矢視線に沿って断面した断面図である。
【図１０】本発明に係る第１実施例の反射型液晶表示装置において、複数の画素のうちで例えば画素Ａと画素Ｂとを一つの列上で列方向に上下隣り合わせて配置した時に、画素Ａの寄生容量を説明するために図９に示したＸ－Ｙ矢視線に沿って第１メタル膜側から半導体基板（Ｓｉ基板）側を見た平面図である。
【図１１】本発明に係る第１実施例の反射型液晶表示装置において、ゲート線のスキャン方向が異なっても画素Ａのフィールドスルー特性が略同じになる状態を説明するための信号波形図であり、（ａ）はゲート線をスキャンＵ方向に走査した場合を示し、（ｂ）はゲート線をスキャンＤ方向に走査した場合を示した図である。
【図１２】第１実施例の反射型液晶表示装置を一部変形させた変形例について説明するために第１メタル膜側から半導体基板（Ｓｉ基板）側を見た平面図である。
【図１３】本発明に係る第２実施例の反射型液晶表示装置において、複数の画素のうちで例えば画素Ａと画素Ｂとを一つの列上で列方向に上下隣り合わせて配置した時に、画素Ａの寄生容量を説明するために図１４に示したＸ－Ｙ矢視線に沿って断面した断面図である。
【図１４】本発明に係る第２実施例の反射型液晶表示装置において、複数の画素のうちで例えば画素Ａと画素Ｂとを一つの列上で列方向に上下隣り合わせて配置した時に、画素Ａの寄生容量を説明するために図１３に示したＸ－Ｙ矢視線に沿って第１メタル膜側から半導体基板（Ｓｉ基板）側を見た平面図である。
【図１５】本発明に係る第２実施例の反射型液晶表示装置において、ゲート線のスキャン方向が異なっても画素Ａのフィールドスルー特性が略同じになる状態を説明するための信号波形図であり、（ａ）はゲート線をスキャンＵ方向に走査した場合を示し、（ｂ）はゲート線をスキャンＤ方向に走査した場合を示した図である。
【図１６】第２実施例の反射型液晶表示装置を一部変形させた変形例について説明するために第１メタル膜側から半導体基板（Ｓｉ基板）側を見た平面図である。
【符号の説明】
１０Ｂ…本発明に係る第１実施例の反射型液晶表示装置、
１０Ｂ’…本発明に係る第１実施例を一部変形させた反射型液晶表示装置、
１０Ｃ…本発明に係る第２実施例の反射型液晶表示装置、
１０Ｃ’…本発明に係る第２実施例を一部変形させた反射型液晶表示装置、
１１…半導体基板（ｐ型Ｓｉ基板）、１２…p^-ウエル領域、
１３Ａ～１３Ｃ…フィールド酸化膜、
１４…スイッチング素子（ＭＯＳＦＥＴ）、１５…ゲート酸化膜、
１６…ゲート電極、１７…ドレイン領域、１８……ドレイン電極、
１９…ソース領域、２０…ソース電極、
２１…拡散容量電極、２２…絶縁膜、２３…容量電極、
２４…容量電極用コンタクト、
２５…第１層間絶縁膜、２６…第１メタル膜、２７…第２層間絶縁膜、
２８…第２メタル膜（金属遮光膜）、
２９…第３層間絶縁膜、
３０…反射用画素電極（第３メタル膜）、
３１…液晶、３２…透明な対向電極、３３…透明基板（ガラス基板）、
５０…アクティブマトリックス駆動回路、
５１…水平シフトレジスタ回路、５２…ビデオスイッチ、５３…信号線、
５４…ビデオ線、５５…垂直シフトレジスタ回路、５６…ゲート線、
５８…ＣＯＭ線、５９…ＣＯＭ電位用コンタクト、
６０…ウエル線、６１…ウエル電位用コンタクト、
６２…第１実施例の接続線、
６３…第２実施例の接続線、
６３ａ…広幅部、６３ｂ…くびれ部、６３ｃ…狭幅部、

Ｃａ１…第１実施例の寄生容量、
Ｃａ１’…第２実施例の寄生容量、
Ｃ…保持容量部、Ｄ…ドレイン、Ｇ…ゲート、Ｓ…ソース。

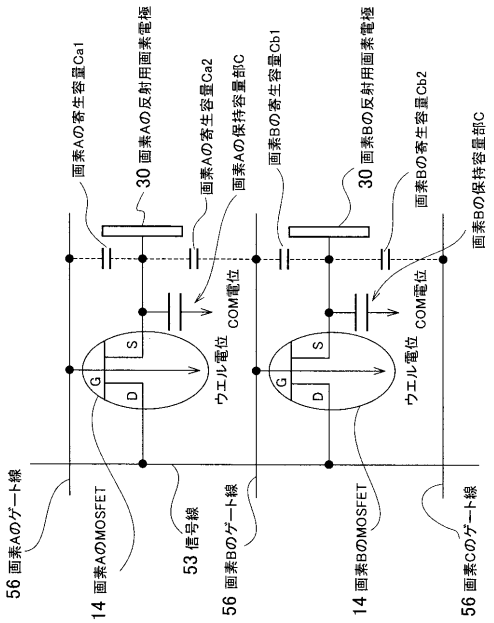
【図１】



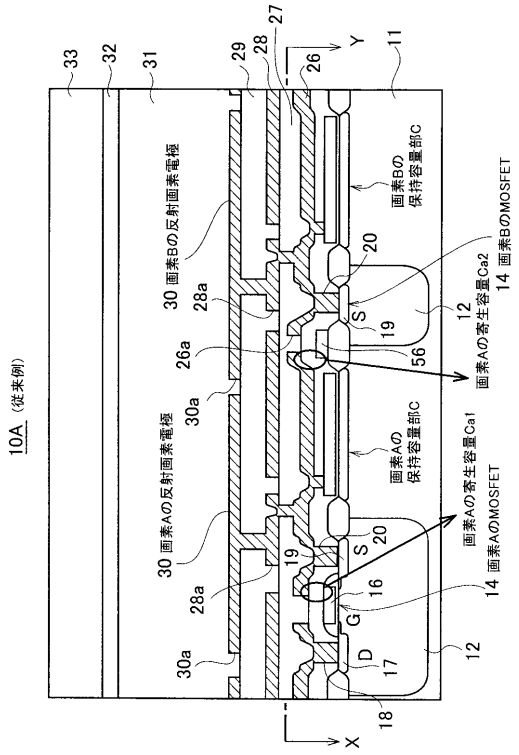
【図２】



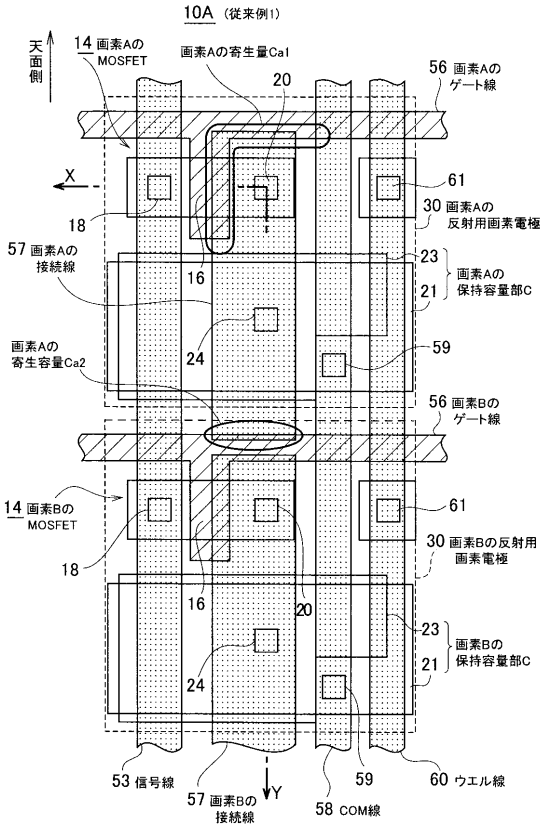
【図３】


画素Aの寄生容量Ca1
30 画素Aの反射用画素電極
画素Aの寄生容量Ca2
画素Aの保持容量部C
画素Bの寄生容量Cb1
30 画素Bの反射用画素電極
画素Bの寄生容量Cb2
画素Bの保持容量部C
COM電位
ウエル電位
56 画素Aのゲート線
14 画素AのMOSFET
53 信号線
56 画素Bのゲート線
14 画素BのMOSFET
56 画素Cのゲート線

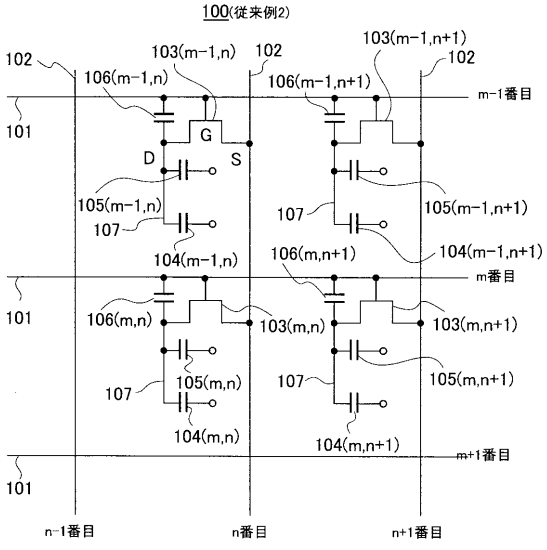
【図４】


10A（従来例）
30 画素Aの反射画素電極
30 画素Bの反射画素電極
画素Aの保持容量部C
画素Bの保持容量部C
画素Aの寄生容量Ca1
画素Bの寄生容量Ca2
14 画素AのMOSFET
14 画素BのMOSFET

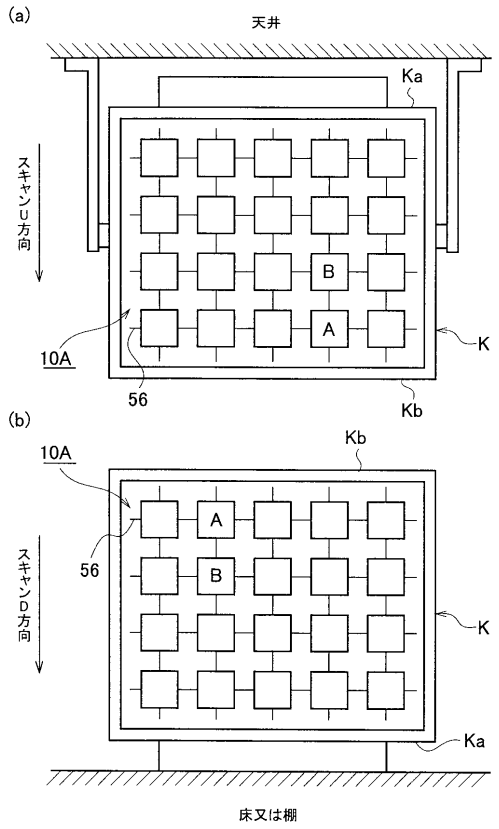
【図５】


10A（従来例1）
14 画素Aの MOSFET
画素Aの寄生量Ca1
56 画素Aの ゲート線
30 画素Aの 反射用画素電極
57 画素Aの 接続線
画素Aの保持容量部C
画素Aの 寄生容量Ca2
56 画素Bの ゲート線
14 画素Bの MOSFET
30 画素Bの反射用 画素電極
画素Bの 保持容量部C
53 信号線
57 画素Bの 接続線
59
58 COM線
60 ウエル線

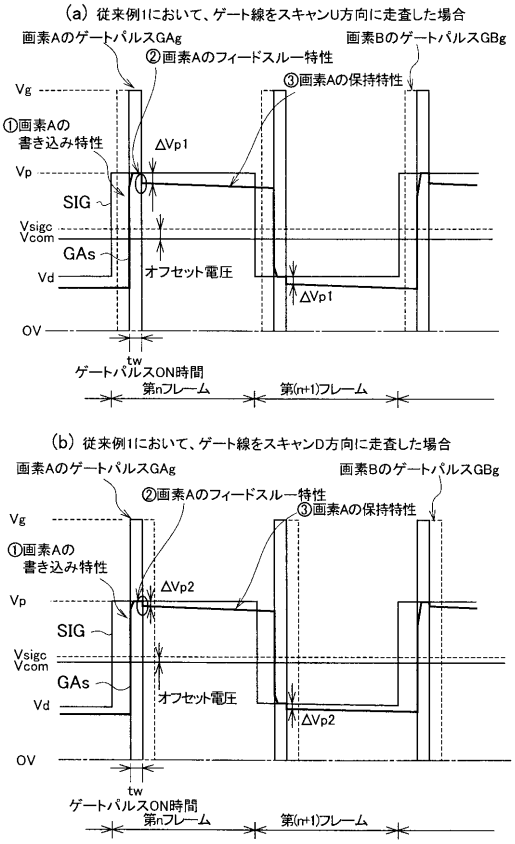
【図６】


100(従来例2)
m-1番目
m番目
m+1番目
n-1番目
n番目
n+1番目
101:走査線
102:信号線
103:スイッチング素子(TFT素子)
104:液晶容量
105:蓄積容量
106:寄生容量
107:画素電極

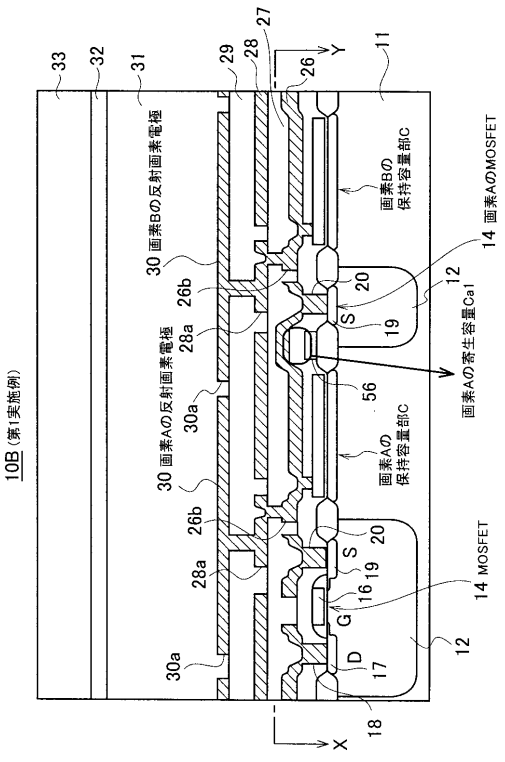
【図７】


(a)
天井
Ka
スキャンU方向
B
A
10A
K
56
Kb
(b)
10A
Kb
A
B
56
スキャンD方向
K
Ka
床又は棚

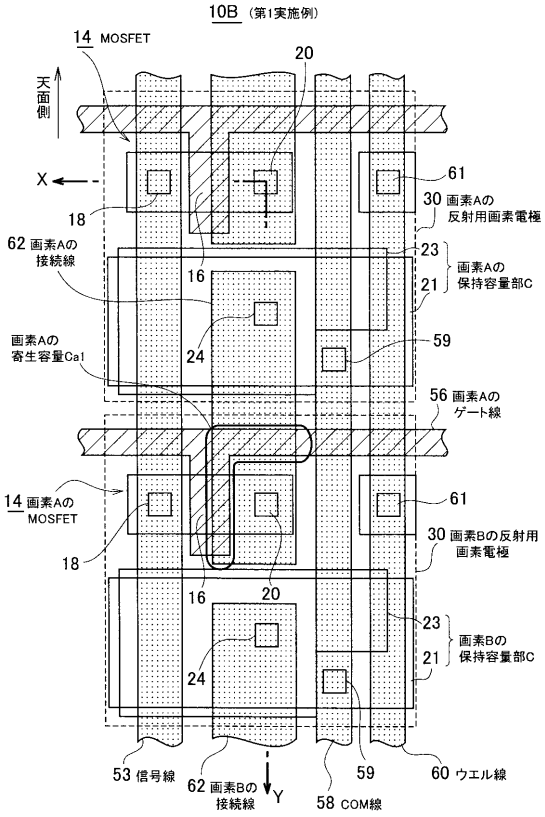
【図８】


(a) 従来例1において、ゲート線をスキャンU方向に走査した場合
画素Aのゲートパルス GAg
画素Bのゲートパルス GBg
②画素Aのフィードスルー特性
③画素Aの保持特性
Vg
①画素Aの書き込み特性
ΔVp1
Vp
SIG
Vsigc
Vcom
GAs
Vd
オフセット電圧
ΔVp1
OV
tw
ゲートパルスON時間
第nフレーム
第(n+1)フレーム
(b) 従来例1において、ゲート線をスキャンD方向に走査した場合
画素Aのゲートパルス GAg
画素Bのゲートパルス GBg
②画素Aのフィードスルー特性
③画素Aの保持特性
Vg
①画素Aの書き込み特性
ΔVp2
Vp
SIG
Vsigc
Vcom
GAs
Vd
オフセット電圧
ΔVp2
OV
tw
ゲートパルスON時間
第nフレーム
第(n+1)フレーム

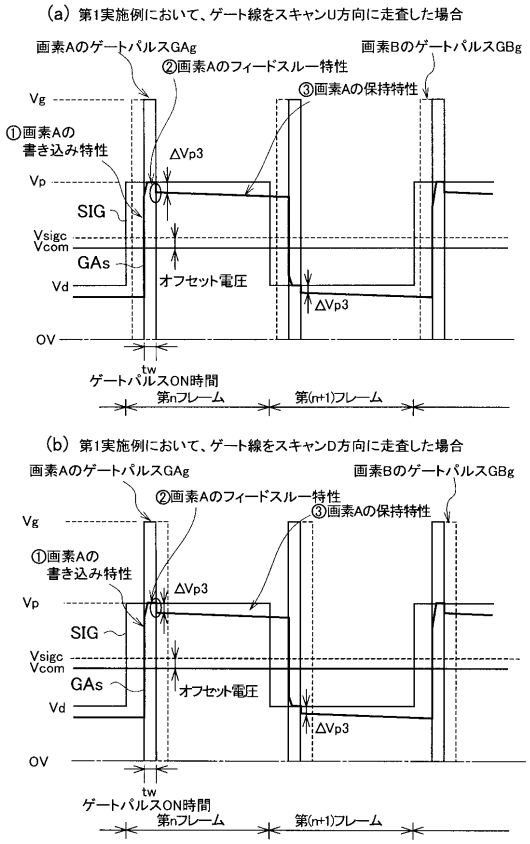
【図９】


10B (第1実施例)
33
32
31
29
28
27
26
Y
11
30 画素Bの反射画素電極
画素Bの保持容量部C
14 画素AのMOSFET
26b
28a
30a
30 画素Aの反射画素電極
画素Aの寄生容量Ca1
20
S
19
56
画素Aの保持容量部C
G
16
D
17
12
18
X

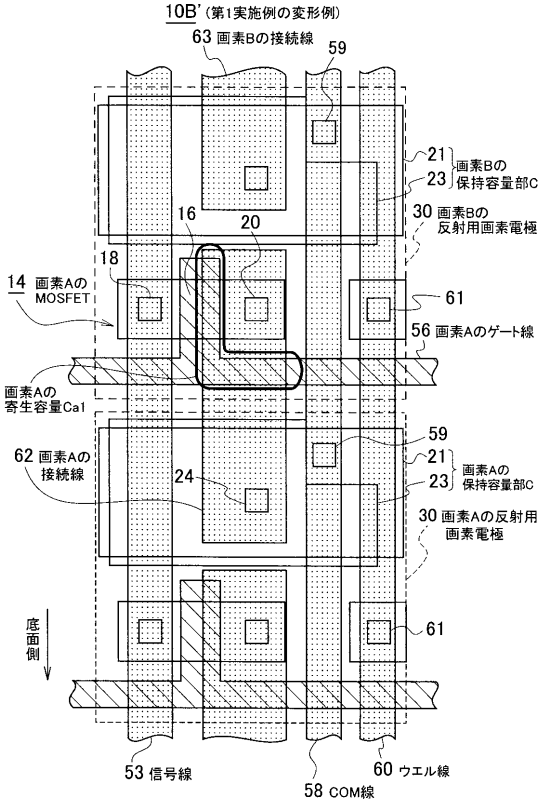
【図１０】


10B (第1実施例)
14 MOSFET
20
天井面
X
61
30 画素Aの反射用画素電極
18
62 画素Aの接続線
23
画素Aの保持容量部C
21
16
画素Aの寄生容量Ca1
24
59
56 画素Aのゲート線
14 画素Aの MOSFET
61
30 画素Bの反射用画素電極
18
16
20
23
画素Bの保持容量部C
21
24
53 信号線
62 画素Bの接続線
Y
59
58 COM線
60 ウエル線

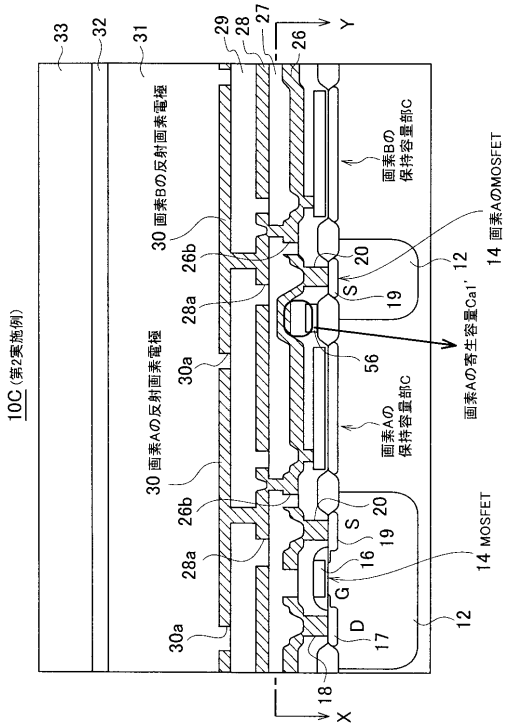
【図１１】



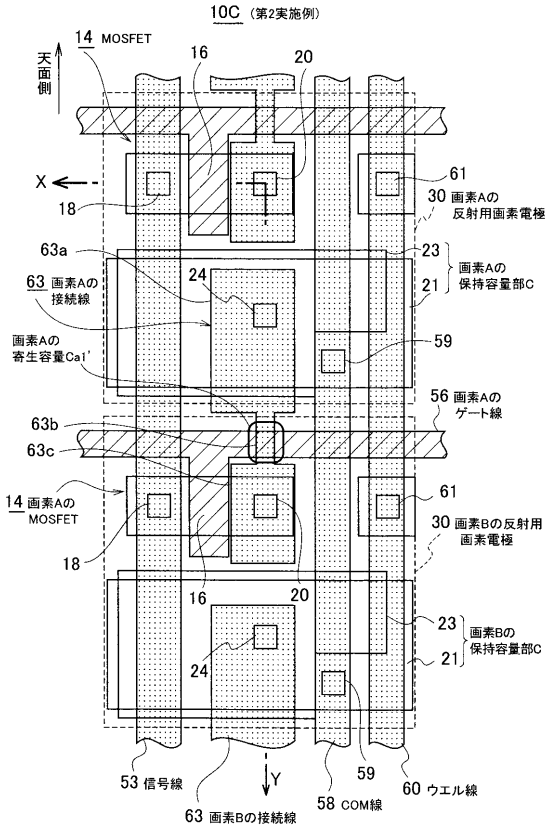
【図１２】



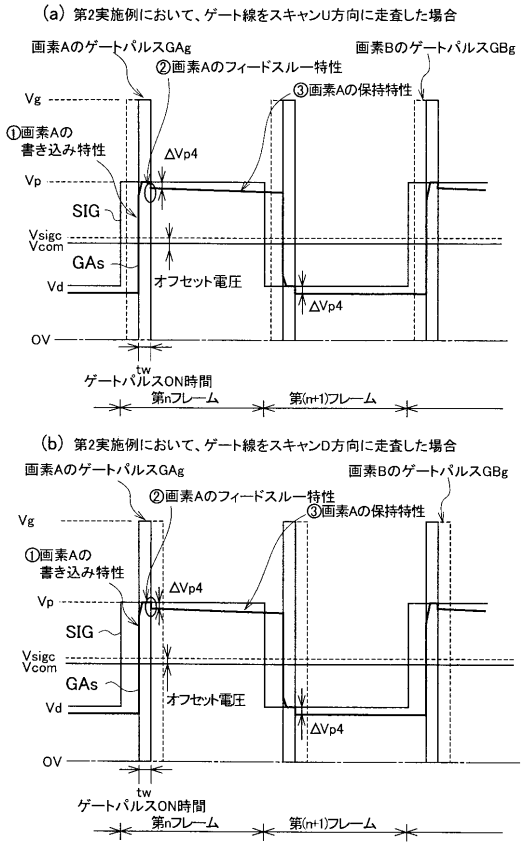
【図１３】



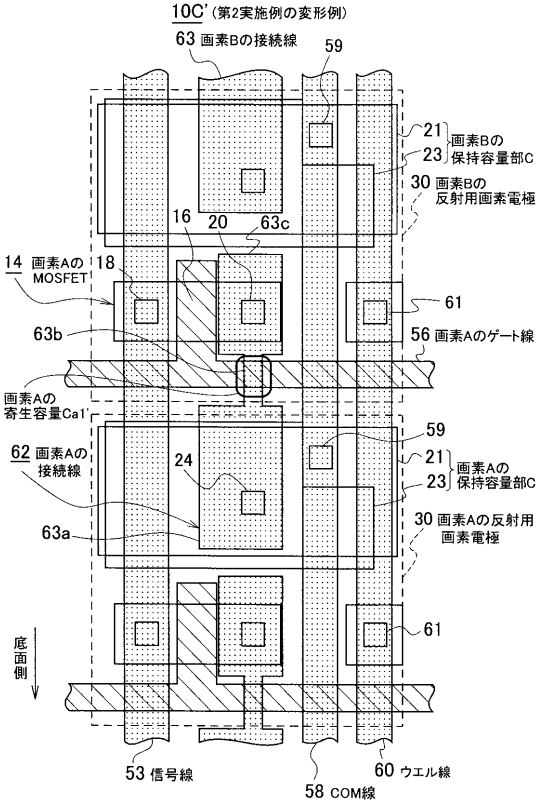
【図１４】



【図１５】


(a) 第2実施例において、ゲート線をスキャンU方向に走査した場合
画素Aのゲートパルス GAg
画素Bのゲートパルス GBg
②画素Aのフィードスルー特性
③画素Aの保持特性
Vg
①画素Aの
書き込み特性
ΔVp4
Vp
SIG
Vsigc
Vcom
GAs
Vd
オフセット電圧
ΔVp4
OV
tw
ゲートパルスON時間
第nフレーム
第(n+1)フレーム
(b) 第2実施例において、ゲート線をスキャンD方向に走査した場合
画素Aのゲートパルス GAg
画素Bのゲートパルス GBg
②画素Aのフィードスルー特性
③画素Aの保持特性
Vg
①画素Aの
書き込み特性
ΔVp4
Vp
SIG
Vsigc
Vcom
GAs
Vd
オフセット電圧
ΔVp4
OV
tw
ゲートパルスON時間
第nフレーム
第(n+1)フレーム

【図１６】

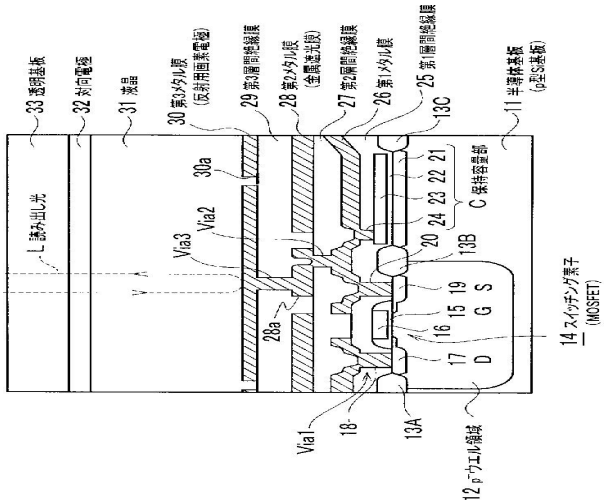

10C' (第2実施例の変形例)
63 画素Bの接続線
59
21
23
画素Bの
保持容量部C
30 画素Bの
反射用画素電極
16
20
63c
14 画素Aの
MOSFET
18
61
63b
56 画素Aのゲート線
画素Aの
寄生容量Ca1'
59
62 画素Aの
接続線
24
21
23
画素Aの
保持容量部C
63a
30 画素Aの反射用
画素電極
61
底面側
53 信号線
58 COM線
60 ウエル線

フロントページの続き

(56)参考文献 特開平０６－１８９２３３（ＪＰ，Ａ）
特開平６－２３０４１９（ＪＰ，Ａ）
特開２００１－１１７１１５（ＪＰ，Ａ）
特開２００２－１５６６４４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G02F 1/1368
G02F 1/1335

专利名称(译)	反射型液晶表示装置		
公开(公告)号	JP3972838B2	公开(公告)日	2007-09-05
申请号	JP2003054215	申请日	2003-02-28
[标]申请(专利权)人(译)	日本胜利株式会社		
申请(专利权)人(译)	日本有限公司Victor公司		
当前申请(专利权)人(译)	日本有限公司Victor公司		
[标]发明人	岩佐隆行		
发明人	岩佐 隆行		
IPC分类号	G02F1/1368 G02F1/1335 G02F1/1362		
CPC分类号	G02F1/136277 G02F1/136213		
FI分类号	G02F1/1368 G02F1/1335.520 G02F1/133.550		
F-TERM分类号	2H091/FA14Y 2H091/GA13 2H091/LA16 2H091/LA30 2H091/MA07 2H092/GA12 2H092/GA24 2H092/HA05 2H092/JA23 2H092/JA24 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB07 2H092/JB11 2H092/JB22 2H092/JB31 2H092/JB51 2H092/JB56 2H092/JB61 2H092/KA03 2H092/MA13 2H092/MA18 2H092/MA27 2H092/NA01 2H092/PA06 2H092/PA12 2H092/RA05 2H191/FA13Y 2H191/FA31Y 2H191/FA81X 2H191/FB14 2H191/FD04 2H191/GA04 2H191/GA19 2H191/LA21 2H191/MA11 2H191/NA43 2H191/NA45 2H192/AA24 2H192/BC31 2H192/BC42 2H192/BC72 2H192/CB02 2H192/DA12 2H192/DA15 2H192/DA42 2H192/DA44 2H192/DA72 2H192/GD61 2H192/JB02 2H193/ZA03 2H193/ZA07 2H193/ZB18 2H193/ZC30 2H193/ZP16 2H193/ZR02 2H291/FA13Y 2H291/FA31Y 2H291/FA81X 2H291/FB14 2H291/FD04 2H291/GA04 2H291/GA19 2H291/LA21 2H291/MA11 2H291/NA43 2H291/NA45		
代理人(译)	三好秀 高桥俊		
其他公开文献	JP2004264534A		
外部链接	Espacenet		

摘要(译)

本发明的目的是根据反射型液晶显示装置的使用模式改变栅极线的扫描方向。 当一个像素A和另一个像素B在同一列中彼此相邻地布置时，它们布线在两个像素A和B上，这两个像素A和B在同一列上彼此相邻地布置。连接线62的一端连接到电容器电极触点24和存储电容器部分C的反射像素电极30，其形成在一个像素A中，另一端连接到功能膜中的绝缘膜。用于一个像素A的栅极线56连接到形成在另一个像素B中的开关元件14的源电极20（或漏电极18），以与栅极线56交叉。 .The 10