

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-217117

(P2009-217117A)

(43) 公開日 平成21年9月24日(2009.9.24)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 623V	2H193
G02F 1/133 (2006.01)	G09G 3/20 611C	5C006
	G09G 3/20 631B	5C080
	G09G 3/20 612K	
審査請求 未請求 請求項の数 14 O L (全 17 頁) 最終頁に続く		

(21) 出願番号 特願2008-62371 (P2008-62371)
(22) 出願日 平成20年3月12日 (2008.3.12)

(71) 出願人 502356528
株式会社 日立ディスプレイズ
千葉県茂原市早野3300番地
(74) 代理人 100083552
弁理士 秋田 収喜
(74) 代理人 100103746
弁理士 近野 恵一
(72) 発明者 槻尾 浩一
千葉県茂原市早野3300番地 株式会社
日立ディスプレイズ内
Fターム(参考) 2H093 NA16 NA20 NA21 NA51 NA80
NC06 NC15 NC16 NC21 NC28
NC34 NC49 ND60 NE10 NH16
2H193 ZA04 ZD21 ZE31 ZP20

最終頁に続く

(54) 【発明の名称】 液晶表示装置

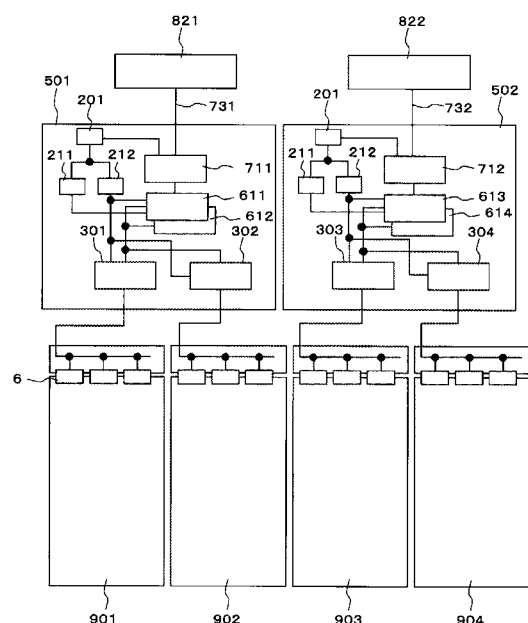
(57) 【要約】

【課題】液晶表示装置で、高精細多階調表示を可能とし、電磁波ノイズを低減する駆動回路を実現する。

【解決手段】液晶表示装置において、複数のチャネルに分割した低電圧差動信号を受信回路に受け、記憶素子に表示データの並び変えを行い記録し、異なるクロック周波数で送信回路から液晶表示パネル上の駆動回路に出力する。液晶表示パネルの表示領域は複数に分割されており、各表示領域の画素数が異なることから転送クロック周波数を異ならせることが可能となる。

【選択図】 図3

図3



【特許請求の範囲】**【請求項 1】**

液晶表示パネルと、
前記液晶表示パネルを駆動する複数の駆動回路と、
前記駆動回路に表示データを供給する制御回路とを有する液晶表示装置において、
前記制御回路は、外部から表示データが入力される入力部と、
前記表示データを保持するデータ保持部と、
前記データ保持部に保持された表示データを前記液晶表示パネルに伝送する送信部とを有し、
前記入力部と前記送信部との数が異なることを特徴とする液晶表示装置。

10

【請求項 2】

前記入力部から前記データ保持部に表示データを読み込むクロック周波数と、前記データ保持部から前記送信部に表示データを読み出すクロック周波数とが異なることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記入力部に入力する表示データは低電圧差動信号であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記入力部の数は偶数で、前記送信部の数は奇数であることを特徴とする請求項 1 に記載の液晶表示装置。

20

【請求項 5】

液晶表示パネルと、
前記液晶表示パネルを駆動する複数の駆動回路と、
前記駆動回路に表示データを供給する制御回路とを有する液晶表示装置において、
前記制御回路は、外部から表示データが入力される受信回路と、
前記表示データを保持するメモリ素子と、
前記メモリ素子に保持された表示データを前記液晶表示パネルに送信する第 1 の送信回路と、第 2 の送信回路とを有し、

1 出力期間中に前記第 1 の送信回路が送信する表示データ数と、前記第 2 の送信回路が送信する表示データ数とが異なることを特徴とする液晶表示装置。

30

【請求項 6】

前記受信回路から前記メモリ素子に表示データを読み込むクロック周波数と、前記メモリ素子から前記第 1 および第 2 送信回路に表示データを読み出すクロック周波数とが異なることを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

前記入力回路に入力する表示データは低電圧差動信号であることを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 8】

前記第 1 の送信回路から前記液晶表示パネルに表示データを送信するクロック周波数と、前記第 2 の送信回路から前記液晶表示パネルに表示データを送信するクロック周波数とが異なることを特徴とする請求項 5 に記載の液晶表示装置。

40

【請求項 9】

前記メモリ素子は第 1 のメモリ素子と、第 2 のメモリ素子とを有し、
前記第 1 のメモリ素子と前記第 1 の送信回路とは第 1 のデータバスで接続され、
前記第 2 のメモリ素子と前記第 2 の送信回路とは第 2 のデータバスで接続されることを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 10】

液晶表示パネルと、
前記液晶表示パネルを駆動する複数の駆動回路と、
前記駆動回路に表示データを供給する制御回路とを有する液晶表示装置において、

50

前記液晶表示パネルは、第１の表示領域と、第２の表示領域と、第３の表示領域とを有し、

前記第１の表示領域は、前記第２、第３の表示領域とは画素数が異なり、

前記制御回路は、前記第１の表示領域に表示データを出力する第１の送信経路と、

前記第２の表示領域に表示データを出力する第２の送信経路と、

前記第３の表示領域に表示データを出力する第３の送信経路とを有することを特徴とする液晶表示装置。

【請求項１１】

前記制御回路は、前記表示データが入力する第１の受信経路と、第２の受信経路とを有することを特徴とする請求項１０に記載の液晶表示装置。

10

【請求項１２】

前記制御回路は、第１の受信経路から入力する表示データを保持する第１のメモリ素子と、

前記第１の受信経路と第２の受信経路とから入力する表示データを保持する第２のメモリ素子と、

前記第２の受信経路から入力する表示データを保持する第３のメモリ素子とを有することを特徴とする請求項１０に記載の液晶表示装置。

【請求項１３】

前記制御回路は、第１の受信経路から入力する表示データを保持する第１のメモリ素子と、

20

前記第１の受信経路と第２の受信経路とから入力する表示データを保持する第２のメモリ素子と、

前記第２の受信経路から入力する表示データを保持する第３のメモリ素子とを有し、

前記第１のメモリ素子に保持された表示データを前記液晶表示パネルに出力する第１の送信回路と、

前記第２のメモリ素子に保持された表示データを前記液晶表示パネルに出力する第２の送信回路と、

前記第３のメモリ素子に保持された表示データを前記液晶表示パネルに出力する第３の送信回路とを有することを特徴とする請求項１０に記載の液晶表示装置。

【請求項１４】

30

前記制御回路は、第１の受信経路から入力する表示データを保持する第１のメモリ素子と、

前記第１の受信経路と第２の受信経路とから入力する表示データを保持する第２のメモリ素子と、

前記第２の受信経路から入力する表示データを保持する第３のメモリ素子とを有し、

前記第１のメモリ素子に保持された表示データを前記液晶表示パネルに出力する第１の送信回路と、

前記第２のメモリ素子に保持された表示データを前記液晶表示パネルに出力する第２の送信回路と、

前記第３のメモリ素子に保持された表示データを前記液晶表示パネルに出力する第３の送信回路とを有し、

40

前記第１の送信回路から出力する表示データの送信クロック周波数と、前記第２の送信回路から出力する表示データの送信クロック周波数とが異なることを特徴とする請求項１０に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、液晶表示装置に係り、特に、高解像度多階調モニタと、該高解像度多階調モニタを制御する制御回路に適用して最適な回路構成に関する。

【背景技術】

50

【 0 0 0 2 】

T F T (Thin Film Transistor) 方式の液晶表示装置は、パソコン等の表示装置として広く使用されている。これらの液晶表示装置は、液晶表示パネルと、液晶表示パネルを駆動する駆動回路と、駆動回路を制御する制御回路とを備えている。

そして、このような液晶表示装置において、例えば、下記、特許文献 1 に記載されているように、表示解像度が増加することにより表示データ数が多くなり、かつ表示データの転送速度が高速化した場合に、表示データをメモリに一旦記憶し、複数の駆動回路に同時に表示データを転送することで表示データ転送速度を低速にする技術が知られている。

【 0 0 0 3 】

なお、本願発明に関連する先行技術文献としては以下のものがある。

10

【特許文献 1】特開平 0 5 - 1 8 1 4 3 1 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 4 】

しかしながら、画面を分割して転送速度を低速にしても、さらに高解像度化が進むことで、E M I (Electromagnetic Interference) 等が再度問題となってきた。

本発明は、前記従来技術の問題点を解決するためになされたものであり、液晶表示装置において、高解像度多階調表示モニタを実現し、表示データが増加しても E M I 等の問題を減少させる技術を提供する。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

20

【課題を解決するための手段】

【 0 0 0 5 】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

本発明の液晶表示装置は、液晶表示パネルと、液晶表示パネルに駆動信号を供給する駆動回路と、駆動回路に表示データを供給する制御回路とを備えており、制御回路は外部から表示データが入力する受信回路と、表示データを保持するメモリ素子と、メモリ素子に保持された表示データを液晶表示パネルに送信する複数の送信回路とを有しており、複数の送信回路は画素数の異なる表示領域にそれぞれ表示データを送信する。異なる送信回路からはクロック周波数が異なる表示データが出力することとなり、電磁波ノイズの周波数が分散する。

30

【発明の効果】

【 0 0 0 6 】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

本発明によれば、高解像度多階調表示モニタを実現し、表示データが増加しても E M I 等の問題を減少させることが可能となる。

【発明を実施するための最良の形態】

【 0 0 0 7 】

40

以下、図面を参照して本発明の実施例を詳細に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

図 1 は、本発明の実施例の液晶表示装置の概略構成を示すブロック図である。

図 1 において、1 は液晶表示パネル、9 は表示領域であり、表示領域 9 には、表示データに従い画像が表示される。

5 0 0 はコントローラであり、コントローラ 5 0 0 には外部 (コンピュータ等) から表示データ、制御信号等が入力される。コントローラ 5 0 0 は外部から表示データ、制御信号等を受け、液晶表示パネル 1 に表示データ、各種クロック信号、各種制御信号とを供給する。

50

40は電源回路であり、電源回路40は液晶表示パネル1を駆動するための各種の駆動電圧を発生する。

コントローラ500にはデータバスライン5が接続されている。コントローラ500はデータバスライン5に表示データを出力する。また、コントローラ500は、外部から入力された制御信号を変換し液晶表示パネル1を制御する信号を出力する。

コントローラ500が出力する制御信号としては、ソースドライバ6が表示データを取り込むためのクロック信号、ソースドライバ6から液晶表示パネルへの出力を切り替えるためのクロック信号、ゲートドライバ7を駆動するフレーム開始指示信号と順次走査信号を出力するためのゲートクロック信号などのタイミング信号がある。

また、電源回路40は正極階調電圧と負極階調電圧、対向電極電圧、走査信号電圧等を発生させ出力する。

【0008】

コントローラ500から出力された表示データは、データバスライン5を介してソースドライバ6に転送される(以下、伝送されるとも言う)。

表示データはデジタルデータであり、表示データの送信にはEMI対策のため低電圧差動信号が用いられる。データバスライン5で使用する低電圧差動信号では、シリアル転送方式が用いられており、1データバスラインで7ビットを1データ単位として、1ペアの信号線でシリアルに転送する。表示データはRGB各10ビットなので、データバスライン5の本数は5ペア必要となる。

コントローラ500は、データバスライン5に画素の並びに従い表示データを出力する。ソースドライバ6は順番に出力される表示データの中から表示すべきデータを取り込む。ソースドライバ6が表示データを取り込むタイミングはコントローラ500から出力するクロック信号(制御信号)51に従う。

表示領域9の周辺に沿って、横方向(X方向)にソースドライバ6(駆動回路)が配置される。このソースドライバ6の出力端子は液晶表示パネル1の映像信号線22に接続している。映像信号線22は図中Y方向に延在し、薄膜トランジスタ10のドレイン電極に接続している。また、映像信号線22は図中X方向に複数本並列に配置されている。

ソースドライバ6は、データバスライン5から表示データを取り込み、表示データに従い階調電圧を映像信号線22に出力する。映像信号線22により液晶を駆動するための電圧(階調電圧)が薄膜トランジスタ10に供給される。

なお、ソース、ドレインの呼び方は、バイアスの関係で逆になることもあるが、ここでは、映像信号線22に接続される方をドレインと称する。

【0009】

表示領域9の周辺に沿って縦方向には、ゲートドライバ(走査回路)7が配置される。ゲートドライバ7の出力端子は液晶表示パネル1の走査信号線21に接続している。走査信号線21は図中X方向に延在し、薄膜トランジスタ10のゲート電極に接続している。また、走査信号線21は図中Y方向に複数本並列に配置される。

ゲートドライバ7は、コントローラ3から送られてくるフレーム開始指示信号およびシフトクロックに基づき、1水平走査期間毎に、順次、走査信号線21にハイレベルの走査電圧を供給する。薄膜トランジスタ10はゲート電極に印加された走査電圧によりオンとオフが制御される。

液晶表示パネル1の表示領域9は、マトリクス状に配置される画素部8を有している。ただし、図1では図を簡略化するため1つの画素部8だけを示している。各画素部8は、薄膜トランジスタ10と画素電極11を有している。各画素部8は隣接する2本の映像信号線22と、隣接する2本の走査信号線21との交差領域(4本の信号線で囲まれた領域)に配置される。

前述したように、走査信号線21にはゲートドライバ7から走査信号が出力している。この走査信号により薄膜トランジスタ10がオン・オフする。映像信号線22には階調電圧が供給されており、薄膜トランジスタ10がオンになると、映像信号線22から画素電極11に階調電圧が供給される。画素電極11に対向するように対向電極(コモン電極；

10

20

30

40

50

図示せず)が配置されており、画素電極 1 1 と対向電極との間には液晶層(図示せず)が設けられている。なお、図 1 に示す回路図上では画素電極 1 1 と対向電極との間は等価的に液晶容量が接続されているように表示している。また、図示は省略するが、画素電極 1 1 と対向電極との間には付加容量も設けられる。

【0010】

画素電極 1 1 と対向電極との間に電圧を印加することにより液晶層の配向が変化する。液晶表示パネル 1 では液晶層の配向の変化により光の透過率が変化することを利用し表示が行われる。

液晶表示パネル 1 が表示する画像は画素により構成される。画像を構成する各画素の階調は、画素電極に供給される電圧に従う。

ソースドライバ 6 は、表示する階調を表示データで受け対応する階調電圧を出力する。そのため、液晶表示パネル 1 が表示する階調数の増加に従い、表示データのデータ量やデータバスライン 5 の本数も増加する。

直流電圧を液晶に長時間印加すると液晶が劣化することが知られている。液晶の劣化を防止するため液晶層に印加する電圧の極性を周期的に反転させる交流化駆動が行われている。交流化駆動では対向電極に対して、画素電極に正極性、負極性の信号電圧が印加される。そのため、電源回路 4 0 は、正極階調電圧生成回路と負極階調電圧生成回路を有している。ソースドライバ 6 は交流化信号により、同じ表示データであっても正極性、負極性の階調電圧を選択する。

表示領域 9 はさらに区分された表示領域 9 0 1、9 0 2、9 0 3、9 0 4 とに分けられている。なお、区分された表示領域 9 0 1、9 0 2、9 0 3、9 0 4 については後述する。

【0011】

次に、図 2 にコントローラ 5 0 0 の入力部を示す。図 2 において、8 0 0 は外部装置であり、例えば、高精細な画像を表示可能なパソコン等である。外部装置 8 0 0 は信号線 8 3 1 で分割回路 8 1 0 に接続しており、出力データは分割回路 8 1 0 で 2 分割され、2 分割された出力データは、信号線 8 3 2 と 8 3 3 とを介して外部送信回路 8 2 1 と 8 2 2 とに出力される。

外部送信回路 8 2 1、8 2 2 は、外部装置 8 0 0 内のデジタル信号を低電圧差動信号に変換して外部信号線 7 3 1 と 7 3 2 とに出力する。外部信号線 7 3 1 と 7 3 2 はコントローラ(制御回路とも呼ぶ)5 0 0 の受信回路 7 1 1 と 7 1 2 とに接続している。また、図 2 では、受信回路 7 1 1 と 7 1 2 とは、信号線 7 3 5、7 3 6 を介してデータ整理回路 6 0 0 に接続されている。

受信回路 7 1 1 と 7 1 2 とは、低電圧差動信号をコントローラ 5 0 0 内で使用するデジタル信号に変換している。低電圧差動信号は E M I 等の対策にすぐれており、外部装置 8 0 0 とコントローラ 5 0 0 との信号伝送に使用される。ただし、外部送信回路 8 2 1、8 2 2 で送信可能なデータ量が限られており、そのため、図 2 に示す回路では外部信号線 7 3 1 と 7 3 2 とにデータを分けて送信している。また、外部信号線 7 3 1 と 7 3 2 を受けるために、コントローラ 5 0 0 は 2 個の受信回路 7 1 1 と 7 1 2 を備える必要がある。

【0012】

次に、図 3 では 4 つの区分された表示領域 9 0 1、9 0 2、9 0 3、9 0 4 に表示データを出力するコントローラ 5 0 0 の表示データ出力部 5 0 1 と 5 0 2 を示している。

前述したように、外部送信回路 8 2 1 と 8 2 2 から出力した低電圧差動信号は信号線 7 3 1 と 7 3 2 を介して受信回路 7 1 1 と 7 1 2 に入力している。

受信回路 7 1 1 は、データ記録素子 6 1 1 と 6 1 2 とに接続し、受信回路 7 1 2 は、データ記録素子 6 1 3 と 6 1 4 とに接続している。データ記録素子 6 1 1、6 1 2、6 1 3、6 1 4 は、例えば、書き換え可能なメモリ素子等で構成することが可能である。

データ記録素子 6 1 1、6 1 2 には、各表示領域 9 0 1、9 0 2 に書き込まれる映像信号に対応する表示データが一時記憶されており、データ記録素子 6 1 1 と 6 1 2 から出力する表示データは、内部送信回路 3 0 1、3 0 2 によってソースドライバ 6 に送信される

10

20

30

40

50

。

同じく、データ記録素子 6 1 3、6 1 4 には、各表示領域 9 0 3、9 0 4 に書き込まれる映像信号に対応する表示データが一時記憶されており、データ記録素子 6 1 3 と 6 1 4 から出力する表示データは、内部送信回路 3 0 3、3 0 4 によってソースドライバ 6 に送信される。

【0013】

図 4 には、受信回路 7 1 1 で代表して受信回路 7 1 1 から内部送信回路 3 0 1 と 3 0 2 までの表示データの動きを示している。データ記録素子 6 1 1 は 2 つの記録素子 6 2 1 と 6 2 2 から構成されている。

まず、受信時には、矢印 7 6 1 A に示すように記録素子 6 2 1 に受信回路 7 1 1 から表示データが信号線（データバス）7 5 0 を介して書き込まれ、記録素子 6 2 1 に表示データ書き込みが終了すると次に記録素子 6 2 2 に矢印 7 6 1 B に示すように表示データが書き込まれる。

次に、同時に、矢印 7 6 2 と 7 6 3 に示すように、記録素子 6 2 1 と 6 2 2 から表示データが内部送信回路 3 0 1 と 3 0 2 とに出力する。記録素子 6 2 1 と内部送信回路 3 0 1 とは、信号線（データバス）7 5 1 で接続されており、記録素子 6 2 2 と内部送信回路 3 0 2 とは、信号線（データバス）7 5 2 で接続されている。すなわち、記録素子 6 2 1 と 6 2 2 とに記録された表示データは異なる信号線により伝送されることで、同時に異なる内部送信回路 3 0 1 と 3 0 2 とに分けて送信可能となっている。

2 0 1、2 1 1、2 1 2 はクロック制御回路であり、クロック制御回路 2 0 1 は外部から送信されたり、内部で発生する基準クロックを受信回路 7 1 1 やクロック制御回路 2 1 1、2 1 2 へ出力している。

【0014】

図 5 に、クロック制御回路 2 0 1、2 1 1、2 1 2 から出力するクロック波形を示す。図 5 の 3 5 1 がクロック制御回路 2 0 1 から出力する基準クロック波形を、3 5 2 がクロック制御回路 2 1 1 から出力するクロック波形を、3 5 3 がクロック制御回路 2 1 2 から出力するクロック波形を示す。

クロック制御回路 2 1 1 からは、受信回路 7 1 1 で表示データを受信するタイミングとほぼ同等なクロックが発振されており、受信回路 7 1 1 で表示データを受信するタイミングで、記録素子 6 2 1 と 6 2 2 とに表示データが記録される。

クロック制御回路 2 1 2 からは、クロック 3 5 2 よりも周波数の低いクロック 3 5 3 が発振されている。記録素子 6 2 1 は内部送信回路 3 0 1 に信号線 7 5 1 で接続され、記録素子 6 2 2 は内部送信回路 3 0 2 と信号線 7 5 2 とで接続されているため、表示データを 2 つ分割して送信することが可能となり、信号線 7 5 1 と 7 5 2 とでは信号線 7 5 0 よりも遅いタイミングで表示データを送信可能である。

【0015】

図 6 と図 7 に表示データの伝送される様子を示す。図 6 では、表示領域 9 0 1 と 9 0 2 とに 1 列に 2 0 0 個の表示データが並び表示される様子を示している。表示領域 9 0 1 には 1 番目から 1 0 0 番目の表示データが並んでおり、表示領域 9 0 2 には 1 0 1 番目から 2 0 0 番目の表示データが並んでいるものとする。

図 7 では 1 基準期間 7 7 0 内で、矢印 7 6 1 で示す送信と、矢印 7 6 2 と 7 6 3 で示す送信が行われることを示している。受信回路 7 1 1 から表示データは矢印 7 6 1 に示すように、1 番目から 1 0 0 番目、1 0 1 番目から 2 0 0 番目と順番に送信され、記録素子 6 2 1 に 1 番目から 1 0 0 番目の表示データが記録され、記録素子 6 2 2 に 1 0 1 番目から 2 0 0 番目の表示データが記録される。

1 基準期間 7 7 0 は繰り返されており、記録素子 6 2 1 と 6 2 2 に表示データが記録された後、次の基準期間 7 7 0 内で、記録素子 6 2 1 から内部送信回路 3 0 1 に、1 番目から 1 0 0 番目の表示データと、記録素子 6 2 2 から内部送信回路 3 0 2 に、1 0 1 番目から 2 0 0 番目の表示データとが送信される。

なお、コントローラ 5 0 0 はデータ記録素子 6 1 1 と 6 1 2 とを備えており、データ記

10

20

30

40

50

録素子 6 1 1 で表示データを書き込み中の場合は、データ記録素子 6 1 2 から内部送信回路 3 0 1 と 3 0 2 とに表示データが送信され、データ記録素子 6 1 1 で表示データを内部送信回路 3 0 1 と 3 0 2 とに送信中の場合は、データ記録素子 6 1 2 に表示データが書き込まれる。

このように、データ記録素子 6 1 1 と 6 1 2 とを設けて、書き込みと読み出しを分けて行い、各データ記録素子 6 1 1 と 6 1 2 とには、記録素子 6 2 1 と 6 2 2 と、内部送信回路 3 0 1 と 3 0 2 とを設け、さらに異なる信号線 7 5 1 と 7 5 2 とを備えることで、1つの受信回路から入力した表示データを受信時とは異なる転送速度で2つの表示領域に出力することが可能となっている。

なお、記録素子 6 2 1、6 2 2 と内部送信回路 3 0 1、3 0 2 とを同じ信号線で接続する場合は、同時に異なる表示領域 9 0 1 と 9 0 2 とに異なる表示データを転送することは不可能である。

【0016】

次に図 8 にデータ整理回路 6 0 0 を設けたコントローラ 5 0 0 を示す。データ整理回路 6 0 0 は、受信回路 7 1 1 と 7 1 2 とで受信した表示データを記録し、必要に応じて表示データの順番を入換え、内部送信回路 3 0 1、3 0 2、3 0 3、3 0 4 とに出力する。

次に図 9 にデータ整理回路 6 0 0 から出力する表示データの出力波形を示す。図 9 の 3 2 1 は内部送信回路 3 0 1 に出力される表示データの波形を示し、同様に、3 2 2 は内部送信回路 3 0 2 に出力される表示データの波形を、3 2 3 は内部送信回路 3 0 3 に出力される表示データの波形を、3 2 4 は内部送信回路 3 0 4 に出力する表示データの波形を示す。図 9 では、各波形 3 2 1、3 2 2、3 2 3、3 2 4 の波長が変化している。各信号の波長を変化させると、信号毎に周波数が変化するので、発生する電磁波ノイズの周波数も分散して電磁波ノイズが平均化してピーク値が低下する。

ただし、信号の周波数は変化させた場合では、同数の表示データを転送する時間に差が生じ、同時に伝送を開始した場合に伝送終了時間が異なるという問題が発生する。図 9 では 7 パルス目までの波形を示しているが、パルス p 1 - 7、p 2 - 7、p 3 - 7、P 4 - 7 共に、立ち下がりの時間がずれている。

【0017】

図 10 にデータ整理回路 6 0 0 から出力する波形の波長を一定周期内で伸縮させたものを示す。図 10 の 3 2 1 は、整理回路 6 0 0 から出力する表示データの中で、内部送信回路 3 0 1 に出力される表示データの波形を示し、同様に、3 2 2 は内部送信回路 3 0 2 に出力される表示データの波形を、3 2 3 は内部送信回路 3 0 3 に出力される表示データの波形を、3 2 4 は内部送信回路 3 0 4 に出力する表示データの波形を示す。

表示データ 3 2 8 では、パルス p 4 - 1 に対してパルス p 4 - 5 の波長が短くなっているが、その後パルス p 4 - 10 ではパルス p 4 - 1 と同程度の波長となっている。表示データ 3 2 5、3 2 6、3 2 7、3 2 8 では、それぞれ一定の期間内で波長が変化しているが、10 パルス目では同じタイミングで立ち下がっている。

図 10 に示すように、周波数を変化することで、電磁波ノイズの周波数によるピークを抑えることが可能で、同様なタイミングでパルスを終了させることも可能となっている。

次に図 11 に各パルスの位相を 45° 毎ずらしたものを示す。図 11 では電磁波ノイズの周波数毎のピークを抑えることが可能で、パルスの終了も 1 パルス以内のずれで抑えることが可能である。

なお、データ整理回路 6 0 0 で電磁波ノイズを低減する方法を説明したが、図 3 に示すコントローラ 5 0 0 の表示データ出力部 5 0 1 と 5 0 2 でも、同様の電磁波ノイズ低減方法を採用することが可能である。

【0018】

次に図 12 に、表示領域 9 0 1 と 9 0 2 の 1 列に並ぶ画素数が異なる場合を示す。例えば、図 12 では表示領域 9 0 1 が既成の規格に従った画素数であり、表示領域 9 0 2 は規格外の画素数とすることで、表示領域 9 0 1 側は既存のコントローラ 5 0 0 の回路構成を利用することが考えられる。

10

20

30

40

50

図 1 2 に示す表示領域 9 0 1 と 9 0 2 を駆動する場合の内部送信回路 3 0 1 と 3 0 2 の出力波形を図 1 3 に示す。図 1 3 において、3 3 5 は表示領域 9 0 1 に出力する波形、3 3 6 は表示領域 9 0 2 に出力する波形である。

例えば、表示領域 9 0 1 に並ぶ画素数を 7 個とし、表示領域 9 0 2 に並ぶ画素数を 1 0 個とすると、同時に出力を終わらせるためには、表示領域 9 0 1 に出力するパルスの波長を表示領域 9 0 2 に出力するパルスよりも長くする必要がある。

図 1 3 に示すように、表示領域 9 0 1 と 9 0 2 とで表示データの波長を異ならせると、表示データの周波数が分散して、電磁波ノイズの低減に効果がある。ただし、表示領域 9 0 1 と 9 0 2 で画素数が異なり、受信回路 7 1 1 と 7 1 2 に 2 等分された表示データが送信される場合には、画素数が多いデータ記録素子 6 1 2 に、信号線 6 3 1 を介して画素数が少ないデータ記録素子 6 1 1 から表示データを転送する必要が生じる。また、書き込みと読み出しを交互に行うためにデータ記録素子 6 1 1、6 1 2 は複数の記録素子を備える必要がある。

10

次に、図 1 4 に表示領域 9 0 1 と 9 0 2 の画素が同数の場合を示す。この場合、表示領域 9 0 1 と 9 0 2 共に規格外の表示領域となり、ソースドライバ 6 はダミーの出力回路を多数用意することとなり、駆動回路数が増加して製造費用が増加することとなる。

図 1 5 に表示領域 9 0 1 と 9 0 2 とで画素数が異なる場合に、データ整理回路 6 0 0 を設ける場合を示す。データ整理回路 6 0 0 は受信回路 7 1 1 と 7 1 2 とで受信した表示データを各内部送信回路に出力可能なように並び変えて送信する。

【0 0 1 9】

20

次に、図 1 6 に、表示領域 9 を表示領域 9 0 1 と 9 0 2 と 9 0 3 との 3 つに分割した場合を示す。受信回路 7 1 1 と 7 1 2 とでは、1 列分の表示データを 2 分割して入力しており、データ記録素子 6 1 1 と 6 1 2 と 6 1 3 とで入力した表示データを並べ替えて、内部送信回路 3 0 1、3 0 2、3 0 3 へ出力している。

図 1 7 に表示データを並び替える様子をタイミングチャートで示す。図 1 7 の 3 4 1 は出力開始信号を示しており、パルス 3 7 1 が立ち上がるタイミングでデータ記録素子 6 1 1、6 1 2、6 1 3 から表示データが内部送信回路 3 0 1、3 0 2 に出力する。

また、図 1 7 の 3 4 2 は入力開始信号を示しており、パルス 3 7 2 の立ち上がりで、表示データがデータ記録素子 6 1 1、6 1 2、6 1 3 に書き込み開始する。また、図 1 7 の 3 4 3 は入力終了信号を示しており、表示データのデータ記録素子 6 1 1、6 1 2、6 1 3 への書き込み終了を示している。

30

図 1 7 の 3 5 1 はデータ記録素子 6 1 1 に表示データが書き込まれる様子を示し、同様に、3 5 2 はデータ記録素子 6 1 2 に表示データが書き込まれる様子を示し、3 5 3 はデータ記録素子 6 1 3 に表示データが書き込まれる様子を示している。

また、図 1 7 の 3 6 1 はデータ記録素子 6 1 1 から内部送信回路 3 0 1 に表示データが転送される様子を示し、同様に、3 6 2 はデータ記録素子 6 1 2 から内部送信回路 3 0 2 に表示データが書き込まれる様子を示し、3 6 3 はデータ記録素子 6 1 3 から内部送信回路 3 0 3 に表示データが転送される様子を示している。

【0 0 2 0】

まず期間 T 1 で、パルス 3 7 2 が立ち上がるタイミングで、3 5 1 に示す表示データが信号線 6 3 2 を介して受信回路 7 1 1 からデータ記録素子 6 1 1 に書き込まれる。また、同時にデータ記録素子 6 1 2 にも信号線 6 3 4 を介して受信回路 7 1 2 から表示データ 3 8 2 がデータ記録素子 6 1 2 に書き込まれる。

40

次に、データ記録素子 6 1 1 に表示領域 9 0 1 に対応する表示データ 3 8 1 が書き込み終わると、続いてデータ記録素子 6 1 2 に表示領域 9 0 2 に対応する表示データ 3 8 3 が信号線 6 3 3 を介して書き込まれる。

また、表示領域 9 0 2 に対応する表示データ 3 8 2 がデータ記録素子 6 1 2 に書き込み終わると、データ記録素子 6 1 3 に受信回路 7 1 2 から信号線 6 3 4 を介して、表示データ 3 8 4 がデータ記録素子 6 1 3 に書き込まれる。

次に期間 T 2 では、パルス 3 7 1 が立ち上がると、データ記録素子 6 1 1 から表示デー

50

タ 3 9 1 が内部送信回路 3 0 2 に出力し、データ記録素子 6 1 2 から表示データ 3 9 2 が内部送信回路 3 0 2 に出力し、データ記録素子 6 1 3 から表示データ 3 9 3 が内部送信回路 3 0 3 に出力する。

表示データ 3 9 1 は期間 T 1 にデータ記録素子 6 1 1 に記録された表示データ 3 8 1 であり、表示データ 3 9 2 はデータ記録素子 6 1 2 に記録された表示データ 3 8 3 と 3 8 2 の中で、表示データ 3 8 3 が先で、表示データ 3 8 2 を後に順番を入換えて出力したものであり、表示データ 3 9 3 は表示データ 3 8 4 がデータ記録素子 6 1 3 に記録されたものである。

図 1 6 に示す回路のように、2 個の受信回路 7 1 1 と 7 1 2 を用いて入力する表示データを 3 つの表示領域 9 0 1、9 0 2、9 0 3 とに出力するには、表示データを並べ替える必要が生じる。

【0 0 2 1】

図 1 8 に、表示領域 9 0 1 の 1 列に並ぶ画素数が、表示領域 9 0 2 または 9 0 3 よりも多い場合を示す。図 1 8 ではデータ整理回路 6 0 0 を用いて表示データの順番を入れ換えている。

図 1 9 に表示領域 9 0 1 の画素数が多い場合のクロック波形を示す。図 1 9 の 3 3 6 は表示領域 9 0 1 に表示データを出力するクロック波形を示しており、表示領域 9 0 2、9 0 3 に出力するクロック波形よりも周波数が高くなっている。また、表示領域 9 0 2 に出力するクロック波形 3 3 7 と表示領域 9 0 3 に出力するクロック波形 3 3 8 は位相がずらされており、クロック周波数が分散することで、電磁波ノイズを低減可能となっている。

以上説明したように、本実施例によれば、液晶表示パネルに送信される表示データの送信クロックの周波数を分散させることで液晶表示装置の電磁波ノイズを低減することが可能となる。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【図面の簡単な説明】

【0 0 2 2】

【図 1】本発明の実施例の液晶表示装置の概略構成を示すブロック図である。

【図 2】本発明の実施例の液晶表示装置の入力インターフェースの概略構成を示すブロック図である。

【図 3】本発明の実施例の液晶表示装置の概略構成を示すブロック図である。

【図 4】本発明の実施例の液晶表示装置のコントローラの一例の概略構成を示すブロック図である。

【図 5】図 4 に示す各クロックの波形を示す図である。

【図 6】本発明の実施例の液晶表示装置の表示データの転送を説明するための図である。

【図 7】本発明の実施例の液晶表示装置の表示データの転送を説明するための図である。

【図 8】本発明の実施例の液晶表示装置の変形例の概略構成を示すブロック図である。

【図 9】図 8 のデータ整理回路から出力される表示データの波形の一例を示す図である。

【図 1 0】図 8 のデータ整理回路から出力される表示データの波形の他の例を示す図である。

【図 1 1】図 8 のデータ整理回路から出力される表示データの波形の他の例を示す図である。

【図 1 2】本発明の実施例の液晶表示装置のコントローラの他の例の概略構成を示すブロック図である。

【図 1 3】図 1 2 に示す内部送信回路から出力される表示データの波形の一例を示す図である。

【図 1 4】本発明の実施例の液晶表示装置のコントローラの他の例の概略構成を示すブロック図である。

【図 1 5】本発明の実施例の液晶表示装置のコントローラの他の例の概略構成を示すブ

10

20

30

40

50

ック図である。

【図 1 6】本発明の実施例の液晶表示装置のコントローラの他の例の概略構成を示すブロック図である。

【図 1 7】図 1 6 に示すコントローラにおける表示データの並び替えを説明するための図である。

【図 1 8】本発明の実施例の液晶表示装置のコントローラの他の例の概略構成を示すブロック図である。

【図 1 9】図 1 8 に示す内部送信回路から表示データを出力するクロックの波形を示す図である。

【符号の説明】

10

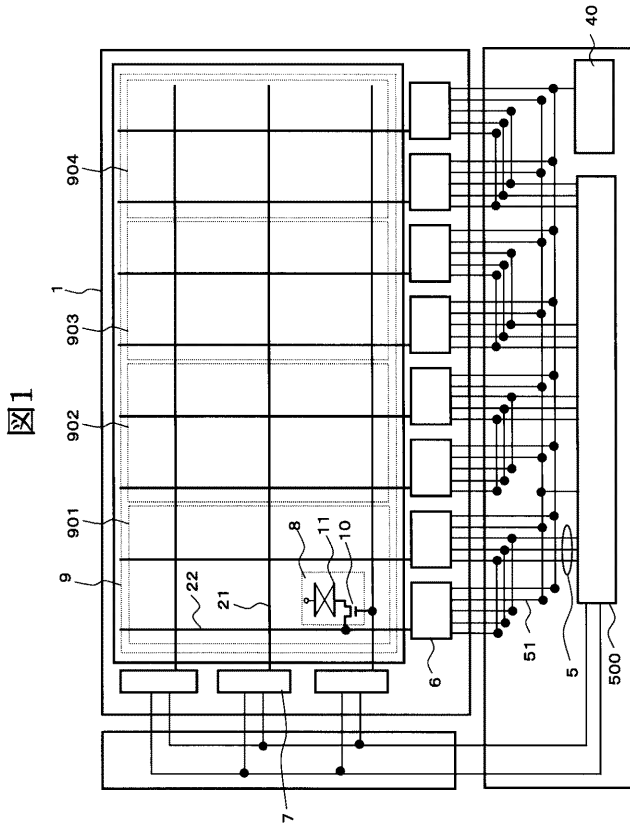
【 0 0 2 3 】

- 1 液晶表示パネル
- 3 コントローラ
- 5 データバスライン
- 6 ソースドライバ
- 7 ゲートドライバ
- 8 画素部
- 9 表示領域
- 1 0 薄膜トランジスタ
- 1 1 画素電極
- 2 1 走査信号線
- 2 2 映像信号線
- 4 0 電源回路
- 5 1 クロック信号
- 2 0 1 , 2 1 1 , 2 1 2 クロック制御回路
- 3 0 1 ~ 3 0 4 内部送信回路
- 5 0 0 コントローラ
- 5 0 1 , 5 0 2 表示データ出力部
- 6 0 0 データ整理回路
- 6 1 1 ~ 6 1 4 データ記録素子
- 6 2 1 , 6 2 2 記録素子
- 6 3 1 ~ 6 3 5 , 7 3 5 , 7 3 6 , 7 5 0 ~ 7 5 2 , 8 3 1 ~ 8 3 3 信号線
- 7 1 1 , 7 1 2 受信回路
- 7 3 1 , 7 3 2 外部信号線
- 8 0 0 外部装置
- 8 1 0 分割回路
- 8 2 1 , 8 2 2 外部送信回路
- 9 0 1 ~ 9 0 4 表示領域

20

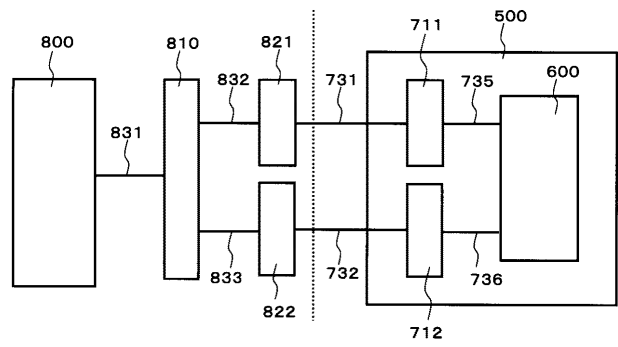
30

【図 1】



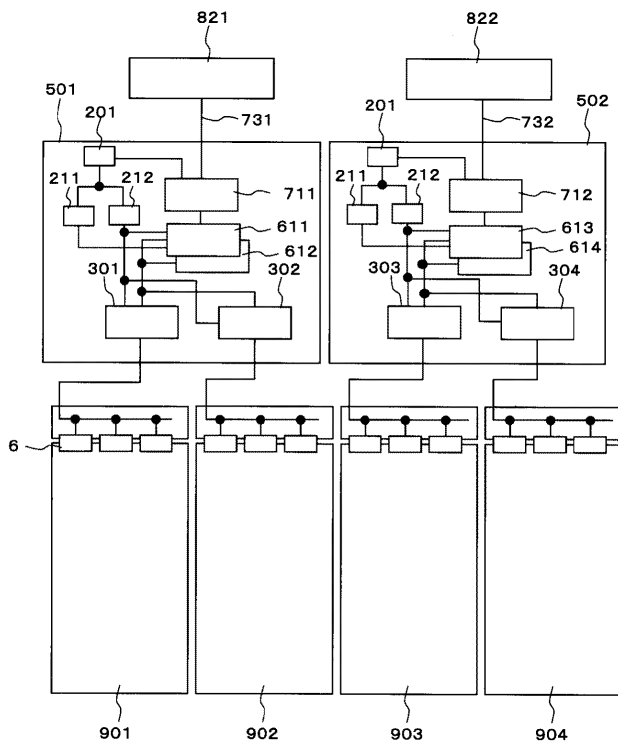
【図 2】

図2



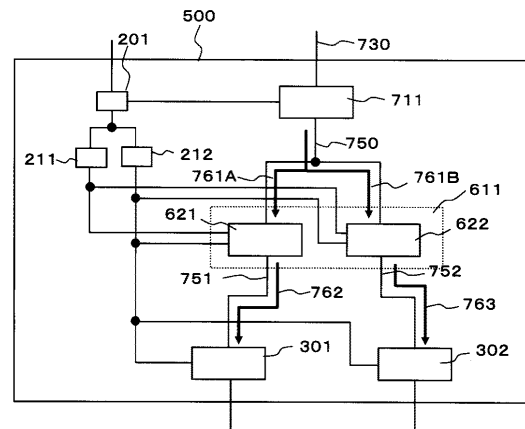
【図 3】

図3



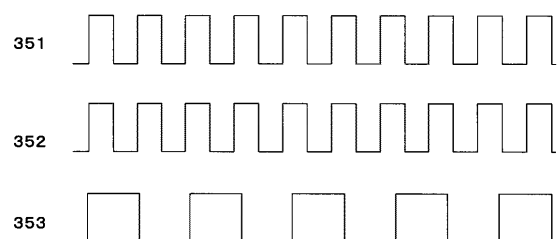
【図 4】

図4

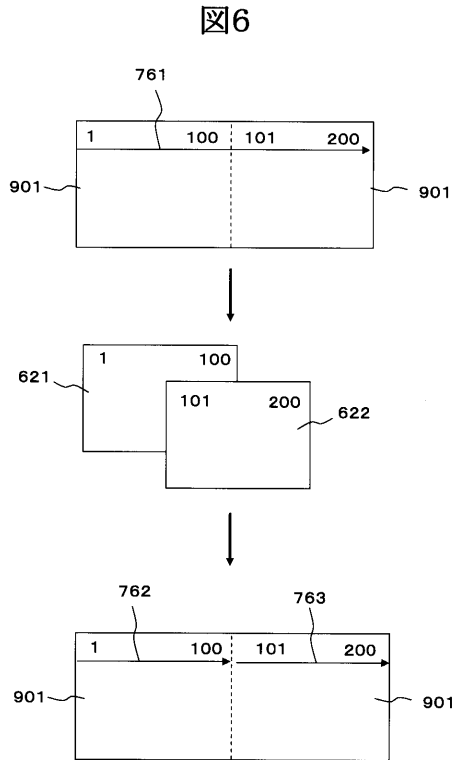


【図 5】

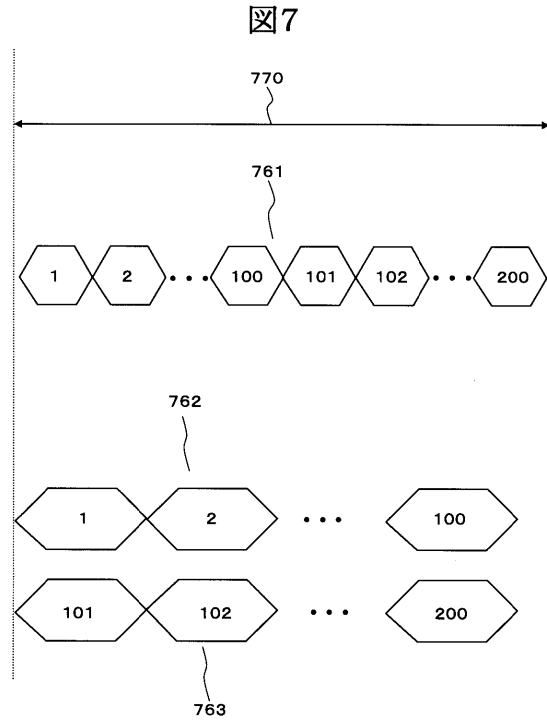
図5



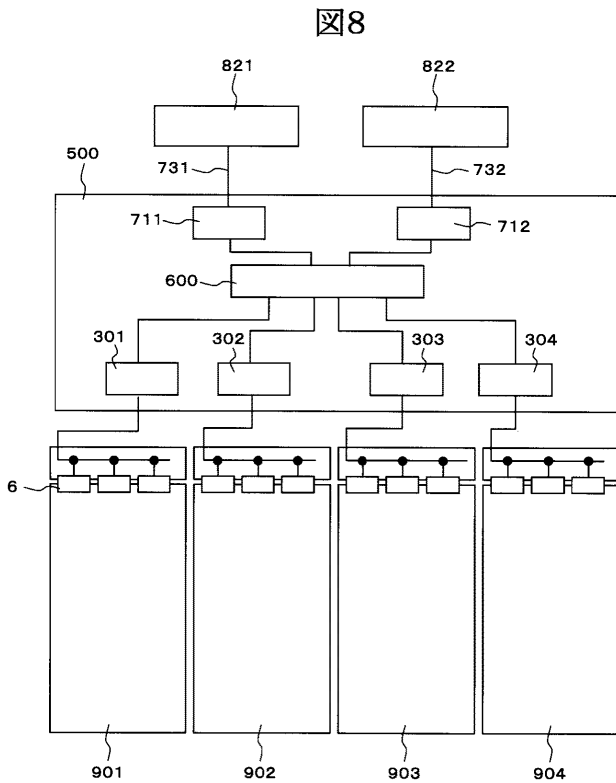
【図 6】



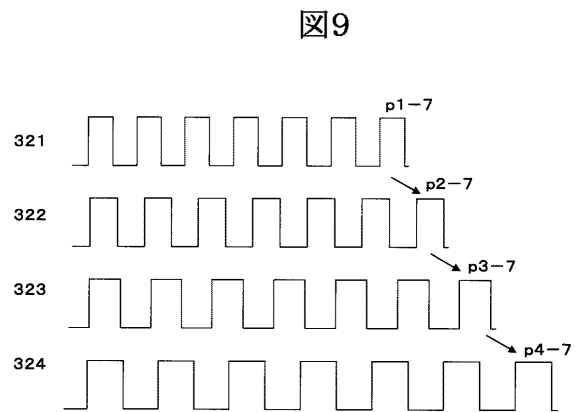
【図 7】



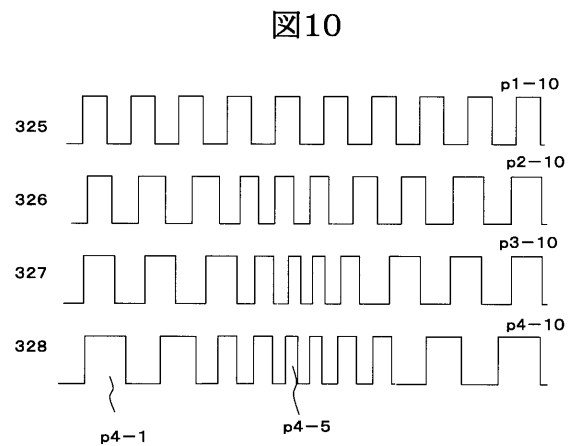
【図 8】



【図 9】

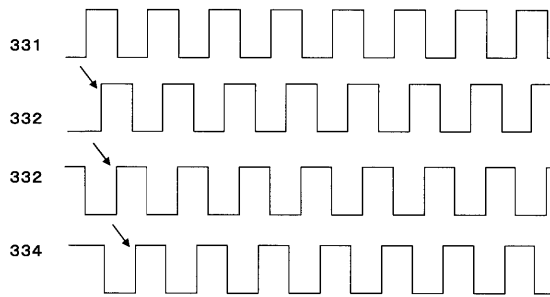


【図 10】



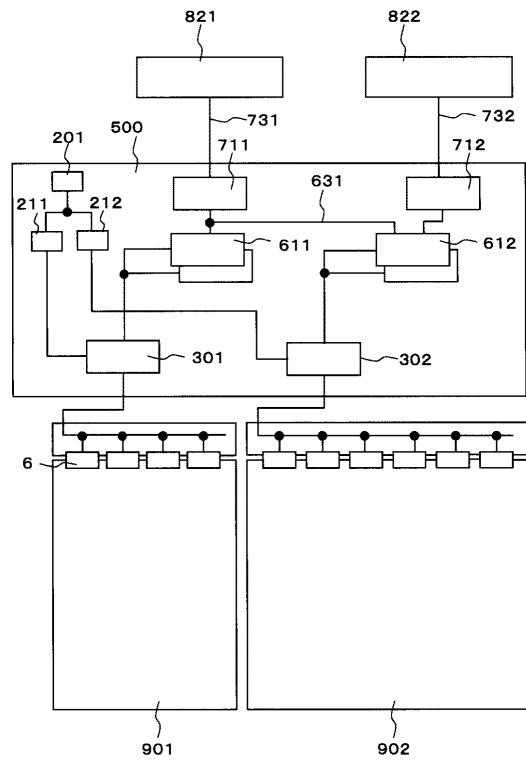
【図 1 1】

図11



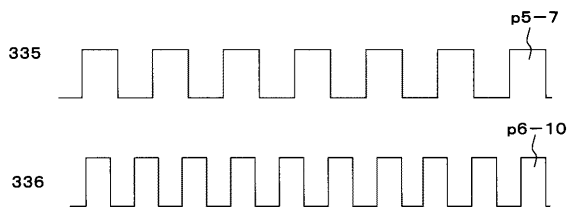
【図 1 2】

図12



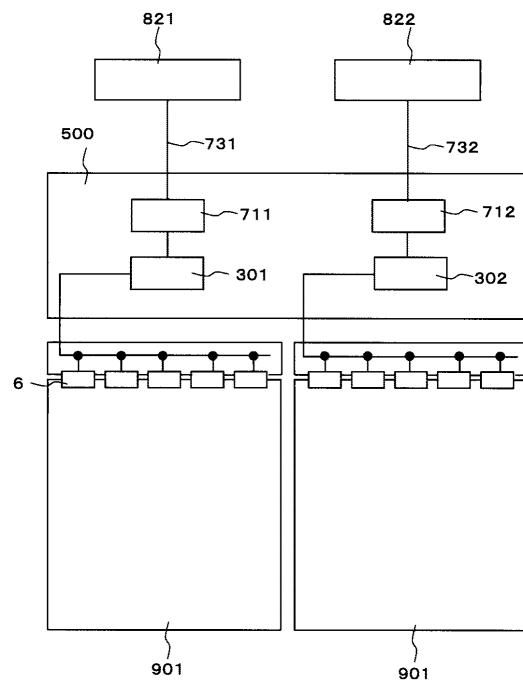
【図 1 3】

図13



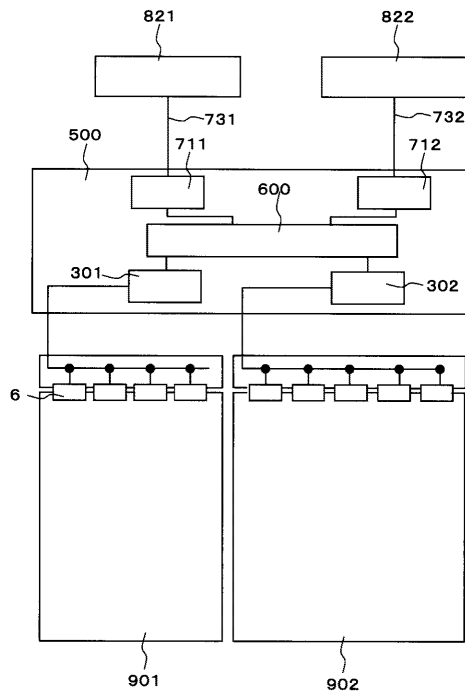
【図 1 4】

図14



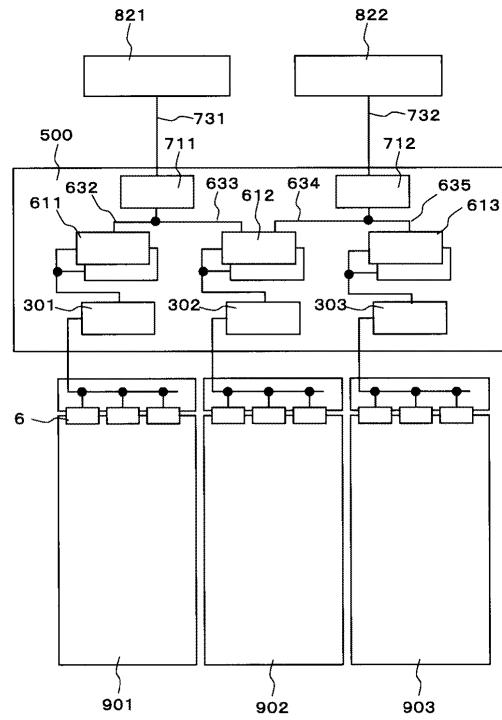
【図 15】

図15



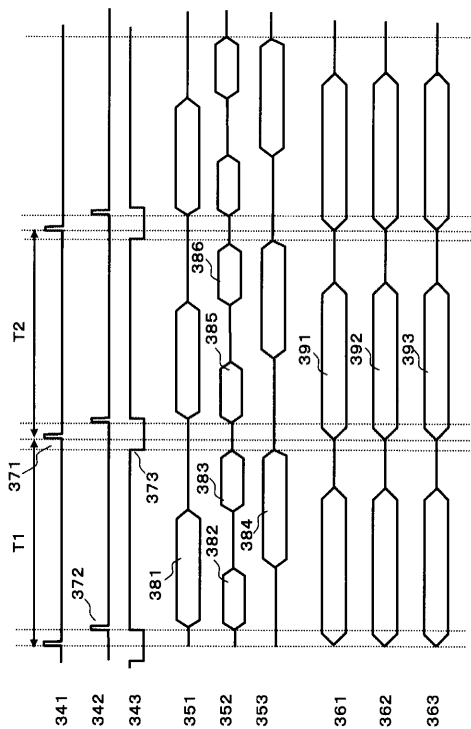
【図 16】

図16



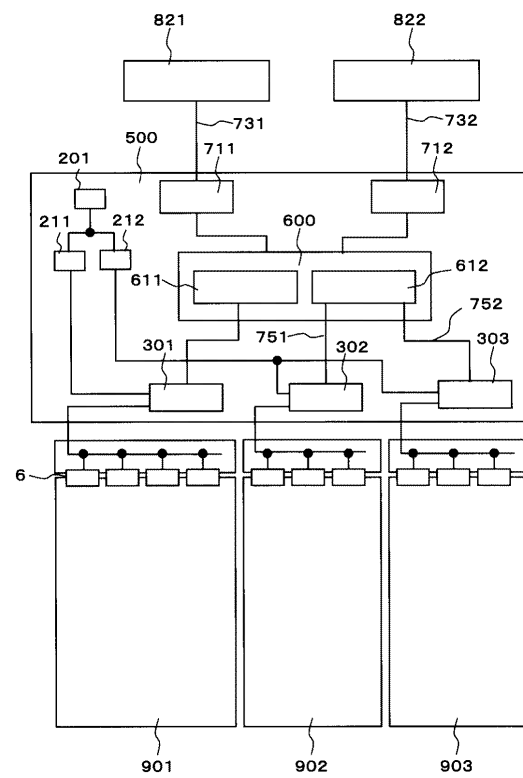
【図 17】

図17



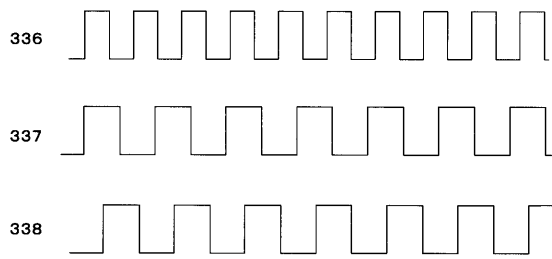
【図 18】

図18



【図 19】

図19



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 2 F 1/133 5 0 5

G 0 2 F 1/133 5 5 0

F ターム(参考) 5C006 AF03 AF04 AF43 AF72 BB16 BC23 FA32

5C080 AA10 BB05 DD12 FF07 GG15 GG17 JJ02 JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2009217117A	公开(公告)日	2009-09-24
申请号	JP2008062371	申请日	2008-03-12
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	梶尾浩一		
发明人	梶尾 浩一		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3611 G09G2310/08 G09G2330/06 G09G2370/14		
FI分类号	G09G3/36 G09G3/20.623.V G09G3/20.611.C G09G3/20.631.B G09G3/20.612.K G02F1/133.505 G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA20 2H093/NA21 2H093/NA51 2H093/NA80 2H093/NC06 2H093/NC15 2H093/NC16 2H093/NC21 2H093/NC28 2H093/NC34 2H093/NC49 2H093/ND60 2H093/NE10 2H093/NH16 2H193/ZA04 2H193/ZD21 2H193/ZE31 2H193/ZP20 5C006/AF03 5C006/AF04 5C006/AF43 5C006/AF72 5C006/BB16 5C006/BC23 5C006/FA32 5C080/AA10 5C080/BB05 5C080/DD12 5C080/FF07 5C080/GG15 5C080/GG17 5C080/JJ02 5C080/JJ04 2H193/ZA05 2H193/ZA32 2H193/ZC01 2H193/ZC25 2H193/ZD23 2H193/ZF05 2H193/ZF21 2H193/ZF36 2H193/ZF52 2H193/ZJ11		
其他公开文献	JP5283933B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种实现驱动电路的液晶显示装置，能够执行高清晰度和多级显示并减少电磁波噪声。解决方案：在液晶显示装置中，分成多个通道的低压差分信号由接收电路接收，显示数据重新排列并记录在存储元件上，并以液体形式输出到驱动电路来自不同时钟频率的发射电路的晶体显示板。液晶显示面板的显示区域分为多个区域；并且由于在各个划分的显示区域中像素的数量变化，所以可以使传输时钟频率彼此不同。

