

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-198643

(P2009-198643A)

(43) 公開日 平成21年9月3日(2009.9.3)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 641E	2H193
G02F 1/133 (2006.01)	G09G 3/20 641C	5C006
	G09G 3/20 641K	5C080
	G09G 3/20 641R	
審査請求 未請求 請求項の数 5 O L (全 15 頁) 最終頁に続く		

(21) 出願番号 特願2008-38427 (P2008-38427)
 (22) 出願日 平成20年2月20日 (2008.2.20)

(71) 出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 鷹木 二郎
 熊本県合志市御代志997番地 メルコ・
 ディスプレイ・テクノロジー株式会社内
 Fターム(参考) 2H093 NA55 NC13 NC16 NC29 ND08
 ND32 ND39 ND49 ND54
 2H193 ZD25
 5C006 AA14 AA16 AA17 AF45 FA24
 FA29

最終頁に続く

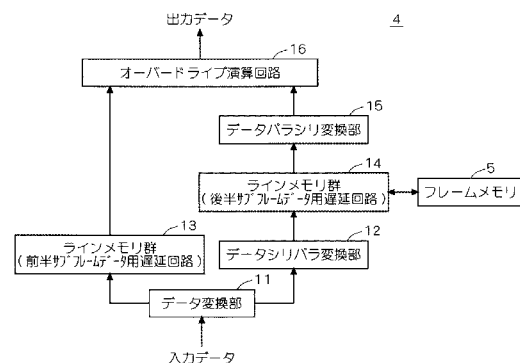
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 ホールド型表示方式を採用する液晶表示装置において、動画表示時の画像のぼやけを、輝度低下や消費電力の増加、黒輝度の増加を伴わずに解消できるとともに、コストの増大を抑制した液晶表示装置を提供する。

【解決手段】 データ変換部11は、入力データを前半サブフレームデータと後半サブフレームデータとに分け、後半サブフレームデータはデータシリパラ変換部12に与えられて、シリアルーパラレル変換される。前半サブフレームデータは、ラインメモリ群13に与えられて所定の遅延を経た後、オーバードライブ演算回路16に与えられる。パラレルデータに変換された後半サブフレームデータは、ラインメモリ群13に与えられて所定の遅延を経た後、データパラシリ変換部15に与えられて、パラレルーシリアル変換された後、オーバードライブ演算回路16から出力される前半サブフレームデータの後の出力データとなる。

【選択図】 図9



【特許請求の範囲】

【請求項 1】

液晶パネルと、入力フレームデータに基づいて前記液晶パネルの表示制御を行う制御装置と、前記液晶パネルに表示するデータをフレーム単位で保存するフレームメモリと、を備えた液晶表示装置であって、

前記制御装置は、

前記入力フレームデータを、前半サブフレームデータと後半サブフレームデータとに分け、前記前半サブフレームの出力輝度と、前記後半サブフレームの出力輝度の積分値の平均が前記入力データの目標輝度と等しくなるように設定するデータ変換部と、

前記後半サブフレームデータをシリアルーパラレル変換するデータシリパラ変換部とを有し、

前記後半サブフレームデータは、最大出力輝度データ、最小出力輝度データおよび、これらにそれぞれ準じる任意の第 1 および第 2 の輝度データの 4 つを含むように前記データ変換部において作成されて前記フレームメモリに記憶され、

前記前半サブフレームデータは、前記フレームメモリに記憶された、現在処理中の 1 水平ラインよりも所定ライン数前の 1 水平ラインの後半サブフレームデータとともに前記液晶パネルの表示制御に使用される、液晶表示装置。

【請求項 2】

前記制御装置は、

前記前半サブフレームデータに対して、オーバードライブ演算を施すオーバードライブ演算回路をさらに有し、オーバードライブ演算後の前記前半サブフレームデータを前記液晶パネルの表示制御に使用する、請求項 1 記載液晶表示装置。

【請求項 3】

前記後半サブフレームデータに含まれる、前記最大出力輝度データ、前記最小出力輝度データ、前記第 1 および第 2 の輝度データは、2 ビットデータとして前記フレームメモリに記憶される、請求項 1 記載液晶表示装置。

【請求項 4】

前記所定ライン数は、

1 フレーム期間 / 1 水平期間に所定の係数を掛けることで設定され、

前記所定の係数は、前記前半サブフレームの表示期間の比率に相当する、請求項 1 記載液晶表示装置。

【請求項 5】

前記オーバードライブ演算回路は、前記フレームメモリに記憶された、前フレームにおける同じ 1 水平ラインの後半サブフレームデータと合わせてオーバードライブ演算を施す、請求項 2 記載液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関し、特に、ホールド型表示方式を採用する液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置では、動画を表示する際に尾引きや残像が生じることがある。これらが液晶の応答速度に起因する場合には、液晶パネルの応答速度の改善や、オーバードライブ機能を用いる手法が知られている。オーバードライブ機能とは、液晶パネルに表示している動画の階調が目標とする階調に到達していないときに、液晶パネルに印加している電圧を一時的に高めることによって不足している印加電圧を補い、目標とする階調を実現しようとする機能である。

【0003】

これらの適用により、1 フレーム中に目標輝度まで到達することが可能となったが、い

10

20

30

40

50

わゆるホールド型表示方式では、インパルス型表示方式のようにフレーム間に暗表示部がないため、動きのある画像を表示する場合には、画像の境界がぼやけて見えるという特有の問題があった。

【0004】

これを解決するために、例えば特許文献1の図50に示されるような、黒挿入（黒書込）方式と呼称されるフレーム間に黒画像を入れる方式や、バックライト輝度を制御して黒表示期間を入れるなどの疑似インパルス駆動が開発されてきた。

【0005】

しかしながら、黒挿入（黒書込）方式を採用する場合、動画表示の改善は見られるものの、フレーム間に最小輝度の黒が入ることにより、画面全体の輝度が落ちるという問題があった。

10

【0006】

輝度低下に対応するために、バックライト輝度を上げる方法もあるが、消費電力が増加し、黒輝度が上がるという問題が発生する。

【0007】

黒挿入（黒書込）方式を採用しながら、輝度低下を抑制する技術として、例えば特許文献1および2には、入力データが規定値以下の場合には黒を書き込み、入力データが規定値を越える場合には白、もしくは白に近い階調の色を書き込むという方法が開示されている。

【0008】

また、特許文献3では、極値(白もしくは黒)と中間階調を1フレームおきに表示することで、入力データと同じ階調を表示させる方法が開示されている。

20

【0009】

【特許文献1】特開2006-178488号公報

【特許文献2】特開2001-296841号公報

【特許文献3】特開2000-029442号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

以上説明したように、ホールド型表示方式特有の動画表示時の画像のぼやけを、輝度低下や消費電力の増加、黒輝度の増加を伴わずに解消するために、種々の試みがなされているが、回路規模が増大したり、フレームメモリの容量増加やフレームメモリとの通信速度の高速化が要求されるなど、コストの増大につながる問題を含んでいた。

30

【0011】

本発明は、上記のような問題点を解決するためになされたものであり、ホールド型表示方式を採用する液晶表示装置において、動画表示時の画像のぼやけを、輝度低下や消費電力の増加、黒輝度の増加を伴わずに解消できるとともに、コストの増大を抑制した液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0012】

本発明に係る請求項1記載の液晶表示装置は、液晶パネルと、入力フレームデータに基づいて前記液晶パネルの表示制御を行う制御装置と、前記液晶パネルに表示するデータをフレーム単位で保存するフレームメモリと、を備えた液晶表示装置であって、前記制御装置は、前記入力フレームデータを、前半サブフレームデータと後半サブフレームデータとに分け、前記前半サブフレームの出力輝度と、前記後半サブフレームの出力輝度の積分値の平均が前記入力データの目標輝度と等しくなるように設定するデータ変換部と、前記後半サブフレームデータをシリアルパラレル変換するデータシリバラ変換部とを有し、前記後半サブフレームデータは、最大出力輝度データ、最小出力輝度データおよび、これらにそれぞれ準じる任意の第1および第2の輝度データの4つを含むように前記データ変換部において作成されて前記フレームメモリに記憶され、前記前半サブフレームデータは、

40

50

前記フレームメモリに記憶された、現在処理中の1水平ラインよりも所定ライン数前の1水平ラインの後半サブフレームデータとともに前記液晶パネルの表示制御に使用される。

【発明の効果】

【0013】

本発明に係る請求項1記載の液晶表示装置によれば、入力フレームデータを、前半サブフレームデータと後半サブフレームデータとに分け、前半サブフレームの出力輝度と、後半サブフレームの出力輝度の積分値の平均が入力データの目標輝度と等しくなるように設定し、最大出力輝度データ、最小出力輝度データおよび、これらにそれぞれ準じる任意の第1および第2の輝度データの4つを含むように後半サブフレームデータを作成するので、ホールド型表示方式を採用する液晶表示装置における動画表示時の画像のぼやけを抑制することができる。また、後半サブフレームデータとして、最大出力輝度データおよび最小出力輝度データのそれぞれに準じる任意の輝度データを、最大出力輝度データおよび最小出力輝度データと合わせて用いることで、画面全体の輝度が落ちることが抑制される。従って、輝度低下に対応するために、バックライト輝度を上げる必要がないので、消費電力が増加すること、黒輝度が上がることもない。また、上記効果を奏するために、液晶表示装置に特別の構成を付加する必要はなく、従来からの構成を利用できるので、回路規模が増大することなく、また、フレームメモリの容量増加やフレームメモリとの通信速度の高速化が要求されることもないので、コストの増大も防止できる。

【発明を実施するための最良の形態】

【0014】

<始めに>

本発明の説明に先立って、図1～図7を用いて、ホールド型表示方式特有の動画表示時の画像のぼやけについて説明する。

【0015】

図1は黒挿入方式を採用しない場合のホールド型画像表示装置において、静止した背景上を物体が水平に動く映像を表示する場合の、画面内の1水平ライン上での時間経過に伴う輝度変化の様子を示す図である。図1の(a)部および(b)部では、横軸は画面上で水平方向の輝度の状態を示し、縦軸は時間経過を示しており、1フレーム期間T1として、4フレーム期間の画面表示について表している。

【0016】

図1の(a)部には、水平に動く物体の映像を観察者の視線が追いかける場合の視線の動きを示しており、図1の(b)部には、観察者の視線が動くことで実質的に物体が静止して見える場合の視線の動きと輝度変化の様子を示している。また、図1の(c)部には、動く物体を注視した観察者に見える物体の明るさの分布を示しており、動く物体の輪郭部ではグラデーションが発生し、輪郭部がぼやけて見える。なお、ぼやけ幅をL1として表す。

【0017】

図2は黒挿入方式を採用した場合のホールド型画像表示装置において、物体が水平に動く映像を表示する場合の、画面内の1水平ライン上での時間経過に伴う輝度変化の様子を示す図である。図2の(a)部および(b)部では、横軸は画面上で水平方向の輝度の状態を示し、縦軸は時間経過を示しており、1フレーム期間T1を2つのサブフレーム期間T11およびT12に分け、サブフレーム期間T12で黒画像の表示を行っている。また、図2の(c)部には、動く物体を注視した観察者に見える物体の明るさの分布を示しており、動く物体の輪郭部ではグラデーションが発生しているものの、ぼやけ幅L2は、図1の(c)部に示したぼやけ幅L1に比べて大幅に狭くなっている。

【0018】

先に説明したように、特許文献2においては、黒挿入(黒書き込)方式を採用しながら、輝度低下を抑制する技術として、入力データに規定値を定め、規定値以下の場合には黒を書き込み、規定値を越える場合には白、もしくは白に近い階調の色を書き込む技術が段落0155および0156に開示され、入力データの階調レベルが50%のところを境界

10

20

30

40

50

とする例が示されている。

【0019】

図3には、入力データの階調レベルが50%のところを境界として各サブフレームにデータを出力する場合の入力階調と出力階調との階調特性を示す。図3においては、横軸に入力階調を、縦軸に出力階調を示し、入力データの階調レベルが50%になると後半サブフレームにデータが出力されることが示されている。

【0020】

しかし、階調レベルで判断を行うと γ 輝度特性が1の場合は良いが、 γ 特性が1以外のときは出力輝度との関係がずれてしまい、入力階調と出力輝度との特性を示す図4のように目標階調特性を得ることができなくなる。すなわち、図4においては、横軸に入力階調を、縦軸に出力輝度を示し、合計積算輝度を併せて示しているが、合計積算輝度で表される γ 特性は、理想的な γ 特性である指数関数特性からずれてしまう。

10

【0021】

また、50%の規定値を跨ぐように低階調から高階調への階調変化、または高階調から低階調への階調変化があった場合には、階調変化の輪郭部で暗線、明線が発生してしまう。その場合の、画面内の1水平ライン上での時間経過に伴う輝度変化の様子を図5に示す。図5の(a)部および(b)部では、横軸は画面上で水平方向の輝度の状態を示し、縦軸は時間経過を示しており、1フレーム期間T1を2つのサブフレーム期間T11およびT12に分け、サブフレーム期間T12で黒画像の表示を行っている。また、図5の(c)部には、動く物体を注視した観察者に見える物体の明るさの分布を示しており、動く物体の輪郭部ではグラデーションが発生し、しかも、動く物体の移動方向と、その反対方向とで、ぼやけ方が異なっている。

20

【0022】

すなわち、動く物体の移動方向側の輪郭部では明線が発生するようにぼやけ、移動方向とは反対側の輪郭部では暗線が発生するようにぼやけている。

【0023】

また、先に説明したように、特許文献3においては極値(白もしくは黒)と中間階調を1フレームおきに表示することで、入力データと同じ階調を表示させる。この場合の入力階調と出力階調との階調特性を図6に示し、出力輝度特性を図7に示す。

【0024】

このような特性を有する場合、例えば階調パターンなどを表示させると、輝度レベルが50%の境界部分でちらつきが視認される。これは輝度レベルが50%のデータと51%のデータの表示が、前半サブフレーム期間では100/0(50%)となり、前半サブフレーム期間では2/100(51%)となって、隣り合う画素で輝度振幅が大きくなるためである。従って、チェッカーフラッグのようなパターンなどではこのちらつきが顕著に現れる。

30

【0025】

<実施の形態1>

以下、図8～図14を用いて、本発明に係る実施の形態1の液晶表示装置について説明する。

40

【0026】

<装置構成>

図8は、実施の形態1に係る液晶表示装置全体の回路構成を示すブロック図である。図1に示すように、矩形の液晶パネル1の長辺に対して、平行に配置されるゲート電極に信号を与える液晶駆動回路(ゲートドライバIC群)2が接続され、矩形の液晶パネル1の短辺に対して平行に配置されるソース電極に信号を与える液晶駆動回路(ソースドライバIC群)3が接続されている。液晶駆動回路2および液晶駆動回路3にタイミングコントローラ4が接続され、データ記憶回路(フレームメモリ)5および温度検出回路6からの信号情報に基づいて液晶駆動回路2および液晶駆動回路3を制御する構成となっている。

【0027】

50

図 9 は、タイミングコントローラ 4 の構成を示すブロック図であり、データ変換部 1 1、データシリバラ変換部 1 2、前半サブフレームデータ遅延回路を構成するラインメモリ群 1 3、後半サブフレームデータ遅延回路を構成するラインメモリ群 1 4、データパラシリ変換部 1 5 およびオーバードライブ演算回路 1 6 を備えている。

【0028】

データ変換部 1 1 は、入力されたフレームデータ（入力データ）を前半サブフレームデータと後半サブフレームデータとに分け、後半サブフレームデータはデータシリバラ変換部 1 2 に与えられて、シリアルーパラレル変換される。前半サブフレームデータは、ラインメモリ群 1 3 に与えられて所定の遅延を経た後、オーバードライブ演算回路 1 6 に与えられる。

10

【0029】

パラレルデータに変換された後半サブフレームデータは、ラインメモリ群 1 3 に与えられて所定の遅延を経た後、データパラシリ変換部 1 5 に与えられて、パラレルーシリアル変換された後、オーバードライブ演算回路 1 6 から出力される前半サブフレームデータとの後の出力データとなる。

【0030】

図 10 には、図 9 に示すタイミングコントローラ 4 を用いて制御を行った場合の入力階調（入力データ）と出力階調（出力データ）との階調特性の一例を示し、その場合の入力階調と出力輝度特性を図 11 に示す。

【0031】

入力階調－出力階調のデータ変換は、データ変換部 1 1 において、入力データを前半サブフレームデータと後半サブフレームデータとに分ける処理とともに、 γ 輝度特性から得られる数式に基づいて計算によって求めることができるが、予め作成したルックアップテーブル（LUT）を使用して変換しても良く、その手段は限定されるものではない。また、LUT も外部 ROM（リードオンリーメモリ）もしくは通信手段を用いて外部から読み込んで作成すれば良い。

20

【0032】

なお、後半サブフレームデータは、図 11 に示されるように白黒、および白黒に近い任意のデータを意味している。すなわち、図 11 において、最大出力輝度にあたるデータが白のデータであり、最小出力輝度にあたるデータが黒のデータであり、最大出力輝度より少し低い輝度のデータが白に近い任意のデータであり、最小出力輝度より少し高い輝度のデータが黒に近い任意のデータである。従って、入力データの階調ビット幅に関わらず 2 ビットデータとして扱う。例えば、 $00 = 0$ 階調、 $01 = 158$ 階調、 $10 = 186$ 階調、 $11 = 256$ 階調とする。

30

【0033】

これにより、入力データの階調ビットで処理する必要がないので、データ変換部 1 1 を含めて回路規模を小さくできる。

【0034】

また、前半サブフレームデータは、後半サブフレームデータとの表示輝度の積分値の平均が入力データの表示輝度換算値（目標輝度）と等しくなるように決定される。すなわち、例えば前半／後半のサブフレームの表示時間の比率が $50\% / 50\%$ の場合で、出力輝度の変移時間が 0 の場合は、目標出力輝度を 10% とした場合、前半サブフレームで 20% 輝度、後半サブフレームで 0% 輝度を出力させ、 $(20 + 0) / 2$ で 10% 出力輝度とする。また、変移時間が有限の値をもつ場合においては前半サブフレームで $(20 + \alpha)\%$ 輝度、後半サブフレームで 0% 輝度を出力させる。

40

【0035】

このように決定することで、入力データの目標出力輝度が 50% 以下の場合は、後半サブフレームは 0% 輝度（黒）になるので前半サブフレームの出力輝度は高くなる。ただし、入力データの目標出力輝度が 50% 以上の場合は、後半サブフレームは 100% 輝度（白）になるので前半サブフレームの出力輝度は低くなる。なお、上記では前半サブフレイ

50

ムと後半サブフレームとで、表示時間の比率が同じとして説明したが、例えば、前半 3 5 %、後半 6 5 % のように比率を変えて換算しても良い。

【0036】

<動作>

以下、図 9 に示したタイミングコントローラ 4 のデータフローを示す図 12 を用いて、タイミングコントローラ 4 の動作について説明する。なお、図 9 においては複数のアドレスにおける入力データについてのフローを示しているが、アドレス $m-1$ のデータおよびアドレス m のデータについて説明する。ここで、例えば、 m は水平ラインの m ライン目の入力信号を表し、後に説明する n ライン目とは $n < m$ の関係にある。

【0037】

データ変換部 11 に入力されたアドレス $m-1$ の入力データは、前半サブフレームデータと後半サブフレームデータとに分けられる（ステップ S1）。

【0038】

そして、後半サブフレームデータは、データシリアル変換部 12 においてシリアルパラレル変換され（ステップ S2）、ラインメモリ群 14 のラインメモリ A' に与えられる（ステップ S4）。

【0039】

一方、前半サブフレームデータは、ラインメモリ群 13 に与えられ（ステップ S3）、所定の遅延を経た後、オーバードライブ演算回路 16 に与えられて、オーバードライブ演算を施される（ステップ S9）。

【0040】

また、ラインメモリ群 14 のラインメモリ A' に与えられた後半サブフレームデータは、フレームメモリ 5 のアドレス $m-1$ に保存される（ステップ S5）。

【0041】

一方、既にフレームメモリ 5 の異なるアドレス $n-1$ に保存されていた、 $n-1$ ライン目の後半サブフレームデータを読み出し（ステップ S6）、ラインメモリ群 14 のラインメモリ B' に与える（ステップ S7）。このとき読み出し対象となるアドレス $n-1$ は、前半サブフレームと後半サブフレームとで表示期間比率が等しい場合、アドレス $m-1$ に対して、 $(1 \text{ フレーム期間} / 1 \text{ 水平期間}) / 2$ 程度前のアドレスを使用する。例えば、1 フレーム期間が 800 水平期間である場合、アドレス $m-1$ が 600 の場合、アドレス $n-1$ は 200 となる。

【0042】

このような操作をする理由は、1 フレーム期間を前半、後半サブフレームに分け、後半サブフレームをブランキング（黒挿入）期間とする場合、前半サブフレームを書き終わってしまってから、後半サブフレームを書き込み始めるように動作させると、1 フレーム期間中にブランキング期間が書き込みライン数の同数以上必要になってしまい現実的ではないからである。

【0043】

なお、前半サブフレームと後半サブフレームとで表示期間比率が異なる場合も同様の操作を行うが、その場合の係数は $1/2$ （0.5）ではなく、前半サブフレームの表示期間比率（ $1 <$ ）となる。

【0044】

ラインメモリ群 14 のラインメモリ B' に与えられたアドレス $n-1$ の後半サブフレームデータは、所定の遅延を受けた後、データパラシリアル変換部 15 に出力されてパラレルシリアル変換され（ステップ S8）、2 ビットデータから所定のビット幅のシリアルデータとなって、オーバードライブ演算回路 16 から出力されるアドレス $m-1$ の前半サブフレームデータの後の出力データとなる。

【0045】

また、ステップ S9 において、アドレス $m-1$ の前半サブフレームデータをオーバードライブ演算回路 16 に入力する際に、前フレームの後半サブフレームデータを比較データ

10

20

30

40

50

としてオーバードライブ演算回路 16 に入力することで、1 フレーム中に目標とする階調に達することが確実にでき、オーバードライブの効果を確実に得ることができる。

【0046】

このため、アドレス $m-1$ の入力データを処理するフロー（説明は省略）において、フレームメモリ 5 のアドレス $m-1$ に保存された、前フレームの後半サブフレームデータを読み出してラインメモリ群 14 のラインメモリ C'' に書き込み、データパラシリ変換部 15 でパラレルーシリアル変換を施して、ステップ S9 において、現フレームにおけるアドレス $m-1$ の前半サブフレームデータとタイミングを合わせてオーバードライブ演算回路 16 に入力する。オーバードライブ演算回路 16 からは、オーバードライブ演算後のアドレス $m-1$ の前半サブフレームデータ D1 が出力される。

10

【0047】

この動作は、アドレス m の入力データを処理するフローにおいては、フレームメモリ 5 のアドレス m に保存された、前フレームの後半サブフレームデータを読み出す動作（ステップ S10）と、読み出したデータをラインメモリ群 14 のラインメモリ C' に書き込む動作（ステップ S11）と、データパラシリ変換部 15 でパラレルーシリアル変換を施す動作（ステップ S8）と、ステップ S29 において、現フレームにおけるアドレス m の前半サブフレームデータとタイミングを合わせて、アドレス m の前フレームの後半サブフレームデータをオーバードライブ演算回路 16 に入力する動作（ステップ S29）と、に相当する。

【0048】

20

従って、現フレームの前半サブフレームデータおよび前フレームの同じアドレスの後半サブフレームデータは、位相を揃えてオーバードライブ演算回路 16 に入力されるように、ラインメモリ群 13 の遅延量およびラインメモリ群 14 の遅延量が設定される。

【0049】

なお、上記の説明では、フレームメモリ 5 から読み出された前フレームの後半サブフレームデータは、データパラシリ変換部 15 でパラレルーシリアル変換を施されるものとして説明したが、これは、オーバードライブ演算回路 16 を従来からの構成のまま使用するための操作である。前フレームの後半サブフレームデータ、すなわち、白黒、および白黒に準じた 4 つのデータを、オーバードライブ演算回路 16 に与える前に所定のビット幅に復元しておことで、オーバードライブ演算回路 16 は、中間調データから中間調データへのデータ変移の必要性がなくなり、白黒、および白黒に準じた 4 つのデータから中間調データへの演算だけで済むので、回路規模を大きくする必要がない。

30

【0050】

なお、図 12 において、ステップ S21～S31 の動作はステップ S1～S11 と基本的に同様であるが、アドレス m の入力データを処理するフローでは、現フレームのアドレス $m-1$ がアドレス m に、アドレス $n-1$ がアドレス n に、前フレームのアドレス $m-1$ がアドレス m となり、オーバードライブ演算回路 16 からは、オーバードライブ演算後のアドレス m の前半サブフレームデータ D10 が出力される。また、ラインメモリ群 14 のラインメモリ A'～C' が、ラインメモリ A、B および C となる。

【0051】

40

なお、1 水平期間で、前半サブフレームデータと後半サブフレームデータとを出力することになるので、図 8 に示した液晶パネル 1 のゲート電極のオン期間を制御する必要がある。すなわち、前半サブフレームデータと後半サブフレームデータの表示期間の比率が等しい場合、ゲートスタートパルス（STV）を、1 フレーム中の先頭ラインと中間ラインとに与える。しかし、このままでは、1 フレーム中に 2 個所のゲートオン期間が発生することになるので、ゲートドライバ IC の出力イネーブル機能（OFFEV）を用いて、1 フレーム中に 1 個所だけ、ゲートオン期間が発生するように制御する。すなわち、同時に 2 個所のゲートラインをゲートラインをオンさせたままだと前半フレームデータを書き込んだ後に後半サブフレームデータを書き込んでしまい、結果的には 2 個所のゲートラインに後半サブフレームデータを書き込んでしまうことになる。よって、前半サブフレームデ

50

ータを出力させている期間と後半サブフレームデータを出力させている期間とに分けて2個所のうちどちらのゲートラインをオンするかを選択することになる。

【0052】

<効果>

以上説明したように、本発明に係る実施の形態1の液晶表示装置においては、前半サブフレームの出力輝度と、後半サブフレームの出力輝度の積分値の平均が入力データの目標輝度と等しくなるように設定し、後半サブフレームデータとして、最大出力輝度データ、最小出力輝度データおよびこれらにそれぞれ準じる任意の輝度データの、4つのデータを使用することで、ホールド型表示方式を採用する液晶表示装置における動画表示時の画像のぼやけを抑制することができる。

10

【0053】

図13には、後半サブフレームデータとして、白および黒のみを使用する場合の、画面内の1水平ライン上での時間経過に伴う輝度変化の様子を示し、図14には、後半サブフレームデータとして、最大出力輝度データおよび最小出力輝度データのそれぞれに準じる任意の輝度データを使用する場合の画面内の1水平ライン上での時間経過に伴う輝度変化の様子を示す。

【0054】

図13および図14の(a)部および(b)部では、横軸は画面上で水平方向の輝度の状態を示し、縦軸は時間経過を示しており、1フレーム期間T1を2つのサブフレーム期間T11およびT12に分けている。また、図13および図14の(c)部には、動く物体を注視した観察者に見える物体の明るさの分布を示している。

20

【0055】

図13では、前半サブフレームでの背景は黒表示に対して、後半サブフレームでは白表示とし、前半サブフレームでは動く物体を任意の輝度とし、後半サブフレームでは黒表示としている。この場合、図13の(c)部に示されるように、動く物体の輪郭部ではグラデーションが発生し、しかも、動く物体の移動方向と、その反対方向とで、ぼやけ方が異なっている。また、グラデーションには暗過ぎる部分(暗線)と明る過ぎる部分(明線)とが存在している。これは図5に示したように、特許文献2で開示される方法に基づいて処理した結果である。

【0056】

一方、図14では、前半サブフレームでの背景に対して、後半サブフレームでは最小出力輝度に準じる任意の輝度データを使用し、前半サブフレームでの動く物体の黒表示に対して、後半サブフレームでは最大出力輝度に準じる任意の輝度データを使用している。この場合、図14の(c)部に示されるように、動く物体の輪郭部ではグラデーションが発生するものの、動く物体の移動方向と、その反対方向とで、ぼやけ方の差は顕著ではなく、暗線や明線も発生していない。

30

【0057】

また、後半サブフレームデータとして、最大出力輝度データおよび最小出力輝度データのそれぞれに準じる任意の輝度データを、最大出力輝度データおよび最小出力輝度データと合わせて用いることで、画面全体の輝度が落ちることが抑制される。

40

【0058】

従って、輝度低下に対応するために、バックライト輝度を上げる必要がないので、消費電力が増加すること、黒輝度が上がることもない。

【0059】

また、上記効果を奏するために、液晶表示装置に特別の構成を付加する必要はなく、従来からの構成を利用できるので、回路規模が増大することなく、また、フレームメモリの容量増加やフレームメモリとの通信速度の高速化が要求されることもないので、コストの増大も発生しない。

【0060】

また、前半サブフレームデータに対しては、オーバードライブ演算回路16を介するこ

50

とでオーバードライブ演算を施すようにしたので、白黒データから中間調データへの階調変化時の液晶応答特性の不足を補うことができる。

【0061】

<変形例1>

以上説明した実施の形態1の液晶表示装置の構成に加えて、後半サブフレームデータを、現フレームの入力データのみで作成するのではなく、前フレームの後半サブフレームデータから動きを予測して作成する構成を備えることとしても良い。

【0062】

すなわち、図6および図7を用いて説明したように、後半サブフレームデータの階調が最小の極値にある階調から最大の極値にある階調に変化する場合、あるいはこの逆に変化する場合、階調変化の輪郭部に暗線、明線が発生するが、前フレームの後半サブフレームデータから動きを予測して後半サブフレームデータを作成することで、後半サブフレームデータが動く物体に追従することができるので、暗線および明線の発生を抑制できる。

【0063】

図15には、この方式を採用した場合の画面内の1水平ライン上での時間経過に伴う輝度変化の様子を示す。図15の(a)部および(b)部では、横軸は画面上で水平方向の輝度の状態を示し、縦軸は時間経過を示しており、1フレーム期間T1を2つのサブフレーム期間T11およびT12に分けている。また、図15の(c)部には、動く物体を注視した観察者に見える物体の明るさの分布を示している。

【0064】

図15の(a)部に示されるように、前半サブフレームでは動く物体を任意の輝度とし、後半サブフレームでは黒表示としているが、後半サブフレームは、前フレームの後半サブフレームデータから動きを予測して作成されるので、後半サブフレームでの動く物体は、前半サブフレームのそれよりも少し先に進んでいる。このため、図15の(b)部に示されるように、観察者には前半サブフレーム、後半サブフレームで物体の位置にずれがなく見え、その結果、図15の(c)部に示されるように、動く物体の輪郭部ではグラデーションが発生するものの、動く物体の移動方向と、その反対方向とで、ぼやけ方の差は顕著ではなく、暗線や明線も発生しない。

【0065】

なお、動き予測のための動き予測回路は、例えば、図9に示す、データパラシリ変換部15の前段に設け、図12において、例えばステップS10で示したように、フレームメモリ5から読み出した、前フレームの後半サブフレームデータを動き予測回路に与える構成を採れば良い。

【0066】

この場合、動き予測処理も、入力データの階調ビットで処理する必要がなく、2ビットデータで処理できるので、動き予測回路の回路規模も小さくて済む。

【0067】

<変形例2>

以上説明した実施の形態1の液晶表示装置では、白黒データから中間調データへの階調変化時の液晶応答特性の不足を補うため、オーバードライブ演算回路16を設けた構成を示したが、液晶応答がサブフレーム中に収束するような高速応答特性を有する液晶パネルを使用する場合には、オーバードライブ演算回路16を設けない構成としても良い。

【図面の簡単な説明】

【0068】

【図1】 ホールド型表示方式による動画表示を説明する図である。

【図2】 ホールド型表示方式による動画表示を説明する図である。

【図3】 入力階調と出力階調との階調特性を示す図である。

【図4】 入力階調と出力輝度との特性を示す図である。

【図5】 ホールド型表示方式による動画表示を説明する図である。

【図6】 入力階調と出力階調との階調特性を示す図である。

10

20

30

40

50

【図 7】 入力階調と出力輝度との特性を示す図である。

【図 8】 本発明に係る実施の形態 1 の液晶表示装置全体の回路構成を示すブロック図である。

【図 9】 タイミングコントローラの構成を示すブロック図である。

【図 10】 本発明に係る実施の形態 1 の液晶表示装置における入力階調と出力階調との階調特性を示す図である。

【図 11】 本発明に係る実施の形態 1 の液晶表示装置における入力階調と出力輝度との特性を示す図である。

【図 12】 タイミングコントローラでのデータフローを説明する図である。

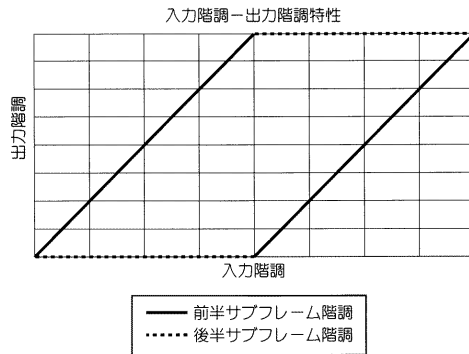
【図 13】 ホールド型表示方式による動画表示を説明する図である。

【図 14】 本発明に係る実施の形態 1 の液晶表示装置による動画表示を説明する図である。

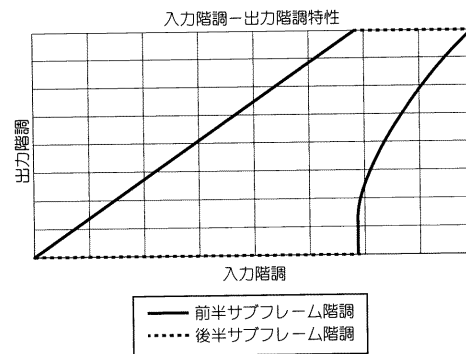
【図 15】 本発明に係る実施の形態 1 の変形例 1 の液晶表示装置による動画表示を説明する図である。

10

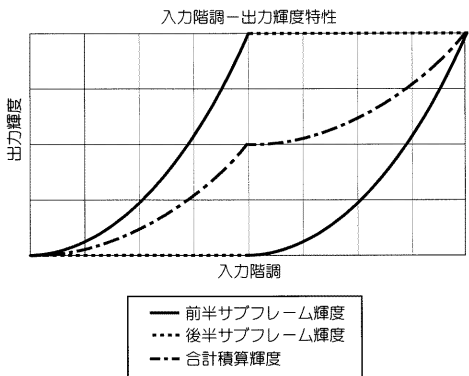
【図 3】



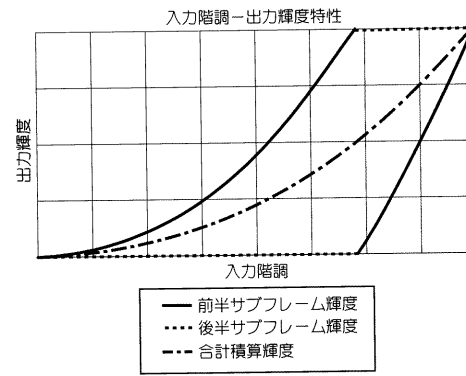
【図 6】



【図 4】



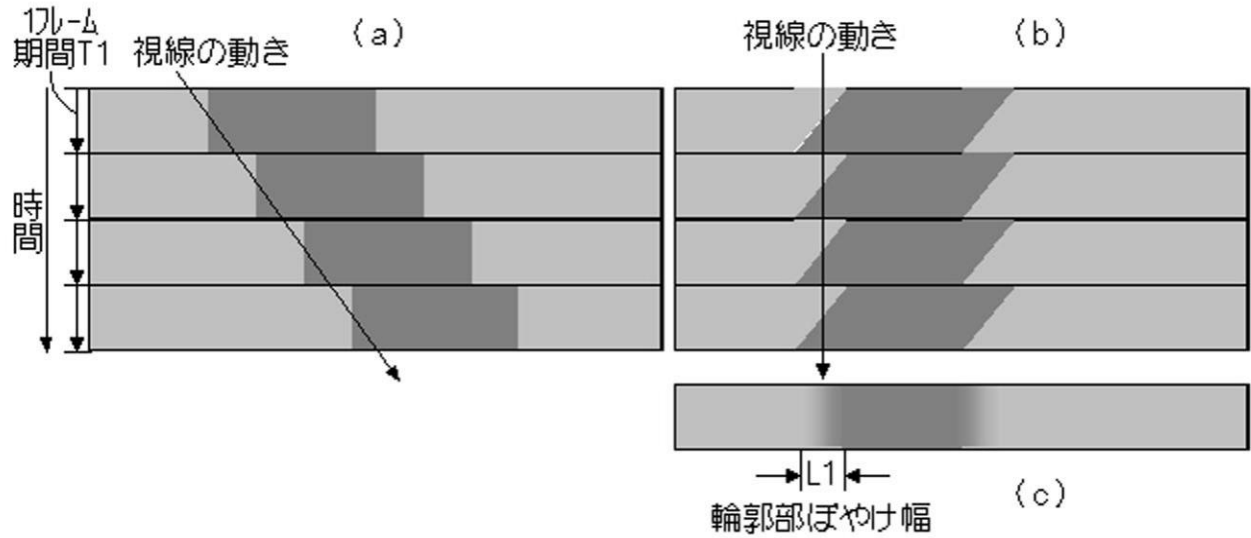
【図 7】



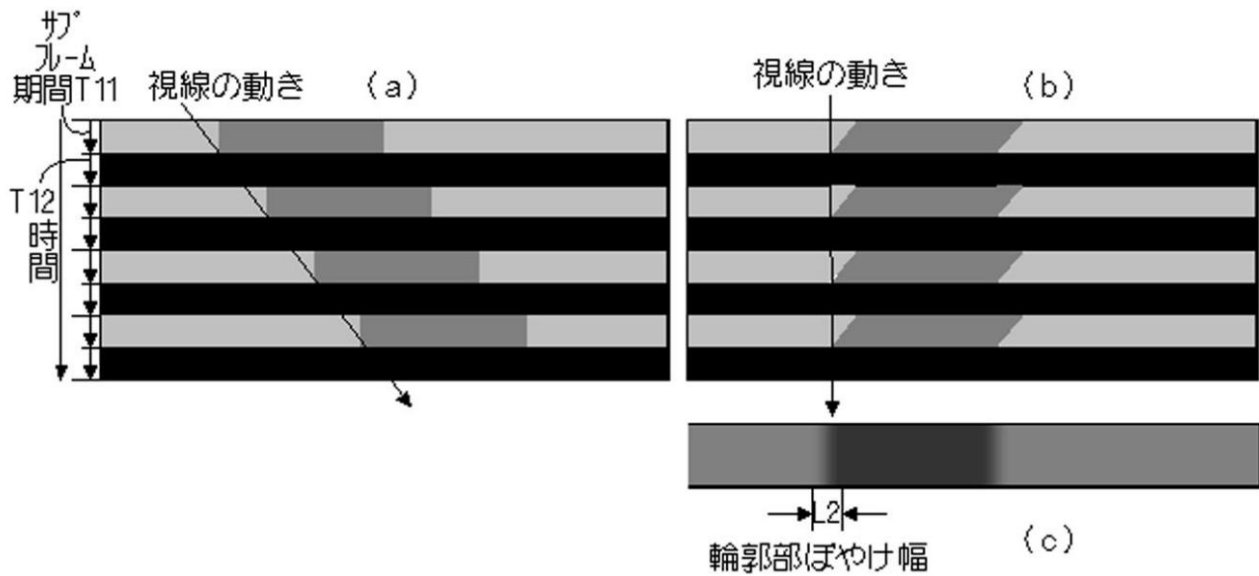
The diagram illustrates a data transfer system architecture. It consists of several main components and a sequence of operations:

- Input Section:** An input device provides data to a **データ変換** (Data Converter) block, which outputs to a **シフトレジスタ** (Shift Register) block. This is labeled with input address $S1^{(n-1)}$.
- Memory Section:** A **ラインメモリ** (Line Memory) block is connected to the shift register via a **シフトレジスタ** block. The memory is divided into sections labeled $D1, D2, D10, D20$.
- Processing Section:** Data from the memory is processed by a **パリティ変換** (Parity Conversion) block, which outputs to a **ラインメモリ** block. This is labeled with output address $S2^{(n-2)}$.
- Control and Timing:** The system is controlled by a series of signals $S1, S2, S3, S4, S5, S6, S7, S8, S9, S10, S11, S12, S13, S14, S15, S16, S17, S18, S19, S20, S21, S22, S23, S24, S25, S26, S27, S28, S29, S30, S31$.
- Data Flow:** Data flows from the input device through the shift register and memory buffers, eventually being output to the memory unit. The output is labeled with output address $S2^{(n-2)}$.

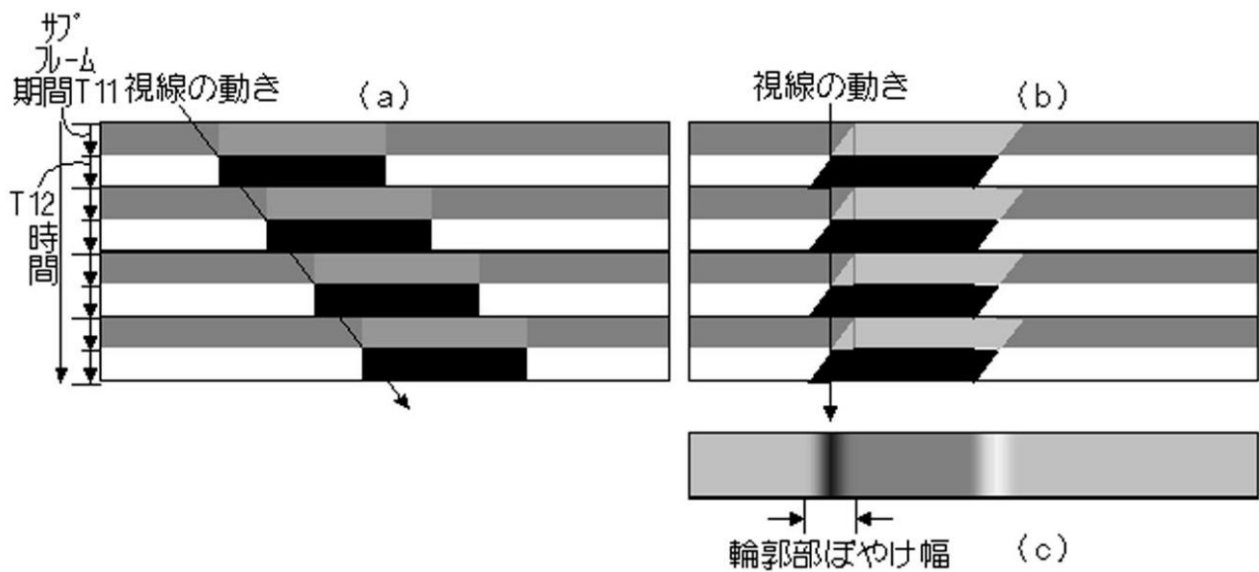
【図 1】



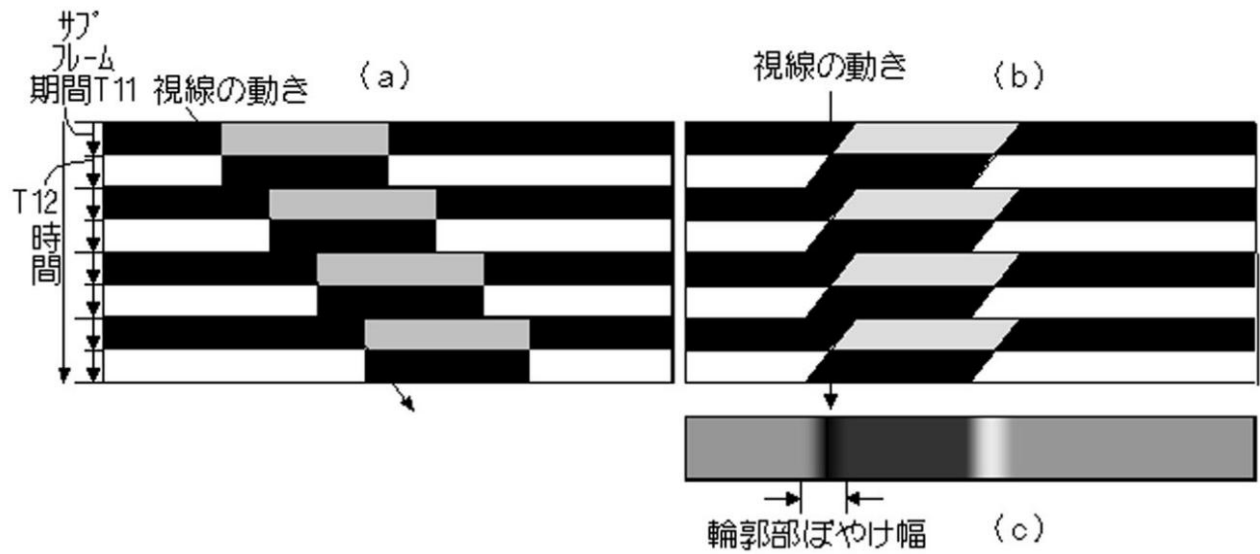
【図 2】



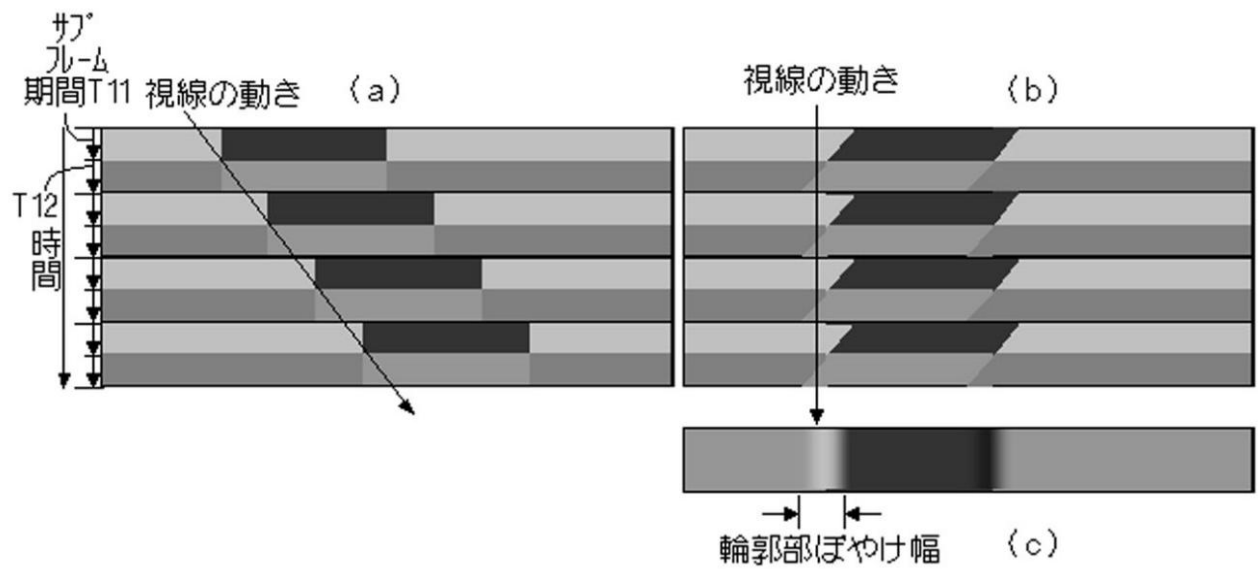
【図 5】



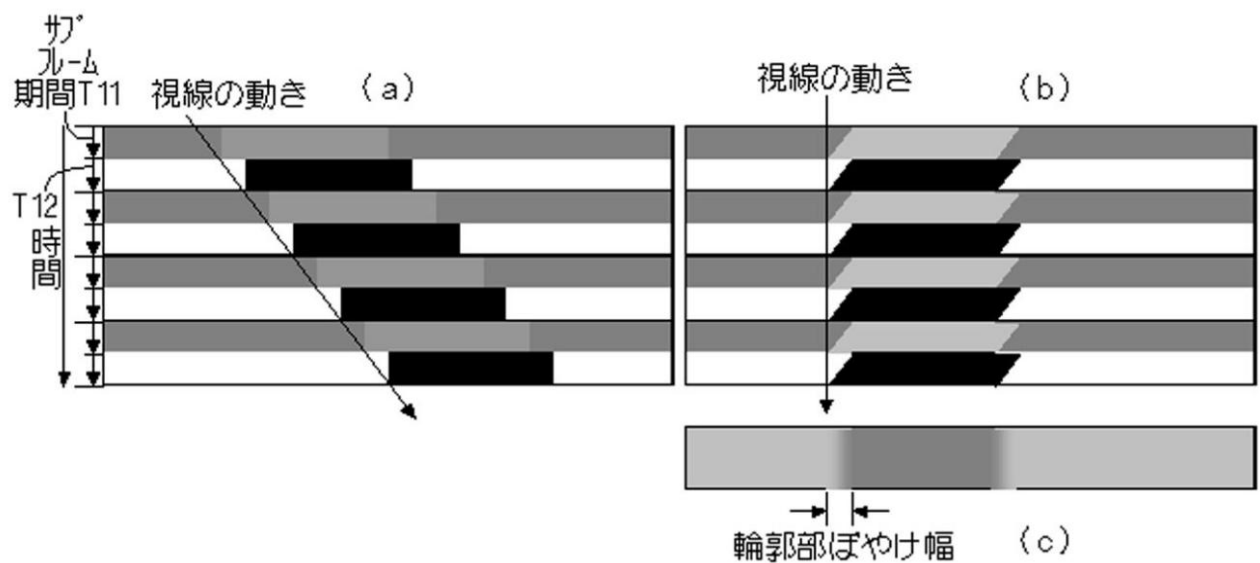
【図 1 3】



【図 1 4】



【図 1 5】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 6 0 V

G 0 2 F 1/133 5 0 5

G 0 9 G 3/20 6 3 1 B

Fターム(参考) 5C080 AA10 BB05 DD06 EE29 JJ02 JJ05 JJ07

专利名称(译)	液晶表示装置		
公开(公告)号	JP2009198643A	公开(公告)日	2009-09-03
申请号	JP2008038427	申请日	2008-02-20
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	鷹木 二郎		
发明人	鷹木 二郎		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3648 G09G3/2022 G09G2320/0238 G09G2320/0261 G09G2330/021		
FI分类号	G09G3/36 G09G3/20.641.E G09G3/20.641.C G09G3/20.641.K G09G3/20.641.R G09G3/20.660.V G02F1/133.505 G09G3/20.631.B G09G3/20.621.F G09G3/20.641.P		
F-TERM分类号	2H093/NA55 2H093/NC13 2H093/NC16 2H093/NC29 2H093/ND08 2H093/ND32 2H093/ND39 2H093/ND49 2H093/ND54 2H193/ZD25 5C006/AA14 5C006/AA16 5C006/AA17 5C006/AF45 5C006/FA24 5C006/FA29 5C080/AA10 5C080/BB05 5C080/DD06 5C080/EE29 5C080/JJ02 5C080/JJ05 5C080/JJ07 2H193/ZE01 2H193/ZE02 2H193/ZE15 2H193/ZE40 2H193/ZF12 2H193/ZF13 2H193/ZF16 2H193/ZF17 2H193/ZF18 2H193/ZF20 2H193/ZF21 2H193/ZF31 2H193/ZH40 2H193/ZH52		
其他公开文献	JP5354927B2		
外部链接	Espacenet		

摘要(译)

提供了一种采用所述保持型显示方式中，图像的模糊显示运动图像，增加了亮度的降低和功耗时的液晶显示装置，能够在不增加黑亮度和抑制成本的增加，以克服和液晶显示装置。一种数据转换器11，被分成第一半和第二半子帧数据的子帧数据的输入数据，所述第二子帧数据被施加到数据串行-并行转换器12，一个串行-平行转换。给定预定延迟，将前半个子帧数据提供给行存储器组13，然后将其提供给过驱动操作电路16。子帧数据晚转换成并行数据，将预定延迟赋予给行存储器组13中，提供给数据段串行转换单元15，并行后-被串行转换，过驱动运算电路后是从第16个子帧输出的前半个子帧数据之后的输出数据。9系统技术领域

