

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-9122

(P2009-9122A)

(43) 公開日 平成21年1月15日(2009.1.15)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/20 (2006.01)	G09G 3/20 612J	2H093
G09G 3/36 (2006.01)	G09G 3/36	5C006
G02F 1/133 (2006.01)	G09G 3/20 612L	5C080
	G09G 3/20 623A	
	G02F 1/133 550	
審査請求 未請求 請求項の数 8 O L 外国語出願 (全 44 頁) 最終頁に続く		

(21) 出願番号	特願2008-144987 (P2008-144987)	(71) 出願人	591013469
(22) 出願日	平成20年6月2日 (2008.6.2)		ナショナル セミコンダクタ コーポレイ ション
(31) 優先権主張番号	60/932, 910		NATIONAL SEMICONDUCTOR CORPORATION
(32) 優先日	平成19年6月1日 (2007.6.1)		アメリカ合衆国, カリフォルニア 95 051, サンタ クララ, セミコンダ クタ ドライブ 2900
(33) 優先権主張国	米国 (US)	(74) 代理人	100076185
(31) 優先権主張番号	12/128, 132		弁理士 小橋 正明
(32) 優先日	平成20年5月28日 (2008.5.28)	(72) 発明者	クリストファー ラッデン
(33) 優先権主張国	米国 (US)		アメリカ合衆国, ニューヨーク 143 54, ピッツフォード, ワイドウォー ターズ レーン 30
		最終頁に続く	

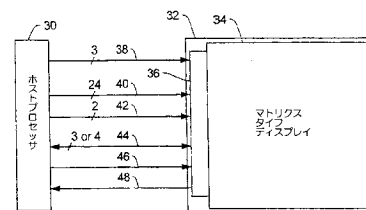
(54) 【発明の名称】 データイネーブルラニングを具備するビデオディスプレイドライバ

(57) 【要約】 (修正有)

【課題】データイネーブル信号及びピクセルクロックが関連する水平及び垂直同期信号に対応する信号の発生を容易にする。

【解決手段】ホストプロセッサ30からLCDディスプレイ等のマトリクスタイプのディスプレイ34、及びホストプロセッサ30からの画像データをディスプレイドライバ36へ通過させるディスプレイドライバ36を具備しているディスプレイボード32への直接的ビデオデータ接続され、2つの電源電圧及び接地がホストプロセッサ30によってバス38の3本の線を介してディスプレイドライバ36へ供給される。

【選択図】 図1A



【特許請求の範囲】**【請求項 1】**

関連する水平及び垂直同期信号に対応する信号の発生を容易化させるためにデジタルビデオ信号用の関連する水平及び垂直同期信号を除いてデータイネーブル信号及びピクセルクロックを使用する方法において、

複数個の周期的なクロックパルスを有するピクセルクロックを受取り、

リーディング及びトレイリング信号端によって分離されているアサート及びデアサート状態を具備するデータイネーブル信号を受取り、

少なくとも第一及び第二ピクセルクロックカウンタを夫々発生するために前記リーディング及びトレイリング信号端の似ていないものと似ているものの間の時間間隔に対応する前記複数個のピクセルクロックパルスの第一及び第二部分をカウントし、

前記複数個の第一ピクセルクロックカウンタの第一及び第二のものの間の差を表わす第一学習値を具備する第一比較カウンタを発生するために前記複数個の第一ピクセルクロックカウンタの夫々のものを比較し、

前記複数個の第二ピクセルクロックカウンタの第一及び第二のものの間の差を表わす第二学習値を具備する第二比較カウンタを発生するために前記複数個の第二ピクセルクロックカウンタの夫々のものを比較し、且つ

水平ライン間隔を表わすピクセルカウンタ信号及び垂直ライン間隔を表わす全ライン信号を発生するために一連のピクセルカウンタにおいて前記第二学習値に等しいカウンタを介して前記複数個のピクセルクロックパルスの複数個の相次ぐ部分の各 1 つをカウントする、

ことを包含している方法。

【請求項 2】

請求項 1 において、少なくとも第一及び第二ピクセルクロックカウンタを夫々発生するために前記リーディング及びトレイリング信号端のうちの似ていないものと似ているものとの間の時間間隔に対応する前記複数個のピクセルクロックパルスの第一及び第二部分を前記カウントすることが、

複数個の第一ピクセルクロックカウンタを発生するために前記リーディング及びトレイリング信号端の相次ぐ似ていないものの間の夫々の時間間隔に対応する前記複数個のピクセルクロックパルスの複数個の部分をカウントし、且つ

複数個の第二ピクセルクロックカウンタを発生するために前記リーディング及びトレイリング信号端の相次ぐ似ているものの間の夫々の時間間隔に対応する前記複数個のピクセルクロックパルスの複数個の部分をカウントする、

ことを包含している方法。

【請求項 3】

請求項 2 において、複数個の第一ピクセルクロックカウンタを発生するために前記リーディング及びトレイリング信号端の相次ぐ似ていないものの間の夫々の時間間隔に対応する前記複数個のピクセルクロックパルスの複数個の部分を前記カウントすることが、前記データイネーブル信号の前記アサート及びデアサート状態のうちの 1 つの複数個に対応する前記複数個のピクセルクロックパルスの複数個の部分をカウントすることを包含している方法。

【請求項 4】

請求項 2 において、複数個の第二ピクセルクロックカウンタを発生するために前記リーディング及びトレイリング信号端の相次ぐ似ているものの間の夫々の時間間隔に対応する前記複数個のピクセルクロックパルスの複数個の部分を前記カウントすることが、前記データイネーブル信号の前記アサート及びデアサート状態の相次ぐものに対応する前記複数個のピクセルクロックパルスの複数個の部分をカウントすることを包含している方法。

【請求項 5】

請求項 1 において、

前記複数個の第一ピクセルクロックカウンタの第一及び第二のものの間の差に関連して

10

20

30

40

50

いる第一学習値を具備する第一比較カウントを発生するために前記複数個の第一ピクセルクロックカウントの夫々のものを前記比較することが、第一比較カウントを発生するために前記複数個の第一ピクセルクロックカウントの第一及び第二の相次ぐものを比較することを包含しており、前記第一比較カウントは、前記複数個の第一ピクセルクロックカウントの前記第一及び第二のものが等しい場合に、第一の前の値から且つ前記複数個の第一ピクセルクロックカウントの前記第二のものに対応する第一学習値へ変化する値を有しており、且つ

前記複数個の第二ピクセルクロックカウントの第一及び第二のものの間の差に関連している第二学習値を具備する第二比較カウントを発生するために前記複数個の第二ピクセルクロックカウントの夫々のものを前記比較することが、第二比較カウントを発生するために前記複数個の第二ピクセルクロックカウントの第一及び第二の相次ぐものを比較することを包含しており、前記第二比較カウントは、前記複数個の第二ピクセルクロックカウントの前記第一及び第二のものが等しい場合に、第二の前の値から前記複数個の第二ピクセルクロックカウントの前記第二のものに対応する第二学習値へ変化する値を有している、方法。

10

【請求項 6】

請求項 5 において、第一比較カウントを発生するために前記複数個の第一ピクセルクロックカウントの第一及び第二のものを前記比較することが、前記複数個の第一ピクセルクロックカウントの相次ぐものを比較することを包含している方法。

20

【請求項 7】

請求項 5 において、第二比較カウントを発生するために前記複数個の第二ピクセルクロックカウントの第一及び第二のものを前記比較することが、前記複数個の第二ピクセルクロックカウントの相次ぐものを比較することを包含している方法。

【請求項 8】

請求項 1 において、水平ライン間隔を表わすピクセルカウント信号及び垂直ライン間隔を表わす全ライン信号を発生するために一連のピクセルカウントにおける前記第二学習値に等しいカウントを介して前記複数個のピクセルクロックパルスの複数個の相次ぐ部分の各 1 つを前記カウントすることが、更に、

前記アサート及びデアサート状態のうちの 1 つを前記データイネーブル信号が包含している期間中におけるピクセルカウントの前記一連のうちの第一部分、及び

30

前記アサート及びデアサート状態の両方を前記データイネーブル信号が包含している期間中におけるピクセルカウントの前記一連のうちの第二部分、
を表わす垂直カウント信号、及び

ピクセルカウントの前記一連のうちの前記第二部分を表わすアクティブライン信号、
を発生させることを包含している方法。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、2007 年 6 月 1 日付で出願した米国仮特許出願第 60 / 932, 910 号の優先権を主張するものであり、その内容を引用によりここに取込む。

40

【背景技術】

【0002】

液晶ディスプレイ (LCD) は、携帯電話、デジタルミュージックプレイヤー、パーソナルデジタルアシスタント、ウェブブラウザ装置、及び前述したもののうちの 1 つ又はそれ以上を単一のハンドヘルド装置に結合させる発表されたアップル iPhone 等のスマート電話を包含する多様な製品において使用されている。その他の使用は、ハンドヘルドゲーム、ハンドヘルドコンピュータ、及びラップトップ / ノートブックコンピュータにおけるものである。これらのディスプレイはグレイスケール (単色) 及びカラーの両方の形態で使用可能であり、且つ、典型的に、交差する行及び列からなるマトリクスから構成されている。各行と列との交差はピクセル即ちドットを形成しており、その密度及び / 又はカ

50

ラーは、液晶ディスプレイのグレイシェードを定義するために該ピクセルへ印加される電圧に従って変化させることが可能である。これらの種々の電圧はディスプレイ上にカラーの異なるシェードを発生し、且つ、通常、カラーディスプレイについて話している場合であっても「グレイのシェード」と呼ばれる。

【0003】

スクリーン上に表示される画像は、一度にディスプレイの1つの行を個別的に選択し、且つ選択した行の各列に対して制御電圧を印加することによって制御することが可能である。各このような行が選択される間の期間は、「行駆動期間」と呼ばれる場合がある。このプロセスは、スクリーンの各個別的な行に対して実施され、例えば、アレイ内に480個の行が存在している場合には、典型的に、1個のディスプレイサイクルにおいて480個の行駆動期間が存在している。その期間中にアレイ内の各行が選択される1つのディスプレイサイクルの完了後に、新たなディスプレイサイクルが開始し、且つ表示された画像をリフレッシュ及び/又はアップデートするためにそのプロセスが繰り返される。ディスプレイの各ピクセルは、時間にわたってのこのようなピクセルによって表示されるべきシェードにおける何等かの変化を反映させるため及び該ピクセルに格納されている電圧をリフレッシュさせる両方のために、毎秒当たり多数回周期的にリフレッシュ又はアップデートされる。

10

【0004】

コンピュータスクリーンにおいて使用されている液晶ディスプレイは、比較的多数のこのようなチャンネルドライバ出力を必要とする。チャンネルドライバはLCDのガラス上に製造されている薄膜抵抗のソース端子へ接続されている。カメラ、携帯電話及びパーソナルデジタルアシスタンスを包含する多くのより多くの小さなディスプレイ装置は、ディスプレイのオリエンテーションを検知するセンサーを有している。このような装置は、該装置のオリエンテーションに依存して、ポートレート形式からランドスケープ形式へビュー即ち画面を変化させる場合がある。ランドスケープオリエンテーション期間中に、垂直である列は水平となる。然しながら、例えば行のオリエンテーションをとる場合であっても、同一の構造(列)が尚且つ駆動される構造である。混乱を避けるために、この特許では、「チャンネルドライバ」と言うこととし、それは薄膜バストランジスタのソース端子を駆動するための構造を意味するものとする。

20

【0005】

カラーディスプレイは、典型的に、従来の「単色」LCDディスプレイの3倍のチャンネルドライバを必要とし、このようなカラーディスプレイは、通常、表示されるべき3つの原色の各々に対して1つつピクセル当たり3個の列を必要とする。チャンネルドライバ回路は、典型的に、モノリシック集積回路上に形成される。集積回路はアクティブマトリクスLCDディスプレイ用のチャンネルドライバとして作用し且つ液晶ディスプレイ上に種々の「グレイシェード」を画定するために異なる出力電圧を発生する。これらの変化するアナログ出力電圧はディスプレイ上の特定の点即ちピクセルにおいて表示されるカラーのシェードを変化させる。チャンネルドライバ集積回路は、正しいタイミングシーケンスでディスプレイマトリクスの列上にアナログ電圧を駆動せねばならない。

30

【発明の開示】

40

【発明が解決しようとする課題】

【0006】

LCDは画像を表示することが可能であり、何故ならば、液晶物質の光透過特性が印加電圧の大きさに従って変化するからである。然しながら、液晶への定常DC電圧の印加は、時間の経過と共に、その物理的特性を永久的に変化させ且つ劣化させることとなる。そのために、共通の中間電圧値に対して交番する極性の電圧で各液晶を充電させる駆動技術を使用してLCDを駆動することが一般的である。注意すべきことであるが、この文脈において、「交番する極性の電圧」とは接地電位より大きい、且つより小さい駆動電圧の使用を必ずしも必要とするものではなく、単に、所定の中間ディスプレイバイアス電圧より高く且つより低い電圧のことである。ディスプレイのピクセルに対して交番する極性の電

50

圧を印加することは、通常、インバージョンとして知られている。

【課題を解決するための手段】

【0007】

従って、液晶物質のピクセルを特定のグレイシェードへ駆動することは、中間のディスプレイバイアス電圧に対して大きさが等しいが極性が反対の2個の電圧パルスが関与する。1つのディスプレイサイクルの行駆動期間の間にいずれかの与えられたピクセルへ印加される駆動電圧は、典型的に、次に続くディスプレイサイクルで行駆動期間の間に極性が反転される。ピクセルはその電圧のRMS値に応答し、従って該ピクセルの最終的な「明るさ」は極性ではなく電圧の大きさにのみ依存する。交番する極性は不純物に起因するLC物質の「分極」を防止するために使用される。

10

【発明を実施するための最良の形態】

【0008】

本発明の種々の実施例を図面を参照して詳細に説明するが、同様の参照番号は幾つかの図を介して同様の部品及び組立体を表わしている。種々の実施例に対する参照は本発明の範囲を制限するものではなく、それは特許請求の範囲によってのみ制限されるものである。更に、本明細書において記載する全ての例は制限的なものであることを意図したものではなく且つ特許請求の範囲に記載した発明に対する多くの可能な実施例の幾つかを記載するに過ぎない。

【0009】

本明細書及び特許請求の範囲を介して、以下の用語は、文脈が明確にそうでないことを支配するものでない限り、少なくとも明示的にここにおいて関連する意味をとるものである。以下に識別する意味は該用語を制限することを意図したものではなく、該用語に対する例示的な例を与えるに過ぎない。「1つ(a)」、「1個(an)」及び「該」の意味は複数参照を包含しており、「内」の意味は「内」及び「上」を包含している。「接続されている」という用語は、何等中間的な装置なしで接続されている品目間の直接的な電氣的接続を意味している。「結合されている」という用語は、接続されている品目間の直接的な電氣的接続であるか、又は1個又はそれ以上の受動的又は能動的な中間装置を介しての間接的な接続のいずれかを意味している。「回路」という用語は、単一のコンポーネントか、又は能動的であるか及び/又は受動的であるかに拘わらず所望の機能を与えるために結合されている複数のコンポーネントかのいずれかを意味している。「信号」という用語は、少なくとも1個の電流、電圧、電荷、温度、データ又はその他の信号を意味している。

20

30

【0010】

「チャンネル」という用語は、デジタルデータを受取り且つ受取ったデジタルデータをガラス基板上のパッド位置へ印加されるアナログ電圧へ変換させる回路要素を同定するものである。該パッドは、薄膜トランジスタのソース端子へ接続されている。「ライン」という用語は、共通のゲート信号へ接続される1組の隣接したチャンネルピクセルを意味している。1本のライン内の隣接する薄膜トランジスタの全てのゲートは共通のゲート信号へ接続されている。該ライン内のトランジスタをそのゲート信号がターンオンさせる場合に、データを受取るための1本のラインが選択される。ディスプレイの第一オリエンテーションにおいて、出力チャンネルは列であり且つラインは行である。ディスプレイが第二オリエンテーションへ90度回転されると、該列は行となり且つ該ラインは列となる。以下のテキストにおいては、ディスプレイは常に第一オリエンテーションにあることを仮定しており且つライン及び行の用語がそうであるように列及びチャンネルの用語も交換可能である。当業者が理解するように、第二オリエンテーションにおいては、「ライン」は未だに出力チャンネルであり且つ「列」がゲートドライバにより選択される。

40

【0011】

又、以下の説明では多数の用語を使用するが、それに対する定義は以下の如くである。

【0012】

ノーマルモード：これは、ストリーミングビデオデータがディスプレイへ送られるディ

50

スプレイモードである。このモードにおいては、タイミングは、ビデオインターフェースを介して受取られた P C L K 及び D E 信号から派生される。パーシャルディスプレイメモリはこのモードにおいては使用されない。

【 0 0 1 3 】

パーシャルモード：これは、データが内部パーシャルディスプレイメモリから読取られ且つディスプレイへ送られるディスプレイモードである。ディスプレイへのタイミングは、レジスタ設定によって特定され且つ内部オシレータから派生される。

【 0 0 1 4 】

アルファモード：これは、パーシャルディスプレイメモリ内に格納されている画像データが入って来るビデオデータとブレンド（又はその上に重畳）されるディスプレイモードである。タイミングは、ビデオインターフェースを介して受取られる P C L K 及び D E 信号から派生される。

【 0 0 1 5 】

パーシャルディスプレイメモリ：パーシャルディスプレイウィンドウ用のディスプレイデータを格納するために使用されるオンチップメモリである。

【 0 0 1 6 】

パーシャルディスプレイウィンドウ：装置がパーシャルモードで動作している場合にパーシャルディスプレイモード内に格納されている画像データで自己リフレッシュされるディスプレイ上のユーザ定義領域である。

【 0 0 1 7 】

カラーモード：カラーモードは、ディスプレイへ送られるデータのビット深さを決定し、且つ与えられたカラーモードに対して幾つかの異なる「パッキングスキーム」を使用することが可能なパッキングモードと区別可能である。例えば、パーシャルモードにおいては、B I T S _ _ P E R _ _ P I X E L レジスタは以下のカラーモードのうちの 1 つを選択するために使用することが可能である。

【 0 0 1 8 】

1 ビットモード：各ピクセルは 1 ビット（2 レベル）を使用してレンダリングされる。赤、緑及び青サブピクセルに対して同一のデータ値が使用される。ソースドライバ駆動電圧は、d a t a = 1 条件に対するフォアグラウンドカラー及び d a t a = 0 条件に対するバックグラウンドカラーを画定するために調節することが可能である。該フォアグラウンド及びバックグラウンドカラーは黒 / 白値に制限されるものではない。

【 0 0 1 9 】

3 ビットモード：各ピクセルは赤、緑及び青サブピクセルの各々に対し 1 ビットのデータ（2 レベル）を使用してレンダリングされる。ソースドライバ駆動電圧は、従来の B , W , R , G , B , C , Y , N カラーに制限されるものではない 8 色パレットを画定するために調節することが可能である。

【 0 0 2 0 】

3 ビットモード L P：より低いシステム電力で且つ減少された L o S S I 書込速度である。その他は、3 ビットモードと同一である。

【 0 0 2 1 】

1 2 ビットモード：各ピクセルは、赤、緑及び青サブピクセルの各々に対し 4 ビット（1 6 レベル）を使用してレンダリングされる。

【 0 0 2 2 】

1 8 ビットモード：各ピクセルは、赤、緑及び青サブピクセルの各々に対し 6 ビット（6 4 レベル）を使用してレンダリングされる。

【 0 0 2 3 】

ノーマルモードにおいては、B I T S _ _ P E R _ _ P I X E L レジスタ又は P M C o l o r S e t コマンド状態の値に拘わらず、出力カラーモードは 2 4 - 1 8 ビットである。

【 0 0 2 4 】

10

20

30

40

50

パッキングモード：シリアルインターフェースを介してデータがパーシャルディスプレイモードへ書き込まれると、パーシャルディスプレイメモリデータ（`BITS__PER__PIXEL`レジスタ）を表示する場合に使用されるビット深さに従ってそれはパッキングされる。5個のパッキングモードが提供される（見よエラー！参照ソース見つからず、5）：

1ビットパッキング：シリアルインターフェースを介して送られる各バイトは6個のピクセルを包含している。

【0025】

3ビットパッキング：シリアルインターフェースを介して送られる各バイトは2個のピクセルを包含している。

【0026】

3ビット効率的パッキング：シリアルインターフェースを介して送られる3バイト毎に8個のピクセルを包含している。

【0027】

12ビットパッキング：シリアルインターフェースを介して送られる2バイト毎に1個のピクセルを包含している。

【0028】

18ビットパッキング：シリアルインターフェースを介して送られる3バイト毎に1個のピクセルを包含している。

【0029】

コンフィギュレーションレジスタ：ドライバの挙動に影響を与える動作モード及び設定を制御するレジスタである。

【0030】

レジスタアクセスモード：このモードは、シリアルインターフェースがコンフィギュレーションレジスタ設定に直接的にアクセスすることを可能とさせる。ホストCPUはこのモードにおいてコンフィギュレーションレジスタの設定を直接的に制御する。代替的に、該装置はコマンドモードを介して制御することが可能である。`Enter Register Access Mode`モードを送ることによりレジスタアクセスモードへエンターする。

【0031】

コマンドモード：このモードは、ハイレベル`OpCode`を使用してディスプレイ動作を制御する方法を提供する。各`OpCode`は内部EEPROMから関連する組のコンフィギュレーションレジスタ値をロードする。従って、ホストCPUはコンフィギュレーションレジスタの知識を有することは必要ではない。代替的に、該装置はレジスタアクセスモードを介して制御することが可能である。コマンドモードは、`Enter Command Mode`コマンドを送ることにより、又はレジスタアドレス`5Fh`へ何等かのデータを書込むことによりエンターすることが可能である。リセットの後に、`FPD95120`はコマンドモードにある。

【0032】

低速シリアルインターフェース（`LoSSI`）プロトコル：

`SPI`プロトコル：伝統的な`SPI`のようなシリアルインターフェースプロトコルであり、それは読取／書込ビット、7ビットアドレスフィールド、8ビットデータフィールドを包含している。コマンドモードトランザクションにおいて使用される場合には、`R/W`ビット＋アドレスフィールドが8ビットコマンドにより置換され且つデータフィールドはオプションである。

【0033】

`PSI`プロトコル：`Cmd/Data`ビット、8ビットコマンド（又はアドレス）フィールド、及びオプションの8ビットデータフィールドを包含しているシリアルインターフェースプロトコルである。

【0034】

10

20

30

40

50

図面に関しては、図 1 A は、ホストプロセッサ 30 から LCD ディスプレイ等のマトリクスタイプのディスプレイ 34、及び本発明の 1 実施例に従ってホストプロセッサ 30 からの画像データをディスプレイドライバ 36 へ通過させるディスプレイドライバ 36 を具備しているディスプレイボード 32 への直接的ビデオデータ接続を示したブロック図である。2つの電源電圧及び接地がホストプロセッサ 30 によってバス 38 の 3 本の線を介してディスプレイドライバ 36 へ供給される。ビデオ又は RGB (赤、緑及び青) データがバス 40 上の 24 本の線路上に供給され、最大で 24 ビットのピクセルデータ (サブピクセル当たり 8 ビット) の並列転送を可能とする。又、バス 42 上で 2 個の信号 P c l k 及び D E が転送され、それらはホストコンピュータ 30 によってビデオデータに対して同期される。バス 44 上の 3 本又は 4 本の線がホストプロセッサ 30 とディスプレイアダプタ 36 との間の低速シリアルインターフェース (L o S S I) を提供しており、それは、1 実施例においては、シリアルペリフェラルインターフェース (S P I) 又はスリーワイヤシリアルインターフェース (P S I) のいずれかに従ってエンコードされる。ホストプロセッサ 30 によってディスプレイドライバ 36 をリセットさせるリセット線 46 及びディスプレイドライバからホストプロセッサ 30 への線 48 上のビデオ転送タイミング信号も図 1 A に示されている。ビデオ転送タイミング信号は、ディスプレイ 34 上で同時に 2 つの画像の部分を表示させること無しに、ホストプロセッサがパースシャルメモリ R A M 82 をアップデートさせるために、選択されたラインがディスプレイ 34 内へ書込まれる時に高と低との間で遷移する。

【 0 0 3 5 】

図 1 B は、本発明の別の実施例に従って、ホストプロセッサからパラレルビデオデータを受取り、それを高速シリアルデータへ変換し、且つ線 56 上の M P L パワーダウン信号と共にそれを 3 線 M P L データバス 54 上に配置させるモバイルピクセルリンク (M P L) インターフェース回路 50 を介してもホストプロセッサ 30 からディスプレイドライバ 36 への直列的にエンコードされたビデオデータ接続を示したブロック図である。3 線 M P L データバス 54 は、2 つの差動信号対及び 1 つのクロック線から構成されている。その他の配線及びバス 38, 44, 46 及び 48 も図 1 B に示されている。M P L インターフェース回路 50 は、又、3 又は 4 ワイヤ (配線) 低速シリアルインターフェース 44 及びリセット線 46 へ接続されている。

【 0 0 3 6 】

図 2 は本発明の 1 実施例に基づくディスプレイドライバ 36 のブロック図である。ディスプレイドライバ 36 は、電源 70 を包含しており、それは 2 つの電源電圧及び接地をバス 38 上で受取り且つディスプレイドライバ 36 の残部及びディスプレイ 34 へ種々の供給電圧を供給する。電源 70 によって発生される電圧の幾つかは、ディスプレイ 34 の特性及び図 1 A 及び 1 B に示したホストプロセッサ 30 によって設定されるその他の動作条件に依存する。ディスプレイドライバ 36 は、又、タイミング及び制御ブロック 72 を包含しており、それはディスプレイドライバ 36 において使用されるタイミング信号を発生し、且つレジスタ 74 におけるレジスタ設定及びディスプレイドライバ 36 が動作しているモードに依存して、ディスプレイドライバ 36 の残部へ必要な制御信号を供給する。レジスタ 74 は E E P R O M 76 へ結合されており、それは、ディスプレイドライバ 36 が最初にパワーアップされた時及びリセットされた後の種々のレジスタ 74 に対する設定等のある非揮発性データを保持する。E E P R O M 76 は、又、レジスタ設定の複数個のユーザ設定組合わせを保持しており、従ってディスプレイドライバ 36 は、所望の登録されている設定の各々を直接的にエンターする必要性なしに、単一のコマンドでレジスタ設定のこれらの格納されている組合わせのうちの 1 つへスイッチさせることが可能である。ディスプレイドライバ 36 がレジスタ設定の格納されている組合わせのうちの 1 つへスイッチするコマンドを受取ると、E E P R O M 76 内に格納されている設定は適宜のレジスタ 74 へ転送される。

【 0 0 3 7 】

ディスプレイドライバ 36 は低速シリアルインターフェース (L o S S I) 78 を有し

ており、それはバス 44 上のデータとインターフェースし且つ以下に説明するように該データを処理する。線 46 上のリセットコマンドを除いて、ディスプレイドライバ 36 はその動作コマンドの全てを受取り、且つ L o S S I インターフェース 78 を介してホストプロセッサ 30 へデータを送り返す。以下により詳細に説明するように、ディスプレイドライバ 36 は 2 つの基本的な動作形態、即ちコマンドモード及びレジスタモードを有している。コマンドモードにおいて動作している場合には、L o S S I インターフェース 78 において受取られるコマンドはタイミング及び制御ブロック 72 へバスされ、且つレジスタモードにおいて動作している場合には、選択されたレジスタ 74 に対してレジスタ書込が行われる。

【0038】

L o S S I インターフェース 78 は、ディスプレイドライバ 36 がパーシャルモード又はアルファモードにある場合に使用するために画像データをバスするために使用され、それら両方のモードについては以下により詳細に説明する。PM データバッカー 80 が L o S S I インターフェース 78 からパーシャルメモリデータを受取り、使用されていないビットのデータを剥離し、且つ以下により詳細に説明するように残りのデータを R A M 82 へバスする。該 R A M 内に格納されている画像が表示されるべき場合には、パーシャルメモリ (P M) データフォーマッター 84 が該 R A M 内に格納されているデータのフォーマット及び以下に詳細に説明するディスプレイドライバ 36 の動作モードに依存して該データをフォーマットする。

【0039】

通常のビデオデータは、バス 42 上のクロックタイミング信号 P c l k 及びデータインーブル信号 D E と共に、バス 40 上のピクセルデータ当たり 24 ビットとしてディスプレイドライバ 36 により受取ることが可能である。代替的に、ディスプレイドライバ 36 は線 56 の M P L リンクパワーダウン信号と共に、3 配線高速シリアルデータバス 54 上の M P L 標準に従ってエンコードされた通常のビデオデータを受取ることが可能である。ディスプレイドライバ 36 が通常のビデオデータを受取のためにどのモードに設定されるかは、図 2 における線 86 によって示されるように、ディスプレイボード 32 上のジャンパーワイヤーによって決定される。

【0040】

ビデオインターフェース 90 は通常のビデオデータを受取り、そのビデオデータが M P L リンクを介して送信される場合には M P L データをデコードし、且つ入って来るビデオデータが当業者に既知のアルゴリズムに従った 18 又は 16 ビットピクセルデータである場合には、ピクセル当たり 24 ビットへピクセルデータを変換させる。次いで、該 24 ビットピクセルデータは D E ラーニング (学習) ブロック 92 へバスされ、それはディスプレイドライバ 36 の残部に対し置換 D E 信号を発生し且つそうする場合に、基本的に、D E 入力信号をデジタル的にフィルタし、従って D E 入力信号における事実上全ての誤った遷移は以下により詳細に説明するように補正される。D E ラーニングブロック 92 は、又、垂直ブランキング時間を検知し、それはビデオ供給源から水平同期又は垂直同期信号を受取ることなしにディスプレイドライバ 36 が動作することを可能とし、何故ならば、D E ラーニングブロック 92 が D E 及び P c l k 信号のみに基づいて置換 D E 信号を発生するからである。

【0041】

ビデオデータは、ブロック 92 における D E ラーニング (学習) プロセスの後に、48 ビット幅の出力バスを必要とするビデオマルチプレクサブロック 94 によって並列的に処理される 2 個のピクセルの組 (2 ピクセル組) に多重化される。このことは、入力ビデオのデータレートの半分でピクセルデータを処理することを可能とし、そのことは設計レイアウト条件を容易化し且つディスプレイドライバ 36 によって消費される電力を低下させるが、何故ならば 1 つの論理状態から他方の論理状態への遷移は基本的に 2 倍の長さとなることが可能だからである。

【0042】

10

20

30

40

50

入力データがビデオマルチプレクサ 9 4 によって 2 ピクセル組に整理された後に、各ピクセルの 2 4 ビットデータは 1 8 ビットデータへ変換される。入力ビデオデータがピクセル当たり 2 4 ビットである場合には、該 2 4 ビットデータは、アップスケール、ディザリング及び / 又は切り捨てブロック 9 6 によるディザリング又は各カラーチャンネル又はサブピクセル（赤、緑及び青）の 2 個の最小桁ビットの切り捨てのいずれかにより 1 8 ビットへ変換させることが可能である。

【 0 0 4 3 】

ディスプレイドライバ 3 6 は、ビデオデータをアルファブレンドブロック 9 8 内の R A M 8 2 内に格納されているデータと結合させる能力を有しており、その詳細については以下に詳細に説明する。ビデオデータを R A M 8 2 データとブレンドする能力を有することに加えて、アルファブレンドブロック 9 8 は、又、各入力ピクセルを 4 個の出力ピクセルへマッピングすることにより入力ビデオの寸法を 2 倍とさせるビデオアップスケールモードにおいてディスプレイドライバ 3 6 が使用される場合に使用される。

【 0 0 4 4 】

アルファブレンドブロック 9 8 からの出力は列ドライバ又は出力チャンネル 1 0 0 へ結合され、それは、ガンマー参照（基準）1 0 2 と結合して、アナロググレイレベル電圧を発生し、それは以下に詳細に説明するようにバス 1 0 4 上をディスプレイ 3 4 内のサブピクセルへパスされる。非常に一般的なタイプのマトリクスディスプレイは L C D タイプのディスプレイであるので、以下の説明は、説明を不当に複雑化することがないように L C D タイプのディスプレイについて説明するが、ディスプレイドライバ 3 6 はその他のタイプのマトリクスディスプレイと共に使用することが可能であることが理解される。

【 0 0 4 5 】

業界において良く知られているように、L C D ディスプレイ 3 4 はポリシリコントランジスタ（不図示）からなるマトリクスであり、それはそれらのソースにおいてアナロググレイレベル電圧を受取り（従って、「ソースドライバ」という用語で呼ばれる）及び逐次的な順番でライン毎にゲートオン及びオフされる。これらの信号は、バス 1 0 6 上をタイミング及び制御ブロック 7 2 からディスプレイ 3 4 へパスされる。業界において良く知られているように、V c o m 電圧は、ドット毎に、ライン毎に、又はフレーム毎に液晶ディスプレイ要素（不図示）を横断しての電圧レベルを調節するために使用され、且つ V c o m ドライバブロック 1 0 8 内において発生され且つバス 1 1 0 上をディスプレイ 3 4 へパスされる。V c o m 電圧の現在の極性がガンマー参照 1 0 2 へパスされて、V c o m 電圧及びガンマー参照電圧の極性スイッチングを同期させる。ディスプレイ 3 4 によって必要とされる電源電圧はバス 1 1 2 上をディスプレイ 3 4 へパスされる。

【 0 0 4 6 】

ディスプレイドライバ 3 6 及び M P L エンコーダ 5 0 における低速シリアルインターフェースプロトコル

一般的には、ディスプレイドライバ 3 6 は直接的なコマンドとして又はレジスタ 7 4 への書込みとしてのいずれかにより L o S S I インターフェース 7 8 によりデコードされる低速シリアル接続 4 4 を介して送られるトランザクションによって制御することが可能であるが、ディスプレイドライバ 3 6 はレジスタ 7 4 の内容によって制御される。レジスタ 7 4 の状態に依存して、又は直接コマンドに応答して、ディスプレイドライバ 3 6 は、パシャルモードデータを R A M 8 2 内に格納するか、幾つかの動作モードのうちの 1 つにエンターするか、又は低速シリアル接続 4 4 を介してホストプロセッサへステータスデータを供給する等のその他の雑多なアクションを実施するかのいずれかを行う。

【 0 0 4 7 】

図 3 を参照すると、L o S S I インターフェースブロック 7 8 内へのデータの流れがフローチャート 1 2 0 において示されている。図 3 に示されるように、L o S S I インターフェースブロック 7 8 はステップ 1 2 2 において入力シリアルデータをモニタする（「チップセレクトがイネーブルされた状態で低速シリアルインターフェース上でデータが受取られているか？」）。シリアルデータバスが 3 本のワイヤである場合には（チップセレクト

ト線無し)、シリアルデータは常にステップ124においてデコードされる(「シリアルデータデコーダ」)。シリアルデータ接続が4本のワイヤである場合には(チップセレクト線有り)、L o S S I インターフェースブロックは、該シリアルデータがL o S S I インターフェースブロック78によって受取られる場合にチップセレクト線がディスプレイドライバ36に対してイネーブルされている場合にのみ、該シリアルデータをシリアルデコーダステップ124へパスする。

【0048】

ディスプレイドライバ36は、2つの異なるプロトコル、即ちシリアルペリフェラルインターフェース(SPI)及び基本的にはSPIプロトコルと同じプロトコルであるが単一の読取り又は書込みの開始において付加的な同期ビットが有り且つマルチ書込み動作における相次ぐ8ビットデータブロック間に付加的な「1」ビットが有る3ワイヤシリアルインターフェース(TSI)のうちの1つに従ってシリアルデータを受取ることが可能である。

10

【0049】

L o S S I インターフェースは、チップセレクト信号を有している同一のシリアルバス44を使用して別のペリフェラル装置へ送ることが可能なシリアルデータをディスプレイドライバ36が受取るシステムにおいて使用することが可能である。この動作モードにおいては、ディスプレイドライバ36はL o S S I ロック/アンロックレジスタを有しており、それはL o S S I インターフェース78をディスエーブル(ロック)するか又はL o S S I インターフェース78をイネーブル(アンロック)させるデータを保持する。ホストプロセッサ38は、それがディスプレイドライバ36へシリアルデータを送るべき場合には、L o S S I インターフェースを、必要である場合には、レジスタブロック74内のL o S S I ロック/アンロックレジスタへ所定のレジスタ書込コマンドを送ることにより、ロックされた状態からアンロックされた状態へスイッチさせる。逆に、ホストプロセッサがシリアルバス44を共有する別のペリフェラル装置へシリアルデータを送ることを望む場合には、該ホストプロセッサは、必要である場合には、該その他のペリフェラル装置と通信する前に、L o S S I インターフェース78をロックせねばならない。

20

【0050】

図1Bに示されるように、MPLエンコーダ50は同一のシリアルバス44をディスプレイドライバ36と共有している。図4はMPLエンコーダ50のブロック図であり、それは、バス132上で24RGB線と、バス134上でP c l k 及びD E イネーブルと、線136上でMPLパワーダウン信号とを受取るMPLエンコーダ回路130を包含しており、MPLエンコーダ50を制御するための種々のその他の制御及びタイミング信号はバス138上であり、且つパワー及び接地はバス140上である。図1Bに示されるように、MPLエンコーダ50は、3ワイヤバス54及び複数のラインドライバ及びレシーバ142によってディスプレイドライバ36への及びそれからの信号を結合させるMPLパワーダウン線56によってディスプレイドライバ36へ接続されている。MPLエンコーダ50は、又、エンコーダコンフィギュレーションシリアルインターフェース144を包含しており、それは3又は4線低速シリアルバス44へ接続されている。4番目の線146は点線で示されており、それがオプションの線であることを表わしている。4番目の線146がある場合には、双方向データフローのための単一のデータ線を使用するのではなく、別個のデータイン及びデータアウトの線が使用可能である。エンコーダコンフィギュレーションシリアルインターフェース144はレジスタ148へ結合されており、該レジスタはMPLエンコーダ50の動作パラメータを選択するためにMPLエンコーダ回路130によって使用される。

30

40

【0051】

ホストプロセッサ30とディスプレイドライバ36との間の信号はフリップ電話における蝶番接続を介して通過せねばならないので、別個の導体の数を最小に維持することが望ましい。MPLエンコーダデータと3ワイヤ低速シリアルインターフェースの使用は、別個の導体の数を最小に減少させることに貢献する。

50

【 0 0 5 2 】

L o S S I インターフェース 7 8 のように、エンコーダコンフィギュレーションインターフェース 1 4 4 は、レジスタ 1 4 8 に対してアンロックコードを書込むためのコマンドを除いて全てのシリアルデータが無視されることを意味するロック状態にあるか、又はチップセレクト線 1 4 6 が存在する場合にそれがイネーブルされている場合には全ての入力シリアルデータがデコードされ、且つチップセレクト線 1 4 6 が存在しない場合には全ての入力シリアルデータが常にデコードされ且つ処理されるアンロック状態にあるかのいずれかである。簡単化のために、ディスプレイドライバ 3 6 及び M P L エンコーダ 5 0 に対するロック及びアンロック制御レジスタは同一のアドレスを有しており、且つ該ロック / アンロックコードはディスプレイドライバ 3 6 又は M P L エンコーダ 5 0 のうちの一方をアンロックし且つ他方のシリアルインターフェースをロックする第一ロック / アンロックコードをホストプロセッサが書込むことを可能とするレジスタ内のデータであり、又は本発明の 1 実施例において両方のシリアルインターフェースをロックするロック / アンロックコードを送ることが可能である。リセット線 4 6 が活性化された後に、本発明の 1 実施例においては、ディスプレイドライバ 3 6 はアンロック状態にあり且つ M P L エンコーダ 5 0 はロック状態にある。従って、ディスプレイドライバ 3 6 が M P L 接続無しで使用される場合には、L o S S I インターフェース 7 8 がアンロックされ且つ低速シリアルデータバス 4 4 上でシリアルデータを処理する準備がなされ、且つホストプロセッサ 3 0 は該ロック / アンロックレジスタに対してアンロックデータを書込むことは必要ではない。

【 0 0 5 3 】

図 3 に戻ると、ステップ 1 6 0 (「L o S S I ブロックはロックされているか?」) は、L o S S I インターフェース 7 8 がロックされているか否かを決定し、且つロックされている場合には、該データがステップ 1 6 2 において検査され(「データはアンロックレジスタ書込みであるか?」)、それがアンロックコードであるか否かを判別する。該データがアンロックコードでない場合には、L o S S I インターフェース 7 8 は該シリアルデータを無視し且つ次のセグメントのシリアルデータを待機する。該データがアンロックコードである場合には、適宜のデータが該ロック / アンロックレジスタ内に書込まれてステップ 1 6 4 において L o S S I インターフェース 7 8 をアンロックし(「L o S S I ブロックをアンロック」)、且つシリアルインターフェース 7 8 は次のセグメントのシリアルデータを待機する。

【 0 0 5 4 】

L o S S I インターフェースがアンロックされると、該シリアルデータが検査されて、ステップ 1 6 6 において R A M 8 2 に対する書込みであるか否かを判別する(「シリアルデータは R A M データであるか?」)。該シリアルデータが R A M 8 2 に対する書込みコマンドではない場合には、該データは、ディスプレイドライバ 3 6 がコマンドモードにあるか又はレジスタモードにあるかに依存して、コマンド又はレジスタ書込として処理される。ステップ 1 6 8 (「ディスプレイドライバはコマンドモードにあるか?」) は、2 つのモードのうちのどちらにディスプレイドライバ 3 6 があるかを決定し、且つそれがレジスタモードである場合には、該データはブロック 1 7 0 において示されるように(「該シリアルデータをアドレスされたレジスタ内へ配置させる」)、アドレスされたレジスタへ書込まれる。アドレスされたレジスタは、ディスプレイドライバ 3 6 に対するコマンドモード又はレジスタモードコンフィギュレーションデータを格納するレジスタである場合があり、その場合には、該シリアルデータがディスプレイドライバ 3 6 をコマンドモードの形態とさせることを仮定すると、ディスプレイドライバ 3 6 はコマンドモードへスイッチし、且つ L o S S I インターフェース 7 8 はシリアルデータの次のセグメントを待機する。ディスプレイドライバ 3 6 がコマンドモードにある場合には、コマンドはステップ 1 7 2 において実行される(「コマンドを実行」)。ディスプレイドライバ 3 6 をコマンドモードへスイッチさせるレジスタ書込と同様に、ブロック 1 7 2 において実行されるコマンドは、ディスプレイドライバ 3 6 をレジスタモードへスイッチさせるコマンドである場合がある。

【 0 0 5 5 】

R A M 8 2 内へのパーシャルメモリ画像データ転送

L o S S I インターフェース 7 8 内へのシリアルデータが R A M 8 2 内へ書き込まれるべき場合には、該データは P M データバッカーへ転送されそこで該シリアルデータは構文解析され且つ図 3 におけるステップ 1 7 4 において (「 L O S S I データのフォーマットに従って入力データを構文解析し且つ構文解析したデータを R A M 内に格納」) シリアルデータにおける R A M データのフォーマットに依存して、R A M 8 2 へ送られる。図 5 は該シリアルデータの各ワードにおける R A M データの 5 個の異なるコンフィギュレーション即ち形態の模式図である。図 5 において、左側のビットは L o S S I インターフェース 7 8 に到着する最初のシリアルビットである。これら 5 個のコンフィギュレーション即ち形態は、ピクセル当たり 1 ビットのコンフィギュレーション 1 8 0、ピクセル当たり 3 ビットの標準のコンフィギュレーション 1 8 2、ピクセル当たり 3 ビットの効率的パッキングコンフィギュレーション 1 8 4、ピクセル当たり 1 2 ビットのコンフィギュレーション 1 8 6、及びピクセル当たり 1 8 ビットのコンフィギュレーション 1 8 8 である。R A M 8 2 がコンフィギュレーション 1 8 0 に示したピクセル当たりビットのデータで充填される場合には、最初の 2 個のビットは無視され、且つ次の 6 個のビットが 6 個のピクセルに対するデータである。R A M 8 2 がピクセル当たり 3 ビットのデータでロードされるべき場合には、該ピクセルデータは 2 個のコンフィギュレーション、即ち各シリアルデータワードが 2 個のピクセルに対するデータを保持するコンフィギュレーション 1 8 2、及び 3 個のシリアルデータワードが 8 個のピクセルに対するピクセルデータを供給する効率的パッキングコンフィギュレーション 1 8 4 のうちの 1 つにおいてディスプレイドライバ 3 6 へ送ることが可能である。従って、効率的パッキングコンフィギュレーションは、3 個のシリアルデータワードの各々において 8 乃至 6 の係数だけコンフィギュレーション 1 8 2 よりも R A M 8 2 内へピクセル当たり 3 ビットのデータのより速い転送を提供する。このデータのより速い転送は、パーシャルメモリ画像をより速くアップデートさせることを可能とし、そのことは、3 ビットピクセルを R A M 8 2 内へ配置させるためにコンフィギュレーション 1 8 2 が使用された場合よりも一層アニメーションされたものとしてパーシャルメモリ画像を知覚させることを可能とする。ピクセル当たり 1 2 ビットのコンフィギュレーション 1 8 6 は、1 2 ビットのピクセルを R A M 8 2 内へロードさせるために 2 個のシリアルワードを使用し、且つピクセル当たり 1 8 ビットのコンフィギュレーション 1 8 8 は、R A M 8 2 内に 1 8 ビットのピクセルをロードするために 3 個のシリアルワードを使用する。

【 0 0 5 6 】

R A M 8 2 からの読取レート

図 6 は R A M 8 2 から出力チャンネル 1 0 0 へのパーシャルメモリデータの転送及びビデオ入力線 4 0 , 4 2 , 5 4 , 5 6 から出力チャンネル 1 0 0 へのビデオ又は通常の R G B データの転送のフローチャート 2 0 0 である。R A M 8 2 から出力チャンネル 1 0 0 へのピクセルデータの流れは図 6 の左側にあり、それは、ステップ 2 0 2 において示されているように (「ディスプレイドライバはパーシャルモードにあるか又はアルファモードにあるか?」)、ディスプレイドライバ 3 6 が、R A M 8 2 内の画像が表示されるべきであることを意味するパーシャルモードにあるか、又は R A M 8 2 内の画像が通常のビデオデータと結合されるべきであることを意味するアルファモードにあるかのいずれかであることの決定によって開始する。ディスプレイドライバ 3 6 がパーシャルモード又はアルファモードにある場合には、パーシャル画像データはステップ 2 0 4 において示されているように (「R A M 内に格納されているデータのフォーマットによって決定されるレートにおいて且つディスプレイドライバが通常のパワーにあるか又は低いパワーにあるかによって R A M からデータを読取る」)、パーシャル画像データはパーシャルモードコンフィギュレーションに依存する一定のレートで R A M 8 2 から読取られる。パーシャルモードコンフィギュレーションは、ディスプレイドライバ 3 6 がアルファモードにあり、その場合には R A M 8 2 からのデータの読取りのタイミングが P c l k によって設定され、又はアル

ファモードではなく、その場合にはディスプレイドライバ36のタイミングは約13.0MHzの周波数を有している場合がある内部オシレータによって設定されるかのいずれかを包含している。RAM読取レートに影響を与えるその他のパーシャルモードコンフィギュレーションは、パーシャルモード動作が通常のパワー又は低いパワーにあるか否か、且つ画像が画像寸法において2×増加に対しアップスケールされるべきであるか否かである。これらのその他のパーシャルモードコンフィギュレーションについては以下により詳細に説明する。

【0057】

低電力パーシャルモード

図6のフローチャートにおいて、パーシャルモードが通常電力モードにあるか又はパーシャルモードにあるかがステップ206（「低電力モードにあるか？」）において決定がなされる。通常電力モードにある場合には、RAM82データはステップ208（「必要である場合には、2ピクセルグループを形成するために2個の18ビットピクセルの組にデータをフォーマット」）において、必要である場合には、最小桁ビット位置にゼロを配置させることにより18ビットピクセルにフォーマットさせる。RAM82内のデータがピクセル当たり1ビット又はピクセル当たり3ビットである場合にのみホストプロセッサ30によって選択することが可能な低電力モードにある場合には、出力チャンネル100へ送られるデータの各18ビットは4個のピクセルに対するデータを有しており、そのことはパーシャルモードオシレータクロック（不図示）を4で割算することを可能とし、従ってディスプレイドライバ36によって消費される電力を基本的に通常の電力の4分の1に減少させる。ディスプレイドライバ36が低電力モードにある場合には、18ビットピクセルの2個の組が一度に出力チャンネル100へ転送され、8個のピクセルに対するデータがステップ210（「アドレス線を第一線ラッチへ設定し、従って同一の36ビットを使用して4個の2ピクセルグループを一度にロードさせる」）において示されているように、一度に出力チャンネル100の4個のラッチへ転送され、尚用語「ラッチの最初の行」とは本願に対する添付資料Bにおいて示され且つ記載されているラッチ110の行のことを意味している。

【0058】

パーシャルアップスケールモード

図6に示されているように、パーシャルモードが通常電力モードにある場合には、パーシャルメモリRAM82データはステップ212（「PMデータをアップスケール？」）において、アップスケールさせることが可能である。アップスケールモードにおいては、各ピクセルは隣接する列において及び隣接するラインにおいて複製されるので、列ラッチ内へのデータのローディングが修正され、従って2ピクセルデータの組、即ち36個のピクセルビットは、ステップ214（「両方のピクセルが同一のデータ値を有するように最初のラインラッチをロード」）において示されているように、両方のピクセル位置を充填するために複製された1個のピクセルに対するデータから構成されている。更に、同一のピクセルデータでディスプレイの2個の隣接するラインを与えるために、ステップ216（「2本のライン出力毎に対し最初のラインラッチを一度ロード」）において、ディスプレイの1本おきのラインが書込まれた後に最初のラインラッチをロードさせる。パーシャルモードが低電力モード又はアップスケールモードにあるか否かに拘わらず、結果的に得られるパーシャルデータはアルファブレンドブロック218（「アルファブレンド」）へパスされ、該ブロックは通常電力パーシャルデータを通常のビデオデータとブレンドさせるか又はブレンドさせない場合があり且つ結果的に得られるデータはステップ220（「ピクセルデータをソースドライバへ送る」）において示されているように、ソースドライバ100へパスされる。2ピクセルデータが出力チャンネル100へ書込まれた後に、ディスプレイドライバ36は、図6におけるステップ222（「パーシャルモードであるか？」）において決定されるように、ディスプレイドライバ36がパーシャルモードにあるか又は通常モードにあるかに依存して、再度該サイクルを開始させる。

【0059】

通常のビデオモード

通常のビデオモードにおいては、データは、夫々、ステップ 230 (「ディスプレイドライバは RGB ビデオモードにあるか?」) 及び 232 (「ディスプレイドライバは M P L モードにあるか?」) において、RGB 24 ビットビデオ又は M P L ビデオとしてディスプレイドライバ 36 へ入力される。受取られた通常のビデオデータが RGB 24 ビットデータである場合には、該データは直接的にビデオインターフェース 90 へ送られ、そこで、それは、必要である場合には、24 ビットピクセルへフォーマットされ、DE パルスが遅延され、且つ DE パルスにおける遷移はステップ 234 (「全ての非 24 ビット入力データを 24 ビット / ピクセルへ変換し、遅延させ且つ DE と同期させる」) において、P c l k と同期させる。受取られた通常のビデオデータが M P L データである場合には、それはステップ 236 (「M P L データをデコード」) において並列データへデコードされる。通常のビデオデータがステップ 234 におけるプロセスによって正規化された後に、通常のビデオデータは DE ラーニング 92 へパスされ且つステップ 238 (「DE 入力における余分な遷移を除去」) において示されるようにデジタル的にフィルタされる。DE ラーニングブロックの動作について以下の DE ラーニングセクションにおいて説明する。

【0060】

通常のビデオデータが DE ラーニングブロック 92 を介して通過された後に、2 個の通常のビデオピクセルが図 6 におけるステップ 240 (「2 個のピクセルのグループを形成するためにバス幅を 2 倍化」) において図 2 におけるビデオ多重化ブロック 94 におけるパシャルデータの 36 ビットとして構成させる。その結果得られるビデオデータはアップスケール、ディザリング及び / 又は切り捨てブロック 96 へパスされ、そこでステップ 242 (「ビデオデータをアップスケールさせるか?」) において、ビデオデータがアップスケールされるべきであるか否かの決定がなされる。該通常のビデオがアップスケールされるべきでない場合には、P c l k 周波数は、ステップ 244 (「通常モード動作の残部において使用するために P C L K 期間を 2 だけ拡張」) において、通常モード処理の残部において使用するために 2 で割算される。通常のビデオデータがアップスケールされるべき場合には、各 24 ビットピクセルが複製され、従って並列的に処理されるピクセルの 2 組の各々はステップ 246 (「同一の 36 ビットを使用して一度に 2 個の 2 ピクセルグループがロードされるように最初のラインラッチに対しアドレスラインを設定」) において同一である。次いで、ステップ 248 (「各 1 入力ビデオライン毎に 2 出力ラインが書き込まれるようにディスプレイラインタイミングを設定」) において、ビデオの各 1 本のラインに対し 2 本の出力ラインが書き込まれるようにラインタイミングを調節させる。

【0061】

ピクセル当たり 24 個のビットがピクセル当たり 18 ビットへディザリングされるべきであるか否か又は各サブピクセルの最後の 2 個のビットが切り捨てられるべきであるか否かの決定がステップ 250 (「ディザモードがイネーブルされているか?」) においてなされる。適用可能である場合には、24 ビットデータのディザリングがステップ 252 (「24 ビットデータを 18 ビットデータへディザする」) において実施され、そうでない場合には、24 ビットデータはステップ 254 (「各サブピクセルの最後の 2 個のビットを切り捨てる」) において切捨てが行われる。その結果得られるピクセルデータ当たり 18 ビットがステップ 218 において図 2 におけるアルファブレンドブロック 98 へパスされる。

【0062】

DE ラーニング

DE ラーニング (L e a r n i n g) ブロック 92 において、DE 信号が低である P c l k 期間の数が各 DE パルス期間中にカウントされ、且つ 2 つの相次ぐカウントが同じである場合には、そのカウントは学習された (L e a r n e d) DE 低カウントのラベルが付けられる。このカウントは、前の学習済 DE 低カウントと異なるものであるが同じものであるその後の 2 つの相次ぐ DE 低カウントまで変化することはない。同じ原理が DE 期

10

20

30

40

50

間に適用され、即ち、D E 信号の相次ぐ下降端間の P c l k 期間の数がカウントされ、且つ2つの相次ぐD E 期間カウントが同じである場合には、そのカウントは学習済D E 期間カウントとなる。学習済D E 低カウント及び学習済D E 期間カウントを発生させることにより、D E 低時間又はD E 期間における1回の変動は、夫々、学習済D E 低カウント又は学習済D E 期間カウントを変化させることはない。D E パルスは、ディスプレイの垂直ブランキング期間の間に存在するものではなく、且つ垂直ブランキング期間の開始においてD E パルスの不存在及びD C パルスが再度表われるまでそれらが存在及び不存在である全時間を検知することにより、有効なラインの数及び全体的なラインの数を学習することが可能である。

【0063】

図7はデジタル的にフィルタされたD E 信号を供給するために図7における円Aと円Bとの間のD E ラーニングプロセスのフローチャート240である。図8に示したように、学習済D E 低カウント及び学習済D E 期間カウントは、最初のD E パルスが図2におけるD E ラーニングブロック92へ入力される場合に開始し、一方学習済有効ライン及び学習済全ラインのラーニング即ち学習は、学習済D E 低カウント及び学習済D E 期間カウントが非ゼロである後にのみ開始する。図7において、D E 信号の低パルス期間中のP c l k 期間の数がステップ242(「D E 下降後の1個のp c l k 期間で開始し且つD E 上昇後の1個のp c l k 期間で終了するD E 低パルスにおけるp c l k 期間をカウント」)及び244(「D E 下降後の1個のp c l k 期間で開始し且つD E 上昇後の1個のp c l k 期間で終了する次のD E 低パルスにおけるp c l k 期間をカウント」)の夫々において二度カウントされ、且つその2つのカウントはステップ246(「これら2つのカウントは同じであるか?」)において比較される。これら2つのカウントが同じである場合には、学習済D E 低カウントがステップ248(「D E 学習済低カウントを最後のカウントに設定」)において最後のカウントに設定する。これら2つのカウントが異なる場合には、付加的なカウントがステップ244において行われ且つ最後のカウントに対して比較される。このプロセスは、2つの相次ぐカウントが同じであり且つ学習済D E 低カウントが設定されるまで継続する。そのカウントが設定された後に、次のD E パルス期間中に、D E パルスの低状態期間中のP c l k 期間の数がステップ250(「D E 下降後の1個のp c l k 期間で開始し且つD E 上昇後の1個のp c l k 期間で終了する次のD E 低パルスにおけるp c l k 期間をカウント」)においてカウントされ、且つ該最後の2つのカウントが同じである場合には、最後の学習済D E 低カウントがステップ252(「最後の2つのカウントは同じであるか?」)において最後のカウントに設定される。該2つのカウントが同じでない場合には、次のD E 信号の低状態期間中におけるP c l k 期間の数がブロック250において示されているようにカウントされ、次いで、ステップ252における最後のカウントに対して比較される。従って、学習済D E 低カウントは、現在の学習済D E 低カウントと異なるものであるが同じである2つの相次ぐカウントが存在するまで変化することはない。このプロセスはD E 低パルス時間をデジタル的にフィルタするばかりでなく、ディスプレイドライバ36が異なる低パルス時間を有する新たなD E 信号に対して調節することを可能とする。逆に、2つの相次ぐD E 低パルス時間期間中に同じである2つのグリッチが存在する場合には、学習済D E 低カウントが誤って変化するが、2つのグリッチがないD E 低パルスが続いて発生する場合に補正される。1実施例におけるディスプレイドライバ36は毎秒60回ディスプレイをリフレッシュさせるので、1回のグリッチは事実上表示されている画像において知覚不可能な変化となる。

【0064】

学習済D E 低カウントが計算されるのと同じ態様で、学習済D C 期間カウントが計算される。従って、ステップ254(「D E 下降後の1個のp c l k 期間で開始し且つ再度D E 下降後の1個のp c l k 期間で終了するD E 期間におけるp c l k 期間をカウント」)、256(「D E 下降後の1個のp c l k 期間で開始し且つ再度D E 下降後の1個のp c l k 期間で終了する次のD E 期間におけるp c l k 期間をカウント」)、258(「これら2つのカウントは同じであるか?」)、260(「D E 学習済期間カウントを最後のカ

ウントに設定」)及び262(「最後の2つのカウントは同じであるか?」)におけるプロセスは、夫々、ステップ242, 244, 246, 248, 252におけるプロセスのDE期間に対応するものである。ステップ264(「DE下降後の1個のPc1k期間で開始し且つ再度DE下降後の1個のpc1k期間で終了する次のDE期間におけるPc1k期間をカウントし且つ該カウント期間中のpc1k期間の現行カウントである学習済Xカウント数を供給」)において記載されるプロセスは、ステップ250におけるプロセスのDE期間に対応するものを実施するが、更に、該期間カウント期間中のPc1k期間の現行カウントを発生する。この現行カウントは、DEパルスが欠けており、垂直ブランキング期間の開始を表わしている時を決定するために使用される。

【0065】

図8は学習済DE低カウント、学習済DE期間カウント、学習済有効ラインカウント、学習済全ラインカウントを決定するために使用される関連する信号のタイミング線図である。図8の一番上に示したものはPc1kであり、それは、この実施例においては、対称的である。このPc1kの下側はリセット信号であり、図1Aにおけるライン46からreset_nのラベルが付けられている。該リセット信号の下側はバス42上のDE信号であり、それはde_d2のラベルによって表わされるように2個のDE信号期間だけ遅延されている。DE信号の低パルス及び高パルスの相対的な長さは、本発明をより良く例示するために図8においては歪められている。典型的に、水平ブランキング期間である低パルスの幅は高パルスの幅の5%未満である。de_d2の下降端は、下降端信号de_feを発生するために使用され、それはde_d2の下降端で開始し且つ1個のPc1k期間の幅である。同様に、de_d2の上昇端は、上昇端信号de_reを発生するために使用され、それはde_d2の上昇端で開始し且つ1個のPc1k期間の幅である。このde_reパルス信号の下側はde_cntのラベルを付したカウンタであり、それは該リセットが高へ移行することにより不活性化された後にde_feの次の下降端後に開始し且つそのカウントはde_feの次の下降端まで各Pc1k期間に対してインクリメントし、その時点において、それは「1」カウントにリセットして再度そのカウントを開始する。

【0066】

last_de_lowのラベルを付したライン内においては、de_feの下降端からディスプレイドライバ36がリセットから抜け出した後に開始するde_reの次の下降端へカウントされるPc1k期間の数である。図7に示したように、last_de_lowの最初のカウントは2であり、且つ次のDE低パルスに対しても同じである。その結果、learned_de_lowは、2番目のlast_de_lowカウントの後に0から2へ変化する。同様に、last_de_perは、ディスプレイドライバ36がリセットから抜け出した後のde_feの最初の下降端においてカウント動作を開始し、且つde_feの次の下降端においてカウント動作を停止させ、その時点において、last_de_perカウントが再度開始する。同一である2つの連続したカウントの後に、learned_de_perはlast_de_perの最後のカウントに設定される。学習済DE低カウントが0以外のものであり、且つ学習済DE期間カウントが0以外のものである後に、learned_x_cntカウンタがde_feの次の下降端においてカウント動作を開始し且つlearned_de_cntが学習済DE期間カウントと同一のカウントに到達した後にde_feの次の下降端上で再カウント動作を開始する。

【0067】

図8に示したものは参照番号270, 272, 274におけるDE信号における3つのエラーである。点線は、正しいDE信号があるべきものを示している。これらエラーの各々は、図8に示したように、de_cnt、DE低カウント、及びDE期間カウントを変化させる。然しながら、これらのエラーのいずれもが同一のカウントを有する2つの連続した誤ったde_cntを発生するものではないので、同一のカウントを有する2つの連続する誤ったDE低カウント、又は同一のカウントを有する2つの連続する誤ったDE期

10

20

30

40

50

間カウント、learned__x__cnt、学習済DE低カウント、及び学習済DE期間カウントは不変であり、且つこれら3個のエラーはディスプレイドライバ36の残部により使用される発生されたDE信号からフィルタされる。

【0068】

図9は全体的なフレームのタイミング線図であり且つ本発明の例示を容易化させるために8個のDE期間に対して継続して示されている。実際には、各DE期間はディスプレイ34内に書き込まれる1つの行に対応しているので、各フレーム内のDE期間の数は一層より高いものであり、通常数百である。点線として示してあるDEパルス276は各フレームにおける垂直ブランキング期間を表わしている。

【0069】

図7に戻り且つ図9を参照すると、ステップ280(「学習済DE低パルスカウント及び学習済DE期間カウントの両方が0より大きいのか?」)は、学習済有効ライン及び学習済全ラインを決定するプロセスは、学習済DE低カウント及び学習済DE期間カウントの両方が非ゼロであるまで開始することはないことを示している。学習済DE低カウント及び学習済DE期間カウントは、ディスプレイドライバがリセットされる時にゼロに設定される。その条件が満足された後に、垂直ブランキングラインの数がステップ282(「垂直ブランキングラインの数をカウント」)及び284(「次のDE期間における2個のpclkに対しDEは高であるか?」)においてカウントされ、それは、又、最初の有効ラインを見つけ出す。ラインカウンタがステップ286(「ラインカウンタを次の1に設定」)において1に設定され、且つステップ288(「次のDE期間における2個のpclkに対しDEが高であるか?」)及び290(「ラインカウンタをインクリメント」)においてテストが行われて垂直ブランキングの最初のDE期間を見つけ出す。次いで、ステップ292(「有効なラインが二度カウントされたか?」)は現在のラインカウンタが最初の有効なラインカウントであるか否かを決定する。そうでない場合には、学習済有効ラインカウンタがステップ294(「学習済有効ラインを巨大有効ラインカウントに設定」)において現在のラインカウンタへ設定し、且つステップ296(「学習済全ラインを学習済有効ラインカウント+垂直ブランキングラインの数に設定」)において、学習済全ラインカウンタが現在のラインカウンタ+ステップ282及び284において決定された垂直ブランキングラインの数に設定される。次いで、最初のラインがステップ298(「カウントをインクリメント」)及び300(「次のDE期間における2個のpclkに対しDEは高であるか?」)において最初のラインが見つけれられる。ステップ302(「全ラインが二度カウントされたか?」)は、全ラインが二度カウントされたか否かを決定し、且つそうでない場合には、動作はステップ286へ移行する。全ラインが二度カウントされている場合には、その2つのカウントが比較されてそれらが同じであるか否かがステップ304(「最後の2つの全ラインカウントは同じであるか?」)において決定され、且つそうでない場合には、本動作はステップ286へ再度移行する。これら2つのカウントが同じである場合には、学習済全ラインカウンタがステップ306(「学習済全ラインを最後の全ラインカウントに設定」)において最後のラインカウントに設定され且つ本動作はステップ286へ復帰する。ステップ292におけるテストが、有効なラインが二度カウントされたことを決定する場合には、それら2つのカウントが比較されてそれらが同じであるか否かがステップ308(「最後の2つの有効ラインカウントとは同じであるか?」)において決定され、且つそうでない場合には、本動作は再度ステップ298へ移行する。これら2つのカウントが同じである場合には、学習済有効ラインカウンタはステップ310(「学習済有効ラインを最後の有効ラインカウントへ設定」)において最後のラインカウントに設定され且つ本動作はステップ286へ復帰する。動作なし(NOP)ステップ312, 314, 316は、DEラーニング手順の処理の流れを正しく示すために使用されるフローチャートのツールである。

【0070】

学習済DE低カウント又は学習済DE期間カウントが、ディスプレイドライバ36がリセット状態にあるか又はスリープ状態にあるものでない限り継続的に動作するDEラーニ

10

20

30

40

50

ングプロセス期間中に变化すると、ＤＥラーニングプロセスは再開始される。

【００７１】

アルファブレンディング

図１０は図２におけるアルファブレンドブロック９８の動作を示した処理フローチャート３２０である。図１０に示したように、円Ｃにおけるパーシャルモードデータは、ディスプレイドライバ３６がステップ３２２（「低電力モードにあるか？」）において低電力モードにある場合には、アルファブレンドブロック９８の円Ｅにおける出力へパスされ、というのは、低電力モードはブレンド用ＲＡＭ８２データ及び通常のビデオデータと互換性がないからである。次に、ディスプレイドライバ３６がステップ３２４（「アルファブレンドモードにあるか？」）においてアルファブレンドモードにあるか否かの判別がなされ、そうでない場合には、パーシャルモードデータが円Ｅにおける出力へパスされる。次に、通常の２ピクセル組がステップ３２６（「通常のビデオ２ピクセルが定義されたパーシャルウインドウの外側に設定されているか？」）において定義されたパーシャルウインドウの外側にあるか否かの判別がなされる。そうである場合には、該パーシャルモードデータは、定義されたパーシャルウインドウ内側の通常の２ピクセル組が現在処理中であるまで保持され、該定義されたパーシャルウインドウは、ホストプロセッサ３０がパーシャルメモリウインドウをディスプレイ３４上の所望の位置に配置させるために変化させることが可能なレジスタ内に設定されているパーシャルメモリ開始及び終了行及びパーシャルメモリ開始及び終了列によって定義される。表示される通常のピクセルデータが少なくとも部分的に定義されたパーシャルウインドウ内にある場合には、該２ピクセル組の各ピクセルは別々に且つ並列に処理され且つ後にアルファブレンドブロック９８の出力円Ｅを介して出力チャンネル１００へパスされる前に再結合される。

10

20

【００７２】

通常のビデオデータは、存在する場合には、円Ｄにおいてアルファブレンドフローチャート３２０へエンターし、且つステップ３２８（「アルファブレンドモードにあるか？」）において、ディスプレイドライバ３６がアルファモードにあるか否かの決定がなされる。そうでない場合には、該通常のビデオデータは円Ｅにおける出力へ直接的にパスされる。ディスプレイドライバ３６がアルファブレンドモードにある場合には、ステップ３４０（「通常のビデオ２ピクセル組が定義されたパーシャルウインドウの外側にあるか？」）において、通常のビデオ２ピクセル組が定義されたパーシャルウインドウの外側にあるか否かの決定がなされる。そうである場合には、該通常のビデオ２ピクセル組は円Ｅにおける出力へパスされる。

30

【００７３】

該２ピクセル組における２個のピクセルの各々は別々に且つ同時に且つ同一の態様でブレンドされる。該パーシャルメモリピクセルはステップ３４２（「ディスプレイドライバはトランスペアレントモードにあるか且つＰＮ２ピクセル組の最初のピクセル＝０であるか？」）において検査されて、ディスプレイドライバ３６がトランスペアレントモードにあるか否かが決定され、且つそうである場合には、該パーシャルメモリピクセルデータが全てゼロであるか否かが決定される（即ち、３個のサブピクセルデータの各々が全てゼロである）。両方の条件が満足される場合には、該パーシャルメモリピクセルはステップ３４４（「最初のＰＭピクセルを無視」）において無視される。これらの条件のうちの１つが満足されない場合には、該パーシャルメモリピクセルの個々のサブピクセルが、必要である場合には、ステップ３４６（「ブレンドレベルに従って２ピクセル組の最初のピクセルのサブピクセルデータを演算的に割算」）において、当該技術において良く知られている方法によってそれらの数値の７５％、５０％、２５％又は０％（全てゼロに設定）へスケールダウンされる。このプロセスの通常のビデオに対応するものにおいては、パーシャルメモリピクセルもステップ３４８（「ディスプレイドライバはトランスペアレントモードにあるか及びＰＭ２ピクセル組の最初のピクセル＝０であるか？」）において検査されて、ディスプレイドライバ３６がトランスペアレントモードにあるか否かが決定され、且つそうである場合には、該パーシャルメモリピクセルデータは全てゼロである（即ち、３

40

50

個のサブピクセルデータの各々が全てゼロである)。両方の条件が満足される場合には、通常のビデオの最初のピクセルがステップ350(「最初のビデオピクセルを再生された2ピクセルグループの最初のピクセル位置に配置」)において形成されるべき修正された2ピクセル組の最初のピクセル位置に配置される。これらの条件のうちの1つが満足されない場合には、該通常のビデオピクセルの個々のサブピクセルが、必要である場合には、ステップ352(「ブレンドレベルに従って2ピクセル組の最初のピクセルのサブピクセルを演算的に割算」)においてそれらの数値の0%、25%、50%又は75%へスケールダウンされ、且つ該スケールされたパーシャルメモリサブピクセル及び該スケールされた通常のビデオサブピクセルがステップ354(「該サブピクセルデータを演算的に加算」)において一緒に加算される。該ブレンドされたピクセルは、ステップ356(「再生された2ピクセルグループの最初のピクセル位置に最初のブレンドしたピクセルを配置」)において形成されるべき修正された2ピクセル組の最初のピクセル位置に配置される。

10

【0074】

該パーシャルメモリデータ及び該通常のビデオデータの入力してくる2ピクセル組の2番目のピクセルはステップ362(「ディスプレイドライバはトランスペアレントモードにあるか且つPM2ピクセル組の2番目のピクセル=0であるか?」)、364(「2番目のPMピクセルを無視」)、366(「ブレンドレベルに従って2ピクセル組の最初のピクセルのサブピクセルデータを演算的に割算」)、368(「ディスプレイドライバはトランスペアレントモードに有り且つPM2ピクセル組の2番目のピクセル=0であるか?」)、370(「2番面のビデオデータを再生された2ピクセルグループの2番目のピクセル位置に配置」)、372(「ブレンドレベルに従って2ピクセル組の最初のピクセルのサブピクセルを演算的に割算」)、374(「サブピクセルデータを演算的に加算」)、及び376(「再生された2ピクセルグループの2番目のピクセル位置に2番目のブレンドしたピクセルを配置」)において2ピクセル組の最初のピクセルと同じ態様で処理され、これらのステップは、夫々、ステップ342, 344, 346, 348, 350, 352, 354, 356に対応している。

20

【0075】

ディスプレイ上の画像の位置の制御

図11を参照すると、通常のビデオ画像又はディスプレイドライバ36がパーシャルモードにある場合に発生される画像とすることが可能なウインドウ640内のディスプレイ画像(DI)602を担持するディスプレイ600が示されている。このDI602はディスプレイ上の1組の座標により提示されている。これらの座標は開始列606、終了列608、開始行610及び終了行612である。DI602を取囲むディスプレイ600の残部はボーダー614である。DI602は、例えば、該装置自身、又は該装置によって提供されるサービスと関連している商標又はロゴ領域618を取囲むバックグラウンドカラー領域616を包含することが可能である。画像602は、該装置がパーシャル動作モードにエンターする場合に自動的に表示される。該装置は、何等ユーザの入力無しで予め設定した時間の後に低電力にエンターすることが可能である。低電力モード及び減少されたディスプレイへの遷移は、又、バッテリー充電状態に制限することが可能である。

30

【0076】

上述したRAM82は、ディスプレイの局所的リフレッシュ用の画像データを格納するために使用される。それは、パーシャルモードにおける唯一のビデオ供給源として使用することが可能であり、又はその内容はアルファブレンドモードにおいて入力してくるビデオデータとブレンド(又は重畳)させることが可能である。パーシャルモードにおいて動作している間は、システムパワーは著しく減少されるが、何故ならば、本システムにおけるビデオ制御器をシャットダウンさせることが可能だからである。このモードにおいては、画像データはRAM82から読取られ且つ表示をリフレッシュするために使用される。全ての表示リフレッシュタイミングは内部オシレータ(不図示)から派生され、従って何等外部的なビデオ信号は必要とされない。

40

【0077】

50

好適実施例においては、RAM 82は230,400ビットのメモリを有している。この寸法は、3ビットデータの80×320ウインドウ、又は各ピクセルの色深さによって掛算されるディスプレイウインドウ(DW)内に包含されるピクセル総数による等価寸法を表示するのに充分である。

【0078】

システムプロセッサは、本装置がパワーダウンモードにエンターする時、ビデオモードも終了及び/又はビデオモードを表示するための時間が経過した時を検知する。メモリ内に格納されている命令は、RAM 82からのデータでディスプレイをロードするためにディスプレイを操作することが可能である。この動作を実施するためのステップは図12に示してある。

【0079】

第一ステップ620(「ラッチのSD上部行内にボーダーピクセルを配置」)として、ディスプレイドライバ36はボーダーデータを該ディスプレイ内に読込む。ボーダーデータは全てのボーダーピクセルに対して同一である限り、本願に対する添付資料Bにおいて参照番号110で識別したラッチの最初の行の全ての中に格納することが可能である。

【0080】

次のステップ622(「ガラスへ送られるべき次のラインはパーシャルディスプレイウインドウ開始ライン未満であるか又は特定したパーシャルディスプレイウインドウ終了ラインを超えるものであるか?」)において、ディスプレイドライバ36はRAM 82及びDI 602に対するレジスタ72におけるデータを読取る。この特許における他の箇所において説明しているようにRAM 82の出力は一对のバスを介して出力チャンネル100へ供給される。該データのアドレスが検査され且つ該ピクセルがDIの座標の外側にある場合には、該ピクセルはボーダーピクセルであり且つ不変のまま留まり、その応答は「yes」であり且つ該ラッチ内のピクセルは同一のまま留まり且つ該ラッチ内のピクセルはステップ624(「SD第一ラインラッチ内にエンコードされているピクセルを表示」)においてディスプレイ34へ送られる。然しながら、該ピクセルがDW内にある場合には、ディスプレイドライバ36は次のステップ626へ進行する(「パーシャルディスプレイウインドウ開始列に対応するラッチにおいて開始し且つパーシャルディスプレイウインドウ終了列に対応するラッチにおいて終了するラッチのSD上部行内に該画像の次のラインを配置」)。

【0081】

そのステップにおいて、非ボーダーピクセルが一度に複数の列で該上部ラッチ内にロードされてDWの1つの行を形成する。他の箇所において説明されているように、ディスプレイドライバ36は効率的なデータパッキングを与え、従って複数の列が同時に充填される。出力チャンネル100は一度に36ビットのデータを受取り、且つデータパッキングに起因して、最大で8個の列を1つのクロックサイクルで充填することが可能である。その後、完全なラインのピクセルが本願に対する添付資料Bにおける最小番号110で識別される第一行のラッチ内に存在するまで、ソースドライバは上述した如くに出力チャンネルをロードする。ローディングが完了すると、該ピクセルはステップ628(「SD第一ラインラッチにおいてエンコードされているピクセルを表示」)において供給されるように表示される。

【0082】

表示された最後のラインがDW終了行612であった場合には、ディスプレイドライバ36は上述したステップを繰り返す。ステップ630(「表示された最後のラインはパーシャルディスプレイウインドウ終了ラインであったか?」)を参照すると良い。そうでない場合には、ディスプレイが垂直ブランキングとなったか否かを判別するためにプロセッサがチェックする(ステップ632:「ディスプレイは垂直ブランキングに入ったか?」)。そうである場合には、プロセッサはステップ622へジャンプし且つその後のステップを繰り返す。

【0083】

10

20

30

40

50

従って、ホストプロセッサ 30 は、適宜のレジスタ 78 をディスプレイウインドウ開始ライン、ディスプレイウインドウ終了ライン、ディスプレイウインドウ開始列及びディスプレイウインドウ終了列でローディングすることによりディスプレイ 34 上に画像を位置決めさせることが可能である。この方法により、該画像は新たな開始及び終了ライン番号をロードするための 2 つのレジスタ書込みで上方又は下方へ移動させることが可能であり、新たな開始及び終了ライン番号をロードするための 2 つのレジスタ書込みで右側又は左側へ移動させることが可能であり、又はディスプレイドライバ 36 に対する 4 つのレジスタ書込みで新たな垂直及び水平位置へ移動させることが可能である。従って、該画像はスクリーンセーバーとして動作するために容易に位置決めさせることが可能である。

【0084】

ガンマ補償

図 13 を参照すると、ソースドライバ回路 (SDC) 100 がデジタル画像データをバストラジスタのソースへ結合されている出力チャンネル 200 へ供給する。ガンマ発生器回路 (GGC) ブロック 300 は入力デジタル画像データをガラス上のソース線を駆動するのに必要なアナログ電圧へ変換する。該デジタル画像データは、ストリーミングビデオインターフェース又はレジスタ、フルフレームメモリ又はパースシャルディスプレイメモリ等の別の供給源から来ることが可能である。SDC は所定数の出力チャンネル 200 を有している。好適実施例においては、320 個の出力チャンネルが存在している。各出力チャンネルは 1 個のピクセルに対し RGB データを受取り且つガラスデマルチプレクサセレクト信号 (CKH1-3) に対して同期されている時間多重シーケンスにおいて赤、緑及び青データのデジタル・アナログ変換を実施する。各ライン時間内の RGB データの変換シーケンスは第一レジスタに対する設定によって決定される。

【0085】

第一レジスタ内のレジスタビットが出力チャンネルのデータローディング方向を制御する。ガラスのピクセル/ラインが 320 未満のチャンネルであるディスプレイ適用例の場合には、どの出力がアクティブであり且つどの出力がアプリケーションによって使用されないかを特定するために第二レジスタを使用することが可能である。このことは、ドライバ及びガラスアクティブ領域の間のソースラインファンアウト領域を最適化することを助ける。該第二レジスタは、第一レジスタ設定と関連して特定される。ロード方向が S0 → S319 の方向に設定されている場合には、第二レジスタは S0 出力に対して参照される。ロード方向が S319 → S0 方向に設定されている場合には、第二レジスタは S319 出力に関して参照される。

【0086】

チャンネルドライバ DAC の電圧転送特性はガンマ参照回路 (GGC) によって発生される 64 個のガンマ参照電圧によって決定される。チャンネルドライバ出力に対する駆動強度も種々の寸法及び寄生容量負荷のパネルに対するセトリング及び電力性能を最適化するためにプログラムすることが可能である。

【0087】

ガンマ発生ブロック 300 の好適実施例において使用可能な 4 個の異なる本質的なガンマ曲線が存在している。それは各ガンマ曲線に対し 64 個の参照電圧を発生する。該本質的な曲線はモジュールユーザに対し種々の目標を達成することが可能である。1 つの目標は、種々のモジュールサプライヤーからマッチングする最適性能を得ることである場合がある。与えられたサプライヤーの異なるカラーチャンネルに対し個々の曲線形状を最適化することが可能でさえある。これらの場合においては、該 4 つの曲線オプションは、モジュールサプライヤーのガラス特性の各々に対し最適化することが可能であり、且つ適切な曲線及び設定の選択が可能である。

【0088】

複数の本質的な曲線設定を使用する別の理由は、種々のビューイング条件及び適用例に対し性能を最適化するために与えられたモジュールに対し複数のガンマ特性 (例えば、 $\gamma = 1.0, 1.8, 2.2, 2.5$) を提供することである場合がある。この場合には、

10

20

30

40

50

種々の曲線は、Gamma__Set コマンドを介して、又はガンマレジスタ設定への直接的なレジスタアクセスを介して選択することが可能である。

【0089】

所望の特性に最も密接にマッチする本質的曲線を選択した後に、その曲線形状をこの特許において後に説明するように更に最適化させることが可能である。好適実施例においては4個の形状が使用されるが、当業者が理解するように、本発明は1つ又は任意の数のガンマ選択曲線形状で実施することが可能である。ユーザは全てのカラーに対し1つの形状を選択することが可能であり又は各カラーチャンネルに対し別個の曲線又は調節設定を選択することが可能である。この同一の本質的形狀は、異なる最適化設定で緑及び青の曲線に対して使用することが可能であり、又は異なる本質的形狀及び最適化設定を各カラーチャンネルに対して選択することが可能である。与えられたカラーチャンネルに対して、同一の本質的曲線形状を両方の駆動極性に対して使用することが可能である。その他のカスタム化されたガンマ曲線を、例えば、4対1を超える選択を具備する出力マルチプレксаを付加することにより開示したガンマ発生ブロックから発生させることが可能である。

【0090】

ソースドライバ回路：出力チャンネルブロック

ソースドライバ回路(SDC)100は2個の主要な回路ブロックを有している。1つは各ピクセルに対するデジタル画像データを担持する出力チャンネルブロック200である。各列は1つのチャンネルである。他方はガンマ発生器回路ブロック300である。

【0091】

SDC100は2つのモード、ビデオデータがLCD内にストリームする通常モード、及びパーシャルRAM又はその他のメモリからのデータがディスプレイを駆動する低電力モード(3ビット又は1ビット)において動作する。図14を参照すると、SDC100は、通常モードにおいて、一度に2個のチャンネル(列)毎に1つの行内の各チャンネル400・nをロードする。データは奇数及び偶数バス202, 204を介して担持される。8ビットアドレスバス205がアドレスデコーダ208・nへ走行している。各対の偶数及び奇数チャンネルに対して1個のデコーダ208が存在している。最初のラッチ行110が完全にロードされた後に、そのデータは第二ラッチ行120へ転送される。各チャンネル(列)400・nはデコーダ60を有しており、それは入力デジタルデータ信号をサブピクセルを駆動するための出力アナログ電圧へ変換する。該アナログ電圧は列パッド20nへ印加される。行と列との交差点におけるガラスデマルチプレкса30RGB及びバストランジスタ40がパッド20n上のアナログ電圧をディスプレイ内の液晶サブピクセルへスイッチさせる。

【0092】

通常モードにおいて、ビデオデータはシステムプロセッサからSDC100へストリームする。画像データは出力チャンネル400内へロードされ且つ各データ値は液晶ディスプレイ内のカラーピクセルを駆動するためにガンマ発生ブロック300から供給されるアナログ電圧へ変換される。通常モードは各ピクセルに対して18ビットのデータを使用する。各ピクセルは3個のサブピクセル、即ち赤に対して1個と、青に対して2番目と、緑に対して3番目とを有している。各サブピクセルは6ビットワードである。従って、各サブピクセルに対して1個づつ3個の6ビットワードを含む各ピクセルに対して18ビットのデータが存在している。出力チャンネル200は、各サブピクセルに対するデジタルデータ値をサブピクセルを駆動するためのアナログ電圧へ変換する。変換は一度に1つのカラーについて行われ且つ各カラー変換は各カラーに対して別個のガンマで行うことが可能である。駆動用アナログ電圧がディスプレイ内のサブピクセル位置において液晶へ印加される。印加された駆動アナログ電圧の大きさが当業者にとって良く知られた態様で液晶の透過性を制御する。

【0093】

ソースドライバ回路：第一及び第二ラッチ

図14に示したように、SDC100は出力チャンネル200に対して一度に36ビット

トのデータを出力する。該データは2個のバス202, 204を介して供給される。通常モードにおいて、各バスは1個のピクセルに対し18ビットのデータを担持し且つ一緒になってバス202, 204は2個の隣接する(偶数及び奇数)列に対するデータを担持する。ピクセルアドレスブロック208は1つのバスからのデータを行110内の偶数ラッチへ指向させ、且つ他の列に対するデータは行110内の奇数ラッチへ指向される。各ピクセルに対して1個のラッチが存在している。各ラッチ内には3個の6ビットレジスタが存在しており、それらは各ピクセルに対して18ビットのRGBデータを保持する。第一行110が完全にロードされた後に、そのイネーブル信号101は高となり且つその内容は第二行120へ転送する。その結果、行110内の列400は、将来のピクセルに対するデータでロードさせることが可能である。ローディングが完了すると、全体の行のピクセルに対するデータが第二ラッチ120内へロードされる。

10

【0094】

SDC100は、本装置が通常モード、3ビットモード又は1ビットモードで動作するか否かに拘わらず、常にラッチ110内にデータをロードする。3ビットモード期間中、各サブピクセルに対して8個の可能な状態が存在しており、即ち白、黒、赤、青、緑、及びイエロー、シアン、マゼンタを発生するための該カラーの組み合わせである。次の1ビットモードにおいては、サブピクセルは全て同一であり且つ各ピクセルは白又は黒のみである。

【0095】

3ビットモードにおいてパワー即ち電力を節約するために、内部オシレータ(不図示)は4によって分割される。この分割されたオシレータは全てのデジタルブロックをクロックさせる。1つ又はそれ以上の不必要な回路ブロック(例えば、バックライト、不図示)は電力を節約するためにゲートオフされる。8個の3ビットピクセルが一度に出力され、且つアドレス及びアドレス反転)出力がその2個の最小桁ビット(lsb)が1に設定され、一度に8個の3ビットピクセルをアドレッシングする。pix0及びpix1出力は、図4に示したように、該8個の3ビットピクセルをバックさせる。

20

【0096】

ピクセルブロックは、常に、18ビットのデータを有している。3ビットモードの場合には、ブロックpix0及びpix1のピクセルのデータが図示したように偶数/奇数(左/右)列内にロードされる。このローディングは冗長的であり且つ4回繰り返される。然しながら、4個のロードの後に、各ラッチは少なくとも各サブピクセルに対して4ビットを有している。該データバスの各サブピクセルラッチにおける2個の最小桁ビットは使用されない。1ビットモードにおいては、1つのカラーの全ての3ビットに対するデータは同じである。

30

【0097】

ソースドライバ回路：デコーダ

行120に対するデータは、ディスプレイ上の薄膜トランジスタのソース線を駆動するために、一度に1つのカラーづつデジタルからアナログへ変換される。行120の出力はトライステートバッファ50によって列デコーダ60に対して多重化される。任意の1つの時間において、赤、又は青又は緑を表わす単一カラーの6ビットワードがイネーブルされ且つデコーダ60へパスされる。換言すると、各ラッチにおけるレジスタ13.1、13.2及び13.3におけるデータは逐次的にデジタルからアナログ電圧へ変換される。変換は各ラッチにおける各レジスタ13.1(赤)に関して同時的に行われ且つ最初に赤、次いで青及び最後に緑を変換させるために繰り返される。

40

【0098】

デコーダ60はデジタル信号をアナログ電圧へ変換する。各1つが64対1アナログマルチプレクサである。レジスタ13.1、13.2又は13.3からのデジタル入力に対して、デコーダ60は64個の入力アナログ電圧のうちの1つを選択する。これらの電圧は該カラーピクセルを駆動する。各デコーダ60はガンマ発生器回路(GGC)300の64線出力バス250へ結合されている。以下に明らかになるように、GGC300にお

50

ける各カラーはそれ自身のガンマを有している。デジタルアナログ変換は一度に1つのカラーずつ直列的に実施される。例えば、赤選択を設定すると、レジスタ131からの6ビット赤ワードがデコーダ60へ入力される。デコーダ60は64個の赤参照電圧信号を受取り、それから、それは該6ビット赤ワードに対応する電圧レベルを選択する。デコーダ60はツリーデコーダの形態における64対1アナログマルチプレクサである。このようなデコーダは当該技術において良く知られている。任意の与えられた6ビットデジタルワードに対し、該デコーダツリーを介してただ1つの有効な経路が存在している。各潜在的に有効な経路の入力端は該64個の参照電圧のうちの1つへ接続されており且つレジスタ131, 132又は133からのデジタル信号が該デジタル信号に対応するアナログ電圧を接続するために有効な経路を設定する。

10

【0099】

トライステートバッファ50の出力とデコーダ60の間にレベルシフター70が存在している。該レベルシフターは電力を節約するためにデジタルドメイン内において走行されている。該デジタル電圧は約1.8Vであり且つアナログ電圧は最大で5.5Vである。この特徴は、電力を保存することに貢献するが、何故ならば、電力は電圧の平行に比例するからである。そうであるから、本発明の可及的に大きな一部がデジタルドメインにおいて動作する。

【0100】

デコーダ60のアナログ出力が3対1アナログマルチプレクサ61へ接続されている。それは3個のアナログ入力を有しており、通常モードに対する6ビットデータ入力を表わす第一アナログ入力と1ビット及び3ビットモードに対する1ビットデータ入力を表わす第二及び第三アナログ入力を包含している。それは2個の制御信号を有している。1つは第一アナログ信号をデコードするための通常モードを選択し且つ他方は第二又は第三アナログ信号を選択する。通常モード期間中、マルチプレクサ61はカラー（第一）アナログ電圧を受取り且つそれをディスプレイパッド20へパスする。然しながら、3ビットモード期間中、マルチプレクサ61は第二及び第三アナログ入力からゼロ又は1データを取りそれらをパッド20へ印加する。

20

【0101】

マルチプレクサ61の出力は、パッド20からの18ビットモード期間中アナログ電圧をバッファする増幅器62へ接続されている。通常モード期間中、マルチプレクサ61はデコードされたアナログ電圧出力をオペアンプ62へパスする。それはカラー電圧信号をバッファし且つそれを該列のパッド20へ印加する。然しながら、3ビット動作期間中、オペアンプ62はパワーダウンされ且つオペアンプ62における並列スイッチがその入力を出力へシャントさせる。そうであるから、3ビットモード期間中、マルチプレクサ61の出力はパッド20へ接続される。マルチプレクサ61はGGC300から直接的に基準電圧を受取り且つ該基準電圧をオペアンプ62のバイパス接続を介してパッド20へ直接的に印加する。

30

【0102】

LCDガラスディスプレイは各ピクセルに対して3個の薄膜パストランジスタ40R, 40G, 40B（各カラーに対して1個）有している。該チャンネルドライバは表示されるべき赤、緑又は青サブピクセルに対するデータを選択するための別個のセレクト信号Rs, Gs, Bsを有している。ガラスパネルは3本のクロック線、CKH1（赤）、CKH2（緑）、CKH3（青）を有しており、それらは、夫々、赤、緑及び青サブピクセルの動作を制御する。1実施例においては、セレクト信号Rs, Gs, Bs及びクロック信号CKH1-3は同一のものとすることが可能であり又は同一であるようにスイッチさせることが可能である。全ての場合において、CKH1が高へ移行すると、列の各々に対する赤電圧が選択された行に対する赤サブピクセル内にクロック入力される。カラー選択及びクロック動作は、全ての行がそのカラー電圧を有するまで、青、緑に対して繰り返される。タイミング制御器（不図示）がカラーセレクト信号及びクロック線CKH1-3のクロック動作を制御する。該タイミング制御器は、SDCとは別個のブロックとすることが

40

50

可能であり、又はSDC内の一体的なブロックとすることが可能である。このようなタイミング制御器及びチャンネルドライバ回路の形態は当業者に知られている。該タイミング制御器（不図示）はディスプレイが充填されるまで行から行へ移動する。

【0103】

薄膜トランジスタ40Rは、赤が選択される場合にターンオンする。パッド20上の出力アナログ電圧がディスプレイの第一列における赤サブピクセルへ印加される。全ての赤サブピクセルは同時的にイネーブルされる。このプロセスは、その行が完全に付勢されるまで、他の2つのカラーに対して繰り返される。ディスプレイは容量性であり且つその特徴はサブピクセルが6ビットカラーワードによって決定されるそれらのカラーレベルへ迅速にセットさせることを可能とする。該容量性特徴は、該ディスプレイがリフレッシュされるまで、サブピクセル上の電圧を保持する。そうであるから、各サブピクセルは3つのカラーの混合を与えるために迅速に付勢され、且つ該ディスプレイにおける行は画像のフレームを表示するために迅速にロードされる。赤、緑及び青のサブピクセルの照明のシーケンス動作は人間の目によって気付かれない程短い時間で発生し、且つ該ディスプレイの容量は連続的なカラーの出現を維持するのに充分である。

10

【0104】

本発明の利点の中で、各カラーピクセルによるデコーダ60、マルチプレクサ61及びオペアンプ62の共通的な使用がある。各カラーに対して別個のデコーダ及び増幅器を使用する代わりに（ $3 \times 320 = 960$ ）、好適実施例は3つの全てのカラーに対し単に1個のデコーダ及び1個のオペアンプを有している。

20

【0105】

当業者が理解するように、ディスプレイに対する各書込期間中に行を選択するために行セレクト信号（不図示）が使用される。該行セレクト信号は上部又は底部行で開始し且つ全てのディスプレイが書き込まれるまで行毎に作用する。次いで、該プロセスはビデオの次のフレームに対して再度開始する。行の数は任意である。好適実施例においては、480個の行が存在している。然しながら、当業者が理解するように、ディスプレイはより多くの又はより少ない数の行を有することが可能であり且つSDCは選択されたディスプレイにおける全ての行を駆動する形態とされている。

【0106】

ソースドライバ回路：ガンマ発生器回路（GGC）

30

GGCブロック300が図15に示されている。それは80個のレンジ抵抗390、5個のレンジデコーダ370、5個のレンジ増幅器350、64個の基準（参照）電圧出力310、00-310.63を具備する基準抵抗ストリング330及び64個の4対1アナログマルチプレクサ320からなるネットワークである。ヒューリスティックな目的のために、図15は単に4個の出力マルチプレクサを示しているに過ぎない。64個のマルチプレクサ320の出力は64ビット出力バス250上に配置され、出力チャンネルのDAC60に対する64個の基準電圧の選択を与える。GGCは、正及び負の両方の電圧で各カラーに対する別個のガンマ値を発生することが可能である。GGCはルックアップテーブルの問題を解消しており且つその代わりにLCDディスプレイに対する実時間アナログ電圧発生器である。GGCは、又、ディスプレイが各カラーに対して異なるガンマを有することを可能とするために1つのガンマ曲線から別のガンマ曲線へオンザフライでスイッチングすることが可能である。GGCは異なるディスプレイに対するガンマと互換性があるように調節可能である。各ガンマ値は異なるディスプレイを収容するために変更することが可能である。

40

【0107】

当業者が理解するように、液晶へ印加される極性は周期的に逆にすべきである。単一極性電圧が継続的に液晶に印加されると、結晶は永久的に配向状態となり、その変化する能力を失う場合がある。その結果、ディスプレイ上にゴーストイメージが発生される。この問題を回避するために、ガンマ基準ネットワーク上の電圧301、302が周期的に逆にされてディスプレイのライン/行に対して反対極性の電圧を供給する。典型的な技術はラ

50

インインバージョンであり、その場合に、各ラインは第一極性電圧を1つのフレームに印加させ且つ反対極性の電圧を次のフレームに印加させる。別の技術はピクセルインバージョンであり、その場合、最初のフレームの隣接するピクセルが反対極性を有しており且つ該ピクセル上の極性が次のフレーム上で逆にされる。

【0108】

インバージョンは図15Aにおける極性信号の逆転により達成される。このことは、實際上、低電圧を上端へ印加し且つ高電圧を下端へ印加し又はその逆とすることによりレンジ抵抗ストリングを「フリップ」させる。これらの電圧が変化されると、該電圧はガンマ基準を介して伝搬し且つガンマ曲線は何等付加的な回路変化無しで反転される。

【0109】

GGC300の動作は基準抵抗ストリング330から入力レンジ抵抗ストリング390へ戻って最も良く説明される。GGCはゼロ(V_{REFMIN})から最大(V_{REFMAX})の範囲にわたる64個の基準(参照)電圧を出力する。然しながら、これら64個の出力は線形的なものではない。当業者が理解するように、LCD用の駆動電圧は非線形的に変化すべきである。人間のカラーに対する知覚は線形的なものではなく、従ってLCDによるカラー画像の再生は見る者にとって許容可能なものとして表われるために非線形的なものとなさねばならない。更に、LCDの透過性応答は非線形的であり且つそれもガンマ曲線内に組込まれねばならない。

【0110】

好適実施例においては、デコーダ60は64個の基準即ち参照電圧を有している。これらの基準電圧は基準抵抗ストリング330上のタップ310、00-310、63において見出される。非線形性は幾つかの態様で基準抵抗ストリング330内にプログラムされる。最初に、タップ間の間隔は等しいものではない。そうであるから、逐次的なタップ間の電圧降下は異なっている。第二に、ストリング330上の5個のタップ(0, 7, 24, 56, 63)における基準電圧は5個のオペアンプ350によって駆動される。これらの増幅器はレンジDAC370へ接続されており、それはレンジ抵抗ストリング390から基準電圧を選択する。このことはガンマ曲線の粗調節を与え且つ赤、緑又は青の正及び負に対しオンザフライでユーザが異なるガンマ曲線を有することを可能とする。實際上、これは6組の電圧である。

【0111】

入力レンジ抵抗ストリング390は互いに等間隔である80個のタップを有している。ストリング390は等しい電圧分割の線形的分圧器を与えている。5個のレンジDAC370が存在している。各レンジDACはレンジ抵抗ストリング390上で使用可能な32個の可能な基準電圧のうちの1つを選択する。例えば、DAC371は0と32との間の任意のタップへ接続することが可能であり、DAC372はレンジ12-44内の任意のタップへ接続することが可能であり、DAC373はタップ24-56へ接続し、DAC374はタップ36-68へ接続し且つDAC375はタップ48-80へ接続する。レンジDAC370は、抵抗ストリング330への入力電圧を修正することにより出力基準抵抗ストリング330のガンマ出力電圧をユーザが修正することを可能とする。例えば、基準抵抗ストリング330上の位置24における基準電圧は、レンジDAC373へのタップ入力を変更することにより調節することが可能である。勿論、それは位置7と56との電圧に影響を与える。電圧は5個の位置0, 7, 24, 56, 63においてのみ駆動される。位置の間の電圧は2つの駆動される位置の間の選択された位置によって決定される。例えば、位置24と7との間の電圧は、位置24と7との間の非一様なステップを有する分圧器の結果である。この結果を達成するために、位置7における4対1マルチプレクサ322、位置24における323及び位置56における325の出力はそれらの夫々のレンジ増幅器352, 353, 354の出力へ接続されている。

【0112】

レンジ抵抗ストリング330を横断しての電圧降下は典型的に3-5Vである高基準電圧 V_{HR} から典型的に接地即ちゼロである低基準電圧 V_{LR} へ変化する。80個の抵抗値

10

20

30

40

50

が存在するに過ぎないが、各DAC370はレンジ抵抗ストリング390から32個の基準電圧を受取る。そうであるから、DAC370間において比較的大きな基準電圧のオーバーラップが存在している。DAC370の出力は4セグメント非線形曲線のブレイクポイントである。これらのセグメントは4つの調節可能な領域、即ち63-56, 56-24, 24-7, 7-0に対応している。各レンジDACは、該レンジの端部のうちの1つにおける基準電圧を確立するために個別的に選択可能である。DAC375はレベル63における電圧を設定し、DAC374はレベル56における電圧を設定し、DAC373はレベル24における電圧を設定し、DAC372はレベル7における電圧を設定し、且つDAC371はレベル0における電圧を設定する。1つの領域から次の領域への電圧降下は異なっており且つ個々のステップは非線形的である。

10

【0113】

例えば、図5は1つのカラー即ち色に対する典型的なガンマ曲線を表示している。それは64個の公称的なレベルを有している。レベル63とレベル56との間において、出力電圧は1Vだけ変化することが可能である。然しながら、レベル56とレベル24との間においては、電圧変化は約0.4Vである。レベル24とレベル7との間においては、電圧は約0.7Vだけ変化する。レベル7と0との間においては、その変化は殆ど2Vである。別の言い方をすれば、タップ63と62との間の抵抗値はタップ62と61との間の抵抗値と同じではない。異なっており且つ等しくない位置において基準抵抗ストリングにタップを設定することは非線形的なガンマ出力を発生する。

【0114】

20

好適実施例のGGCはガンマ曲線を4つの調節可能な曲線領域、63-56、56-24、24-7、7-0に分割する。レンジDACは各領域の1つの端部を決定し且つ出力タップが該曲線領域の他方の端部を決定する。約4Vである最大出力電圧はレベル63におけるものであり且つゼロである最小電圧はレベル0におけるものである。レベル63, 56, 24, 7, 0における電圧は仕様を表示するための形態とすることが可能である。

【0115】

ソースドライバ回路：低電力モード

低電力モードは1ビット又は3ビットを使用することが可能である。1ビットモードにおいては、ユーザは、しばしば、黒及び白を使用することを好む。然しながら、図15AにおけるDAC375及び371によって供給することが可能な電圧のレンジ即ち範囲を使用して形成することが可能な任意のカラーを使用することが可能である。1つのカラーは、バックグラウンドカラーとすることが可能であり、且つ他方のカラーはフォアグラウンドカラーとすることが可能である。1つのフォアグラウンドカラーから別のフォアグラウンドカラーへスイッチすることも可能である。例えば、バッテリー電力が低い場合には、製造業者は、フォアグラウンドカラーを白から赤へスイッチさせ従ってテキストメッセージ又は低電力画像に加えて低電力であることを警告するカラーを使用するためにガンマ発生器回路を設定することが可能である。3ビットモードにおいては、サブピクセルがカラーを供給するために異なってスイッチする。1ビットモードにおいては、サブピクセルが典型的に黒及び白である単に2つのカラーを供給するために同じにスイッチする（即ち、同一の値を有する）。

30

40

【0116】

典型的な低電力モードにおいては、カラーはそれらの最大値にあり且つ赤、緑、青、シアン、マゼンタ、イエロー、黒及び白を発生する場合がある。3ビットモードは原色（赤、緑又は青）又はこれらのカラーの組合わせを使用する。各カラーは高又は低とすることが可能である。然しながら、本発明の特徴は、カラーをそれらの最大又は最小未満に設定することを可能とすることである。そうであるから、より明るいシェードの赤（可及的に最も高い電圧未満の電圧）を選択可能である。選択はレンジマルチプレクサ320, 321によって行われる。赤をその最大値未満に設定し且つその他のカラーをそれらの最大に設定することにより、赤の貢献分が減少される。このように、各カラーからの貢献分を変化させることにより、ガンマ回路は赤、緑及び青の基本的な組合わせに制限されるもの

50

ではなく、8個(3ビットモードにおいて)又は2個(1ビットモードにおいて)のカスタムカラーの組に制限される。

【0117】

本発明の特徴のうちの1つは、通常モードにおいて最適な電力を供給し且つ低電力モードにおいて電力を節約することの柔軟性である。通常モードにおいて、各チャンネル(列)はバッファ増幅器62によって個別的に駆動される。然しながら、低電力モードにおいては、バッファ62はシャットダウンされ且つディスプレイはレンジ増幅器のうちの単に2個によって中心的に駆動される。低電力モード期間中、出力チャンネル内のオペアンプ62及びGGC300内のレンジ増幅器353-355はパワーダウンされ且つガンママルチプレクサ320の全ては切断される。バイアス回路が、中心ガンマ基準からディスプレイを駆動するのに充分なだけレンジ増幅器351及び352に対するパワーをブーストする。

10

【0118】

低電力モードにおいては、チャンネルドライバは高及び低電圧を必要とするに過ぎない。高及び低電圧が使用されるに過ぎないので、基準抵抗ストリング330は必要とされず且つそれは実効的に電力を節約するために切断される。該低電力電圧はデコードされることはない。その代わりに、低電力モード信号に対応するアナログ電圧は直接的に出力チャンネル内のマルチプレクサ61へ接続される。そうであるから、バイアスブロック及び2個のレンジ増幅器351, 352がディスプレイに電力を供給する。カラーモードマルチプレクサ340が高基準電圧63及びDAC372の出力へ結合されている。カラーモードが選択され且つ本装置が低電力モードにエンターすると、位置63における高基準電圧が第二レンジ増幅器352へ直接的に接続される。単に2つの有効基準電圧が表われるに過ぎず且つそれらは位置0及び7におけるものであり且つバス250へ印加される。その他の回路トレースと比較して、ゼロ及び7位置からチャンネルマルチプレクサ61へ電圧及び電流を担持する回路トレースは残部よりも一層大きい。このより大きな寸法は抵抗を減少させ、そのことは、ディスプレイが中央位置から駆動されることを可能とする。

20

【0119】

低電力3ビットモードにおいては、チャンネルドライバは図16に関連して上述したようにデータパッキングを実施する。図14を参照すると、トライステートスイッチ50は3ビットデータを受取る。各カラーは、實際上、デマルチプレクスされ且つ点線接続51を介して該マルチプレクサを制御するLSDを介してマルチプレクサ61へバスされる。ガンママルチプレクサ320がパワーダウンされ且つこのことは3ビットモード期間中の競合の可能性を取除く。

30

【0120】

ソースドライバ回路：製造業者調節

64個のガンママルチプレクサ320は、製造業者が基準抵抗ストリング330の個々のタップ点を調節することを可能とする。各マルチプレクサは4個又はそれ以上の入力タップ点を有している。該マルチプレクサ上のセレクト信号が、ユーザが所望のタップ点を選択することを可能とする。各ガンマ基準電圧に対して1つずつ64個のDACが存在していない理由は、基準電圧0及び63は、常に、該曲線の端点であり且つ、常に、基準抵抗ストリングの端部に接続されているからである。

40

【0121】

該64個のガンマ出力マルチプレクサ320は更なる調節を許容する。例えば、好適実施例においては、各ガンママルチプレクサ320は、4個の別個のガンマ曲線を発生するための4対1アナログマルチプレクサである。然しながら、該マルチプレクサは好適実施例よりもより大きい又はより小さい任意の寸法のものですることが可能であり、これに制限するものではないが、例えば8対1又は3対1を包含している。

【0122】

代替的な低電力カラーパレットを具備するガンマ発生器回路300Dが図15Dに示されている。GGC300Dは2個の64対1のDAC376, 377をレンジ抵抗ストリ

50

ング 390 に接続している。ブロック 394 におけるカラーレジスタが基準抵抗ストリング 390 上の位置のうちの 1 つを選択するため DAC 376, 377 を設定する。各 DAC 276, 277 はレンジ抵抗ストリング 390 のフルレンジから 80 V のうちの 1 つを選択することが可能である。該 DAC のうちの 1 つは一層高い電圧に設定され且つ 1 つはより低い電圧に設定される。カラーレジスタ設定は、製造業者が低電力モードに対してより多くのカラーを提供するために赤、青、緑のカラーの各々のオン及びオフ強度を個別に調節させる。動作において、マルチプレクサ 340, 341 における制御信号が DAC 376, 377 の出力を選択し且つその他の制御は DAC 371 - 375 及びレンジ増幅器 353, 354, 355 をシャットダウンさせる。レンジ増幅器 351, 352 は、それらの入力をセレクトマルチプレクサ 340, 341 の出力へ接続している。該増幅器出力はディスプレイを直接的に駆動するためにライン 252, 253 へ接続されている。上述したように、ライン 252, 253 はガンマ出力バス 250 のより大きなトレース線である。従って、単に 2 本の出力線が低電力モードにおいて駆動されるに過ぎない。

10

【0123】

別の方法は、基準抵抗ストリング 330 の出力において 64 対 1 マルチプレクサを付加し且つ 3 ビットモード期間中レンジ増幅器 350 をパワーアップした状態に維持することによりより多くのカラー分解能を提供する。それは、64 個の出力基準電圧を供給し、それは直接的にパッド 20 へ印加することが可能である。例えば、当業者は、全てのガンママルチプレクサをパワーアップした状態とさせ、与えられたカラーに対して高及び低電圧を選択するために該マルチプレクサを使用し、次いで該カラーを直接的に該ガンママルチプレクサからチャンネルドライバへ印加することが可能である。2 個の付加的な 64 対 1 マルチプレクサ及び 2 個のバッファが該ガンマ基準ブロックから直接的に列を駆動するために必要である。このことは、通常モードにおける能力と類似した態様でユーザが低電力モードにおいてカラーを選択することを可能とする。實際上、1 個の独立したカラーに依存して、1 個の独立したカラーと 7 個のその他のカラーを有することが可能である。

20

【0124】

ガンマ発生器回路 300 C はこのアプローチを模式化しており且つ図 15 C に示してある。そこでは 64 対 1 デコーダ 378, 379 が 64 ビット出力バス 250 へ接続されている。増幅器 358, 359 への入力は、夫々、デコーダ 378, 379 の出力へ接続されており、且つ該増幅器出力はディスプレイを駆動するためにバス 250 内の通常より大きな出力線へ接続されている。カラーレジスタ 391, 392 はデコーダ 378, 379 におけるカラーレベルを設定する。動作において、全体的なガンマ回路 300 C は完全にオンに留まる。この実施例はより多くの電力を消費するが、それは GGC 300 C の 64 ビット出力からカラー選択がなされるのでより広範なカラーの選択を行うという付加された利点を有している。

30

【0125】

図 15 D の実施例においては、デコーダ 376, 377 の各々は 5 ビットを取扱うために 32 個のタップを有している。然しながら、それらは、64 個のタップを有していた場合には、6 ビットを取扱うことが可能である。レジスタ 394 は赤、緑及び青のカラーの各々に対し高及び低の設定を選択する。

40

【0126】

GGC 300 C において、DAC 378, 379 は、GGC 300 A において使用可能な制限されたレンジと対比してそれに対して使用可能なフルレンジのカラーを有している。同様に、GGC 300 C においては、そのデコーダ 378, 379 もフルレンジのカラーを有している。

【0127】

図 18 を参照すると、本特許請求の範囲に記載されている発明の 1 実施例によれば、本願譲受人であるナショナルセミコンダクタコーポレイションの市販製品は、コマンド及びコンフィギュレーションステージ、低速シリアルインターフェース (L o S S I)、パーソナルディスプレイメモリ、ビデオインターフェース、M P L レシーバ、E E P R O M、

50

タイミング制御器、レベルシフタ、オシレータ、DC - DCコンバータ、ソースドライバ、ガンマ基準及びV_{COM}ドライバを包含しており、それらは実質的に図示した如くに相互接続されている。

【0128】

該コマンド及びコンフィギュレーションブロックは、コマンドインタプリタ及びコンフィギュレーションレジスタを包含しており、それらは本装置の機能、設定及び動作モードを制御する。本装置を制御し且つコンフィギュレーションレジスタを修正するために2つの方法を使用することが可能である。コマンドモードにおいては、LOSSIインターフェースから受取られたOpCodeが、受取ったOpCode及びEEPROM内に格納されている「コマンドプロファイル」に基づいてモード変化又はコンフィギュレーションレジスタに対する変化を行わせる。コマンドモードを使用する装置制御は、ホストプロセッサディスプレイドライバソフトウェアをディスプレイ独立性とさせることを可能とする点において有益である。レジスタアクセスモードにおいては、LOSSIインターフェースは直接的にコンフィギュレーションレジスタへアクセスする。ハードウェアリセット(RESET__Nピン)がアサートされると、本装置はコマンドモードとされる。レジスタアクセスモードは、Enter Register Access Modeコマンドを発行することによりLOSSIインターフェースから選択することが可能である。コマンドモードは、Enter Command Mode OpCodeを発行することによりLOSSIインターフェースから選択することが可能である。

10

20

【0129】

LOSSIインターフェースは、幾つかの機能、即ちコマンドを送る、コンフィギュレーションレジスタへアクセス、パースシャルディスプレイメモリヘータを送る、のために使用される。LOSSIインターフェースはSPI__CFGピンの状態によって決定されるようにSPI又はTISプロトコルのいずれかを使用する。LOSSIインターフェース信号はCMOS論理レベル(GND, V_{DD})を使用する。LOSSIインターフェースは4個の信号を包含しており、即ちSP__CSX(チップセレクト入力)は低アクティブであり、SP__CLK(シリアルクロック入力)はデータ転送同期信号でありレジスタ書込み又はコマンド動作期間中に最大で10MHzの速度で動作することが可能であり、又はレジスタ読取り動作期間中は最大で6.6MHzで動作することが可能であり、且つアイドルにある場合には高に設定されるべきであり、SP__DI(シリアルデータ入力)はシリアルデータ入力ピンであり且つSP__CLKの上昇端においてサンプルされ、且つSP__DO(シリアルデータ出力)はシリアルデータ出力ピンであり且つデータが読取り動作期間中に駆動出力される場合を除いて高インピーダンス状態に保持される。SP__DI及びSP__DO信号は、ホストプロセッサが双方向データ転送をサポートする場合には、一体的に接続することが可能である。LOSSIインターフェースにおいて2つのプロトコルがサポートされており、即ち8ビットプロトコル(SPIプロトコル)及び各トランザクションの開始においてエキストラなビットを包含している9ビットプロトコル(TSIプロトコル)である。SPIプロトコルはSPI__CFGピンをV_{DD}へ接続することにより選択される。

30

40

【0130】

PSIプロトコルにおけるエキストラなビット(データ/コマンド即ちD/CX)は爾後の8ビットがコマンドであるか又はデータフィールドであるかのいずれかとして識別するためにコマンドモードにおいて有用である。このことは、部分的に完了したコマンド引き数転送から回復するために手助けとなる場合がある。例えば、この条件は、パースシャルディスプレイメモリへ画像データを転送して間にホストインタラプトが発生した場合に発生する場合がある。TSIプロトコルが使用される場合には、処理中トランザクションを終了させ且つ残りのデータの転送をアボートさせることが可能である。次いで、該インタラプトを処理した後に、そのトランザクションをコマンドではなくデータ転送として識別することにより、該コマンド及び前に送ったデータを再発行すること無しにパースシャルディスプレイメモリへ残りのデータを送ることが可能である。代替的に、SPIプロト

50

コルが使用される場合には、データ転送を再開することが可能となるまで L o S S I チップセレクト (S P _ _ C S X) 及びクロック信号 (S P _ _ C L K) をそれらの現在の状態に保持される限り、インタラプトをサービスし且つデータ転送を中止することが可能である。

【 0 1 3 1 】

パーシャルディスプレイメモリブロックは、ディスプレイの局所的リフレッシュのために画像データを格納するために使用される。それは、パーシャルモードにおける唯一のビデオ供給源として使用することが可能であり、又はその内容はアルファモードにおいて入力して来るビデオデータとブレンド (又は重畳) することが可能である。パーシャルモードにおいて動作している間に、システムパワーは著しく減少される、というのは、システムにおけるビデオ制御器をシャットダウンすることが可能だからである。このモードにおいては、画像データはパーシャルディスプレイメモリから読取られ且つディスプレイをリフレッシュさせるために使用される。全てのディスプレイリフレッシュタイミングは内部オシレータから派生され、従って外部的なビデオ信号が必要とされることはない。アルファモードにおいては、パーシャルディスプレイメモリの内容は入力して来るビデオデータに関してトランスペアレントテキスト又はボーダーオーバーレイとして使用することが可能である。それは、又、ビデオデータに対してフルカラーのロゴ及びその他の効果を付加するためにパーシャルディスプレイメモリの内容をブレンドさせることが可能である。パーシャルディスプレイメモリは 2 3 0 , 4 0 0 ビットのメモリを包含している。この寸法は 3 ビットデータの 8 0 × 3 2 0 ウィンドウ、又は各ピクセルの色深さによって乗算されるパーシャルディスプレイウィンドウ内に包含される全ピクセルによる等価寸法をディスプレイするのに充分である。レジスタアクセスモードにおいては、次のセクションにおいて説明するように、R A M _ _ P O R T レジスタヘデータを書込むことによりパーシャルディスプレイメモリ内に画像データをラスタ順でストリームさせるべきである。コマンドモードにおいては、M e m o r y _ _ W r i t e コマンドが、パーシャルディスプレイメモリへ画像データを送るために使用される。

【 0 1 3 2 】

パーシャルモード期間中、ピクセルデータはパーシャルディスプレイメモリから読取られ且つ、エラー ! 参照ソースが見当たりません、において示されるように矩形状のパーシャルディスプレイウィンドウ内に表示される。このウィンドウの外側の領域は電力を最小とするためにブランクされる。ブランクされた領域のカラーはパーシャルモードボーダーカラーレジスタにおいて特定される。該ラスタは、常に、開始行及び開始列において開始する。該列は最初にインクリメントされ、該ラスタは左から右、次いで上から下へ充填される。

【 0 1 3 3 】

パーシャルディスプレイウィンドウ用のサポートされている色深さは 1 ビット、3 ビット、1 2 ビット及び 1 8 ビットを包含している。コマンドモードにおいては、該色深さは P M C o l o r S e t コマンド (E E H O p C o d e) を介して設定される。レジスタアクセスモードにおいては、パーシャルディスプレイウィンドウ色深さは B I T S _ _ P E R _ _ P I X E L レジスタによって制御される。パーシャルディスプレイウィンドウの最大寸法はパーシャルディスプレイメモリにおけるビット数及びカラー深さ設定に関係している。パーシャルディスプレイメモリは、1 ビット色深さ操作に対する完全な 3 2 0 × 5 6 0 スクリーン、7 6 , 8 0 0 個の 3 ビットピクセル (例えば、2 4 0 × 3 2 0 × 3 ビットウィンドウ)、1 9 , 2 0 0 個の 1 2 ビットピクセル (1 2 0 × 1 6 0 × 1 2 ビットウィンドウ) 及び 1 8 ビット色深さ操作 (1 2 8 × 1 0 0 × 1 8 ビットウィンドウ) における 1 2 , 8 0 0 個のピクセルを充填することが可能である。パーシャルディスプレイウィンドウに対するウィンドウ寸法は、アップスケール特徴を使用することにより両方の次元において倍化することが可能である。各色深さに対する使用可能なメモリを最大化させるために、画像データが色深さ設定に基づいてパーシャルディスプレイメモリ内にパックされる。それは、次いで、パーシャルディスプレイリフレッシュのために読み出される場

合に現在の色深さ設定へアンパックされる。従って、パーシャルディスプレイウインドウの寸法又は色深さが変化されると、パーシャルディスプレイメモリは新たなウインドウ設定に対応するアップデータされた画像データで再ロードされる。パーシャルモード色深さ設定と L o S S I インターフェースに関するピクセルデータパッキングとの間において、図 5 に例示したような、関係が存在している。

【 0 1 3 4 】

ピクセルスケーリング機能は、入力して来るビデオ又はパーシャルディスプレイメモリ内に格納されている画像データを x 次元及び y 次元の両方において 2 の係数だけアップスケールさせることを可能とする。このように、単一のピクセルが 2 × 2 クラスターのピクセル内にマップされる。

10

【 0 1 3 5 】

送られるピクセルの数はバイトの総数に対応する。従って、送信されるピクセルの総数がメモリの能力を超えるものでない限り、ダミーピクセルを送ることが可能である。好適には、パーシャルディスプレイメモリのワード寸法は固定されている。パーシャルディスプレイメモリにおける使用可能なビットを効率的に使用するために、ピクセルデータを固定したメモリワード寸法にパックさせる。メモリワードの全てのビットが充填されるまで、入力して来るピクセルデータが該メモリ内に書き込まれることはない。従って、データストリームが 3 6 ビットの整数倍を包含するように、データストリームの終りにエキストラなビットをパッドさせることが必要な場合がある。

20

【 0 1 3 6 】

タイミング制御器ブロックは、ソースドライバ内にデータをロードするのに必要なタイミング信号を発生し且つディスプレイのスキニングを制御する。ディスプレイは 3 つのモード、即ち通常モード、パーシャルモード又はアルファモードのうちの 1 つで動作させることが可能である。通常モードにおいては、ディスプレイスキントイミングが D E 及び P C L K 信号及びビデオデータストリームから展開される。表示されるデータはビデオデータストリームから得られる。パーシャルモードにおいては、ディスプレイはクロック供給源としてオンチップのオシレータブロックを使用してタイミング制御器ブロックによって自己リフレッシュされる。ディスプレイへ送られるデータは内部のパーシャルディスプレイメモリから読取られる。アルファモードにおいては、ディスプレイスキントイミングは D E 及び P C L K 信号から展開され、且つビデオストリームから得られたデータがバックグラウンドにおいて表示される。更に、データが内部のパーシャルディスプレイメモリから読取られ且つフォアグラウンドにおけるパーシャルディスプレイウインドウ内に表示される。このウインドウ内において、フォアグラウンドとバックグラウンドとが 4 つの比のうちの 1 つにおいてブレンドさせることが可能であり、即ち、2 5 % フォアグラウンド + 7 5 % バックグラウンド、5 0 % フォアグラウンド + 5 0 % バックグラウンド、1 0 0 % フォアグラウンド、又はトランスペアレントフォアグラウンド (O S D 機能) である。

30

【 0 1 3 7 】

タイミング制御器ブロックは、L T P S / C G S ガラスの多くの形態とインターフェースすべく構成されており、即ち、単相又は 2 相垂直クロッキング、水平スキニング用の R G B 又は B G R サブピクセル順番付け、ディスプレイセトリング性能を最適化させるためにレジスタ調節可能なタイミングパルス幅及び非オーバーラップ時間、レジスタ設定を介して制御されるガラス信号の極性及び位相、及びレジスタ設定によって制御されるガラス上のダミー線の種々の形態と関連している垂直タイミング関係である。

40

【 0 1 3 8 】

タイミング制御器ブロックはディスプレイリフレッシュ及びスキニングを制御する構成とされている 1 0 個の出力を有している。レベルシフターブロックはこれらの信号に対する論理レベル変換を実施し、従ってそれらはガラス制御入力に対して適切にインターフェースすることが可能である。レベルシフター信号用の出力電圧は V_{SSG} 乃至 V_{DDG} である。G P O レジスタの設定に依存してその信号機能が変化する 3 個の出力 (G P O _

50

0, GPO__1, GPO__2)が存在している。全てのレベルシフター出力は、スリープ状態にある場合に、GNDへ駆動される。

【0139】

付加的なレベルシフトされた出力XDONがDC-DCコンバータブロックによって与えられている。通常、XDONは、V_{DDDC}が存在する場合にはいつでもV_{SSG}レベルにある。V_{DDDC}が急激にインタラプトされる場合には、XDONはすぐさまV_{DDG}レベルへ移行する。V_{DDG}及びV_{SSG}ノード上には外部容量が存在しているので、V_{DDDC}がインタラプトされた後の短い時間期間の間XDONはV_{DDG}レベルに留まる。従って、急激な電力の中断の場合にガラス上の全てのノードを放電させるためにXDONは制御信号としてガラスにより信頼性を持って使用することが可能である。

10

【0140】

オンチップオシレータは13.5MHzの内部クロック信号(OSC)を発生する。このOSC信号はパーシャルモード期間中及びパワーダウンシーケンス等のあるコマンドシーケンス期間中にタイミング制御器ブロックに対するクロック供給源として使用される。

【0141】

ソースドライバブロックは、MPLインターフェース又はパーシャルディスプレイメモリから受取られたデジタル画像データをガラス上のソースライン(線)を駆動するのに必要なアナログ電圧へ変換させる。該ソースドライバブロックは320個の駆動チャンネルから構成されている。各駆動チャンネルは1個のピクセルに対しRGBデータを受取り且つガラス多重セレクト信号(CKH1-3)に対して同期されている時間多重型シーケンスにおいて赤、緑及び青データのD/A変換を実施する。各ライン時間内のRGBデータの変換シーケンスはSCANレジスタ設定によって決定される。SCAN[1]レジスタビットはソースドライバブロックのデータローディング方向、即ちS0→S319又はS319→S0方向を制御する。ガラス上のピクセル/ラインが320個未満のチャンネルであるディスプレイ適用例の場合には、COL__OFFSETレジスタを、どの出力がアクティブであり且つどの出力が該アプリケーションにより使用されるものでないかを特定するために使用することが可能である。このことはドライバとガラスアクティブ領域との間のソースラインファンアウト領域を最適化することに貢献する場合がある。COL__OFFSETはSCAN[1]設定に関連して特定される。該ロード方向がS0→S319方向に設定されている場合には、COL__OFFSETはS0出力を参照する。ロード方向がS319→S0方向に設定されている場合には、COL__OFFSETはS319出力に関して参照される。ソースドライバDACの電圧転送特性はガンマ基準(参照)ブロックによって発生される64個のガンマ基準(参照)電圧により決定される。該ソースドライバ出力に対する駆動強度も、GAMMA__CFG1[4:0]レジスタビットを介して最適なセトリング及びパワー性能に対してプログラムすることが可能である。

20

30

【0142】

4個の本質的即ち固有のガンマ曲線が該64個の基準電圧に対して使用可能である。該本質的な曲線はモジュールユーザに対し種々の目標を達成するために使用することが可能である。1つの目標は、種々のモジュールサプライヤーから光学的性能のマッチングを得ることである場合がある。与えられたサプライヤーの異なるカラーチャンネルに対して個別の曲線の形状を最適化することも可能である。これらの場合において、4本の曲線のオプションは、モジュールサプライヤーのガラス特性の各々に対して最適化させることが可能であり、且つ適切な曲線及び設定の選択はSleep__OUTコマンド内に包含されている。Gamma__SETコマンドは、その他の選択事項が異なるモジュールサプライヤーに対して最適化されるので、この場合には使用されることはない。複数の本質的な曲線設定を使用する別の理由は、種々のビューイング条件および適用例に対し性能を最適化するために与えられたモジュールに対して複数のガンマ特性(例えば、 $\gamma = 1.0, 1.8, 2.2, 2.5$)を与えるためのものである場合がある。この場合には、種々の曲線は、Gamma__Setコマンドを介して、又はガンマレジスタ設定への直接的なレジスタアクセスを介して選択することが可能である。

40

50

【 0 1 4 3 】

図 1 9 A 及び 1 9 B を参照すると、それらは所望の特性に最も近く一致する本質的曲線を選択した後に夫々有り得る負及び正の本質的曲線形状を例示しており、従って、曲線形状はガンマレジスタ設定の使用を介して所望の特性により良く一致させるために最適化させることが可能である。これらの図における形状及びガンマのラベルは単に例示的な目的のために過ぎない。GAMMA__CFG1[7] レジスタビットは、3つのカラーチャンネル全てと共にこれら4つの形状のうちの1つが使用されるか否か、又は別の曲線又は調節設定が各カラーチャンネルに対して選択されるか否かを決定する。この同じ本質的形状は異なる最適化設定でもって緑及び青の曲線に対して使用することが可能であり（最適化設定の以下の説明を参照）、又は異なる本質的形状及び最適化設定を各カラーチャンネルに対して選択することが可能である。与えられたカラーチャンネルに対して、同一の本質的曲線形状が両方の駆動極性に対して使用される。

10

【 0 1 4 4 】

図 2 0 を参照すると、図示したように4本の本質的ガンマ曲線に対する式に従って値を発生することが可能である。図 2 1 を参照すると、選択された本質的曲線形状は、レンジ調節DAC（レンジDACと呼称される）を介して端点（V0及びV63）及び3個のタップ（V7, V24, V56）の電圧値を設定することにより最適化させることが可能である。例示の実施例によれば、正極性ガンマ曲線に対する設定は負極性ガンマ曲線に対するものと独立的であるが、同一の本質的曲線形状が両方の駆動極性に対して使用される。V0, V7, V24, V56, V63に対する電圧が、VDD__ADJ[7:5] レジスタビット及びガンマ基準レジスタによって曲線ダイナミックレンジをマッチさせるために調節可能なVGR基準電圧により決定される。VDD__ADJレジスタにおけるVDD及びVGRに対する設定は、以下の如くに決定されるべきであり、即ち、所定の関係を使用してVcomH, VcomA, V0+又はV64-のうちの最も正の値に基づいて必要とされるVGR設定を計算し、且つVGR, VDDGR, VSSGR+動作電圧ヘッドルームに対する最大値からVDDAの値を計算する。

20

【 0 1 4 5 】

図 2 2 を参照すると、ガンマ基準ブロックのアーキテクチャは図示した如くに実現することが可能である（簡単化のために、赤チャンネルに対するレンジDAC最適化レジスタのみが示されている）。DRIVE POLARITY信号がタイミング制御器により供給され且つ2つのことを行い、即ちカラーの各々に対し、負又は正のいずれかの駆動極性に対する調節値を選択し（緑及び青レジスタは示されていない）、且つD/A変換器用の正しい出力レンジを選択する。負駆動極性の場合には、V0に対するD/Aは接地に近い電圧を発生し、且つV63に対するD/AはVGRに近い電圧を発生する（図 1 9 A）。正駆動極性の場合には、V0に対するD/AはVGRに近い電圧を発生し、且つV63に対するD/Aは接地に近い電圧を発生する（図 1 9 B）。GAMMA__CFG1[7] = 0である場合には、RGBセレクト信号は、常に、赤チャンネルに対応する値を選択する。GAMMA__CFG1[7] = 1である場合には、タイミング制御器からのRGBセレクト信号はCKH1, CKH2, CKH3クロック及びRGB/BGRセレクトビット（SCAN[7]及びSCAN[0]）に従って赤、緑又は青のガンマ値を選択する。

30

40

【 0 1 4 6 】

図 2 3 を参照すると、DC__VCOM又はAC__VCOM駆動は、VCOM__ADJ[7] レジスタビットによって選択することが可能である。AC__VCOM駆動スキームは2個の装置ピン及び外部のカップリングコンデンサを使用する。このモードにおいては、VCOMA__VCSピン（パッド1）はVCOMA信号を該カップリングコンデンサへ出力すべく機能する。第二装置ピン、VCOMH__VCOM（パッド2）、は、波形の高時間期間中にVCOMノードのdc値を確立すべく機能する。AC__VCOMモードはVCOM__ADJ[7] = 1の設定により選択される。VCOMAC信号はVCOMA__VCSパッドに供給される。この信号の振幅はVCS__ADJレジスタによって設定される。

【 0 1 4 7 】

50

VCOMH__VCOM出力は、VCOMを高レベルへクランプするために使用され、且つガラスへのVCOM線に対して直接的に接続されるべきである。VCOM__ADJ[6] = 0である場合には、この高レベルはVCOM__ADJ[5:0]によって決定される。VCOM__ADJ[6] = 1である場合には、この高レベルはVCOM__ADJピンへ接続されている外部電圧によって調節される。VCOMH__VCOMパッドはガラスのVCOM入力へ直接的に接続されるべきであり、且つVCOMA__VCSパッドは大きなコンデンサを介してガラスへのVCOM入力へ接続されるべきである。

【0148】

時間 t_1 期間中、パッド1(VCOM__VCS信号)は電圧VCOMAへ駆動され且つパッド2(VCOMH__VCOM信号)は電圧VCOMHへ駆動される。その結果、ガラスに対するVCOM電圧はVCOMHと等しく且つ該外部コンデンサは(VCOMH - VCOMA)の電圧へ充電される。時間 t_2 期間中、パッド1は接地へ駆動され且つパッド2はフローティングである。該外部コンデンサは(VCOMH - VCOMA)の電圧に充電されたままであるので、パッド2上の電圧(ガラスに対するVCOM信号)も(VCOMH - VCOMA)に等しい。従って、ガラスに印加されるVCOM電圧はVCOMHと(VCOMH - VCOMA)との間でスイングする。

【0149】

DC VCOMモードはVCOM__ADJ[7] = 0の設定により選択される。この場合には、ガラスに対するDC VCOM電圧はVCOMH__VCOM出力によって与えられる。ガラスに対するCSTORE電圧(VCS)はVCOMA__VCS出力により与えられる。VCOMA__VCSのDCレベルはVCS__ADJレジスタによって設定される。

【0150】

VCOM__ADJ[5:0]レジスタを変化させることによって又はVCOM__ADJピンへ接続されている外部電圧を調節することによってのいずれかによりVCOMH__VCOMレベルを設定することによりフリッカーが最小とされる。レジスタ方法が使用される場合には、レジスタが常にパワーアップシーケンス期間中に最適化された値に設定されるように、VCOM__ADJレジスタに対する最適化された値はEEPROMにおけるスリープアウト(Sleep Out)初期化プロファイル内に包含されるべきである。代替的に、複数のガンマ曲線及びVcom設定が本装置の動作において使用される場合には、最適化されたVCOM__ADJ設定は適宜のガンマ設定(Gamma Set)コマンドプロファイル内に包含することが可能である。このように、各ガンマ曲線選択に対し独立的フリッカーを最適化させることが可能である。

【0151】

本発明を特定の実施例を参照して設定したが、当業者により理解されるように、本発明の範囲を逸脱すること無しに種々の変更を行うことが可能であり且つ要素に対し均等物で置換することが可能である。更に、本発明の範囲から逸脱すること無しに本発明の教示に対し特定の状況又は物質を適合させるために多くの修正を行うことが可能である。

【0152】

従って、本発明を実施するために目論まれている最善の態様として開示されている特定の実施例に対して本発明が制限されることを意図しているものではなく、本発明は特許請求の範囲の精神及び範囲内に含まれる全ての実施例を包含するものである。

【図面の簡単な説明】

【0153】

【図1A】本発明の1実施例に基づくホストプロセッサからマトリクスタイプのディスプレイへの直接的なビデオデータ接続を示したブロック図。

【図1B】本発明の別の実施例に基づくモバイルピクセルリンク(MPL)インターフェースを介してのホストプロセッサからディスプレイへの直列的にエンコードされたビデオデータ接続を示したブロック図。

【図2】本発明の1実施例に基づくディスプレイドライバのブロック図。

【図 3】図 2 の L o S S I インターフェースの動作を示した概略図。

【図 4】図 1 B の M P L インターフェースのブロック図。

【図 5】本発明の 1 実施例に基づく R A M データの 5 つのコンフィギュレーションを示した概略図。

【図 6】本発明の 1 実施例に基づく図 2 の R A M が関与する動作を示したフローチャート。

【図 7】本発明の 1 実施例に基づく図 2 の D E ラーニング（学習）要素に対する動作を示したフローチャート。

【図 8】本発明の 1 実施例に基づく図 2 の D E ラーニング要素に対する動作において関与する信号のタイミング線図。

【図 9】本発明の 1 実施例に基づく図 2 の D E ラーニング要素に対する動作において関与する更なる信号のタイミング線図。

【図 10】本発明の 1 実施例に基づく図 2 のアルファブレンド要素が関与する動作を示したフローチャート。

【図 11】本発明の 1 実施例に基づくパーシャルモードにおいてディスプレイドライバが動作される場合のウィンドウ内の画像を有するディスプレイを例示した概略図。

【図 12】本発明の 1 実施例に基づくビデオを表示するための時間の経過及びビデオモードの終了パワーダウンモードに対する動作を示したフローチャート。

【図 13】ソースドライバブロックの部分的ブロック図。

【図 14】ソースドライバブロックにおける出力チャンネルの概略図。

【図 15 A】ソースドライバブロックにおけるガンマ発生回路の概略図。

【図 15 B】ガンマ発生回路の別の実施例を示した概略図。

【図 15 C】ガンマ発生回路の更に別の実施例を示した概略図。

【図 16】3 ビットモードにおいてどのようにしてピクセルがバックされるかを示した概略図。

【図 17】例示的なガンマ曲線を示したグラフ図。

【図 18】本発明の 1 実施例に基づいてビデオを表示するためのビデオディスプレイドライバシステムの市販されている実施例のブロック図。

【図 19 A】有り得る負のガンマ極性曲線を示したグラフ図。

【図 19 B】有り得る正のガンマ極性曲線を示したグラフ図。

【図 20】本発明の 1 実施例に基づくガンマ曲線に対する値を示した表。

【図 21】本発明の 1 実施例に基づくガンマ曲線調節を示したグラフ図。

【図 22】本発明の 1 実施例に基づくガンマ基準アーキテクチャのブロック図。

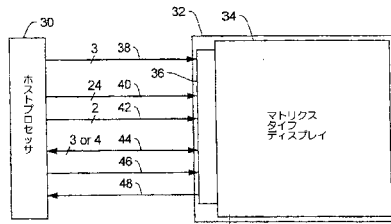
【図 23】本発明の 1 実施例に基づく A C V C O M 回路のブロック図。

10

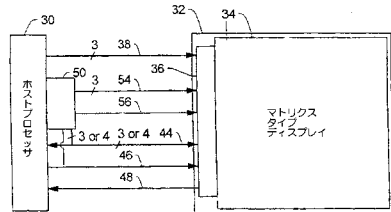
20

30

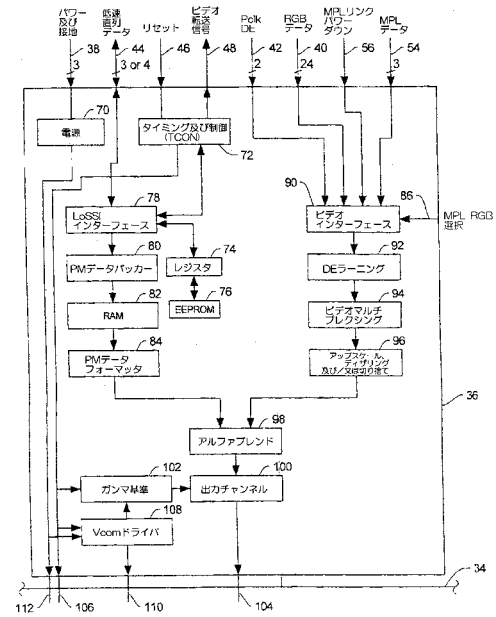
【図 1 A】



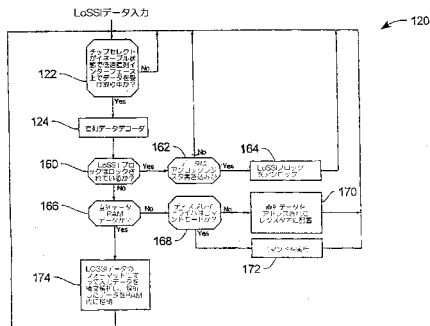
【図 1 B】



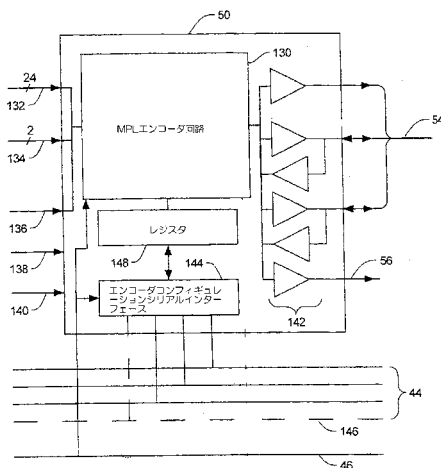
【図 2】



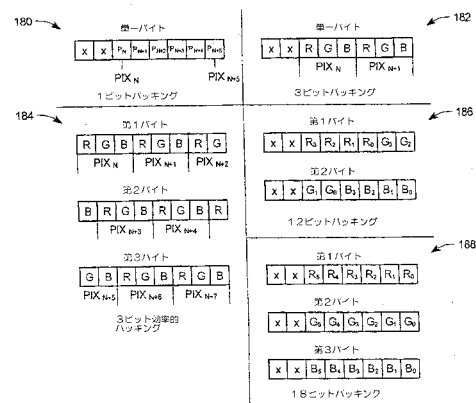
【図 3】



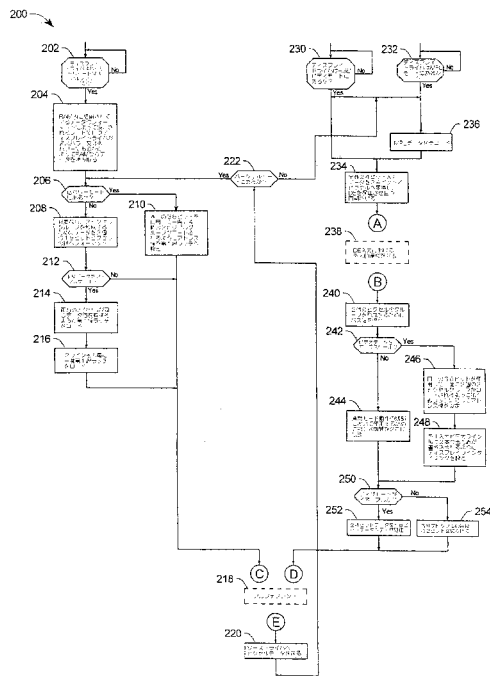
【図 4】



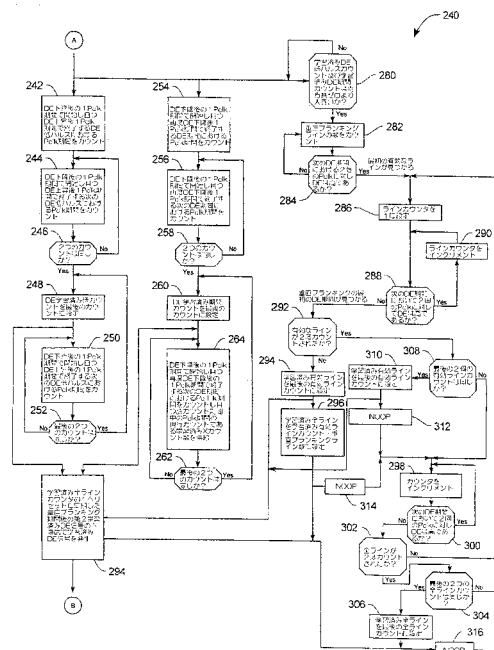
【図 5】



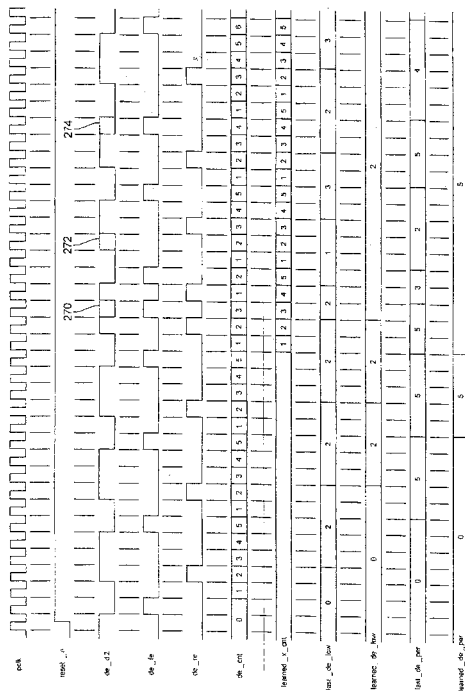
【 図 6 】



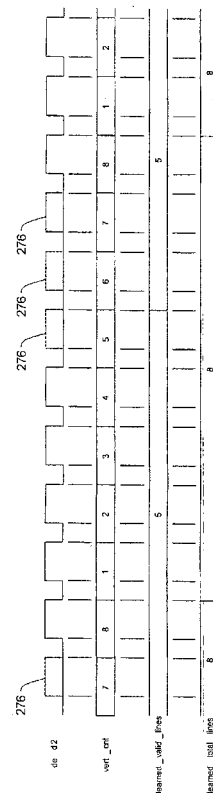
【圖 7】



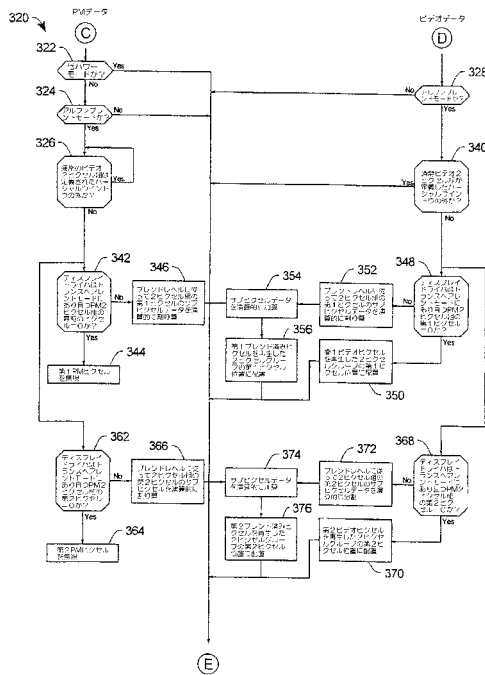
【 図 8 】



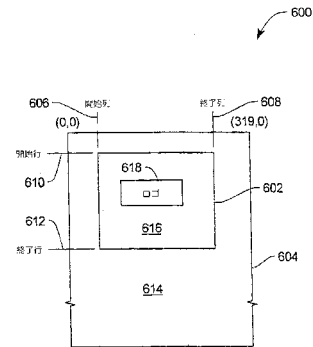
【 図 9 】



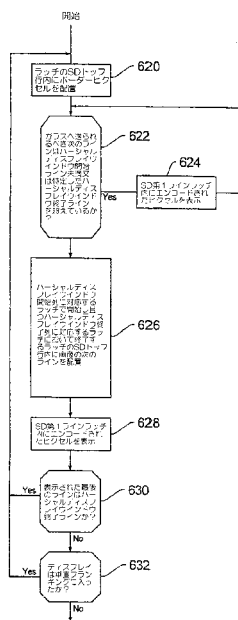
【 図 1 0 】



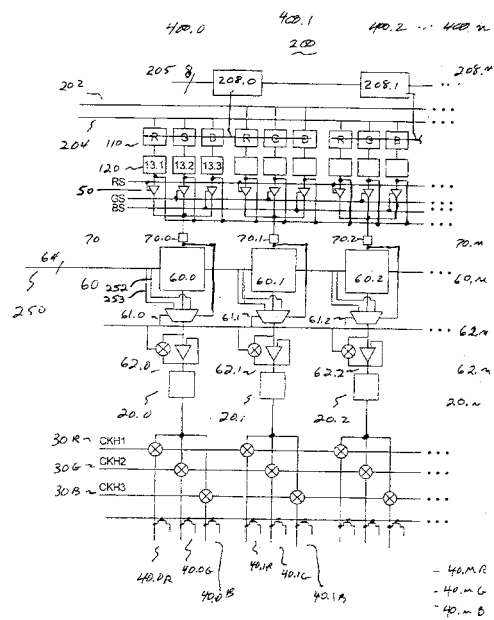
【 図 1 1 】



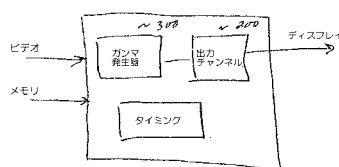
【 図 1 2 】



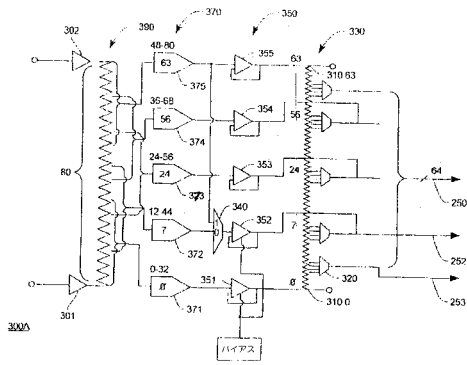
【 図 1 4 】



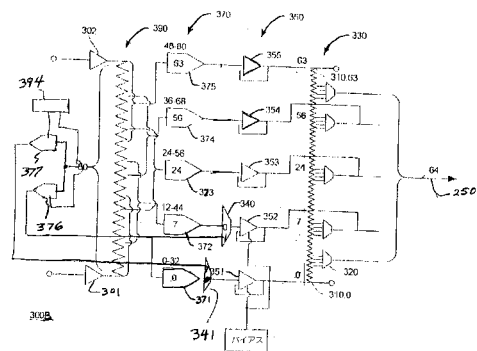
【 図 1 3 】



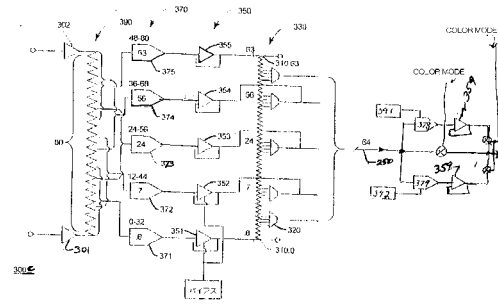
【図 15 A】



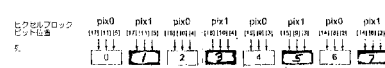
【図 15 B】



【図 15 C】

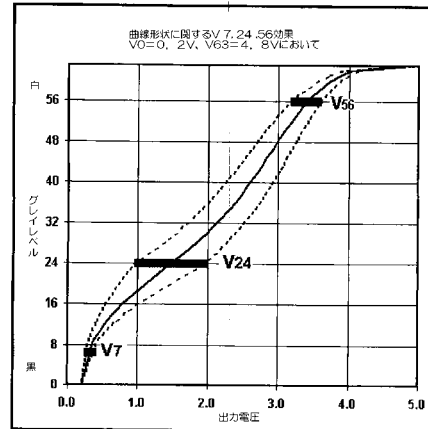


【図 16】

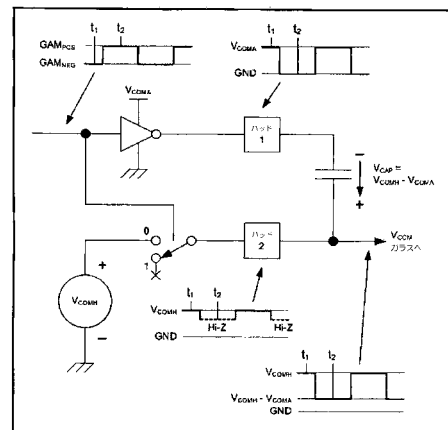
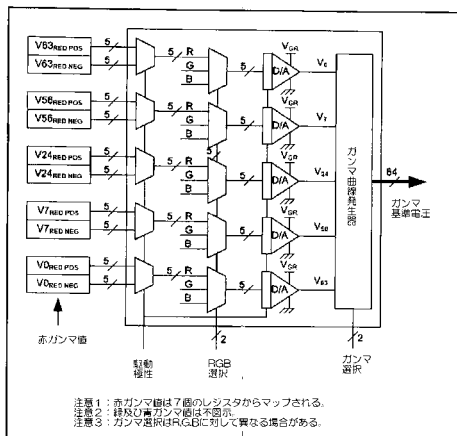


【 図 2 1 】

プレイ	00 01 02 03 04 05 06 07 08 09										10 11 12 13 14 15 16 17 18 19										20 21 22 23 24 25 26 27 28 29																																																																														
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66																																	



【 図 2 3 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
G 0 9 G 3/20 6 7 0 K

(72)発明者 ジョン チャイルズ
アメリカ合衆国, ニューヨーク 1 4 6 1 6, ロチェスター, ジュディー アン ドライブ
3 9 6

(72)発明者 ジェフリー リリー
アメリカ合衆国, ニューヨーク 1 4 5 0 6, メンドン, ビクター メンドン ロード 3
7

(72)発明者 ジェームズ プロワック
アメリカ合衆国

(72)発明者 イムール クナウズ
アメリカ合衆国, ニューヨーク 1 4 4 5 0, フェアポート, プレントウッド レーン 7
6

(72)発明者 ジェフリー スモール
アメリカ合衆国, ニューヨーク 1 4 6 2 4, ロチェスター, エメラルド ポイント 1 2

F ターム(参考) 2H093 NA16 NA31 NC09 NC11 NC28 NC34 NC49 ND39 NG20
5C006 AF72 BF06 BF27
5C080 AA10 BB05 JJ02 JJ03 JJ04 JJ05

【外国語明細書】

2009009122000001.pdf

专利名称(译)	具有数据功能的视频显示驱动程序		
公开(公告)号	JP2009009122A	公开(公告)日	2009-01-15
申请号	JP2008144987	申请日	2008-06-02
[标]申请(专利权)人(译)	国家半导体公司		
申请(专利权)人(译)	美国国家半导体公司		
[标]发明人	クリストファー ラッデン ジョン チャイルズ ジェフリー リリー ジェームズ プロワック イムール クナウズ ジェフリー スモール		
发明人	クリストファー ラッデン ジョン チャイルズ ジェフリー リリー ジェームズ プロワック イムール クナウズ ジェフリー スモール		
IPC分类号	G09G3/20 G09G3/36 G02F1/133		
CPC分类号	G09G3/2092 G09G3/3688 G09G3/3696 G09G2310/04 G09G2320/0276		
FI分类号	G09G3/20.612.J G09G3/36 G09G3/20.612.L G09G3/20.623.A G02F1/133.550 G09G3/20.670.K		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NC09 2H093/NC11 2H093/NC28 2H093/NC34 2H093/NC49 2H093/ND39 2H093/NG20 5C006/AF72 5C006/BF06 5C006/BF27 5C080/AA10 5C080/BB05 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 2H193/ZA04 2H193/ZC02 2H193/ZC32 2H193/ZD11 2H193/ZF04 2H193/ZF05 2H193/ZF06 2H193/ZF13 2H193/ZF14 2H193/ZF33		
代理人(译)	正明小桥		
优先权	60/932910 2007-06-01 US 12/128132 2008-05-28 US		
外部链接	Espacenet		

摘要(译)

解决的问题：为了便于产生与数据使能信号和像素时钟有关的水平和垂直同步信号相对应的信号。将视频数据从主机处理器30定向到显示板32，该显示板32具有矩阵类型的显示器34（例如LCD显示器）和显示驱动器36，用于将图像数据从主机处理器30传递到显示驱动器36。主机处理器30经由总线38的三条线将连接的两个电源电压和地提供给显示驱动器36。[选型图]图1A

