

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-268843

(P2008-268843A)

(43) 公開日 平成20年11月6日(2008.11.6)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 642A	5C006
G02F 1/133 (2006.01)	G09G 3/20 624B	5C080
	G09G 3/20 622R	
	G09G 3/20 623U	
審査請求 有 請求項の数 21 O L (全 29 頁) 最終頁に続く		

(21) 出願番号	特願2007-210328 (P2007-210328)	(71) 出願人	000001443
(22) 出願日	平成19年8月10日 (2007. 8. 10)		カシオ計算機株式会社
(31) 優先権主張番号	特願2007-89664 (P2007-89664)		東京都渋谷区本町 1 丁目 6 番 2 号
(32) 優先日	平成19年3月29日 (2007. 3. 29)	(74) 代理人	100058479
(33) 優先権主張国	日本国 (JP)		弁理士 鈴江 武彦
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 アクティブマトリックス型表示装置の駆動回路、駆動方法及びアクティブマトリックス型表示装置

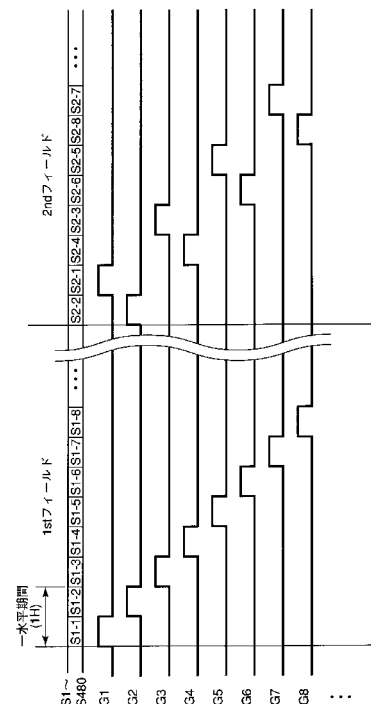
(57) 【要約】

【課題】 画素間寄生容量が存在する場合の表示ムラを低減すること。

【解決手段】 2画素毎に1本のソースラインを配置し、ソースラインを挟んで隣接する2つの画素が、ソースラインを共用するとともにそれぞれ異なるゲートラインにTFT18を介して接続されているLCDパネル10を駆動するドライバ回路12のゲートドライバブロックは、複数のゲートラインG1, G2, ...を順次選択する第1の駆動と、異なるソースラインS1, S2, ...に接続され隣接配置された2つの画素に対応する2本のゲートラインの組の選択順を逆にする第2の駆動と、を少なくとも一つの所定期間毎に交互に行うことで、画素間の書き込み時の電位差ずれを減少させ、表示ムラを低減する。

【選択図】 図3

図3



【特許請求の範囲】**【請求項 1】**

2 画素毎に 1 本の信号線を配置し、前記信号線を挟んで隣接する 2 つの画素が、前記信号線を共用するとともにそれぞれ異なる走査線にスイッチング素子を介して接続されているアクティブマトリクス型表示装置の駆動回路であって、

前記複数の走査線を選択する走査線駆動回路と、

前記複数の信号線に、表示すべき情報に従った信号を出力する信号線駆動回路と、
を具備し、

前記走査線駆動回路は、異なる信号線に接続され隣接配置された 2 つの画素に対応する 2 本の走査線を順次選択する第 1 の駆動と、前記 2 本の走査線の選択順を前記第 1 の駆動と逆にする第 2 の駆動と、を少なくとも一つの所定期間毎に交互に行うことを特徴とするアクティブマトリクス型表示装置の駆動回路。

10

【請求項 2】

前記所定期間毎は、 $2j$ 走査期間 ($j: 1$ 以上の整数) 毎であることを特徴とする請求項 1 に記載のアクティブマトリクス型表示装置の駆動回路。

【請求項 3】

前記所定期間は二つの期間からなり、第 1 の期間は $2j$ 走査期間 ($j: 1$ 以上の整数) であり、第 2 の期間は k フィールド ($k: 1$ 以上の整数) であることを特徴とする請求項 1 に記載のアクティブマトリクス型表示装置の駆動回路。

【請求項 4】

20

前記所定期間毎は、 k フィールド ($k: 1$ 以上の整数) 毎であることを特徴とする請求項 1 に記載のアクティブマトリクス型表示装置の駆動回路。

【請求項 5】

前記信号線駆動回路は、前記走査線駆動回路による前記走査線の選択順に応じた信号を前記複数の信号線に出力することを特徴とする請求項 1 乃至 4 の何れかに記載のアクティブマトリクス型表示装置の駆動回路。

【請求項 6】

前記表示パネルは前記複数の画素をストライプ状に配列したストライプ配列の表示パネルであることを特徴とする請求項 1 乃至 5 の何れかに記載のアクティブマトリクス型表示装置の駆動回路。

30

【請求項 7】

前記表示パネルは前記複数の画素をデルタ状に配列したデルタ配列の表示パネルであることを特徴とする請求項 1 乃至 5 の何れかに記載のアクティブマトリクス型表示装置の駆動回路。

【請求項 8】

2 画素毎に 1 本の信号線を配置し、前記信号線を挟んで隣接する 2 つの画素が、前記信号線を共用するとともにそれぞれ異なる走査線にスイッチング素子を介して接続されているアクティブマトリクス型表示装置の駆動方法であって、

異なる信号線に接続され隣接配置された 2 つの画素に対応する 2 本の走査線を順次選択する第 1 の駆動と、前記 2 本の走査線の選択順を前記第 1 の駆動と逆にする第 2 の駆動と、を少なくとも一つの所定期間毎に交互に行うことを特徴とするアクティブマトリクス型表示装置の駆動方法。

40

【請求項 9】

前記所定期間毎は、 $2j$ 走査期間 ($j: 1$ 以上の整数) 毎であることを特徴とする請求項 8 に記載のアクティブマトリクス型表示装置の駆動方法。

【請求項 10】

前記所定期間は二つの期間からなり、第 1 の期間は $2j$ 走査期間 ($j: 1$ 以上の整数) であり、第 2 の期間は k フィールド ($k: 1$ 以上の整数) であることを特徴とする請求項 8 に記載のアクティブマトリクス型表示装置の駆動方法。

【請求項 11】

50

前記所定期間毎は、 k フィールド ($k : 1$ 以上の整数) 毎であることを特徴とする請求項 8 に記載のアクティブマトリックス型表示装置の駆動方法。

【請求項 12】

前記複数の信号線に出力する表示すべき情報に従った信号を、前記走査線の選択順に応じて出力することを特徴とする請求項 8 乃至 11 の何れかに記載のアクティブマトリックス型表示装置の駆動方法。

【請求項 13】

前記表示パネルは前記複数の画素をストライプ状に配列したストライプ配列の表示パネルであることを特徴とする請求項 8 乃至 12 の何れかに記載のアクティブマトリックス型表示装置の駆動方法。

10

【請求項 14】

前記表示パネルは前記複数の画素をデルタ状に配列したデルタ配列の表示パネルであることを特徴とする請求項 8 乃至 12 の何れかに記載のアクティブマトリックス型表示装置の駆動方法。

【請求項 15】

2 画素毎に 1 本の信号線を配置し、前記信号線を挟んで隣接する 2 つの画素が、前記信号線を共用するとともにそれぞれ異なる走査線にスイッチング素子を介して接続されている表示パネルと、

前記複数の走査線を選択する走査線駆動回路と、

前記複数の信号線に、表示すべき情報に従った信号を出力する信号線駆動回路と、
を具備し、

20

前記走査線駆動回路は、異なる信号線に接続され隣接配置された 2 つの画素に対応する 2 本の走査線を順次選択する第 1 の駆動と、前記 2 本の走査線の選択順を前記第 1 の駆動と逆にする第 2 の駆動と、を少なくとも一つの所定期間毎に交互に行うことを特徴とするアクティブマトリックス型表示装置。

【請求項 16】

前記所定期間毎は、 $2j$ 走査期間 ($j : 1$ 以上の整数) 毎であることを特徴とする請求項 15 に記載のアクティブマトリックス型表示装置。

【請求項 17】

前記所定期間は二つの期間からなり、第 1 の期間は $2j$ 走査期間 ($j : 1$ 以上の整数) であり、第 2 の期間は k フィールド ($k : 1$ 以上の整数) であることを特徴とする請求項 15 に記載のアクティブマトリックス型表示装置。

30

【請求項 18】

前記所定期間毎は、 k フィールド ($k : 1$ 以上の整数) 毎であることを特徴とする請求項 15 に記載のアクティブマトリックス型表示装置。

【請求項 19】

前記信号線駆動回路は、前記走査線駆動回路による前記走査線の選択順に応じた信号を前記複数の信号線に出力することを特徴とする請求項 15 乃至 18 の何れかに記載のアクティブマトリックス型表示装置。

40

【請求項 20】

前記表示パネルは前記複数の画素をストライプ状に配列したストライプ配列の表示パネルであることを特徴とする請求項 15 乃至 19 の何れかに記載のアクティブマトリックス型表示装置。

【請求項 21】

前記表示パネルは前記複数の画素をデルタ状に配列したデルタ配列の表示パネルであることを特徴とする請求項 15 乃至 19 の何れかに記載のアクティブマトリックス型表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、１本の信号線を隣接する２画素が共用するタイプのアクティブマトリックス型表示装置の駆動回路及び駆動方法、並びに、そのような駆動回路を用いたアクティブマトリックス型表示装置に関する。

【背景技術】

【０００２】

近年、スイッチング素子として薄膜トランジスタ（ＴＦＴ）を用いたアクティブマトリックス型表示装置が開発されている。

【０００３】

このアクティブマトリックス型表示装置は、マトリックス状に配置された複数の画素を行毎に順次走査するための走査信号を発生する走査線駆動回路（以下、ゲートドライバと称する）を有する。ゲートドライバは、前記各画素に映像信号を与える信号線駆動回路（以下、ソースドライバと称する）に比べると動作周波数は低い。このため、前記各画素に対応したＴＦＴを形成するための工程と同一の工程で、前記ＴＦＴと前記ゲートドライバとを同時に形成したとしても、前記ゲートドライバは、そのスペックを満足させることが可能である。

【０００４】

また、アクティブマトリックス型表示装置における各画素は、前記ＴＦＴに接続された画素電極と、共通電圧 V_{com} が印加される共通電極と、を有している。そして、アクティブマトリックス型表示装置では、一方向の電界が長く印加されることによって発生する液晶の劣化現象を防止するために、ソースドライバからの映像信号 V_{sig} の極性を共通電圧 V_{com} に対して、フレーム毎、ライン毎、又はドット毎に反転させる反転駆動が一般に行われている。

【０００５】

ところで、アクティブマトリックス型表示装置の実装においては、多数の画素が配列された表示パネル（表示画面）の周囲に前記ゲートドライバやソースドライバ等が配置される。そして、表示画面内の走査線（以下、ゲートラインと称する）及び信号線（以下、ソースラインと称する）と、前記ゲートドライバやソースドライバとを電気的に接続するための配線は、前記表示画面の外側を引き回されて、双方を接続されている。このとき、これら配線の引き回し面積を少なくすること、即ち、表示パネル以外の面積縮小（狭額縁）を成し遂げることが、該アクティブマトリックス型表示装置を組み込む情報機器の小型化の観点から強く望まれている。

【０００６】

そのため、特に表示パネルの上下方向の狭額縁化の要求に対して、ソースラインの占有面積を小さくできることから、ソースライン数を半分にした画素結線の構成が考えられている。（例えば、特許文献１の図５）。

【０００７】

図１９は、そのような狭額縁を達成するための一手法として考えられた表示画面内における画素結線例の概略図である。これは、１本のソースラインを隣接する２つの画素２００で共用するものである。この場合、それら２つの画素２００のＴＦＴ２０２は、それぞれ異なるゲートラインに接続されている。例えば、図１９において、左上の赤（Ｒ）の画素２００のＴＦＴ２０２は、ゲートライン G_1 とソースライン S_1 に接続され、その右隣の緑（Ｇ）の画素２００のＴＦＴ２０２は、ゲートライン G_2 とソースライン S_1 に接続されている。

【０００８】

図２０は、このような画素結線において、複数のソースライン $S_1, S_2, S_3, \dots$ に出力される、表示すべき情報に従った映像信号 V_{sig} の組み合わせの出力順と、複数のゲートライン $G_1, G_2, G_3, \dots$ の選択順とからなるタイミングチャートを示す図である。同図に示すように、ゲートラインが画素の行数の２倍あるので、複数のゲートライン $G_1, G_2, G_3, \dots$ は、その順番通りに１／２水平期間（１／２ H ）毎に１つのゲートラインが選択されていく（ H 信号になっていく）。そして、その選択されたゲートライン

に対応する画素 200 それぞれに書き込むべき映像信号 V_{sig} の組み合わせが、1/2 水平期間に複数のソースライン $S_1, S_2, S_3, \dots$ に一度に出力される。例えば、ゲートライン G_1 が選択されている 1/2 水平期間中には“ $S-1$ ”なる映像信号 V_{sig} の組み合わせが複数のソースライン $S_1, S_2, S_3, \dots$ に出力され、次の、ゲートライン G_2 が選択されている 1/2 水平期間中には“ $S-2$ ”なる映像信号 V_{sig} の組み合わせが複数のソースライン $S_1, S_2, S_3, \dots$ に出力される、という具合である。

【0009】

図 21 は、各画素 200 に映像信号 V_{sig} を書き込む順番を示す図である。前記画素結線において、各画素 200 への映像信号 V_{sig} の書き込みは、図 20 に示すようにゲートラインの順番通りに実行されるので、図 21 に示すようなものとなる。

10

【特許文献 1】特開 2004-185006 号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

上述したようなソースライン数を半分にするための画素結線では、画素間にソースラインがある箇所とない箇所があり、ソースラインのない箇所には、ソースラインのある箇所に比べて画素間の寄生容量が大きく存在する。図 22 は、このときの等価回路を示す図である。この画素間寄生容量 204 が存在する画素間では、電圧リークが発生し、これにより、先に書かれた画素 200 の電位が、後に書かれた画素 200 の電位の影響を受けて変化する。この電位の変化は、画面上では表示ムラとなって現れる。図 21 に示したように画素書き込み順番は固定であるので、このリーク発生による表示ムラは、常に同じ箇所が発生することになる。

20

【0011】

図 23 は、この表示ムラの例を示す図である。同図は、分かり易くするために G の画素 200 についてのみ示したものである。ここで、ゲートラインの走査順番は、 $G_1 \rightarrow G_2 \rightarrow G_3 \rightarrow \dots \rightarrow G_8$ である。また、図 23 において、黒塗りした他の色の画素 200 においても、先に書かれた画素 200 の電位が変化してしまうことは同様である。（詳細は後述する。）

以下、この画素電位変動について、更に詳細に説明する。図 24 は、表示パネルを TFTLCD とした場合の各画素の構成を示す図である。各画素 200 は、ゲートラインに接続される TFT202 を介してソースラインに接続された画素電極と、共通電圧 V_{com} が印加される共通電極（図示せず）との間に液晶（図示せず）が挟持されて構成されている。そして、液晶容量 C_{lc} に電荷をフィールド期間（ノンインターレース方式の場合にはフレーム期間）にわたって保持することで対応する表示を実現する。液晶容量 C_{lc} や TFT を介しての電流リークの対策のために、液晶容量 C_{lc} と並列に補助容量 C_s を設けている。

30

【0012】

図 25 (A) は、図 24 におけるゲートドライバによるゲートライン $G_1 \sim G_4$ の走査タイミングチャートを示す図であり、図 25 (B) は、1/2 水平期間 (1/2 H) 毎に共通電圧 V_{com} の極性を反転する水平ライン反転駆動を行う場合における、先に書き込まれる図 22 の例えばソースライン S_3 に接続される緑の画素 F（以下、 G 先の画素と称する）及び後に書き込まれる図 22 の例えばソースライン S_2 に接続される赤の画素 L（以下、 R 後の画素と称する）の画素電位波形を示す図である。

40

【0013】

以下、画素にかかる電圧が大きい程、透過率が下がる（暗くなる）ノーマリーホワイトモードの液晶表示装置の場合について述べる。なお、図 25 (B) は、共通電圧 V_{com} の振幅を 5.0 V、 G 先の画素 F の書き込み電圧（映像信号 V_{sig} ）を共通電圧 V_{com} に対して 2.0 V（中間調）、 R 後の画素 L の書き込み電圧（映像信号 V_{sig} ）を共通電圧 V_{com} に対して 4.0 V（黒、暗）、とした場合を示している。また、TFT202 がオンからオフになる際に発生する引き込み電圧（フィードスルー電圧） ΔV の影響

50

は、共通電圧 V_{com} の調整 (V_{com} を ΔV 分下方にシフトする) によりキャンセルできるので、図 25 (B) の波形には記載していない (以下に説明する他の画素電位波形の図においても同様)。

【0014】

図 25 (A) に示すように、各フィールドにおいて、1/2 水平期間に 2 本のゲートラインが選択され、その選択される 2 本のゲートラインは、水平期間毎に順次走査されていく。そして、図 25 (B) に示すように、選択されたゲートラインに接続された TFT 202 がオンして、対応する画素 200 にソースラインから印加される映像信号 V_{sig} が書き込まれる。従って、G 先の画素 F の書き込みタイミングは、図 25 (B) における W_G となり、R 後の画素 L の書き込みタイミングは W_R となる。これらの書き込みタイミングで書き込まれた画素電位が、次フィールドで書き換えられるまで維持される。

10

【0015】

図 25 (B) は、前記画素間寄生容量 204 が 0 の場合の理想的な状態における画素電位波形である。しかしながら、上述したように、ソースラインのない箇所には画素間寄生容量 204 が存在してしまう。図 26 (A) は、画素間寄生容量 204 を考慮した場合の図 25 (B) と同じ電圧条件での画素電位波形を示す図である。また、図 26 (B) は画素間寄生容量 204 を考慮した場合の共通電圧 V_{com} の振幅が 5.0 V、G 先の画素 F の書き込み電圧は共通電圧 V_{com} に対して 2.0 V、R 後の画素 L の書き込み電圧は共通電圧 V_{com} に対して 1.0 V (白、明)、とした場合の画素電位波形を示す図である。

20

【0016】

即ち、図 26 (A) 及び図 26 (B) に示すように、G 先の画素 F においては、ゲートライン G1 の選択によって書き込まれた画素電位が、ゲートライン G2 の選択による R 後の画素 L の書き込みの際に、 V_c 分、共通電圧 V_{com} に対して遠ざかる向き (暗くなる向き) にシフトしてしまう。この V_c の大きさは、

$$V_c = (V_{sig}(F_n - 1) + V_{sig}(F_n)) \times C_{pp} / (C_s + C_{lc} + C_{pp}) \times \alpha \quad \dots (1)$$

のように表せる。この (1) 式において、 $V_{sig}(F_n)$ は現フィールドの R 後の画素 L の書き込み電圧、 $V_{sig}(F_n - 1)$ は前フィールドの R 後の画素 L の書き込み電圧である。従って、図 26 (A) の場合には $V_{sig}(F_n - 1) + V_{sig}(F_n) = 8.0$ V、図 26 (B) の場合には $V_{sig}(F_n - 1) + V_{sig}(F_n) = 2.0$ V となる。また、 C_{pp} は画素間寄生容量 204 の容量値、 C_s は補助容量 C_s の容量値、 C_{lc} は液晶容量 C_{lc} の容量値、 α は比例係数であり、パネル構造等によって決まる値である。

30

【0017】

このように、 $V_{sig}(F_n - 1) + V_{sig}(F_n)$ が大きい程、電位変動の値 V_c は大きくなり、 V_{com} の振幅の大きさにはよらない。

【0018】

以上は、ソースラインに沿った方向に隣接する画素間で共通電圧 V_{com} の極性が異なる水平ライン反転駆動の場合である。即ち、例えば図 21 において、ゲートライン G1 または G2 に接続される画素の間、ゲートライン G3 またはゲートライン G4 に接続される画素の間、ゲートライン G5 またはゲートライン G6 に接続される画素の間、ゲートライン G7 またはゲートライン G8 に接続される画素の間で、共通電圧 V_{com} の極性を反転させる。

40

【0019】

ところで、共通電極 V_{com} の極性反転には、ソースラインに沿った方向に隣接する画素間で共通電圧 V_{com} の極性が異なることに加え、ゲートラインに沿った方向に隣接する画素間においても共通電圧 V_{com} の極性が異なるドット反転駆動という駆動方法も存在する。この場合、上下左右に隣接する画素間で共通電圧 V_{com} の極性が反転するように、図 21 の、ゲートライン G1 とゲートライン G2 の間、ゲートライン G3 とゲートラ

50

イン G 4 の間、ゲートライン G 5 とゲートライン G 6 の間、ゲートライン G 7 とゲートライン G 8 の間、に共通電圧 V_{com} の極性を反転させる。

【0020】

なお、水平ライン反転駆動、ドット反転駆動のいずれにおいても、各画素における共通電圧 V_{com} の極性は、フィールド毎に反転される。

【0021】

このようなドット反転駆動を行う場合には、図 27 (A) 及び図 27 (B) に示すようになる。ここで、図 27 (A) は画素間寄生容量 204 を考慮した場合の共通電圧 V_{com} の振幅が 5.0 V、G 先の画素 F の書き込み電圧は共通電圧 V_{com} に対して 2.0 V (中間調)、R 後の画素 L の書き込み電圧は共通電圧 V_{com} に対して 4.0 V (黒)、とした場合の画素電位波形を示す図であり、図 27 (B) は画素間寄生容量 204 を考慮した場合の共通電圧 V_{com} の振幅が 5.0 V、G 先の画素 F の書き込み電圧は共通電圧 V_{com} に対して 2.0 V、R 後の画素 L の書き込み電圧は共通電圧 V_{com} に対して 1.0 V (白)、とした場合の画素電位波形を示す図である。

10

【0022】

即ち、図 27 (A) 及び図 27 (B) に示すように、ドット反転駆動を行う場合にも、前記水平ライン反転駆動を行う場合と同様に、G 先の画素 F においては、ゲートライン G 1 の選択によって書き込まれた画素電位が、ゲートライン G 2 の選択による R 後の画素 L の書き込みの際に、 V_c 分、シフトするが、シフトする方向は、前記水平ライン反転駆動を行う場合と異なり、共通電圧 V_{com} に対して近づく向き (明るくなる向き) になる。

20

【0023】

この場合も、 $V_{sig}(F_{n-1}) + V_{sig}(F_n)$ が大きい程、電位変動の値 V_c は大きくなり、 V_{com} の振幅の大きさにはよらないことは、水平ライン反転駆動の場合と同様である。

【0024】

以上のような V_c 分の変動により、G 先の画素は、水平ライン反転駆動の場合は実際の表示よりも暗くなってしまう。またドット反転駆動の場合は実際の表示よりも明るくなってしまう。これに対して、G 後の画素の画素電位は正常な電圧が書き込まれるので、G ラスタのような表示にすると、どちらの反転駆動の場合も縦方向に 1 本おきに明暗の緑が表示されることとなってしまう。

30

【0025】

同様の V_c 分の変動が、R 先の画素及び B 先の画素においても発生する。

【0026】

また、前記のことは、画素 200 をストライプ配列とした場合に限らず、デルタ配列とした場合も同様である。

【0027】

前記特許文献 1 に開示された手法では、このような画素間寄生容量 204 に起因して先に書き込まれた画素に発生する電位変動による表示ムラの問題に対処できない。

【0028】

本発明は、前記の点に鑑みてなされたもので、画素間寄生容量が存在する場合の表示ムラを低減できるアクティブマトリクス型表示装置の駆動回路、駆動方法及びアクティブマトリクス型表示装置を提供することを目的とする。

40

【課題を解決するための手段】

【0029】

請求項 1 に記載のアクティブマトリクス型表示装置の駆動回路は、2 画素毎に 1 本の信号線を配置し、前記信号線を挟んで隣接する 2 つの画素が、前記信号線を共用するとともにそれぞれ異なる走査線にスイッチング素子を介して接続されているアクティブマトリクス型表示装置の駆動回路であって、

前記複数の走査線を選択する走査線駆動回路と、

前記複数の信号線に、表示すべき情報に従った信号を出力する信号線駆動回路と、

50

を具備し、

前記走査線駆動回路は、異なる信号線に接続され隣接配置された2つの画素に対応する2本の走査線を順次選択する第1の駆動と、前記2本の走査線の選択順を前記第1の駆動と逆にする第2の駆動と、を少なくとも一つの所定期間毎に交互に行うことを特徴とする。

【0030】

請求項2に記載のアクティブマトリクス型表示装置の駆動回路は、請求項1に記載のアクティブマトリクス型表示装置の駆動回路において、前記所定期間毎は、 $2j$ 走査期間($j:1$ 以上の整数)毎であることを特徴とする。

【0031】

請求項3に記載のアクティブマトリクス型表示装置の駆動回路は、請求項1に記載のアクティブマトリクス型表示装置の駆動回路において、前記所定期間は二つの期間からなり、第1の期間は $2j$ 走査期間($j:1$ 以上の整数)であり、第2の期間は k フィールド($k:1$ 以上の整数)であることを特徴とする。

【0032】

請求項4に記載のアクティブマトリクス型表示装置の駆動回路は、請求項1に記載のアクティブマトリクス型表示装置の駆動回路において、前記所定期間毎は、 k フィールド($k:1$ 以上の整数)毎であることを特徴とする。

【0033】

請求項5に記載のアクティブマトリクス型表示装置の駆動回路は、請求項1乃至4の何れかに記載のアクティブマトリクス型表示装置の駆動回路において、前記信号線駆動回路は、前記走査線駆動回路による前記走査線の選択順に応じた信号を前記複数の信号線に出力することを特徴とする。

【0034】

請求項6に記載のアクティブマトリクス型表示装置の駆動回路は、請求項1乃至5の何れかに記載のアクティブマトリクス型表示装置の駆動回路において、前記表示パネルは前記複数の画素をストライプ状に配列したストライプ配列の表示パネルであることを特徴とする。

【0035】

請求項7に記載のアクティブマトリクス型表示装置の駆動回路は、請求項1乃至5の何れかに記載のアクティブマトリクス型表示装置の駆動回路において、前記表示パネルは前記複数の画素をデルタ状に配列したデルタ配列の表示パネルであることを特徴とする。

【0036】

請求項8に記載のアクティブマトリクス型表示装置の駆動方法は、2画素毎に1本の信号線を配置し、前記信号線を挟んで隣接する2つの画素が、前記信号線を共用するとともにそれぞれ異なる走査線にスイッチング素子を介して接続されているアクティブマトリクス型表示装置の駆動方法であって、

異なる信号線に接続され隣接配置された2つの画素に対応する2本の走査線を順次選択する第1の駆動と、前記2本の走査線の選択順を前記第1の駆動と逆にする第2の駆動と、を少なくとも一つの所定期間毎に交互に行うことを特徴とする。

【0037】

請求項9に記載のアクティブマトリクス型表示装置の駆動方法は、請求項8に記載のアクティブマトリクス型表示装置の駆動方法において、前記所定期間毎は、 $2j$ 走査期間($j:1$ 以上の整数)毎であることを特徴とする。

【0038】

請求項10に記載のアクティブマトリクス型表示装置の駆動方法は、請求項8に記載のアクティブマトリクス型表示装置の駆動方法において、前記所定期間は二つの期間からなり、第1の期間は $2j$ 走査期間($j:1$ 以上の整数)であり、第2の期間は k フィールド($k:1$ 以上の整数)であることを特徴とする。

10

20

30

40

50

【 0 0 3 9 】

請求項 1 1 に記載のアクティブマトリックス型表示装置の駆動方法は、請求項 8 に記載のアクティブマトリックス型表示装置の駆動方法において、前記所定期間毎は、 k フィールド (k : 1 以上の整数) 毎であることを特徴とする。

【 0 0 4 0 】

請求項 1 2 に記載のアクティブマトリックス型表示装置の駆動方法は、請求項 8 乃至 1 1 の何れかに記載のアクティブマトリックス型表示装置の駆動方法において、前記複数の信号線に出力する表示すべき情報に従った信号を前記走査線の選択順に応じて出力することを特徴とする。

【 0 0 4 1 】

請求項 1 3 に記載のアクティブマトリックス型表示装置の駆動方法は、請求項 8 乃至 1 2 の何れかに記載のアクティブマトリックス型表示装置の駆動方法において、前記表示パネルは前記複数の画素をストライプ状に配列したストライプ配列の表示パネルであることを特徴とする。

【 0 0 4 2 】

請求項 1 4 に記載のアクティブマトリックス型表示装置の駆動方法は、請求項 8 乃至 1 2 の何れかに記載のアクティブマトリックス型表示装置の駆動方法において、前記表示パネルは前記複数の画素をデルタ状に配列したデルタ配列の表示パネルであることを特徴とする。

【 0 0 4 3 】

請求項 1 5 に記載のアクティブマトリックス型表示装置は、
2 画素毎に 1 本の信号線を配置し、前記信号線を挟んで隣接する 2 つの画素が、前記信号線を共用するとともにそれぞれ異なる走査線にスイッチング素子を介して接続されている表示パネルと、

前記複数の走査線を選択する走査線駆動回路と、

前記複数の信号線に、表示すべき情報に従った信号を出力する信号線駆動回路と、
を具備し、

前記走査線駆動回路は、異なる信号線に接続され隣接配置された 2 つの画素に対応する 2 本の走査線を順次選択する第 1 の駆動と、前記 2 本の走査線の選択順を前記第 1 の駆動と逆にする第 2 の駆動と、を少なくとも一つの所定期間毎に交互に行うことを特徴とする。

【 0 0 4 4 】

請求項 1 6 に記載のアクティブマトリックス型表示装置は、請求項 1 5 に記載のアクティブマトリックス型表示装置において、前記所定期間毎は、 $2j$ 走査期間 (j : 1 以上の整数) 毎であることを特徴とする。

【 0 0 4 5 】

請求項 1 7 に記載のアクティブマトリックス型表示装置は、請求項 1 5 に記載のアクティブマトリックス型表示装置において、前記所定期間は二つの期間からなり、第 1 の期間は $2j$ 走査期間 (j : 1 以上の整数) であり、第 2 の期間は k フィールド (k : 1 以上の整数) であることを特徴とする。

【 0 0 4 6 】

請求項 1 8 に記載のアクティブマトリックス型表示装置は、請求項 1 5 に記載のアクティブマトリックス型表示装置において、前記所定期間毎は、 k フィールド (k : 1 以上の整数) 毎であることを特徴とする。

【 0 0 4 7 】

請求項 1 9 に記載のアクティブマトリックス型表示装置は、請求項 1 5 乃至 1 8 の何れかに記載のアクティブマトリックス型表示装置において、前記信号線駆動回路は、前記走査線駆動回路による前記走査線の選択順に応じた信号を前記複数の信号線に出力することを特徴とする。

【 0 0 4 8 】

10

20

30

40

50

請求項 20 に記載のアクティブマトリックス型表示装置は、請求項 15 乃至 19 の何れかに記載のアクティブマトリックス型表示装置において、前記表示パネルは前記複数の画素をストライプ状に配列したストライプ配列の表示パネルであることを特徴とする。

【0049】

請求項 21 に記載のアクティブマトリックス型表示装置は、請求項 15 乃至 19 の何れかに記載のアクティブマトリックス型表示装置において、前記表示パネルは前記複数の画素をデルタ状に配列したデルタ配列の表示パネルであることを特徴とする。

【発明の効果】

【0050】

本発明によれば、複数の走査線を順次選択する際の、異なる信号線に接続され隣接配置された 2 つの画素に対応する 2 本の走査線の選択順を、所定期間毎に入れ替えることで、表示ムラを低減できるアクティブマトリックス型表示装置の駆動回路及び駆動方法、並びに、そのような駆動回路を用いたアクティブマトリックス型表示装置を提供することができる。

【発明を実施するための最良の形態】

【0051】

以下、本発明を実施するための最良の形態を、図面を参照して説明する。

【0052】

〔第 1 実施形態〕

図 1 (A) は、本発明の第 1 実施形態に係るアクティブマトリックス型表示装置の全体構成を示す概略構成図であり、図 1 (B) は、図 1 (A) 中の LCD パネル (液晶表示パネル) の画素結線の概略図である。

【0053】

即ち、本実施形態に係るアクティブマトリックス型表示装置は、図 1 (A) に示すように、複数の画素が配置された LCD パネル (表示パネル) 10 と、該 LCD パネル 10 の各画素を駆動制御するドライバ回路 12 と、LCD パネル 10 に共通電圧 V_{com} を印加する V_{com} 回路 14 と、から構成されている。

【0054】

LCD パネル 10 は、図 1 (B) に示すように、複数の画素がマトリックス状に配置されている。また、複数のソースライン (信号線) $S_1 \sim S_{480}$ と複数のゲートライン (走査線) $G_1 \sim G_{480}$ とが互いに交差するように配置されている。そして、各画素は、それぞれスイッチング素子としての TFT 18 を介してソースラインの何れか及びゲートラインの何れかと接続されている。ここで、各画素は、1 本のソースラインを隣接する 2 つの画素 16 が共用するように、配置されている。この場合、それら 2 つの画素 16 に対応するそれぞれの TFT 18 は、互いに異なるゲートラインに接続されている。例えば、図 1 (B) において、左上の R の画素 16 の TFT 18 は、ゲートライン G_1 とソースライン S_1 に接続され、その右隣の G の画素 16 の TFT 18 は、ゲートライン G_2 とソースライン S_1 に接続されている。なお、ここでは、画素 16 がストライプ配列で並べられた場合を示している。

【0055】

LCD パネル 10 の複数のソースライン $S_1 \sim S_{480}$ 及び複数のゲートライン $G_1 \sim G_{480}$ は、該 LCD パネル 10 の基板 (図示せず) 上を引き回された配線 20 によりドライバ回路 12 に電氣的に接続されている。

【0056】

図 2 は、図 1 (A) 中のドライバ回路 12 のブロック構成図である。このドライバ回路 12 は、同図に示すように、ゲートドライバブロック (走査線駆動回路) 22、ソースドライバブロック (信号線駆動回路) 24、レベルシフト回路 26、タイミングジェネレータ (以下、TG と略記する) 部ロジック回路 28、ガンマ (以下、 γ と略記する) 回路ブロック 30、チャージポンプ/レギュレータブロック 32、アナログブロック 34、その他のブロックから構成されている。

10

20

30

40

50

【 0 0 5 7 】

ここで、ゲートドライバブロック 22 は、LCD パネル 10 の複数のゲートライン G1 ~ G480 を選択するものであり、ソースドライバブロック 24 は、LCD パネル 10 の複数の信号線 S1 ~ S480 に、表示すべき情報に従った映像信号 Vsig を出力するものである。

【 0 0 5 8 】

レベルシフト回路 26 は、外部から供給される信号のレベルを所定レベルにシフトするものである。TG 部ロジック回路 28 は、このレベルシフト回路 26 によって所定レベルにシフトされた信号及び外部から供給された信号に基づいて必要なタイミング信号や制御信号を生成して、該ドライバ回路 12 内の各部に供給するものである。

10

【 0 0 5 9 】

γ 回路ブロック 30 は、前記ソースドライバブロック 24 から出力する映像信号 Vsig を良好な階調特性とするように γ 補正をかけるためのものである。

【 0 0 6 0 】

チャージポンプ/レギュレータブロック 32 は、外部電源から必要な論理レベルの各種電圧を発生するものであり、アナログブロック 34 は、このチャージポンプ/レギュレータブロック 32 で発生された電圧から更に各種の電圧を発生するものである。前記 Vcom 回路 14 は、このアナログブロック 34 で発生した電圧 VVCOM から前記共通電圧 Vcom を発生する。その他のブロックについては、直接本願発明とは直接の関係がないので、その説明を省略する。

20

【 0 0 6 1 】

図 3 は、本第 1 実施形態における、複数のソースライン S1 ~ S480 に出力される、表示すべき情報に従った映像信号 Vsig の組み合わせの出力順と、複数のゲートライン G1 ~ G480 (図では簡略化のためにゲートライン G1 ~ G8 のみを取り出して示す) の選択順とからなるタイミングチャートを示す図である。また、図 4A 及び図 4B は、各画素 16 に映像信号 Vsig を書き込む順番を示す図である。ここで、図 4A は、便宜的に、1st フィールド (奇数フィールド) を、図 4B は 2nd フィールド (偶数フィールド) をそれぞれ示している。(1st フィールドと 2nd フィールドは入れ替わってもよい。)

本第 1 実施形態においては、図 3 に示すように、複数のゲートライン G1 ~ G480 の選択順番を、フィールド毎に変化させている。

30

【 0 0 6 2 】

即ち、第 1 フィールド (1st フィールド) では、従来と同様、ゲートドライバブロック 22 は、複数のゲートライン G1 ~ G480 を、その順番通りに 1/2 水平期間 (1/2 H) 毎に順次選択する (H 信号にする) 第 1 の駆動を行う。そして、ソースドライバブロック 24 は、その選択されたゲートラインに対応する画素 16 それぞれに書き込むべき映像信号 Vsig の組み合わせを、1/2 水平期間に複数のソースライン S1 ~ S480 に一度に出力する。例えば、ゲートライン G1 が選択されている 1/2 水平期間中には “S1 - 1” なる映像信号 Vsig の組み合わせが複数のソースライン S1 ~ S480 に出力され、次の、ゲートライン G2 が選択されている 1/2 水平期間中には “S1 - 2” なる映像信号 Vsig の組み合わせが複数のソースライン S1 ~ S480 に出力される、という具合である。

40

【 0 0 6 3 】

つまり、2本ずつのゲートラインの組の出力順に対応して、ソースドライバブロック 24 は、奇数列のデータ→偶数列のデータの順で出力する。

【 0 0 6 4 】

従って、1st フィールドでは、上述したようなソースライン数を半分にした画素結線において、各画素 16 への映像信号 Vsig の書き込みは、図 3 に示すようにゲートラインの順番通りに実行されるので、図 4A に示すようなものとなる。これにより、ソースラインのない箇所である画素間寄生容量 204 が存在する画素間で電圧リークが発生し、先

50

に書かれた画素 16 の電位が、後に書かれた画素 16 の電位の影響を受けて変化してしまう。

【0065】

また、第 2 フィールド (2nd フィールド) では、図 3 に示すように、ゲートドライバブロック 22 は、異なるソースラインに接続され隣接配置された 2 つの画素 16 に対応する 2 本のゲートラインの組の選択順を第 1 フィールドとは逆にする第 2 の駆動を行う。即ち、まず、異なるソースラインに接続され隣接配置された 2 つの画素 16 に対応する 2 本のゲートライン G1, G2 について、1st フィールドとは逆の順番であるゲートライン G2、ゲートライン G1 の順に選択し、次に、異なるソースラインに接続され隣接配置された 2 つの画素 16 に対応する 2 本のゲートライン G3, G4 について、1st フィールドとは逆の順番であるゲートライン G4、ゲートライン G3 の順に選択する、というように、2 本ずつのゲートラインの組において、その選択順を入れ替える。そしてそのゲートラインの選択順の入れ替えに伴って、ソースドライバブロック 24 は、その選択順に応じて、その選択されたゲートラインに対応する画素 16 それぞれに書き込むべき映像信号 Vsig の組み合わせを、1/2 水平期間に複数のソースライン S1 ~ S480 に一度に出力する。

10

【0066】

つまり、2 本ずつのゲートラインの組の出力順に対応して、ソースドライバブロック 24 は、偶数列のデータ→奇数列のデータの順で出力する。

【0067】

20

これにより、例えば、1st フィールドでは、“S1-1”→“S1-2”→“S1-3”→“S1-4”→“S1-5”→“S1-6”→... という映像信号 Vsig の組み合わせ順で出力していたものを、2nd フィールドでは、“S1-2”→“S1-1”→“S1-4”→“S1-3”→“S1-6”→“S1-5”→... という映像信号 Vsig の組み合わせ順で出力することになる。

【0068】

従って、2nd フィールドでは、上述したようなソースライン数を半分にした画素結線において、各画素 16 への映像信号 Vsig の書き込みは、図 3 に示すように、異なるソースラインに接続され隣接配置された 2 つの画素 16 に対応する 2 本のゲートラインの選択順が逆にされた順番で実行されるので、図 4B に示すようなものとなる。これにより、やはり、2nd フィールドにおいても、ソースラインのない箇所である画素間寄生容量 204 が存在する画素間で電圧リークが発生し、先に書かれた画素 16 の電位が、後に書かれた画素 16 の電位の影響を受けて変化してしまう。

30

【0069】

しかしながら、2nd フィールドにおいて電位が変化する画素 16 は、1st フィールドにおいて電位が変化する画素 16 とは異なっている。即ち、この 2nd フィールドにおいては、1st フィールドとは映像信号 Vsig の書き込み順が反対にされているので、1st フィールドと 2nd フィールドで、隣り合う画素 16 への書き込み順番が入れ替わることになる。このため、1st フィールドと 2nd フィールドで電位差の発生する画素の位置が反対になり、結果として画素電位のずれが時間的に平均化されて表示ムラが軽減される。

40

【0070】

図 5 は、前記のような駆動を行うためのゲートドライバブロック 22 の具体的な構成を示す図である。なお、説明及び図示の簡単化のため、ここでは、ゲートラインを 8 本として説明する。この場合、該ゲートドライバブロック 22 は、3 ビットカウンタ 36 と、3 2 個の AND ゲート 38 ~ 100 と、4 個の NOT ゲート 102 ~ 108 と、8 個の OR ゲート 110 ~ 124 と、で構成される。(なお、ここでは、論理回路の入力が同時に切り替わる場合に生じるハザード対策については、本質的ではないので、簡単のために記載していない。以下同様。)

即ち、3 ビットカウンタ 36 には、TG 部ロジック回路 28 からゲートクロックとアッ

50

ブ/ダウン（以下、U/Dと略記する）信号とが供給される。U/D信号は、通常表示である非反転シフト時には「1」、上下が反転した表示を行う上下反転シフト時には「0」となるものである。これは、非反転シフト時と上下反転シフト時では、ゲートラインの走査方向が上下逆になり、その結果、先に書き込まれる画素と後に書き込まれる画素とが反対になるため、それに応じて動作を切り替える必要があるからである。

【0071】

そして、リセット信号が解除されるタイミング後、ゲートクロックとアップ/ダウン信号に応じて、3ビットカウンタ36がカウントを開始するようになっている。

【0072】

この3ビットカウンタ36のQ1出力は、デコードされる偶数番目のラインX2, X4, X6, X8用のANDゲート40, 44, 48, 52に与えられると共に、NOTゲート102を介して、デコードされる奇数番目のラインX1, X3, X5, X7用のANDゲート38, 42, 46, 50に与えられる。また、前記3ビットカウンタ36のQ2出力は、前記ラインX3, X4, X7, X8用のANDゲート42, 44, 50, 52に与えられると共に、NOTゲート104を介して、前記ラインX1, X2, X5, X6用のANDゲート38, 40, 46, 48に与えられる。そして、前記3ビットカウンタ36のQ3出力は、前記ラインX5, X6, X7, X8用のANDゲート46, 48, 50, 52に与えられると共に、NOTゲート106を介して、前記ラインX1, X2, X3, X4用のANDゲート38, 40, 42, 44に与えられる。

10

【0073】

前記ラインX1用のANDゲート38の出力は、ゲートラインG1, G2用第1ANDゲート54, 56に与えられる。前記ゲートラインG1用第1ANDゲート54には、TG部ロジック回路28からフィールド切り替え（以下、FIと略記する）信号が供給され、前記ゲートラインG2用第1ANDゲート56には、前記FI信号がNOTゲート108を介して供給される。

20

【0074】

前記ラインX2用のANDゲート40の出力は、ゲートラインG1, G2用第2ANDゲート58, 60に与えられる。これらゲートラインG1, G2用第2ANDゲート58, 60には、前記ゲートラインG1, G2用第1ANDゲート54, 56とは反対に、前記ゲートラインG1用第2ANDゲート58には前記FI信号が前記NOTゲート108を介して供給され、前記ゲートラインG2用第2ANDゲート60には前記FI信号が供給されるようになっている。

30

【0075】

そして、前記ゲートラインG1用第1ANDゲート54の出力と前記ゲートラインG1用第2ANDゲート58の出力は、ゲートラインG1用ORゲート110に供給され、該ゲートラインG1用ORゲート110の出力が、TG部ロジック回路28からのゲートイネーブル信号によって制御されるゲートラインG1用第3ANDゲート86を通して、ゲートラインG1に供給される。また、前記ゲートラインG2用第1ANDゲート56の出力と前記ゲートラインG2用第2ANDゲート60の出力は、ゲートラインG2用ORゲート112に供給され、該ゲートラインG2用ORゲート112の出力が、前記ゲートイネーブル信号によって制御されるゲートラインG2用第3ANDゲート88を通して、ゲートラインG2に供給される。

40

【0076】

以下、同様にして、前記ラインX3用, X5用, X7用のANDゲート42, 46, 50の出力は、ゲートラインG3, G4用第1ANDゲート62, 64, ゲートラインG5, G6用第1ANDゲート70, 72, ゲートラインG7, G8用第1ANDゲート78, 80に与えられ、前記ゲートラインG3用, G5用, G7用第1ANDゲート62, 70, 78には前記FI信号が供給され、前記ゲートラインG4用, G6用, G8用第1ANDゲート64, 72, 80には前記FI信号が前記NOTゲート108を介して供給される。また、前記ラインX4用, X6用, X8用のANDゲートの出力44, 48, 52

50

は、ゲートライン G 3 , G 4 用第 2 AND ゲート 6 6 , 6 8 , ゲートライン G 5 , G 6 用第 2 AND ゲート 7 4 , 7 6 , ゲートライン G 7 , G 8 用第 2 AND ゲート 8 2 , 8 4 に与えられ、前記ゲートライン G 3 用, G 5 用, G 7 用第 2 AND ゲート 6 6 , 7 4 , 8 2 には前記 F I 信号が前記 NOT ゲート 1 0 8 を介して供給され、前記ゲートライン G 4 用, G 6 用, G 8 用第 2 AND ゲート 6 8 , 7 6 , 8 4 には前記 F I 信号が供給される。そして、前記ゲートライン G 3 用, G 5 用, G 7 用第 1 AND ゲート 6 2 , 7 0 , 7 8 の出力と前記ゲートライン G 3 用, G 5 用, G 7 用第 2 AND ゲート 6 6 , 7 4 , 8 2 の出力は、ゲートライン G 3 用, G 5 用, G 7 用 OR ゲート 1 1 4 , 1 1 8 , 1 2 2 に供給され、該ゲートライン G 3 用, G 5 用, G 7 用 OR ゲート 1 1 4 , 1 1 8 , 1 2 2 の出力が、前記ゲートイネーブル信号によって制御されるゲートライン G 3 用, G 5 用, G 7 用第 3 AND ゲート 9 0 , 9 4 , 9 8 を通して、ゲートライン G 3 , G 5 , G 7 に供給される。また、前記ゲートライン G 4 用, G 6 用, G 8 用第 1 AND ゲート 6 4 , 7 2 , 8 0 の出力と前記ゲートライン G 4 用, G 6 用, G 8 用第 2 AND ゲート 6 8 , 7 6 , 8 4 の出力は、ゲートライン G 4 用, G 6 用, G 8 用 OR ゲート 1 1 6 , 1 2 0 , 1 2 4 に供給され、該ゲートライン G 4 用, G 6 用, G 8 用 OR ゲート 1 1 6 , 1 2 0 , 1 2 4 の出力が、前記ゲートイネーブル信号によって制御されるゲートライン G 4 用, G 6 用, G 8 用第 3 AND ゲート 9 2 , 9 6 , 1 0 0 を通して、ゲートライン G 3 , G 5 , G 7 に供給される。

10

【 0 0 7 7 】

図 6 A は、このような構成のゲートドライバブロック 22 における非反転シフト時の 1 s t フィールドのタイミングチャートを示す図であり、図 6 B は、同じく 2 n d フィールドのタイミングチャートを示す図である。

20

【 0 0 7 8 】

非反転シフト時に、1 s t フィールドでは、図 6 A に示すように、ライン X 1 ~ X 8 には、ゲートクロック 1 発分に相当する期間、それぞれ順番に H 信号が出力されることとなる。即ち、タイミング的には、ライン X 1 が選択状態 (H 信号) → ライン X 2 が選択状態 → ライン X 3 が選択状態 → ライン X 4 が選択状態 → ライン X 5 が選択状態 → ライン X 6 が選択状態 → ライン X 7 が選択状態 → ライン X 8 が選択状態、となっていく。

【 0 0 7 9 】

ここで、該 1 s t フィールドでは、前記 F I 信号として H 信号が供給されている。従って、ライン X 1 が選択状態となっている期間には、前記ゲートライン G 1 用第 1 AND ゲート 5 4 のみが選択状態となって、G 1 用 OR ゲート 1 1 0 と、ゲートイネーブル信号によって制御されるゲートライン G 1 用第 3 AND ゲート 8 6 を通して、ゲートライン G 1 が選択状態となる。また、ライン X 2 が選択状態となっている期間には、前記ゲートライン G 2 用第 2 AND ゲート 6 0 のみが選択状態となって、G 2 用 OR ゲート 1 1 2 と、ゲートイネーブル信号によって制御されるゲートライン G 2 用第 3 AND ゲート 8 8 を通して、ゲートライン G 2 が選択状態となる。以下、同様にして、ゲートライン G 3 ~ G 8 が順次選択状態となっていく。

30

【 0 0 8 0 】

そして、2 n d フィールドになると、図 6 B に示すように、ライン X 1 ~ X 8 には、前記 1 s t フィールドと同様に、ライン X 1 → ライン X 2 → ライン X 3 → ライン X 4 → ライン X 5 → ライン X 6 → ライン X 7 → ライン X 8 の順で選択状態となっていく。

40

【 0 0 8 1 】

ここで、該 2 n d フィールドでは、前記 F I 信号として L 信号が供給されている。従って、ライン X 1 が選択状態となっている期間には、前記ゲートライン G 2 用第 1 AND ゲート 5 6 のみが選択状態となって、G 2 用 OR ゲート 1 1 2 と、ゲートイネーブル信号によって制御されるゲートライン G 2 用第 3 AND ゲート 8 8 を通して、ゲートライン G 2 が選択状態となる。また、ライン X 2 が選択状態となっている期間には、前記ゲートライン G 1 用第 2 AND ゲート 5 8 のみが選択状態となって、G 1 用 OR ゲート 1 1 0 と、ゲートイネーブル信号によって制御されるゲートライン G 1 用第 3 AND ゲート 8 6 を通し

50

て、ゲートライン G 1 が選択状態となる。以下、同様にして、ゲートライン G 4 → ゲートライン G 3 → ゲートライン G 6 → ゲートライン G 5 → ゲートライン G 8 → ゲートライン G 7 の順で選択状態となっていく。

【 0 0 8 2 】

また、図 7 A は、図 5 の構成のゲートドライバブロック 2 2 における上下反転シフト時の 1 s t フィールドのタイミングチャートを示す図であり、図 7 B は、同じく 2 n d フィールドのタイミングチャートを示す図である。（なお、上下反転シフト時には、リセット信号が図 6 A 及び図 6 B より 1 ゲートクロック分早めに立ち下がるようになっている。）また、図 8 A 及び図 8 B は、この上下反転シフト時に各画素 1 6 に映像信号 V s i g を書き込む順番を示す図である。ここで、図 8 A は 1 s t フィールドを、図 8 B は 2 n d フィ

10

【 0 0 8 3 】

上下反転シフト時に、1 s t フィールドでは、図 7 A に示すように、ライン X 1 ~ X 8 には、ゲートクロック 1 発分に相当する期間、それぞれ逆方向に順番に H 信号が出力されることとなる。即ち、タイミング的には、ライン X 8 が選択状態 → ライン X 7 が選択状態 → ライン X 6 が選択状態 → ライン X 5 が選択状態 → ライン X 4 が選択状態 → ライン X 3 が選択状態 → ライン X 2 が選択状態 → ライン X 1 が選択状態、となっていく。

【 0 0 8 4 】

ここで、該 1 s t フィールドでは、前記 F I 信号として H 信号が供給されている。従って、ライン X 8 が選択状態となっている期間には、前記ゲートライン G 8 用第 2 A N D ゲート 8 4 のみが選択状態となって、G 8 用 O R ゲート 1 2 4 と、ゲートイネーブル信号によって制御されるゲートライン G 8 用第 3 A N D ゲート 1 0 0 を通して、ゲートライン G 8 が選択状態となる。また、ライン X 7 が選択状態となっている期間には、前記ゲートライン G 7 用第 1 A N D ゲート 7 8 のみが選択状態となって、G 7 用 O R ゲート 1 2 2 と、ゲートイネーブル信号によって制御されるゲートライン G 7 用第 3 A N D ゲート 9 8 を通して、ゲートライン G 7 が選択状態となる。以下、同様にして、ゲートライン G 6 ~ G 1 が順次選択状態となっていく。

20

【 0 0 8 5 】

従って、1 s t フィールドでは、各画素 1 6 への映像信号 V s i g の書き込みは、図 7 A に示すようにゲートラインの逆方向の順番通りに実行されるので、図 8 A に示すようなものとなる。これにより、ソースラインのない箇所である画素間寄生容量 2 0 4 が存在する画素間で電圧リークが発生し、先に書かれた画素 1 6 の電位が、後に書かれた画素 1 6 の電位の影響を受けて変化してしまう。

30

【 0 0 8 6 】

そして、2 n d フィールドになると、図 7 B に示すように、ライン X 1 ~ X 8 には、前記 1 s t フィールドと同様に、ライン X 8 → ライン X 7 → ライン X 6 → ライン X 5 → ライン X 4 → ライン X 3 → ライン X 2 → ライン X 1 の順で選択状態となっていく。

【 0 0 8 7 】

ここで、該 2 n d フィールドでは、前記 F I 信号として L 信号が供給されている。従って、ライン X 8 が選択状態となっている期間には、前記ゲートライン G 7 用第 2 A N D ゲート 8 2 のみが選択状態となって、G 7 用 O R ゲート 1 2 2 と、ゲートイネーブル信号によって制御されるゲートライン G 7 用第 3 A N D ゲート 9 8 を通して、ゲートライン G 7 が選択状態となる。また、ライン X 7 が選択状態となっている期間には、前記ゲートライン G 8 用第 1 A N D ゲート 8 0 のみが選択状態となって、G 8 用 O R ゲート 1 2 4 と、ゲートイネーブル信号によって制御されるゲートライン G 8 用第 3 A N D ゲート 1 0 0 を通して、ゲートライン G 8 が選択状態となる。以下、同様にして、ゲートライン G 5 → ゲートライン G 6 → ゲートライン G 3 → ゲートライン G 4 → ゲートライン G 1 → ゲートライン G 2 の順で選択状態となっていく。

40

【 0 0 8 8 】

従って、2 n d フィールドでは、上述したようなソースライン数を半分にした画素結線

50

において、各画素 16 への映像信号 $Vs_i g$ の書き込みは、図 7 B に示すように、異なるソースラインに接続され隣接配置された 2 つの画素 16 に対応する 2 本のゲートラインの選択順が逆にされた逆方向の順番で実行されるので、図 8 B に示すようなものとなる。これにより、やはり、2nd フィールドにおいても、ソースラインのない箇所である画素間寄生容量 204 が存在する画素間で電圧リークが発生し、先に書かれた画素 16 の電位が、後に書かれた画素 16 の電位の影響を受けて変化してしまう。

【0089】

しかしながら、2nd フィールドにおいて電位が変化する画素 16 は、1st フィールドにおいて電位が変化する画素 16 とは異なっている。即ち、この 2nd フィールドにおいては、1st フィールドとは映像信号 $Vs_i g$ の書き込み順が反対にされているので、1st フィールドと 2nd フィールドで、隣り合う画素 16 への書き込み順番が入れ替わることになる。このため、1st フィールドと 2nd フィールドで電位差の発生する画素の位置が反対になり、結果として画素電位のずれが時間的に平均化されて表示ムラが軽減される。

【0090】

以上のように、本第 1 実施形態によれば、ゲートドライバブロック 22 によって複数のゲートラインを順次選択する際の、異なるソースラインに接続され隣接配置された 2 つの画素に対応する 2 本のゲートラインの選択順を、フィールド毎に入れ替えることで、画素の電位差を時間的に平均化することにより、表示ムラを低減することができる。

【0091】

そして、ソースドライバブロック 24 より前記複数のソースラインに出力する表示すべき情報に従った映像信号 $Vs_i g$ の組み合わせを、2nd フィールドでは図 3 に示すように、ゲートラインの選択順の入れ替えに応じて奇数列と偶数列のデータの順番を入れ替えて出力しているので、乱れなく表示を行うことができる。なお、この 2nd フィールドでの映像信号 $Vs_i g$ の組み合わせの出力順の変更は、特に回路構成詳細を図示はしないが、例えば TG 部ロジック回路 28 で少なくとも 1 ライン分の映像信号 $Vs_i g$ の組み合わせを保持し、奇数列と偶数列のデータの順番を入れ替えてソースドライバブロック 24 に供給するようにしても良いし、或いは、ソースドライバブロック 24 内で奇数列と偶数列のデータの順番を入れ替えるようにしても良いし、又は、当該アクティブマトリックス型表示装置に映像信号を供給する側で、2nd フィールドにおいては映像信号の奇数列と偶数列のデータの順序を入れ替えて供給するようにしても良い。（これは上下反転シフト時に行なう操作と基本的に同様のものである。）

（上下反転シフトを行なう場合はフィールドメモリが必要であるが、上下反転シフトを行なわない場合はラインメモリで実現可能である。）

【変形例】

前記第 1 実施形態では、フィールド毎に、異なる信号線に接続され隣接配置された 2 つの画素に対応する 2 本の走査線を順次選択する順序を切り替えたが、図 9 に示すように、2 ゲートライン毎（1H 期間毎、2 走査期間毎）に切り替えるようにしてもよい。

【0092】

このようにすると、各画素 16 への映像信号 $Vs_i g$ の書き込みは、1st フィールドは図 10 A に、2nd フィールドは図 10 B に示すような順番となるので、寄生容量により影響を受ける画素が同一フィールド内でも縦にそろわないために、縦縞をより目立ちにくくすることができる。

【0093】

このような駆動を実現する回路例を図 11 に示す。これは、図 5 において、イクスクルーシブオアゲート 126 を追加して、FI 信号と Q2 信号とを入力し、FI 信号の代わりに FI' 信号を出力するようにした点を除き同様である。

【0094】

非反転シフト時における図 11 の回路動作の様子を図 12 A 及び図 12 B に示す。

【0095】

10

20

30

40

50

そして、上下反転シフト時における図 1 1 の回路動作の様子を図 1 3 A 及び図 1 3 B に示す。(なお、上下反転シフト時には、リセット信号が図 1 2 A 及び図 1 2 B より 1 ゲートクロック分早めに立ち下がるようになっている。)

この回路では、より好ましい例として、2 ゲートライン毎 (1 H 期間毎、2 走査期間毎) かつフィールド毎に走査線の選択順序を切り換えていることになる。

【0096】

図 5 のゲートドライバブロックに簡単な変更を施すことにより、このような駆動を実現することができる。

【0097】

また、これは、画素と TFT が、図 1 4 に示すように結線される構成の LCD パネル 10 においても適用できる。

【0098】

この場合も、図 1 5 A 及び図 1 5 B に示すような順序になるように走査線を順次選択する。図 1 4 のような結線の場合、駆動を実現する回路例は図 5 のものを使うことができ、従来のゲートドライバを流用可能な点で好都合である。

【0099】

以上のように、本変形例によれば、このような駆動を行なうことにより、同一フィールド内においても、縦縞自体がジグザグの縞になるので、縦縞自体が見えにくくなるという効果がある。

【0100】

なお、ここでは、フィールド毎にも走査線の選択順序を切り換えるより好ましい例を示したが、フィールド毎には走査線の選択順序を切り換えなくても同一フィールド内で縦縞自体がジグザグの縞になるので、縦縞自体が見えにくくなるという効果はある。その際は、図 1 1 の回路において、FI 信号を固定させればよい。

【0101】

また、ここでは、2 ゲートライン毎に切り換えたが、2j (j は 2 以上の整数) ゲートライン毎でもよい (周期は短い方が好ましい)。

【0102】

[第 2 実施形態]

次に、本発明の第 2 実施形態を説明する。

【0103】

アクティブマトリックス型表示装置においては、図 1 (B) に示すように画素 16 を縦横に整列させたストライプ配列以外に、RGB の 3 種類の画素をデルタ状に配置したデルタ配列が知られている。

【0104】

図 1 6 は、そのようなデルタ配列を採用した LCD パネルの画素結線の概略図である。このデルタ配列では、図 1 (B) に示すように複数のソースライン S1 ~ S480 がストライプ配列のように直線状に形成されるのではなく、図 1 6 に示すように、画素 16 間を縫うようにジグザグに形成され、奇数番目の行に対応する画素と偶数番目の行に対応する画素が、それぞれ列方向の隣接画素ピッチの半分ずつずれるように配置される。

【0105】

図 1 7 A は、本第 2 実施形態における非反転シフト時の 1st フィールドにおいて各画素 16 に映像信号 Vsig を書き込む順番を示す図であり、図 1 7 B は、同じく 2nd フィールドにおいて各画素 16 に映像信号 Vsig を書き込む順番を示す図である。

【0106】

本第 2 実施形態においても、図 3 に示すように、複数のゲートライン G1 ~ G480 の選択順番を、フィールド毎に変化させる。

【0107】

即ち、1st フィールドでは、ゲートドライバブロック 22 は、複数のゲートライン G1 ~ G480 を、その順番通りに 1/2 水平期間毎に順次選択する第 1 の駆動を行う。そ

10

20

30

40

50

して、ソースドライバブロック 24 は、その選択されたゲートラインに対応する画素 16 それぞれに書き込むべき映像信号 V_{sig} の組み合わせを、1/2 水平期間に複数のソースライン $S_1 \sim S_{480}$ に一度に出力する。従って、該 1st フィールドでは、各画素 16 への映像信号 V_{sig} の書き込みは、図 3 に示すようにゲートラインの順番通りに実行されるので、図 17 A に示すようなものとなる。これにより、ソースラインのない箇所である画素間寄生容量 204 が存在する画素間で電圧リークが発生し、先に書かれた画素 16 の電位が、後に書かれた画素 16 の電位の影響を受けて変化してしまう。

【0108】

また、2nd フィールドでは、図 3 に示すように、ゲートドライバブロック 22 は、異なるソースラインに接続され隣接配置された 2 つの画素 16 に対応する 2 本のゲートラインの組の選択順を 1st フィールドとは逆にする第 2 の駆動を行う。そしてそのゲートラインの選択順の入れ替えに伴って、ソースドライバブロック 24 は、その選択順に応じて、その選択されたゲートラインに対応する画素 16 それぞれに書き込むべき映像信号 V_{sig} の組み合わせを、1/2 水平期間に複数のソースライン $S_1 \sim S_{480}$ に一度に出力する。従って、該 2nd フィールドでは、各画素 16 への映像信号 V_{sig} の書き込みは、図 3 に示すように、異なるソースラインに接続され隣接配置された 2 つの画素 16 に対応する 2 本のゲートラインの選択順が逆にされた順番で実行されるので、図 17 B に示すようなものとなる。これにより、やはり、2nd フィールドにおいても、ソースラインのない箇所である画素間寄生容量 204 が存在する画素間で電圧リークが発生し、先に書かれた画素 16 の電位が、後に書かれた画素 16 の電位の影響を受けて変化してしまう。

【0109】

しかしながら、2nd フィールドにおいて電位が変化する画素 16 は、1st フィールドにおいて電位が変化する画素 16 とは異なっている。即ち、この 2nd フィールドにおいては、1st フィールドとは映像信号 V_{sig} の書き込み順が反対にされているので、1st フィールドと 2nd フィールドで、隣り合う画素 16 への書き込み順番が入れ替わることになる。このため、1st フィールドと 2nd フィールドで電位差の発生する画素の位置が反対になり、結果として画素電位のずれが時間的に平均化されて表示ムラが軽減される。

【0110】

また、図 18 A は、図 5 の構成のゲートドライバブロック 22 における上下反転シフト時の 1st フィールドにおいて各画素 16 に映像信号 V_{sig} を書き込む順番を示す図であり、図 18 B は、同じく上下反転シフト時の 2nd フィールドにおいて各画素 16 に映像信号 V_{sig} を書き込む順番を示す図である。

【0111】

上下反転シフト時に、1st フィールドでは、各画素 16 への映像信号 V_{sig} の書き込みは、図 7 A に示すようにゲートラインの逆方向の順番通りに実行されるので、図 18 A に示すようなものとなる。これにより、ソースラインのない箇所である画素間寄生容量 204 が存在する画素間で電圧リークが発生し、先に書かれた画素 16 の電位が、後に書かれた画素 16 の電位の影響を受けて変化してしまう。

【0112】

そして、2nd フィールドになると、各画素 16 への映像信号 V_{sig} の書き込みは、図 7 B に示すように、異なるソースラインに接続され隣接配置された 2 つの画素 16 に対応する 2 本のゲートラインの選択順が逆にされた逆方向の順番で実行されるので、図 18 B に示すようなものとなる。これにより、やはり、2nd フィールドにおいても、ソースラインのない箇所である画素間寄生容量 204 が存在する画素間で電圧リークが発生し、先に書かれた画素 16 の電位が、後に書かれた画素 16 の電位の影響を受けて変化してしまう。

【0113】

しかしながら、2nd フィールドにおいて電位が変化する画素 16 は、1st フィールドにおいて電位が変化する画素 16 とは異なっている。即ち、この 2nd フィールドにお

10

20

30

40

50

いては、1stフィールドとは映像信号Vsigの書き込み順が反対にされているので、1stフィールドと2ndフィールドで、隣り合う画素16への書き込み順番が入れ替わることになる。このため、1stフィールドと2ndフィールドで電位差の発生する画素の位置が反対になり、結果として画素電位のずれが時間的に平均化されて表示ムラが軽減される。

【0114】

以上のように、デルタ配列を採用しても、前記第1実施形態と同様の駆動を行うことで、同様に表示ムラを低減できる。

【0115】

更に、画素16をデルタ配列とした場合の方が、前記第1実施形態のようなストライプ配列とした場合よりも表示ムラ（例えば、図16に対応する縦縞）が蛇行するので、ストライプ配列に比べて目立ちにくいという効果もある。

10

【0116】

また、第1実施形態の変形例（図9）に示したような駆動によって、蛇行のさせ方をより複雑にして縦縞をより目立ちにくくすることも可能である。

【0117】

以上、実施形態に基づいて本発明を説明したが、本発明は上述した実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形や応用が可能なことは勿論である。

【0118】

例えば、画素書き込みの順番は、隣り合う画素間の順番がフィールド毎に切り替わるのであれば、前述した実施形態の順番どおりでなくても良い。

20

【0119】

また、前述した実施形態では、1フィールド毎に書き込み順番を切り替えたが、2フィールド毎（1フレーム毎）の切り替えであっても、ほぼ同様の効果が得られる。

【0120】

さらに、kフィールド（kは3以上の整数）毎の切り替えであってもよいが、周期は短い方が好ましい。

【0121】

ここでは、画素にかかる電圧大きい程、透過率が下がる（暗くなる）ノーマリーホワイトモードの液晶表示装置の場合について述べたが、画素にかかる電圧大きい程、透過率が上がる（明るくなる）ノーマリーブラックモードの液晶表示装置の場合についても適用可能なことは勿論である。

30

【0122】

また、ここでは、カラー表示の液晶の例で説明したが、モノクロ（白黒）表示液晶であってもよいことは言うまでもない。

【0123】

さらに、スイッチング素子はTFTに限らず、ダイオード等でも良いことはいうまでもない。また、ゲートライン及びソースラインの数は、図1の例に限定されないことは勿論である。

40

【0124】

また、アクティブマトリックス型表示装置の画素は液晶に限らず容量性素子であれば、画素間寄生容量が発生するので、本発明により同様に表示ムラを低減することができる。

【図面の簡単な説明】

【0125】

【図1】（A）は本発明の第1実施形態に係るアクティブマトリックス型表示装置の全体構成を示す概略構成図であり、（B）は（A）中のLCDパネル（表示パネル）の画素結線の概略図である。

【図2】図1（A）中のドライバ回路のブロック構成図である。

【図3】第1実施形態における複数のソースラインに出力される表示すべき情報に従った映像信号の組み合わせの出力順と複数のゲートラインの選択順とからなるタイミングチャ

50

ートを示す図である。

【図 4 A】第 1 実施形態における 1 s t フィールドに各画素に映像信号を書き込む順番を示す図である。

【図 4 B】第 1 実施形態における 2 n d フィールドに各画素に映像信号を書き込む順番を示す図である。

【図 5】図 2 中の第 1 実施形態におけるゲートドライバブロックの具体的な構成を示す図である。

【図 6 A】図 5 のゲートドライバブロックにおける非反転シフト時の 1 s t フィールドのタイミングチャートを示す図である。

【図 6 B】図 5 のゲートドライバブロックにおける非反転シフト時の 2 n d フィールドのタイミングチャートを示す図である。

【図 7 A】図 5 のゲートドライバブロックにおける上下反転シフト時の 1 s t フィールドのタイミングチャートを示す図である。

【図 7 B】図 5 のゲートドライバブロックにおける上下反転シフト時の 2 n d フィールドのタイミングチャートを示す図である。

【図 8 A】第 1 実施形態における上下反転シフト時の 1 s t フィールドにおいて各画素に映像信号を書き込む順番を示す図である。

【図 8 B】第 1 実施形態における上下反転シフト時の 2 n d フィールドにおいて各画素に映像信号を書き込む順番を示す図である。

【図 9】第 1 実施形態の変形例における複数のソースラインに出力される表示すべき情報に従った映像信号の組み合わせの出力順と複数のゲートラインの選択順とからなるタイミングチャートを示す図である。

【図 10 A】第 1 実施形態の変形例における 1 s t フィールドに各画素に映像信号を書き込む順番を示す図である。

【図 10 B】第 1 実施形態の変形例における 2 n d フィールドに各画素に映像信号を書き込む順番を示す図である。

【図 11】第 1 実施形態の変形例におけるゲートドライバブロックの具体的な構成を示す図である。

【図 12 A】図 11 のゲートドライバブロックにおける非反転シフト時の 1 s t フィールドのタイミングチャートを示す図である。

【図 12 B】図 11 のゲートドライバブロックにおける非反転シフト時の 2 n d フィールドのタイミングチャートを示す図である。

【図 13 A】図 11 のゲートドライバブロックにおける上下反転シフト時の 1 s t フィールドのタイミングチャートを示す図である。

【図 13 B】図 11 のゲートドライバブロックにおける上下反転シフト時の 2 n d フィールドのタイミングチャートを示す図である。

【図 14】LCD パネル（表示パネル）の別の画素結線の概略図である。

【図 15 A】図 14 の画素結線における 1 s t フィールドに各画素に映像信号を書き込む順番を示す図である。

【図 15 B】図 14 の画素結線における 2 n d フィールドに各画素に映像信号を書き込む順番を示す図である。

【図 16】本発明の第 2 実施形態におけるデルタ配列を採用した LCD パネルの画素結線の概略図である。

【図 17 A】本発明の第 2 実施形態における非反転シフト時の 1 s t フィールドにおいて各画素に映像信号を書き込む順番を示す図である。

【図 17 B】本発明の第 2 実施形態における非反転シフト時の 2 n d フィールドにおいて各画素に映像信号を書き込む順番を示す図である。

【図 18 A】本発明の第 2 実施形態における上下反転シフト時の 1 s t フィールドにおいて各画素に映像信号を書き込む順番を示す図である。

【図 18 B】本発明の第 2 実施形態における上下反転シフト時の 2 n d フィールドにおい

10

20

30

40

50

て各画素に映像信号を書き込む順番を示す図である。

【図 19】従来のアクティブマトリックス型表示装置におけるソースライン数を半分にした表示パネルの画素結線を示す概略図である。

【図 20】図 19 の画素結線における走査タイミングチャートを示す図である。

【図 21】図 19 の画素結線において各画素に映像信号を書き込む順番を示す図である。

【図 22】図 19 の表示パネルの等価回路を示す図である。

【図 23】図 19 の表示パネルでの表示ムラの例を示す図である。

【図 24】表示パネルを TFTLCD パネルとした場合の各画素の構成を示す図である。

【図 25】(A) は走査タイミングチャートを示す図であり、(B) は画素間寄生容量が無い場合の水平ライン反転駆動での画素電位波形を示す図である。

10

【図 26】画素間寄生容量を考慮した場合の水平ライン反転駆動での画素電位波形を示す図で、特に、(A) は共通電圧の振幅が 5.0 V、G 先の画素の書き込み電圧は共通電圧に対して 2.0 V、R 後の画素の書き込み電圧は共通電圧に対して 4.0 V とした場合を示す図であり、(B) は共通電圧の振幅が 5.0 V、G 先の画素の書き込み電圧は共通電圧に対して 2.0 V、R 後の画素の書き込み電圧は共通電圧に対して 1.0 V とした場合の画素電位波形を示す図である。

【図 27】画素間寄生容量を考慮した場合のドット反転駆動での画素電位波形を示す図で、特に、(A) は共通電圧の振幅が 5.0 V、G 先の画素の書き込み電圧は共通電圧に対して 2.0 V、R 後の画素の書き込み電圧は共通電圧に対して 4.0 V とした場合の画素電位波形を示す図であり、(B) は共通電圧の振幅が 5.0 V、G 先の画素の書き込み電圧は共通電圧に対して 2.0 V、R 後の画素の書き込み電圧は共通電圧に対して 1.0 V とした場合の画素電位波形を示す図である。

20

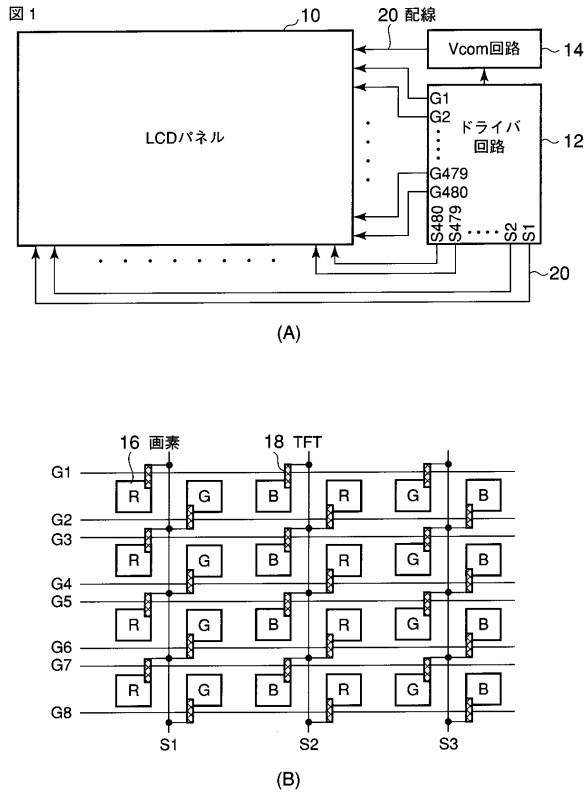
【符号の説明】

【0126】

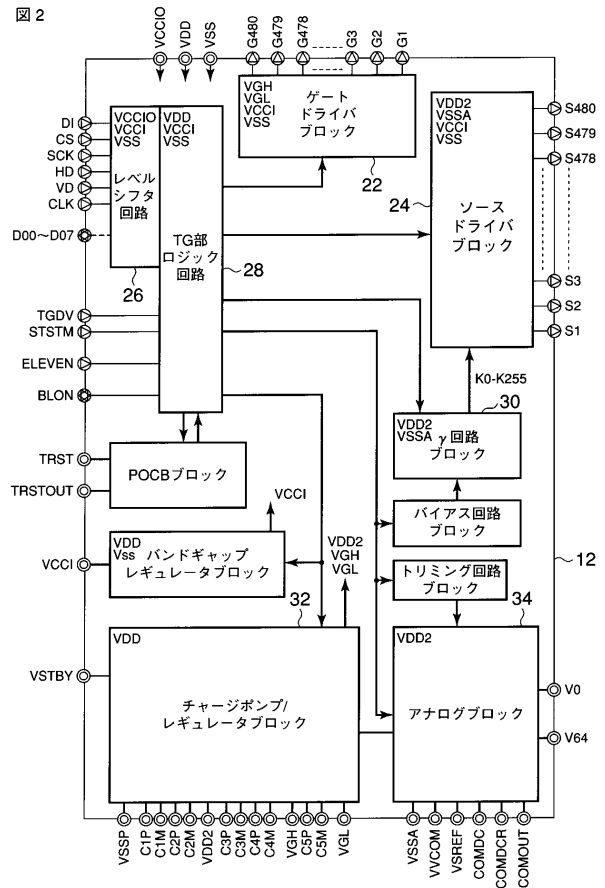
10 ... LCD パネル (表示パネル)、 12 ... ドライバ回路、 14 ... Vcom 回路、 16 ... 画素、 18 ... TFT、 20 ... 配線、 22 ... ゲートドライバブロック (走査線駆動回路)、 24 ... ソースドライバブロック (信号線駆動回路)、 26 ... レベルシフタ回路、 28 ... タイミングジェネレータ (TG) 部ロジック回路、 30 ... ガンマ (γ) 回路ブロック、 32 ... レギュレータブロック、 34 ... アナログブロック、 36 ... 3 ビットカウンタ、 38 ~ 100 ... AND ゲート、 102 ~ 108 ... NOT ゲート、 110 ~ 124 ... OR ゲート、 126 ... イクスクルーシブオアゲート、 S1 ~ S480 ... ソースライン (信号線)、 G1 ~ G480 ... ゲートライン (走査線)。

30

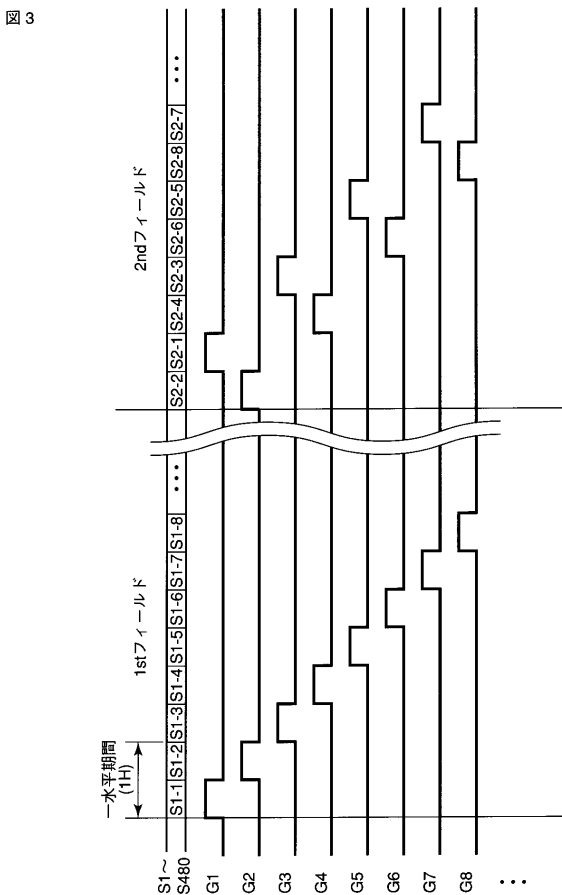
【図 1】



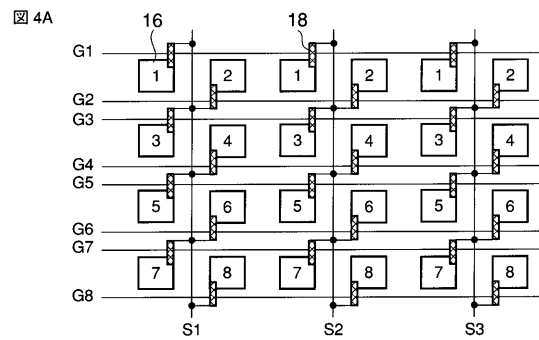
【図 2】



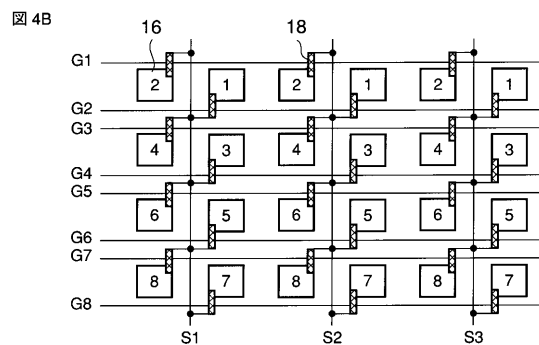
【図 3】



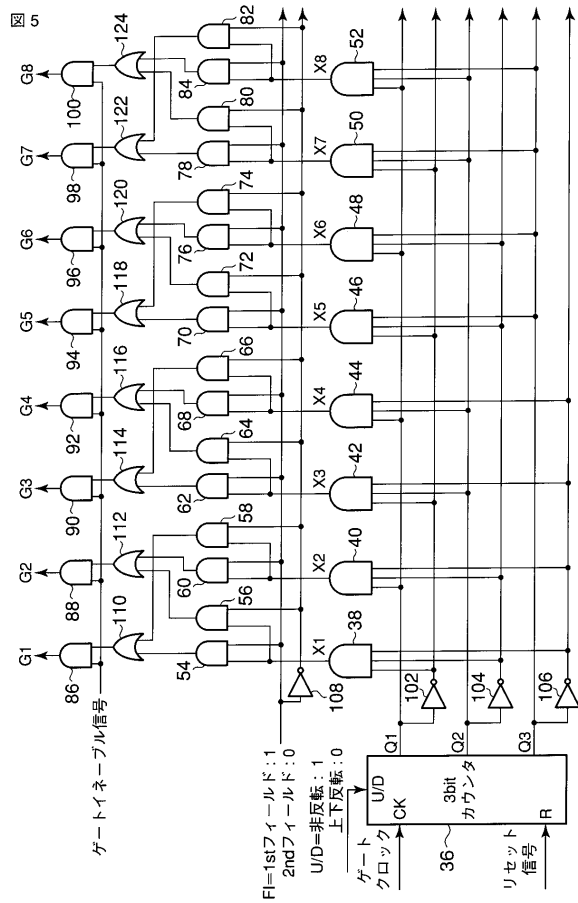
【図 4 A】



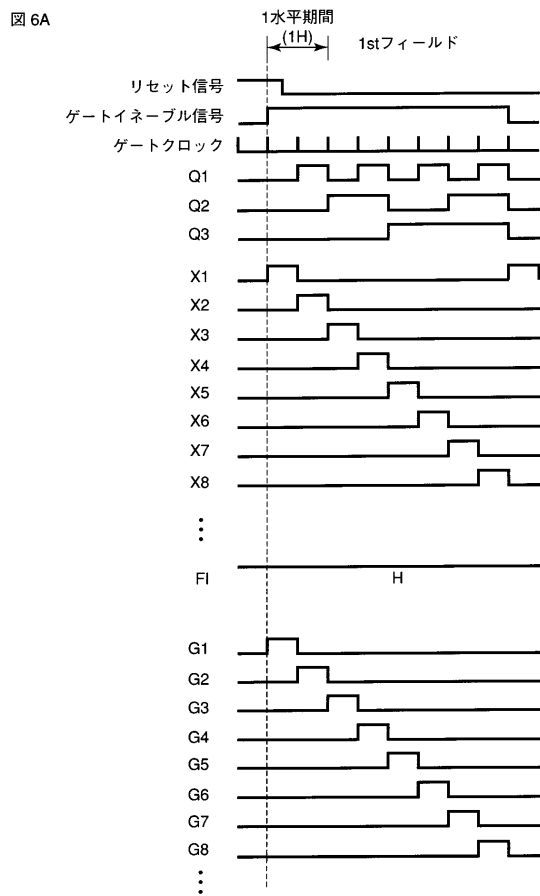
【図 4 B】



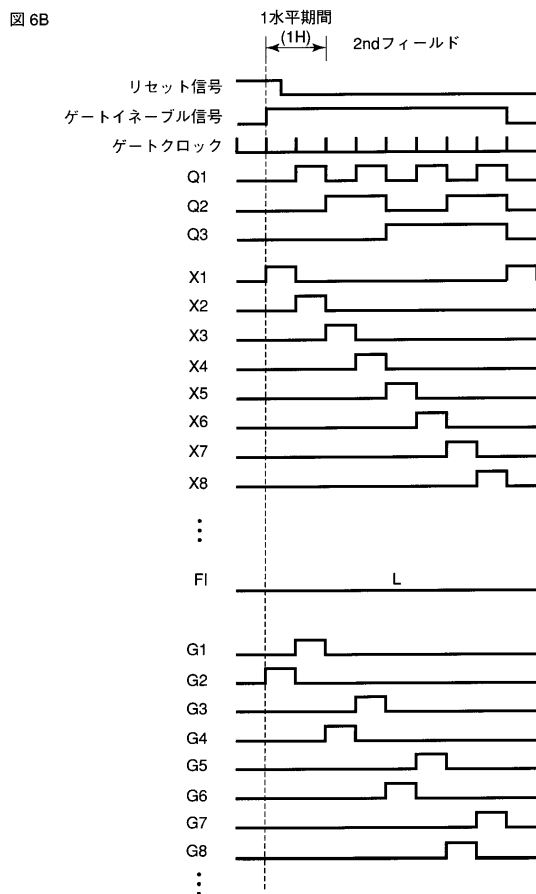
【 図 5 】



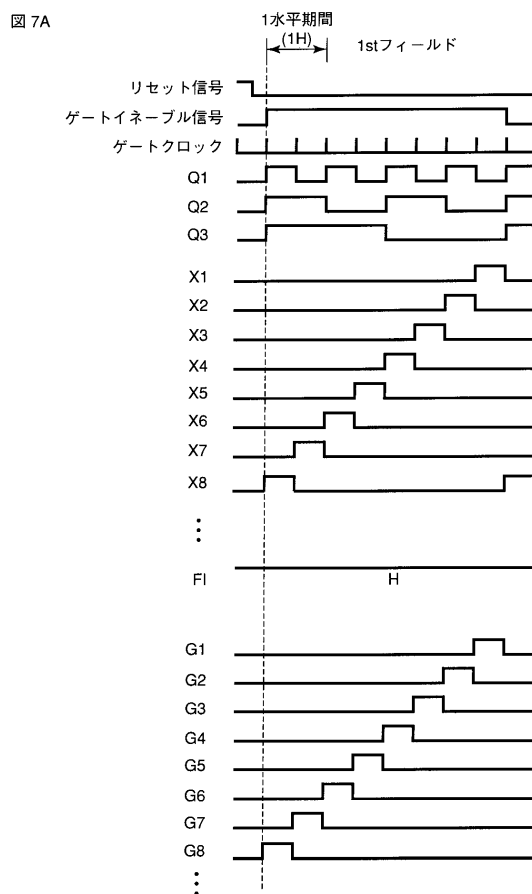
【 図 6 A 】



【 ㊦ 6 B 】

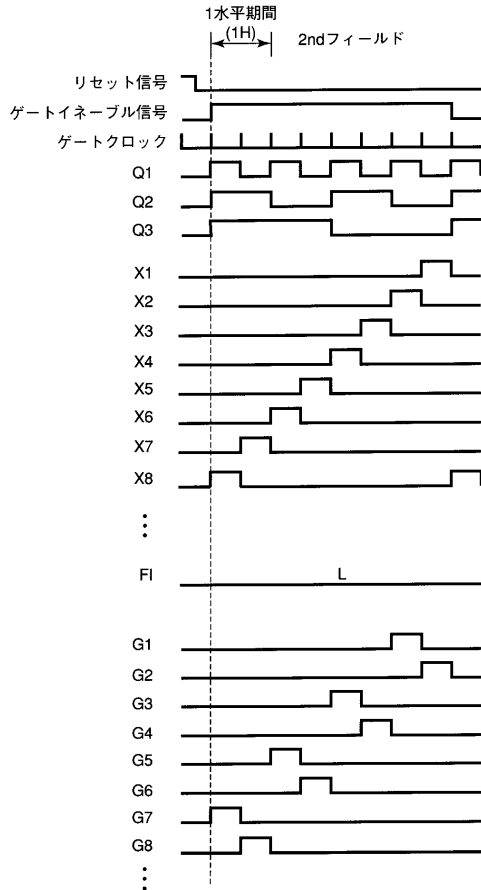


【 図 7 A 】



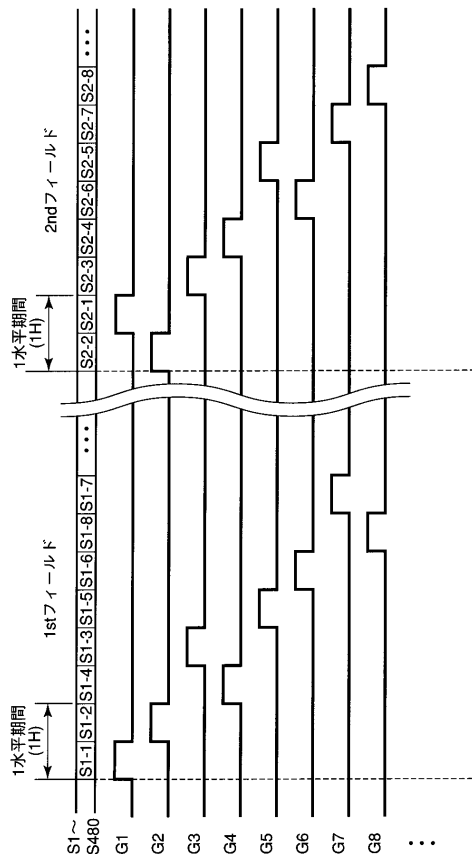
【図 7 B】

図 7B



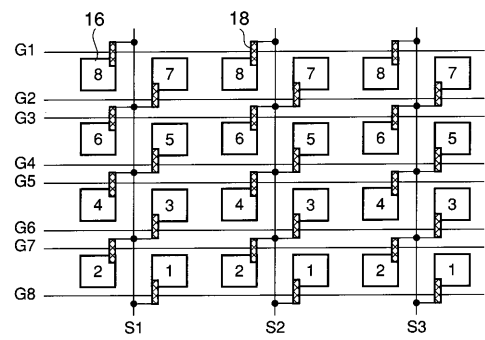
【図 9】

図 9



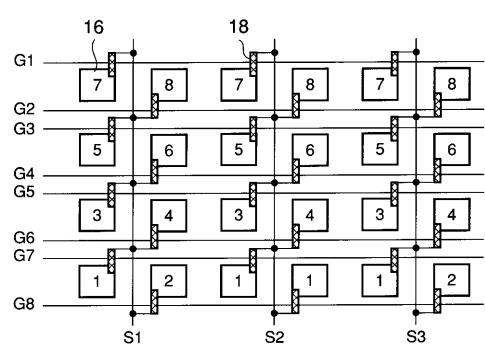
【図 8 A】

図 8A



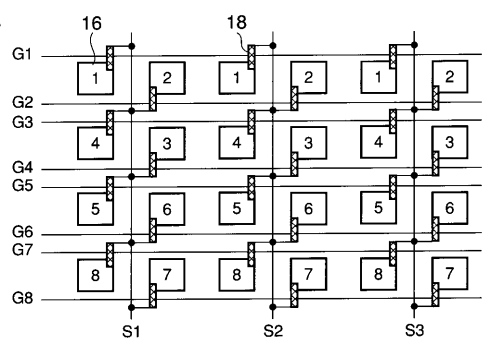
【図 8 B】

図 8B



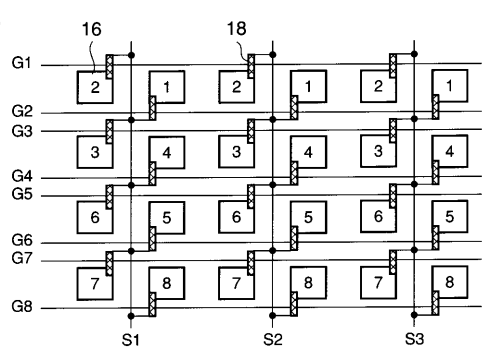
【図 10 A】

図 10A

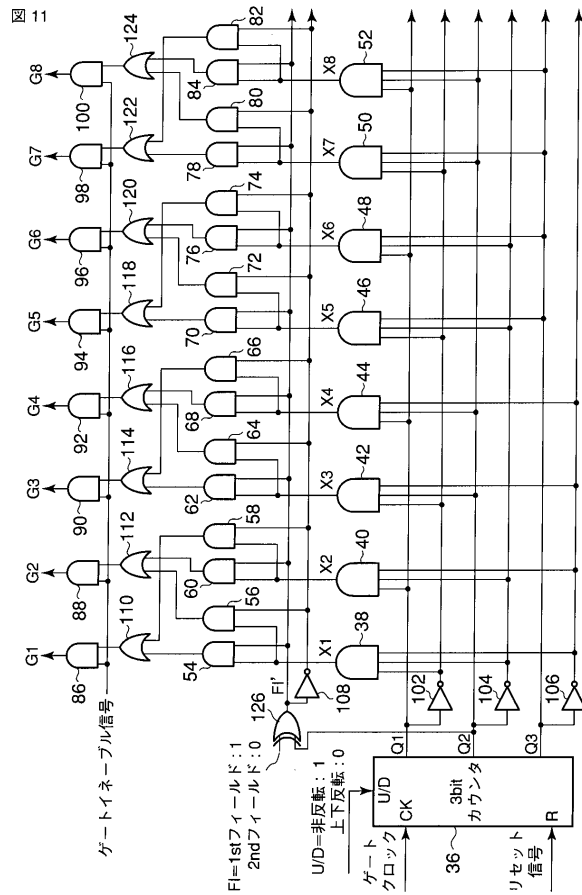


【図 10 B】

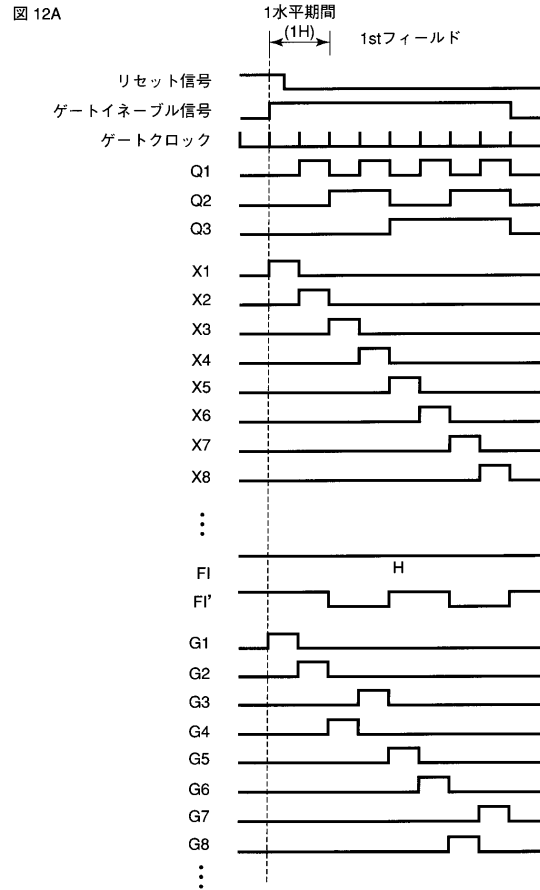
図 10B



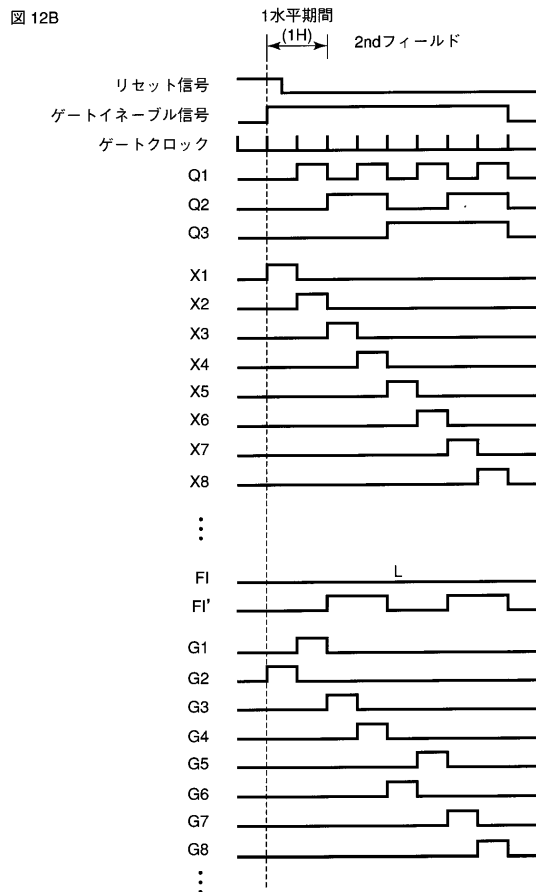
【図 1 1】



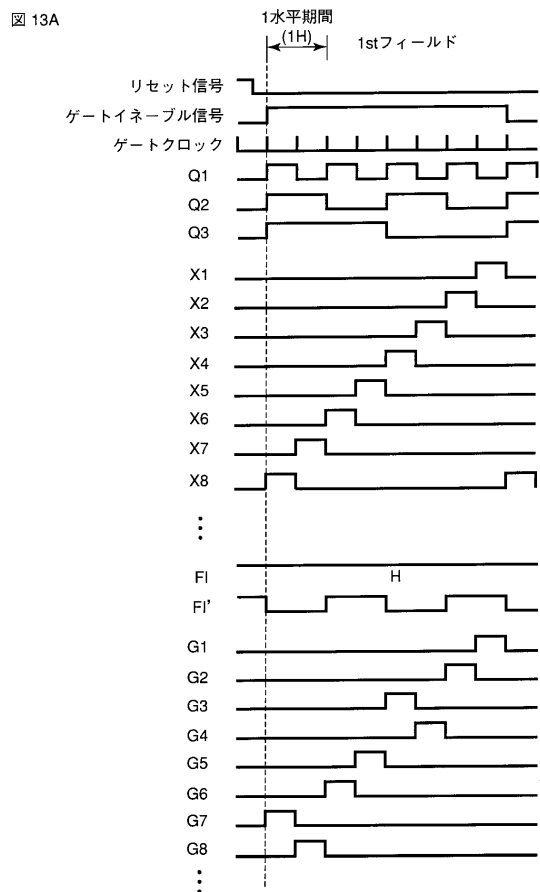
【図 1 2 A】



【図 1 2 B】

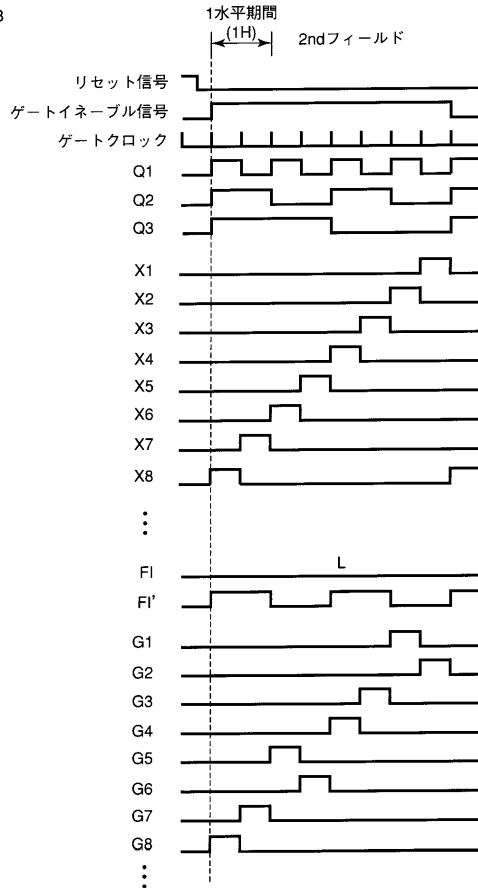


【図 1 3 A】



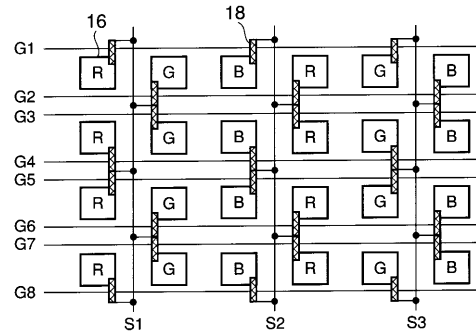
【図 13 B】

図 13B



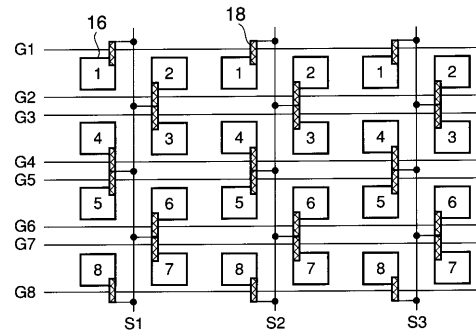
【図 14】

図 14



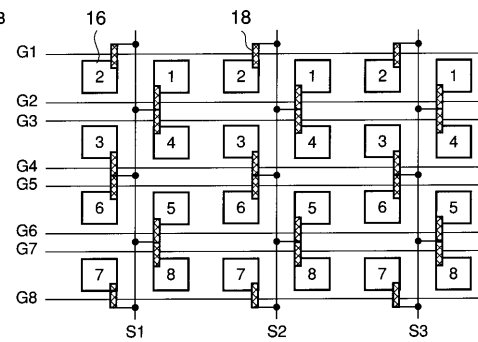
【図 15 A】

図 15A



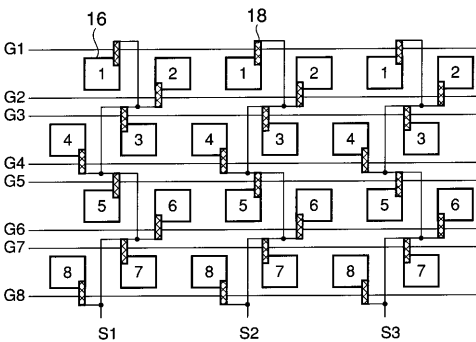
【図 15 B】

図 15B



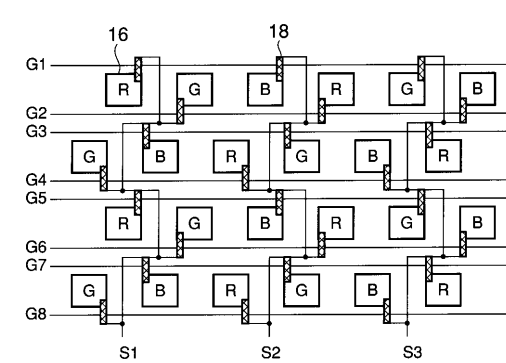
【図 17 A】

図 17A



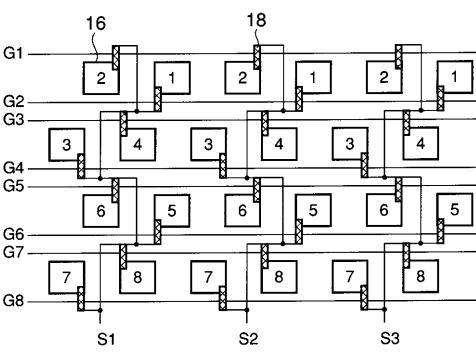
【図 16】

図 16



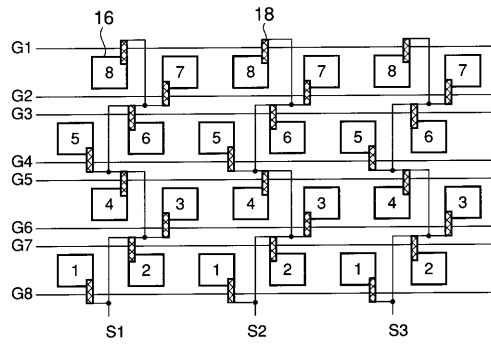
【図 17 B】

図 17B



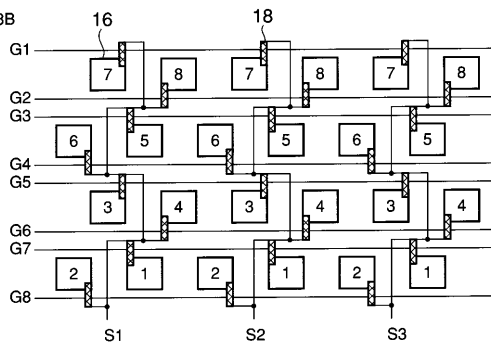
【図 18 A】

図18A



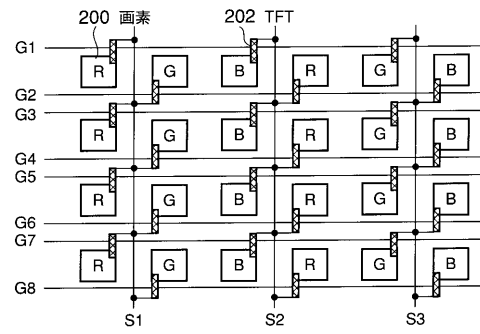
【図 18 B】

図 18B



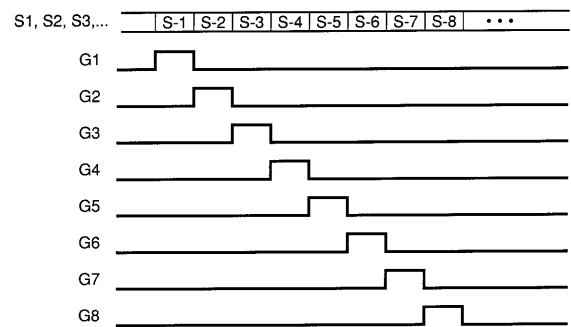
【図 19】

図 19



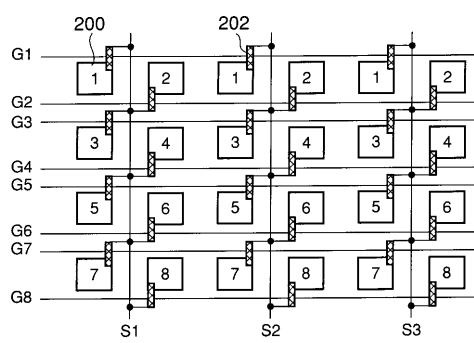
【図 20】

図 20



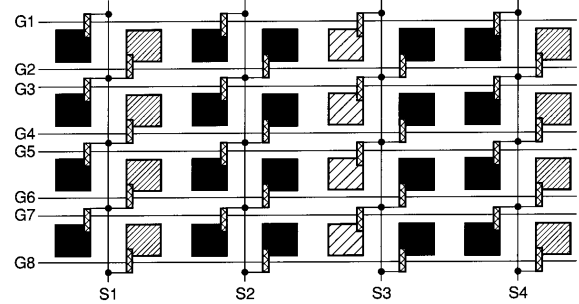
【図 21】

図 21



【図 23】

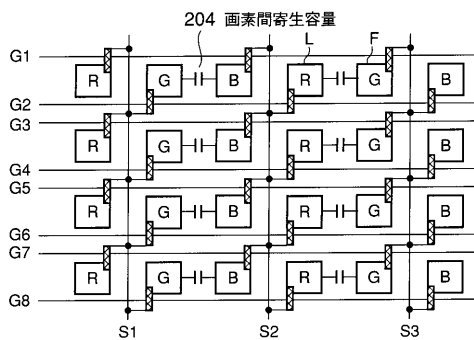
図 23



 : 正常な電圧で書き込まれた画素
 : リークにより電圧が変化した画素

【図 22】

図 22



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20 6 8 0 H	
	G 0 2 F 1/133 5 5 0	
	G 0 2 F 1/133 5 1 0	
	G 0 2 F 1/133 5 7 5	

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 山中 茂

東京都八王子市石川町 2 9 5 1 番地の 5 カシオ計算機株式会社八王子技術センター内

(72)発明者 平山 隆一

東京都八王子市石川町 2 9 5 1 番地の 5 カシオ計算機株式会社八王子技術センター内

(72)発明者 吉野 研

東京都羽村市栄町 3 丁目 2 番 1 号 カシオ計算機株式会社羽村技術センター内

F ターム(参考) 2H093 NA16 NA32 NA33 NA34 NA44 NA53 NA63 NA64 NC05 NC10
 NC12 NC18 NC29 NC34 NC35 ND04 ND06 ND09 ND15 ND17
 ND50 NH18
 5C006 AC11 AC24 AF42 AF43 AF44 AF71 BB16 BB21 BC06 BC23
 BF22 FA22
 5C080 AA10 BB05 DD05 EE29 FF07 FF11 JJ02 JJ04 JJ06

专利名称(译)	有源矩阵型显示装置的驱动电路，驱动方法和有源矩阵型显示装置		
公开(公告)号	JP2008268843A	公开(公告)日	2008-11-06
申请号	JP2007210328	申请日	2007-08-10
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	山中茂 平山隆一 吉野研		
发明人	山中 茂 平山 隆一 吉野 研		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.642.A G09G3/20.624.B G09G3/20.622.R G09G3/20.623.U G09G3/20.680.H G02F1/133.550 G02F1/133.510 G02F1/133.575		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA33 2H093/NA34 2H093/NA44 2H093/NA53 2H093/NA63 2H093/NA64 2H093/NC05 2H093/NC10 2H093/NC12 2H093/NC18 2H093/NC29 2H093/NC34 2H093/NC35 2H093/ND04 2H093/ND06 2H093/ND09 2H093/ND15 2H093/ND17 2H093/ND50 2H093/NH18 5C006/AC11 5C006/AC24 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF71 5C006/BB16 5C006/BB21 5C006/BC06 5C006/BC23 5C006/BF22 5C006/FA22 5C080/AA10 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ06 2H193/ZA04 2H193/ZA08 2H193/ZC02 2H193/ZC15 2H193/ZC20 2H193/ZD23 2H193/ZD32 2H193/ZF22 2H193/ZF36 2H193/ZF59 5C006/FA42 5C080/DD23		
代理人(译)	河野 哲 中村诚		
优先权	2007089664 2007-03-29 JP		
其他公开文献	JP4270310B2		
外部链接	Espacenet		

摘要(译)

本发明的一个目的是在存在像素之间的寄生电容的情况下减少显示不均匀性。LCD面板，其中每两个像素布置一个源极线，并且夹着源极线的两个相邻像素共享源极线，并且经由TFT连接到不同的栅极线。用于驱动驱动电路12的栅极驱动器块包括用于顺序选择多条栅极线G1，G2.....的第一驱动器，以及连接到不同源极线S1，S2的两个像素。通过交替执行第二驱动，用于反转与每个至少一个预定时段对应的一组两条栅极线的选择顺序，从而减小在像素之间写入时的电位差偏差，并执行显示减少不均匀。[选中图]图3

329 3

