

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-262132

(P2008-262132A)

(43) 公開日 平成20年10月30日(2008. 10. 30)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 623F	5C006
G02F 1/133 (2006.01)	G09G 3/20 623G	5C080
	G09G 3/20 623H	
	G09G 3/20 641C	
審査請求 有 請求項の数 11 O L (全 24 頁) 最終頁に続く		

(21) 出願番号	特願2007-106464 (P2007-106464)	(71) 出願人	000005049
(22) 出願日	平成19年4月13日 (2007. 4. 13)		シャープ株式会社
		(74) 代理人	110000338
			特許業務法人原謙三国際特許事務所
		(72) 発明者	上山 浩一
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		(72) 発明者	勝谷 昌史
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		(72) 発明者	柳田 治
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内

最終頁に続く

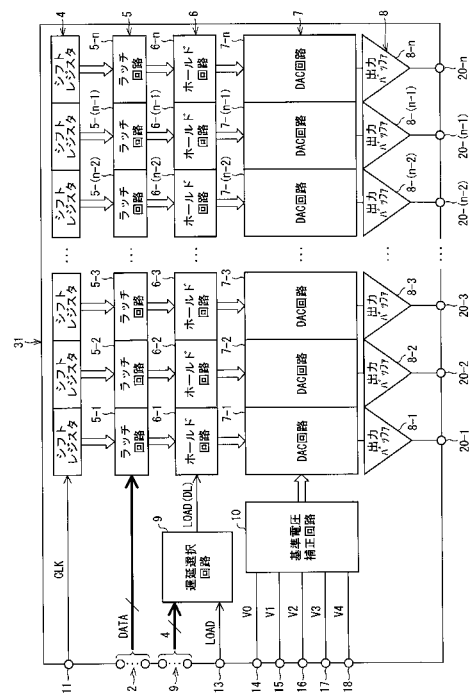
(54) 【発明の名称】 表示駆動装置および表示装置

(57) 【要約】

【課題】チップ面積を増大させることなく、表示装置における駆動信号の出力タイミングをずらす。

【解決手段】液晶表示パネルに表示データ（階調電圧）を出力するデータドライバ31に遅延選択回路9を設ける。データロード信号LOADは、ラッチ回路部5にラッチされた階調データDATAをホールド回路部6に取り込むタイミングを定める。遅延選択回路9は、選択制御端子19から入力される選択制御信号SELに基づいて決定した遅延時間でデータロード信号LOADを遅延させる。液晶表示パネルに実装される複数のデータドライバ31間で選択制御信号SELを異ならせることにより、データドライバ31間で階調データDATAをホールド回路部6に取り込むタイミングを異ならせる。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

入力された表示データに基づいて複数の階調電圧から 1 つを選択して出力する選択出力回路を備え、表示装置においてカスケード接続された状態で搭載される集積化された表示駆動装置において、

制御信号に基づいて遅延時間を決定し、前記選択出力回路から前記階調電圧を出力する出力タイミングを前記遅延時間で遅延させる時間可変遅延回路を備えていることを特徴とする表示駆動装置。

【請求項 2】

前記時間可変遅延回路は、複数ビットからなる前記制御信号をデコードするデコーダと、予め異なった複数の前記遅延時間を設定している遅延時間設定回路と、前記デコーダによるデコード値に基づいて、前記遅延時間設定回路で設定されている複数の前記遅延時間から 1 つを選択する遅延時間選択回路とを有していることを特徴とする請求項 1 に記載の表示駆動装置。

10

【請求項 3】

表示駆動装置が搭載される表示装置で生成された前記制御信号を入力する入力端子を有していることを特徴とする請求項 1 または 2 に記載の表示駆動装置。

【請求項 4】

前記時間可変遅延回路は、前記制御信号として前記表示データを利用することを特徴とする請求項 1 または 2 に記載の表示駆動装置。

20

【請求項 5】

前記時間可変遅延回路は、前記制御信号として 1 回の走査における最後に取り込んだ前記表示データを利用することを特徴とする請求項 1 または 2 に記載の表示駆動装置。

【請求項 6】

1 回の走査における最後に取り込んだ前記表示データを前記表示データを伝送する伝送配線に保持させる保持手段を備えていることを特徴とする請求項 5 に記載の表示駆動装置。

【請求項 7】

1 回の走査における最後に取り込んだ前記表示データを保持するラッチを備えていることを特徴とする請求項 5 に記載の表示駆動装置。

30

【請求項 8】

表示パネルに前記階調電圧を出力する複数の表示駆動装置がカスケード接続された状態で前記表示パネルに実装されている表示装置において、

前記表示駆動装置が請求項 1 ないし 7 のいずれか 1 項に記載の表示駆動装置であり、

前記出力タイミングが、少なくとも 1 つの前記表示駆動装置と他の前記表示駆動装置との間で異なるように設定されていることを特徴とする表示装置。

【請求項 9】

外部から入力される前記表示データの取り込みタイミングに同期したクロック信号をカウントし、表示駆動装置が前記表示データの取り込みを終了した時点でカウントを停止してカウント値を保持するカウンタを備え、

40

前記時間可変遅延回路は、前記制御信号として前記カウント値を用いることを特徴とする請求項 1 または 2 に記載の表示駆動装置。

【請求項 10】

前記カウンタは、カウントを停止するまでに予め設定されたカウント値でカウント値をリセットすることを特徴とする請求項 9 に記載の表示駆動装置。

【請求項 11】

表示パネルに前記階調電圧を出力する複数の表示駆動装置がカスケード接続された状態で前記表示パネルに実装されている表示装置において、

前記表示駆動装置が請求項 9 または 10 に記載の表示駆動装置であり、

前記カウンタが停止したときのカウント値が、少なくとも 1 つの前記表示駆動装置と他

50

の前記表示駆動装置との間で異なるように設定されていることを特徴とする表示装置。

【請求項 12】

表示パネルに前記階調電圧を出力する複数の表示駆動装置がカスケード接続された状態で前記表示パネルに実装されている表示装置において、

前記表示駆動装置が請求項 10 に記載の表示駆動装置であり、

前記カウンタが停止したときのカウント値が異なる前記表示駆動装置の数が最大となるように、前記カウンタをリセットするカウント値が設定されていることを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、液晶表示装置等の表示装置を駆動するための表示駆動装置およびそれを備えた表示装置に関するものである。

【背景技術】

【0002】

近年、液晶表示装置等の平板型表示装置の大型化・高精細化が進んできている。それに伴い、表示装置において表示パネルに表示データ（階調電圧）を出力する駆動用のデータドライバを構成する半導体集積回路では、信号出力端子の端子数増加や、出力バッファの駆動能力の拡大が進められている。

【0003】

20

まず、従来のデータドライバ用の半導体集積回路（以降、ドライバ集積回路と称する）の構成について説明する。図 11 は、 n 本の信号出力端子 $111-1 \sim 111-n$ から、それぞれ m 階調の出力電圧を出力可能な当該ドライバ集積回路の構成を示すブロック図である。

【0004】

ドライバ集積回路 101 は、外部からの信号入力用として、クロック入力端子 102 と、複数の信号入力端子からなる階調データ入力端子 103 と、LOAD 信号入力端子 104 と、基準電源端子 105 $\sim$ 109 とを備えている。また、ドライバ集積回路 101 は、液晶表示パネルへの信号出力用として、 n 個の信号出力端子 $111-1 \sim 111-n$ を備えている。ただし、信号出力端子 $111-1 \sim 111-n$ を総称する場合は、信号出力端子 111 と称する。

30

【0005】

加えて、ドライバ集積回路 101 は、内部に設けられる回路として、基準電源補正回路 121 と、ポインタ用シフトレジスタ回路 123 と、ラッチ回路部 124 と、ホールド回路部 125 と、D/A コンバータ（Digital to Analog Converter）部 126（以降、DAC 部 126 と称する）と、出力バッファ部 127 とを備えている。

【0006】

ポインタ用シフトレジスタ回路 123 は、 n 段のシフトレジスタ $123-1 \sim 123-n$ により構成される。ラッチ回路部 124 は、 n 個のラッチ回路 $124-1 \sim 124-n$ により構成される。ホールド回路部 125 は、 n 個のホールド回路 $125-1 \sim 125-n$ により構成される。DAC 部 126 は、DAC 回路 $126-1 \sim 126-n$ により構成される。出力バッファ部 127 は、オペアンプにより構成される出力バッファ $127-1$ から $127-n$ により構成される。

40

【0007】

ポインタ用シフトレジスタ回路 123 は、クロック入力端子 102 に入力されたクロック信号に応じて、ラッチ回路 $124-1 \sim 124-n$ のうち 1 つのラッチ回路を選択する。この状態で、階調データは、階調データ入力端子 103 から入力されると、ラッチ回路 124 に選択されて格納される。

【0008】

また、ポインタ用シフトレジスタ回路 123 から出力されるラッチ回路選択信号は、ク

50

ロック入力端子102から入力されるクロック信号により第1段のラッチ回路124-1から第n段のラッチ回路124-nまで順次選択する。よって、n個のクロックが入力された場合、全てのラッチ回路124-1~124-nにデータを記憶させることができる。また、ラッチ回路124-1~124-nは、それぞれ異なる値のデータを記憶することが可能である。ラッチ回路124-1~124-nに記憶されたデータは、データロード信号LOADにより、それぞれ対応するn個のホールド回路125-1~125-nへ転送され、DAC126-1~126-nのデジタル入力データとなる。

【0009】

DAC回路126-1~126-nは、上記デジタルデータにより、入力されるm種類の階調電圧から1つを選択して出力する。m種類の階調電圧は、基準電源端子105~109からそれぞれ入力された基準電圧V0~V4に基づいて、基準電源補正回路121によって生成される。

【0010】

さらに、DAC回路126-1~126-nから出力された階調電圧は、出力バッファ部127でインピーダンス変換されて、それぞれ信号出力端子111-1~111-nから液晶表示パネルの駆動信号として出力される。

【0011】

上記のように、データロード信号により一括してデータ転送が行われるため、階調電圧が同時に変化する。このため、ドライバ集積回路101に瞬間的に大電流が発生する。この電流は、信号出力端子111が増加したことと、出力バッファ部127の駆動能力が増大したことにより、非常に大きな値となってきた。それゆえ、ドライバ集積回路101の消費電流が増大するだけでなく、この電流により発生する不要輻射が問題になる。

【0012】

そこで、電流の集中によるピーク電流の増大を防ぐため、半導体集積回路の内部で表示データをラッチするための信号を遅延させることにより、駆動出力の変化タイミングをずらすことが特許文献1に記載されている。特許文献1に開示されたソースドライバ（半導体集積回路）においては、図12に示すように、サンプリングメモリによってサンプリングされた表示データをホールドメモリ回路240によって水平同期信号LS（データロード信号）に基づいてラッチし、次の水平同期信号LSが入力されるまで保持する。ホールドメモリ回路240は、表示データの各ビットをラッチし、かつ保持するホールドラッチセル330と、複数の遅延回路320とを備えている。表示データをラッチするための水平同期信号LSは、グループに分けられたホールドラッチセル330に、必要なだけ順次遅延されてグループ単位で与えられる。

【特許文献1】特開2004-301946号公報（2004年10月28日公開）

【発明の開示】

【発明が解決しようとする課題】

【0013】

特許文献1の構成では、半導体集積回路内で水平同期信号を遅延させるために遅延回路を複数設けて配置する必要がある。このため、遅延回路からホールドラッチセルに至る配線や遅延回路そのものの実装領域が必要となるので、ドライバ集積回路のチップ面積が増大するという問題が発生する。

【0014】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、チップ面積を増大させることなく、表示装置における駆動信号の出力タイミングをずらすことにある。

【課題を解決するための手段】

【0015】

本発明に係る表示駆動装置は、入力された表示データに基づいて複数の階調電圧から1つを選択して出力する選択出力回路を備え、表示装置においてカスケード接続された状態で搭載される集積化された表示駆動装置において、上記課題を解決するために、制御信号に基づいて遅延時間を決定し、前記選択出力回路から前記階調電圧を出力する出力タイミ

10

20

30

40

50

ングを前記遅延時間で遅延させる時間可変遅延回路を備えていることを特徴としている。

【0016】

上記の構成では、時間可変遅延回路によって、制御信号に基づいて決定された遅延時間で出力タイミングが遅延する。このように、表示駆動装置が個々に時間可変遅延回路を備えることにより、表示駆動装置を複数搭載する表示装置において、表示駆動装置間で遅延時間が異なるように制御信号が設定されておれば、表示装置全体で表示駆動装置間の出力タイミングを異ならせることができる。

【0017】

これにより、従来技術と同様の不要輻射低減の効果が得られる。また、表示駆動装置に時間可変遅延回路を設けるだけでよいので、表示駆動装置のレイアウト面積の増加を最小限に抑えることができる。

10

【0018】

前記表示駆動装置において、前記時間可変遅延回路は、複数ビットからなる前記制御信号をデコードするデコーダと、予め異なった複数の前記遅延時間を設定している遅延時間設定回路と、前記デコーダによるデコード値に基づいて、前記遅延時間設定回路で設定されている複数の前記遅延時間から1つを選択する遅延時間選択回路とを有していることが好ましい。上記の構成において、遅延時間設定回路は、例えば、所定の遅延時間が設定されている遅延回路である。これにより、比較的簡単な回路で時間可変遅延回路を構成することができる。

【0019】

20

前記表示駆動装置において、表示駆動装置が搭載される表示装置で生成された前記制御信号を入力する入力端子を有していることが好ましい。これにより、表示駆動装置に入力端子を設けるのみで制御信号を生成する回路等を設ける必要がないので、より表示駆動装置のレイアウト面積を小さくすることができる。

【0020】

前記表示駆動装置において、前記時間可変遅延回路は、前記制御信号として前記表示データを利用することが好ましい。これにより、制御信号のみを別途生成する必要なく、制御信号の入力用の端子を増加させることがない。

【0021】

前記表示駆動装置において、前記時間可変遅延回路は、前記制御信号として1回の走査における最後に取り込んだ前記表示データを利用することが好ましい。

30

【0022】

この表示駆動装置は、1回の走査における最後に取り込んだ前記表示データを前記表示データを伝送する伝送配線に保持させる保持手段を備えていることが好ましい。これにより、保持手段が伝送配線に表示データを保持させるので、最後に取り込んだ表示データを容易に利用することができる。

【0023】

あるいは、この表示駆動装置は、1回の走査における最後に取り込んだ前記表示データを保持するラッチを備えていることが好ましい。上記の伝送配線に表示データを保持させる場合、電位的に不安定な状態が生じることがある。これに対し、ラッチを用いることにより、そのような不安定な状態を生じることなく、利用する表示データを確実に保持することができる。

40

【0024】

本発明の表示装置は、表示パネルに前記階調電圧を出力する複数の表示駆動装置がカスケード接続された状態で前記表示パネルに実装されている表示装置において、上記の課題を解決するために、前記表示駆動装置が前述のいずれかの表示駆動装置であり、前記出力タイミングが、少なくとも1つの前記表示駆動装置と他の前記表示駆動装置との間で異なるように設定されていることを特徴としている。

【0025】

これにより、前述のように、表示装置全体で表示駆動装置間の出力タイミングを異なら

50

せることができる。

【0026】

前記表示駆動装置は、外部から入力される前記表示データの取り込みタイミングに同期したクロック信号をカウントし、表示駆動装置が前記表示データの取り込みを終了した時点でカウントを停止してカウント値を保持するカウンタをさらに備え、前記時間可変遅延回路が前記制御信号として前記カウント値を用いることが好ましい。これにより、外部から表示駆動装置に与えるのはクロック信号のみでよく、表示駆動装置に追加する端子数を少なくすることができる。

【0027】

この表示駆動装置において、前記カウンタは、カウントを停止するまでに予め設定されたカウント値でカウント値をリセットすることが好ましい。カウンタをリセットするカウント値（リセットのタイミング）に応じてカウンタが停止したときのカウント値が異なるので、リセットのタイミングを適宜設定することにより、遅延時間を最適に設定することができる。

10

【0028】

本発明の他の表示装置は、表示パネルに前記階調電圧を出力する複数の表示駆動装置がカスケード接続された状態で前記表示パネルに実装されている表示装置において、前記表示駆動装置が前記カウンタを備える表示駆動装置であり、前記カウンタが停止したときのカウント値が、少なくとも1つの前記表示駆動装置と他の前記表示駆動装置との間で異なるように設定されていることを特徴としている。これにより、前述の表示装置と同様に、

20

【0029】

本発明のさらに他の表示装置は、表示パネルに前記階調電圧を出力する複数の表示駆動装置がカスケード接続された状態で前記表示パネルに実装されている表示装置において、前記表示駆動装置が前記カウンタのカウント値をリセットする表示駆動装置であり、前記カウンタが停止したときのカウント値が異なる前記表示駆動装置の数が最大となるように、前記カウンタをリセットするカウント値が設定されていることを特徴としている。リセットするカウント値（リセットのタイミング）を最適に設定することにより、表示駆動装置の出力データ数に応じて、カウンタが停止したときのカウント値が異なる表示駆動装置の数が最大となる。それゆえ、表示駆動装置のレイアウト面積の増加をより抑えることができる。

30

【発明の効果】

【0030】

本発明に係る表示駆動装置は、以上のように、制御信号に基づいて遅延時間を決定し、前記選択出力回路から前記階調電圧を出力する出力タイミングを前記遅延時間で遅延させる時間可変遅延回路を備えていることを特徴としている。

【0031】

上記の構成では、時間可変遅延回路によって、制御信号に基づいて決定された遅延時間で出力タイミングが遅延する。このように、表示駆動装置が個々に時間可変遅延回路を備えることにより、表示駆動装置を複数搭載する表示装置において、表示駆動装置間で遅延時間が異なるように制御信号が設定されておれば、表示装置全体で表示駆動装置間の出力タイミングを異ならせることができる。

40

【0032】

これにより、従来技術と同様の不要輻射低減の効果が得られる。また、表示駆動装置に時間可変遅延回路を設けるだけでよいので、表示駆動装置のレイアウト面積の増加を最小限に抑えることができる。したがって、表示駆動装置のチップ面積を増大させることなく、表示装置における駆動信号（階調電圧）の出力タイミングをずらすことができるという効果を奏する。このため、チップ点数が増加するほど、EMI低減効果が期待できる。

【発明を実施するための最良の形態】

【0033】

50

本発明の実施形態について図 1 ないし図 10 に基づいて説明すると、以下の通りである。

【0034】

〔液晶モジュールの構成〕

図 1 は、液晶表示パネル 1 を駆動するためのモジュール基板 2 が実装された液晶モジュール 100（表示装置）を示している。

【0035】

図 1 に示すように、液晶モジュール 100 は、液晶表示パネル 1 と、モジュール基板 2 と、データドライバ 3 とを備えている。液晶表示パネル 1 は、 n 個のデータドライバ 3 を介してモジュール基板 2 と接続されている。データドライバ 3 は、液晶表示パネル 1 の一辺側に並んで接続されている。また、データドライバ 3 は、集積化されたドライバチップが COF（Chip On Film）のような実装構造でフィルム基板上に実装されることにより構成されている。このデータドライバ 3 は、液晶表示パネル 1 が有する複数の画素を駆動するために、各画素に駆動信号を与える。駆動信号としては、階調データで現される階調に応じた階調電圧が用意されている。

【0036】

上記の画素は、液晶表示パネル 1 にマトリクス状に形成されており、液晶容量によって階調データを保持している。液晶容量は、液晶表示パネル 1 の一方のガラス基板に形成される共通電極と、各画素について設けられる画素電極と、これらの間に介在する液晶とで形成されている。この画素には、薄膜トランジスタ（TFT）からなるスイッチング素子を介して階調データが書き込まれる。スイッチング素子は、複数のデータラインと複数の走査ラインとに接続されている。このスイッチング素子は、走査ラインに供給される ON 信号によって ON すると、データラインに出力される階調データ（階調電圧）を画素電極に与える。これにより、階調電圧と共通電極に印加される電圧との差が液晶容量に保持される。

【0037】

モジュール基板 2 は、PWB（Printed Wiring Board）などによって構成されており、当該 PWB に搭載されたコントローラ（図示せず）により、液晶表示パネル 1 の駆動に必要なタイミング信号を生成している。また、モジュール基板 2 は、各データドライバ 3 に対応して設けられた配線パターン（図示せず）を有している。この配線パターンは、各データドライバ 3 に供給する階調データ DATA や各種の制御信号を伝送したり、電源電圧を印加したりするために複数の配線（図示せず）を含んでいる。制御信号は、クロック信号 CLK、データロード信号 LOAD、後述する遅延選択回路 9、24、25、27 に与える外部信号などである。電源電圧は、階調電圧を生成するための基準電源電圧 $V_0 \sim V_4$ やデータドライバ 3 の駆動用の電源電圧などである。

【0038】

なお、上記のコントローラは、モジュール基板 2 の外部に設けられていてもよい。

【0039】

〔第 1 のデータドライバ〕

図 2 は、データドライバ 3 として用いられる第 1 のデータドライバ 31 の構成を示している。

【0040】

なお、後に説明する第 2 ないし第 4 のデータドライバ 32～34（図 5、図 7 および図 9 参照）において、データドライバ 31 における構成要素と同等の機能を有する構成要素については、同一の符号を付記してその説明を省略する。

【0041】

図 2 に示すように、データドライバ 31 は、ポインタ用シフトレジスタ回路 4 と、ラッチ回路部 5 と、ホールド回路部 6 と、D/A コンバータ（Digital to Analog Converter）部 7（以降、DAC 部 7 と称する）と、出力バッファ部 8 と、遅延選択回路 9 と、基準電源補正回路 10 とを備えている。また、データドライバ 31 は、入力端子として、クロ

ック入力端子 11 と、階調データ入力端子 12 と、データロード信号入力端子 13 と、基準電源端子 14 ～ 18 と、選択制御端子 19 とを備えている。

【0042】

また、データドライバ 31 は、液晶表示パネル 1 への信号出力のために設けられる出力端子として、 n 個の信号出力端子 $20-1 \sim 20-n$ を備えている。信号出力端子 $20-1 \sim 20-n$ は、それぞれ前述のデータラインと個々に接続されている。

【0043】

クロック入力端子 11 は、ポインタ用シフトレジスタ回路 4 に与えるクロック信号 CLK を入力するために設けられている。階調データ入力端子 12 は、複数ビットの階調データの各ビットに対応した複数の信号入力端子からなる。データロード信号入力端子 13 は、遅延選択回路 9 に与えるためのデータロード信号 LOAD を入力するために設けられている。このデータロード信号 LOAD は、ホールド回路部 6 がラッチ回路部 4 でラッチされた階調データ DATA を保持するための制御信号として用いられる。基準電源端子 14 ～ 18 は、それぞれ基準電圧補正回路 9 に与えられる基準電圧 $V_0 \sim V_4$ を入力するために設けられている。選択制御端子 19 は、遅延選択回路 9 に与える選択制御信号 SEL を入力するために設けられている。

【0044】

信号出力端子 $21-1 \sim 21-n$ は、出力バッファ部 8 を構成する出力バッファ $8-1 \sim 8-n$ にそれぞれ対応して設けられており、出力バッファ $8-1 \sim 8-n$ から出力された階調電圧を液晶表示パネル 1 に出力するために設けられている。

【0045】

ポインタ用シフトレジスタ回路 4 は、複数段のシフトレジスタによって構成されている。このポインタ用シフトレジスタ回路 4 は、クロック入力端子 11 に入力されたクロック信号 CLK を各段のシフトレジスタによってシフトさせて、各段のシフトレジスタよりラッチ回路選択信号を出力する。ポインタ用シフトレジスタ回路 4 は、ラッチ回路選択信号によって、ラッチ回路部 5 を構成する 1 段目のラッチ回路 $5-1$ から n 段目のラッチ回路 $5-n$ までを順次選択する。

【0046】

ラッチ回路部 5 は、 n 個のラッチ回路 $5-1 \sim 5-n$ によって構成されている。ラッチ回路 $5-1 \sim 5-n$ は、上記のラッチ回路選択信号が入力されると、階調データ入力端子 12 から入力された階調データ DATA を記憶可能なアクティブな状態となる。この状態では、ラッチ回路 $5-1 \sim 5-n$ にそれぞれ異なる値のデータを記憶することが可能である。よって、ポインタ用シフトレジスタ回路 4 にクロック信号 CLK の n 個のクロックが入力された場合、全てのラッチ回路 $5-1 \sim 5-n$ が各データラインに対応した階調データを記憶できる。この状態で、階調データは、階調データ入力端子 12 から入力されると、対応するラッチ回路 $5-1 \sim 5-n$ にそれぞれ選択されて格納される。

【0047】

ホールド回路部 6 は、 n 個のホールド回路 $6-1 \sim 6-n$ によって構成されている。ホールド回路 $6-1 \sim 6-n$ は、それぞれに対応するラッチ回路 $5-1 \sim 5-n$ に記憶されているデータを、データロード信号 LOAD がアクティブ（例えば H レベル）となるタイミングで一斉に取り込んで保持する。ホールド回路 $6-1 \sim 6-n$ に保持されたデータは、DAC 部 7 の DAC 回路 $7-1 \sim 7-n$ に入力されるデジタルデータとなる。

【0048】

DAC 部 7 は、DAC 回路 $7-1 \sim 7-n$ によって構成されている。DAC 回路 $7-1 \sim 7-n$ は、上記のデジタルデータに基づいて、基準電圧補正回路 10 から入力される m 種類の階調電圧から 1 つを選択して出力する。DAC 回路 $7-1 \sim 7-n$ の詳細については、例えば特開 2003-130921 号公報に記載されているので、ここではその説明を省略する。

【0049】

基準電圧補正回路 10 は、基準電源端子 14 ～ 18 からそれぞれ入力された基準電圧 V

10

20

30

40

50

0～V4に基づいて、m種類の階調電圧を生成する。例えば、基準電圧補正回路10は、複数の分圧抵抗が直列接続された回路を含み、基準電圧V0～V4の組み合わせと、その分圧抵抗とによってm種類の階調電圧を生成する。

【0050】

出力バッファ部8は、出力バッファ8-1～8-nによって構成されている。出力バッファ8-1～8-nは、DAC回路8-1～8-nからそれぞれ出力された階調電圧をインピーダンス変換する。出力バッファ8-1～8-nから出力された階調電圧は、それぞれ信号出力端子20-1～20-nから階調データ（駆動データ）として液晶表示パネル1に出力される。

【0051】

遅延選択回路9は、ホールド回路6-1～6-nに与えるデータロード信号LOADを選択制御信号SELに基づいて選択された遅延量で遅延する。具体的には、遅延選択回路9は、データロード信号入力端子13から入力されるデータロード信号LOADに、選択制御信号SELの値により選択される遅延時間を与えてデータロードLOAD(DL)として出力する。以降に、遅延選択回路9について詳細に説明する。

【0052】

図3は、遅延選択回路9の構成を示している。

【0053】

図3に示すように、遅延選択回路9は、デコーダ21と、15個の遅延回路22と、16個のスイッチSW0～SW15とを含んでいる。

【0054】

デコーダ21は、4ビットの選択制御信号SELが入力される4個の入力端子A～Dと、デコードした結果を出力する16個の出力端子Y0～Y15を有している。デコーダ21は、入力端子A～Dに入力された選択制御信号SELをデコードして出力端子Y0～Y15のいずれか1つからアクティブ（例えばHレベル）のスイッチ選択信号を出力する。

【0055】

スイッチSW0～SW15は、並列に接続されており、一端にデータロード信号LOADが入力される。また、スイッチSW0の他端はデータロード信号LOAD(DL)出力端となるが、スイッチSW1～SW15の他端は、それぞれ対応する遅延回路22の入力端子に接続されている。スイッチSW0～SW15は、それぞれ出力端子Y0～Y15に対応しており、出力端子Y0～Y15からのスイッチ選択信号がアクティブになるとONする。

【0056】

遅延回路22は、互いに直列に接続されている。直列回路を形成する遅延回路22のうち、入力端子にスイッチSW1の一端が接続される遅延回路22は、その出力端子がデータロード信号LOAD(DL)の出力端となる。

【0057】

上記のように構成される遅延選択回路9の動作について説明する。

【0058】

例えば、選択制御信号SELが“0000”である場合、デコーダ21が出力端子Y0からアクティブのスイッチ選択信号を出力するので、スイッチSW0がのみONする。この場合、データロード信号LOADは、スイッチSW0を介して遅延することなく、データロード信号LOAD(DL)として出力される。

【0059】

また、選択制御信号SELが“0001”である場合、デコーダ21が出力端子Y1からアクティブのスイッチ選択信号を出力するので、スイッチSW1がオンする。この場合、データロード信号LOADは、第1段の遅延回路22によって与えられた1段分の遅延時間で遅延してデータロード信号LOAD(DL)として出力される。

【0060】

このように、入力端子A～Dから入力される選択制御信号SELによって遅延時間が異

10

20

30

40

50

なる。それゆえ、選択制御信号SELが“1111”であるとき、データロード信号LOADは、遅延回路22を通過することになるので、最大の15段分の遅延時間で遅延する。

【0061】

図4(a)ないし(c)は、選択制御信号SELに応じた階調データの転送タイミングを示している。

【0062】

図4(a)に示すように、選択制御信号SELが“0000”である場合、前述のように、スイッチSW0のみがONすることにより、遅延せずにデータロード信号LOAD(DL)として出力される。この場合は、階調データDATAがデータロード信号LOAD(DL)で定まるタイミングで、ラッチ回路5-1～5-nからホールド回路6-1～6-nに取り込まれる。

【0063】

次に、図4(b)に示すように、選択制御信号SELが“0111”である場合、スイッチSW7のみがONすることにより、7段分の遅延回路22による遅延時間Taで遅延してデータロード信号LOAD(DL)として出力される。この場合は、階調データDATAがデータロード信号LOAD(DL)で定まるタイミングで、図4(a)の場合に比べて遅延時間Ta遅れてラッチ回路5-1～5-nからホールド回路6-1～6-nに取り込まれる。

【0064】

さらに、図4(c)に示すように、選択制御信号SELが“1111”である場合、スイッチSW15のみがONすることにより、15段分の遅延回路22による遅延時間Tbで遅延してデータロード信号LOAD(DL)として出力される。この場合は、階調データDATAがデータロード信号LOAD(DL)で定まるタイミングで、図4(a)の場合に比べて遅延時間Tb遅れてラッチ回路5-1～5-nからホールド回路6-1～6-nに取り込まれる。

【0065】

図2に示すように、ホールド回路部6はDAC部7が階調電圧を選択するための階調データDATAを保持する。このため、ホールド回路部6に階調データが取り込まれること(ホールド回路部6に保持される階調データDATAが変化すること)により、DAC部7から出力される階調電圧が変化する。この結果、変化した階調電圧は出力バッファ部8を介して出力され、液晶表示パネル1の各画素へ与えられる。よって、ホールド回路部6への階調データDATAの取り込み(データ転送)が遅延することにより、データドライバ31から出力される階調電圧(駆動信号)も遅延する。

【0066】

また、図2に示すように、データドライバ31には、選択制御端子19が設けられている。これにより、この選択制御端子19に入力される選択制御信号SELの設定を各データドライバ31間で異ならせれば、各データドライバ31の駆動出力が同一のタイミングで変化することを防止できる。

【0067】

図12に示す従来の回路では、データドライバ内部で水平同期信号を順次遅延させており、複数のタイミングが発生しているので、そのための配線が必要となる。これに対し、データドライバ31では、データロード信号LOADのみの遅延という単一のタイミングを調整しているので、配線の追加が不要である。

【0068】

このように、データドライバ31では、上記の従来の回路のように、駆動出力のタイミングを順次変化させないが、データドライバ31間、すなわち液晶表示パネル1の全体で駆動出力の変化タイミングを変更する。これにより、従来技術と同様の不要輻射低減の効果が得られる。また、図12に示す従来の回路のように、データドライバ内部で駆動出力が変化するタイミングを変更するために、データドライバにおける分割ブロック毎に遅延

10

20

30

40

50

回路を設けるか、入力部に遅延回路を設け、各分割ブロックに配線していた。これに対し、データドライバ31では、入力部にデータロード信号LOADを遅延させる遅延回路22を設けるだけでよく、レイアウト面積の増加を最小限に抑えることができ、データロード信号LOAD(DL)を伝送する配線数も増加することがない。

【0069】

なお、すべてのデータドライバ31間で駆動出力の変化タイミングが異なることが好ましい。しかしながら、少なくとも1つのデータドライバ31と他のデータドライバ31とで駆動出力の変化タイミングが異なっているとしても、上記のような効果を最低限ではあるが得ることができる。

【0070】

10

〔第2のデータドライバ〕

図5は、データドライバ3として用いられる第2のデータドライバ32の構成を示している。図6は、データドライバ32における遅延選択回路24の構成を示している。

【0071】

図5に示すように、データドライバ32は、データドライバ31と同様、ポインタ用シフトレジスタ回路4と、ラッチ回路部5と、ホールド回路部6と、DAC部7と、出力バッファ部8と、基準電源補正回路10とを備えている。また、データドライバ32は、前述の遅延選択回路9を備える代わりに、遅延選択回路24を備えている。

【0072】

図6に示すように、遅延選択回路24は、前述の遅延選択回路9と同様、デコーダ21と、15個の遅延回路22と、16個のスイッチSW0～SW15とを含んでいる。したがって、ここでは、デコーダ21、遅延回路22およびスイッチSW0～SW15についての詳細な説明を省略する。

20

【0073】

ただし、データドライバ32におけるデコーダ21は、前述の外部からの選択制御信号SELの代わりに階調データDATAにおける下位4ビットが入力端子A～Dに入力される。具体的には、階調データDATAが伝送される階調データバス23における下位4ビットを伝送する伝送線から第1ビットD0、第2ビットD1、第3ビットD2および第4ビットD4（以降、下位4ビットD0～D4と称する）が入力される。

【0074】

30

ラッチ回路5-1～5-nは、前述のモジュール基板2からデータドライバ32に伝送された階調データDATAをラッチする。ただし、ラッチ回路5-1～5-nがすべて階調データDATAを取り込んだ後には、データドライバ32はモジュール基板2からの階調データDATAを受け付けないようにしている。モジュール基板2からの階調データDATAはすべてのデータドライバ32に共通であるため、階調データDATAがデータドライバ32の階調データ入力端子12から入力されないようにしないと、データドライバ32の入力バッファや階調データバス23が動作することにより、不要な電流を消費してしまう。

【0075】

40

そこで、ラッチ回路5-1～5-nが階調データDATAを取り込んだ後に、データドライバ32内部の階調データバス23を階調データ入力端子12から切り離してフローティングにする。具体的には、図5に示すように、階調データバス23にスイッチ29を設けておく。このスイッチ29は、ラッチ回路5-1～5-nの出力の変化によって、ラッチ回路5-1～5-nが階調データDATAをラッチしたことが確認されると、階調データバス23において、上記のスイッチ29を遮断する。スイッチ29の制御は、ポインタ用シフトレジスタ回路4における最終段のシフトレジスタから出力されるラッチ回路選択信号ENDもしくはこの信号から作成された制御信号により行われる。このように、スイッチ29の制御をデータドライバ32の内部で行うことにより、データドライバ32にスイッチ29を制御するための信号を外部から入力する必要がなくなる。よって、データドライバ32の端子を増加させることがない。

50

【0076】

このように、階調データバス23を階調データ入力端子12と切り離すことにより、階調データバス23の配線容量により、ラッチ回路5-nがラッチした1回の走査における最後の階調データDATAが階調データバス23に残る。この残った階調データDATAの下位4ビットD0～D4をデコードして、遅延選択回路24を動作させることにより、データロード信号LOAD(DL)の遅延時間を決定する。

【0077】

ここで、階調データDATAの下位4ビットD0～D4を使用する理由について、以下に説明する。

【0078】

階調データDATAを遅延時間の決定に利用することについては、表示する内容が単一色の画面ではない画像（静止画または動画）であることを前提にしている。このため、1水平走査期間における階調データには必ず変化があるので、複数の複数のデータドライバ32間で階調データDATAが異なる可能性（確率）が単一色の画面に比べて高くなる。

【0079】

通常の画像表示では、階調データDATAの下位ビットが微少な階調の変化を表し、上位ビットが大きな階調の変化を表す。単一色の表示でない場合、画像の変化が必ずあるが、階調差が少ない場合、上位ビットに変化がなく、下位ビットが異なると考えられる。したがって、データドライバ32間で階調データDATAが異なる下位ビットD0～D4を利用することにより、上位ビットを利用する場合と比べて、遅延選択回路24での遅延時間がデータドライバ3間で異なる可能性（確率）が高い。

【0080】

なお、階調差の大きい画像を表示することが多い場合などでは、下位ビットD0～D4に限らず、階調データDATAの上位の4ビット等の他のデータビットを利用しても構わない。

【0081】

このように、データドライバ32では、遅延選択回路24に与える階調データDATAの下位4ビットがデータドライバ32間で異なる確率が高いので、各データドライバ32の駆動出力が同一のタイミングで変化することを防止できる。これにより、データドライバ31と同様、不要輻射低減の効果が得られるとともに、データドライバ32のレイアウト面積やデータロード信号LOAD(DL)を伝送する配線数の増加を抑えることができる。しかも、階調データDATAの一部をデータロード信号LOADの遅延制御に用いるので、前述のデータドライバ31で用いていた選択制御端子19が不要になる。よって、データドライバ32の端子数を削減することができる。

【0082】

〔第3のデータドライバ〕

図7は、データドライバ3として用いられる第3のデータドライバ33の構成を示している。図8は、データドライバ33における遅延選択回路25の構成を示している。

【0083】

図7に示すように、データドライバ33は、データドライバ31と同様、ポイント用シフトレジスタ回路4と、ラッチ回路部5と、ホールド回路部6と、DAC部7と、出力バッファ部8と、基準電源補正回路10とを備えている。また、データドライバ33は、前述の遅延選択回路9を備える代わりに、遅延選択回路25を備えている。

【0084】

図8に示すように、遅延選択回路25は、前述の遅延選択回路24と同様、デコーダ21と、15個の遅延回路22と、16個のスイッチSW0～SW15とを含んでいる。ただし、データドライバ33は、さらにラッチ26を含んでいる。

【0085】

ラッチ26は、4ビットDタイプラッチであり、前述の階調データDATAの下位4ビットD0～D4をラッチする。このため、下位4ビットD0～D4は、ラッチ26にお

10

20

30

40

50

る各段の入力端子Dに入力される。また、ラッチ26の各段の出力端子Qは、それぞれデコーダ21の対応する入力端子A～Dに接続される。また、ラッチ26の各段のクロック入力端子ckには、ラッチ回路選択信号ENDが入力される。このラッチ回路選択信号ENDは、ポインタ用シフトレジスタ回路4における最終段のシフトレジスタから出力されるラッチ回路選択信号である。

【0086】

このように構成されるデータドライバ33においては、ラッチ回路選択信号ENDがアクティブになると、ラッチ回路部5におけるラッチ回路5-nが階調データDATAをラッチする。このとき、階調データDATAの下位4ビットD0～D4は、ラッチ26にラッチされて、デコーダ21に入力される。これにより、デコーダ21は、下位4ビットD0～D4をデコードしてスイッチSW0～SW15のうちの1つを選択する。

10

【0087】

このように、データドライバ33でも、データドライバ32と同様、不要輻射低減の効果が得られるとともに、データドライバ32のレイアウト面積や、データロード信号LOAD(DL)を伝送する配線数や、端子数の増加を抑えることができる。

【0088】

ところで、前述のデータドライバ32では、ラッチ回路部5への階調データDATAの取り込み後、モジュール基板2からの階調データDATAを受け付けないようにしている。また、データドライバ32では、階調データバス23が最後にサンプリングされた階調データDATAを保持するように、階調データバス23を階調データ入力端子12から切り離してフローティング状態としなければならない。

20

【0089】

これに対し、データドライバ33では、遅延時間を選択するためのデータがラッチ26にラッチされている。それゆえ、階調データ入力端子12をGND電位等に固定することにより、入力バッファや内部バスが動作するのを防止すればよく、データドライバ32のように階調データバス23をフローティング状態にする必要はない。一般に、フローティング状態のバスに保持された電位は不安定であり、外乱により消失する可能性がある。したがって、データドライバ33は、データドライバ32と比べてデータ保持の確実性を高めることができる。

【0090】

30

〔第4のデータドライバ〕

図9は、データドライバ3として用いられる第4のデータドライバ34の構成を示している。図10は、データドライバ34における遅延選択回路27の構成を示している。

【0091】

図9に示すように、データドライバ34は、データドライバ31と同様、ポインタ用シフトレジスタ回路4と、ラッチ回路部5と、ホールド回路部6と、DAC部7と、出力バッファ部8と、基準電源補正回路10とを備えている。また、データドライバ34は、前述の遅延選択回路9を備える代わりに遅延選択回路27を備えるとともに、カウンタ28を備えている。

【0092】

40

カウンタ28は、データドライバ34の外部から入力されるクロック信号CLK1をカウントする4ビットのカウンタである。このカウンタ28は、10進値で13(13クロック)をカウントするとオーバーフローしてカウント値COUNTを0に戻し、前述のラッチ回路選択信号ENDでカウントを停止する。

【0093】

上記のクロック信号CLK1はクロック信号CLK(シフトクロック)と同じ周期を有する。ただし、このクロック信号CLK1は、モジュール基板2から供給され、データドライバ34の階調データDATAのサンプリング(データサンプリング)に関係なく入力され続ける。クロック信号CLKは、データサンプリングが終了すると供給が停止される。カウンタ28がクロック信号CLKをカウント場合、データサンプリング後にカウンタ

50

28が停止するので差し支えない。これに対し、カウンタ28の動作開始時には、カウンタを正常に開始させるために、カウンタ28がデータサンプリングの開始前から動作していなければならない。しかしながら、クロック信号CLKは、階調データDATAと同時にデータドライバ34に供給を開始される。このため、カウンタ28は、データサンプリングより前に動作を開始することができない。そこで、データサンプリングと関係なく入力され続けるクロック信号CLK1がデータドライバ34の内部に取り込まれて、カウンタ28に与えられる必要がある。

【0094】

図10に示すように、遅延選択回路27においては、カウンタ28のカウント値COUNTが入力端子A～Dに入力される。デコーダ21は、そのカウント値COUNTをデコードして、スイッチSW0～SW15のうち1つを選択する。

10

【0095】

ここで、240出力のデータドライバ34を動作させた場合のデコーダ21の入力端子A～Dへ入力される値は表1のようになる。

【0096】

【表1】

データドライバ の接続順	カウンタが停止する までのクロック数	カウンタのオーバー フロー回数	停止時のカウント 値 (10進)	デコーダの入力値			
				D	C	B	A
1	240	18	6	0	1	1	0
2	480	36	12	1	1	0	0
3	720	55	5	0	1	0	1
4	960	73	11	1	0	1	1
5	1200	92	4	0	1	0	0
6	1440	110	10	1	0	1	0
7	1680	129	3	0	0	1	1
8	1920	147	9	1	0	0	1
9	2160	166	2	0	0	1	0
10	2400	184	8	1	0	0	0
11	2640	203	1	0	0	0	1
12	2880	221	7	0	1	1	1
13	3120	240	0	0	0	0	0

20

30

【0097】

液晶表示パネル1に接続されたデータドライバ34のうち、最も早く階調データDATAが入力される第1段のデータドライバ34は、240出力分の階調データDATAをサンプリングする。このため、カウンタ28は、クロック信号CLK1の240クロックが入力されたところ、すなわち240個の階調データDATAが取り込まれたところでラッチ回路部5のラッチが終了すると同時に停止する。このとき、デコーダ21に入力されるカウンタ値COUNTは10進で6 ([DCBA] = [0110]) になる。

40

【0098】

上記の第1段のデータドライバ34の次に液晶表示パネル1に接続されたデータドライバ34は、第1段のデータドライバ34がサンプリングをした後の240クロックでサンプリングが完了する。このとき、カウンタ28が停止する。そのカウンタ値COUNTは10進で12 ([DCBA] = [1100]) になる。

【0099】

同様に、第13段のデータドライバ34まで、デコーダ21の入力端子A～Dに入力するデータとして13通りの組み合わせが設定できる。第14段のデータドライバ34からは、第1段のデータドライバ34以降の繰り返しになるが、出力タイミングを変更するには十分な組み合わせの数である。

50

【0100】

このような動作を行うカウンタ28を設けることにより、データドライバ32と同様、ホールド回路部6へ階調データを取り込むタイミングをデータドライバ34間で異ならせることができる。これにより、不要輻射低減の効果が得られるとともに、データドライバ34のレイアウト面積や、データロード信号LOAD(DL)を伝送する配線数の増加を抑えることができる。また、前述のデータドライバ34と同様、選択制御信号SELを用いないので、遅延選択回路27に与える入力信号はクロック信号CLK1だけでよい。それゆえ、クロックCLK1の入力のための入力端子が1つデータドライバ34に追加されることになる。したがって、端子数の増加を抑えつつ、各データドライバ34の出力タイミングを確実に別のタイミングに設定することが可能となる。

10

【0101】

ここでは、カウンタ28のリセット値(オーバーフロー値)を13に設定している。しかしながら、リセット値をデータドライバ34の出力数に応じて適当な値に変更する必要がある。

【0102】

極端な例であるが、130出力のデータドライバ34において13のリセット値でリセットするカウンタ28を使用した場合を表2に示す。このように、デコーダ21への入力データは、すべてのデータドライバ34で[DCBA]=[0000]となり、すべてのデータドライバ34で出力のタイミングが同じになってしまう。

【0103】

【表2】

20

データドライバ の接続順	カウンタが停止する までのクロック数	カウンタのオーバー フロー回数	停止時のカウン ト値(10進)	デコーダの入力値			
				D	C	B	A
1	130	10	0	0	0	0	0
2	260	20	0	0	0	0	0
3	390	30	0	0	0	0	0
4	520	40	0	0	0	0	0
5	650	50	0	0	0	0	0
6	780	60	0	0	0	0	0
7	910	70	0	0	0	0	0
8	1040	80	0	0	0	0	0
9	1170	90	0	0	0	0	0
10	1300	100	0	0	0	0	0
11	1430	110	0	0	0	0	0
12	1560	120	0	0	0	0	0
13	1690	130	0	0	0	0	0

30

【0104】

この場合、リセット値を11に変更すると、表3に示すように、第11段のデータドライバ34まではデコーダ21の入力データが同じ値にならない。

40

【0105】

このように、リセット値を調整することにより、デコーダ21の入力データが異なるデータドライバ34の数を最大にすることができる。

【0106】

【表 3】

データドライバ の接続順	カウンタが停止する までのクロック数	カウンタのオーバー フロー回数	停止時のカウン ト値 (10進)	デコーダの入力値			
				D	C	B	A
1	130	11	9	1	0	0	1
2	260	23	7	0	1	1	1
3	390	35	5	0	1	0	1
4	520	47	3	0	0	1	1
5	650	59	1	0	0	0	1
6	780	70	10	1	0	1	0
7	910	82	8	1	0	0	0
8	1040	94	6	0	1	1	0
9	1170	106	4	0	1	0	0
10	1300	118	2	0	0	1	0
11	1430	130	0	0	0	0	0
12	1560	141	9	1	0	0	1
13	1690	153	7	0	1	1	1

10

【0107】

なお、表 1 ないし表 3 を用いた上記の説明では、接続順が第 1 であるデータドライバ 3 4 (先頭ドライバ) が階調データ DATA のサンプリングを始めるときに、液晶表示パネル 1 に接続されているすべてのデータドライバ 3 4 のカウンタ 2 8 が “0000” からカウントを開始することになる。すべてのカウンタ 2 8 がこのように動作するためには、上記の先頭ドライバがデータサンプリングを開始するタイミングをすべてのデータドライバ 3 4 に与える必要がある。しかしながら、このようにすると、タイミングを与える信号を入力するための端子が必要となるので、データドライバ 3 4 の端子数が増える。

20

【0108】

そこで、データドライバ 3 4 を動作させる電源の立ち上げとともに、すべてのデータドライバ 3 4 のカウンタ 2 8 を動作させるようにする。これにより、先頭ドライバがデータサンプリングを開始したときのカウンタ 2 8 のカウント値 COUNT だけ全体のカウンタ 2 8 のカウント値 COUNT がずれるだけで、デコーダ 2 1 の入力値はデータドライバ 3 4 間で異なる。例えば、表 1 から表 3 の値は、先頭ドライバのデータサンプリング開始時に、カウンタ 2 8 が [DCBA] = [0000] からカウントを開始した場合の例を示している。データサンプリング開始時のカウント値 COUNT は、必ずしも [0000] である必要はなく、例えば [0001] であれば、各表の値がすべて 1 ずれるだけであり、デコーダ 2 1 の入力と同じにならないのは同様である。

30

【0109】

また、本実施の形態では、データドライバ 3 を液晶モジュール 100 (液晶表示装置) に適用した例について説明した。しかしながら、本発明は、同様なデータドライバ 3 の使用が可能な液晶表示装置以外の表示装置、例えば有機 EL 表示装置にも適用が可能である。

40

【0110】

本発明は、上述した実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能である。すなわち、請求項に示した範囲で適宜変更した技術的手段を組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

【産業上の利用可能性】

【0111】

本発明の表示駆動装置は、ラッチ回路でラッチした階調データをホールド回路に取り込むタイミングをデータドライバ毎に異ならせるので、不要輻射低減の効果が得られるとともに、データドライバのレイアウト面積や配線数の増加を抑制することができる。これに

50

より、本発明の表示駆動装置を液晶表示装置等の表示装置に好適に利用できる。

【図面の簡単な説明】

【0112】

【図1】本発明の実施の一形態を示す液晶モジュールの構成を示すブロック図である。

【図2】上記液晶モジュールにおけるデータドライバとして用いられる第1のデータドライバの構成を示すブロック図である。

【図3】上記第1のデータドライバにおける遅延選択回路の構成を示すブロック図である。

【図4】(a)ないし(c)上記遅延選択回路の動作を示すタイミングチャートである。

【図5】上記液晶モジュールにおけるデータドライバとして用いられる第2のデータドライバの構成を示すブロック図である。

10

【図6】上記第2のデータドライバにおける遅延選択回路の構成を示すブロック図である。

【図7】上記液晶モジュールにおけるデータドライバとして用いられる第3のデータドライバの構成を示すブロック図である。

【図8】上記第3のデータドライバにおける遅延選択回路の構成を示すブロック図である。

【図9】上記液晶モジュールにおけるデータドライバとして用いられる第4のデータドライバの構成を示すブロック図である。

【図10】上記第4のデータドライバにおける遅延選択回路の構成を示すブロック図である。

20

【図11】従来のデータドライバの構成を示すブロック図である。

【図12】従来の他のデータドライバにおけるホールドメモリ回路の構成を示すブロック図である。

【符号の説明】

【0113】

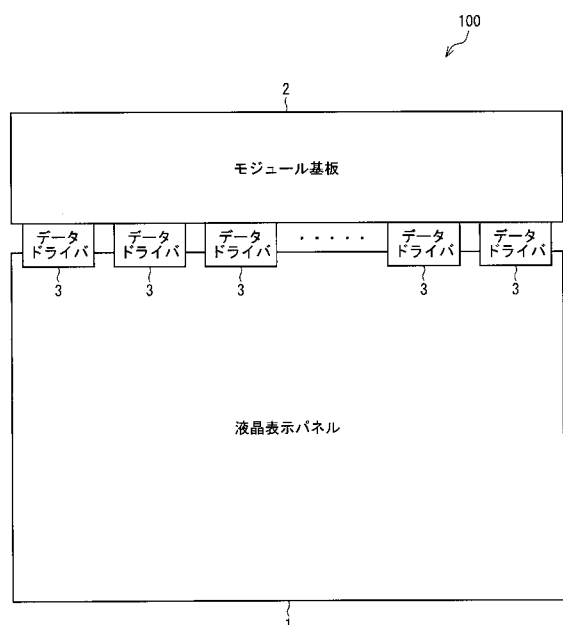
1	液晶表示パネル
3	データドライバ
5	ラッチ回路部
6	ホールド回路部
7	DAC部
9	遅延選択回路
19	選択制御端子
21	デコーダ(デコーダ回路)
22	遅延回路(遅延時間設定回路)
23	階調データバス
24, 25	遅延選択回路
26	ラッチ
27	遅延選択回路(時間可変遅延回路)
28	カウンタ
31~34	データドライバ
100	液晶モジュール
CLK1	クロック信号
COUNT	カウント値
DATA	階調データ(表示データ)
D0~D4	下位4ビット
END	ラッチ回路選択信号
LOAD	データロード信号
LOAD(DL)	データロード信号
SEL	選択制御信号(制御信号)

30

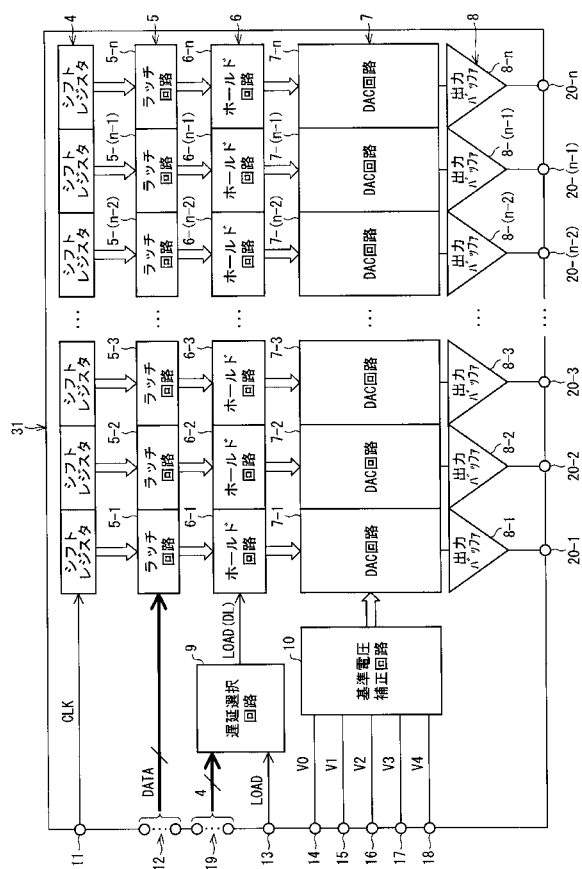
40

50

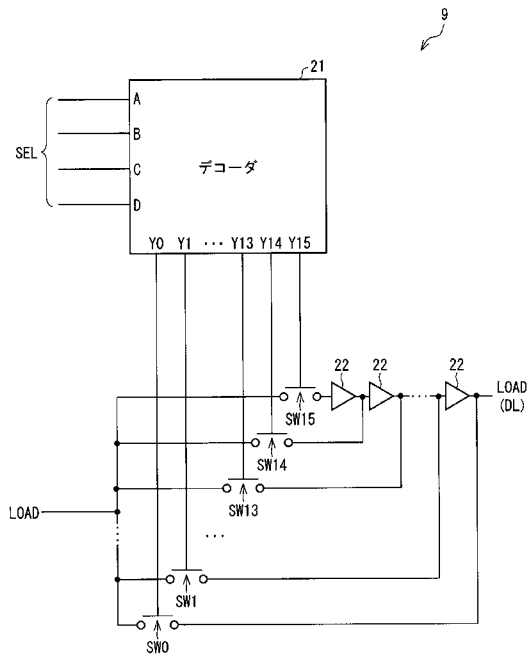
【图 1】



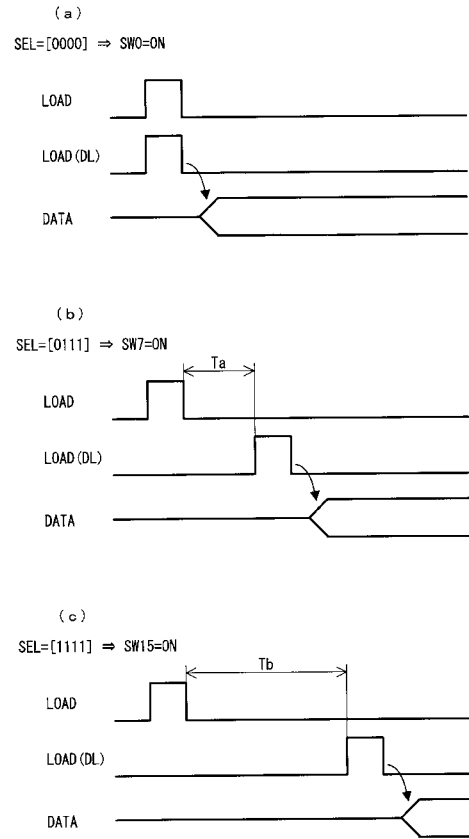
【图 2】



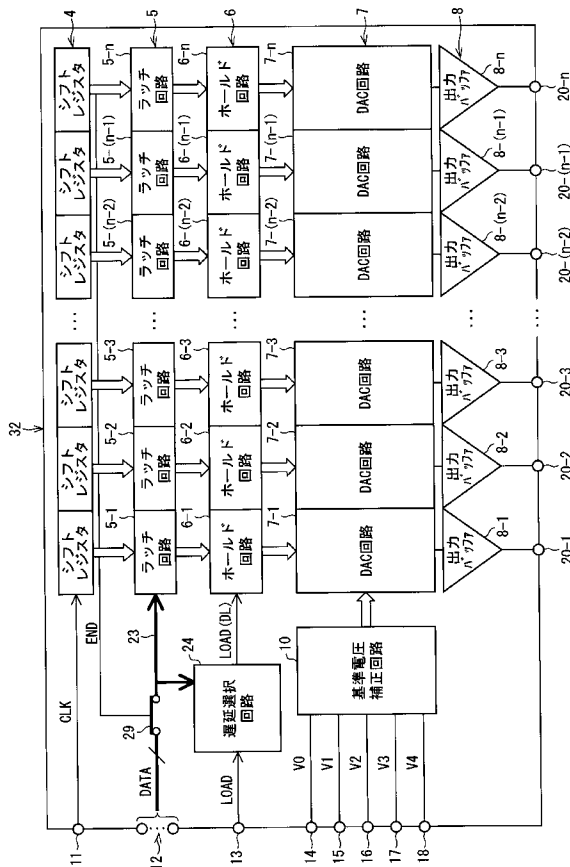
【図 3】



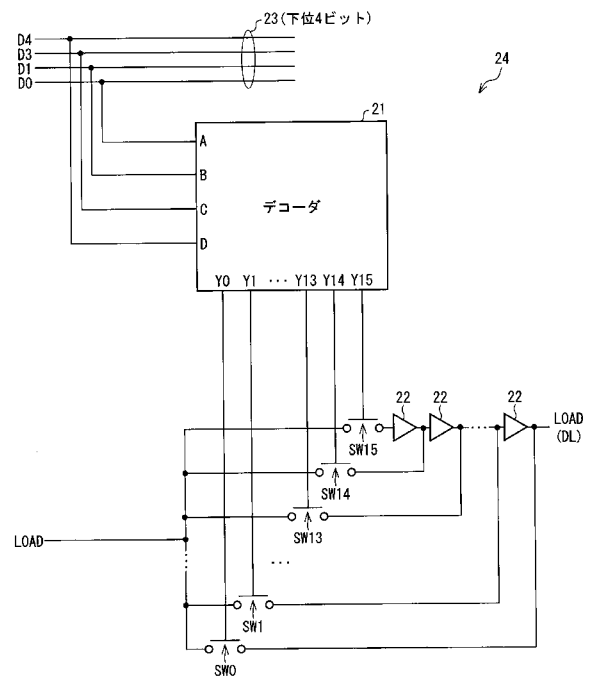
【図 4】



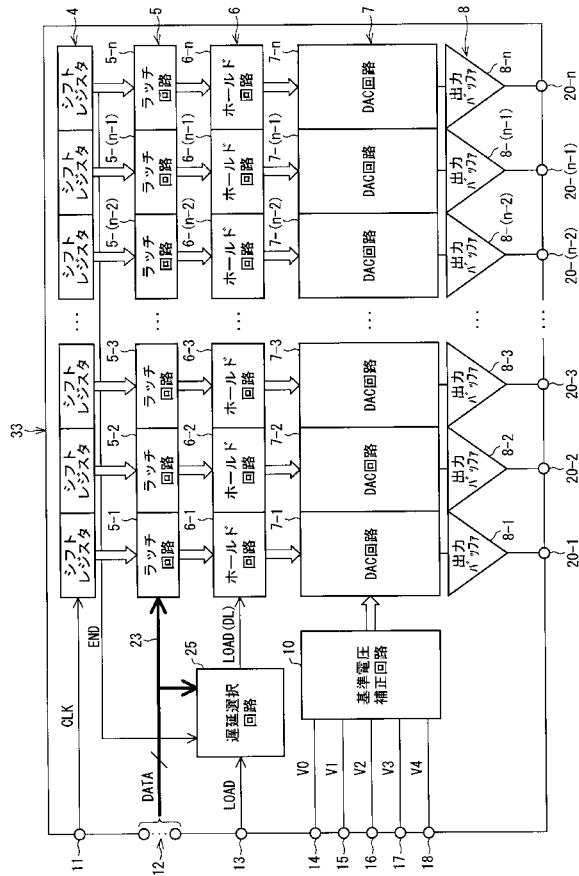
【図 5】



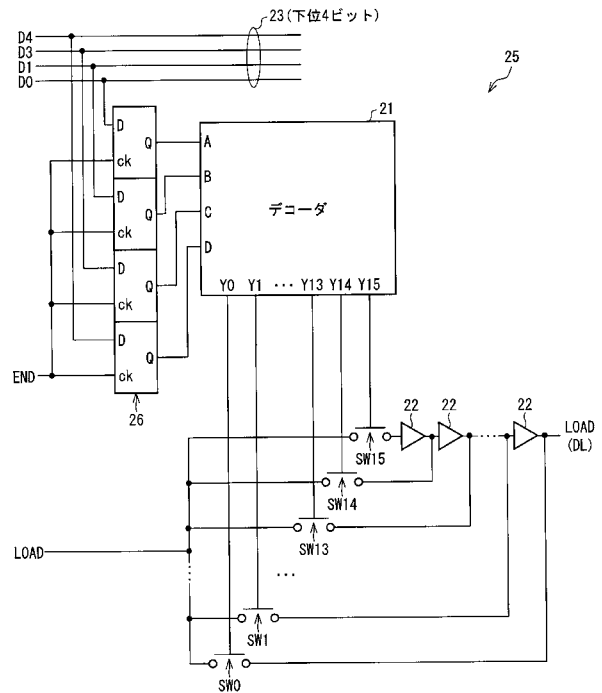
【図 6】



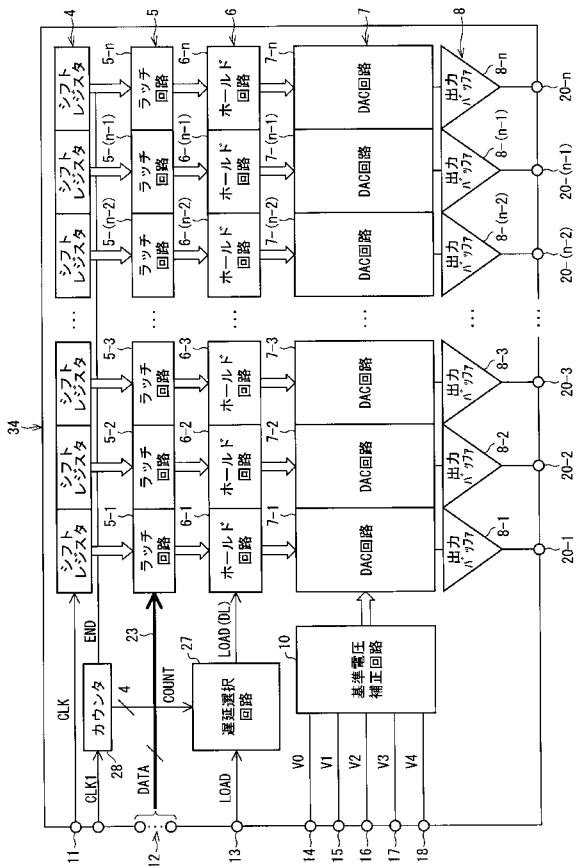
【図 7】



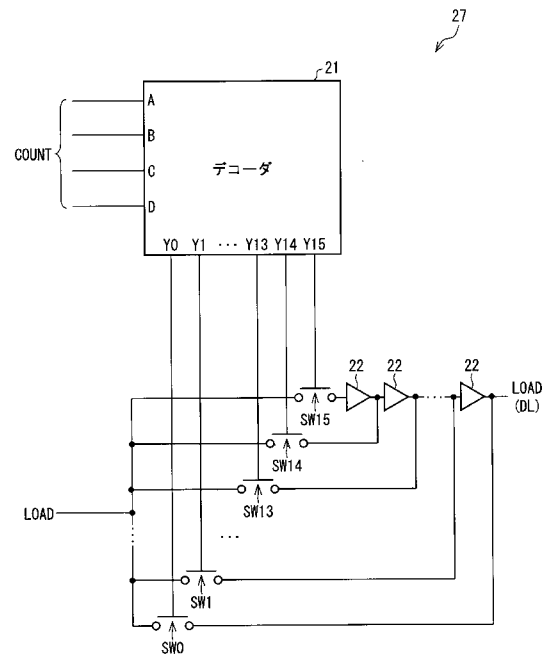
【図 8】



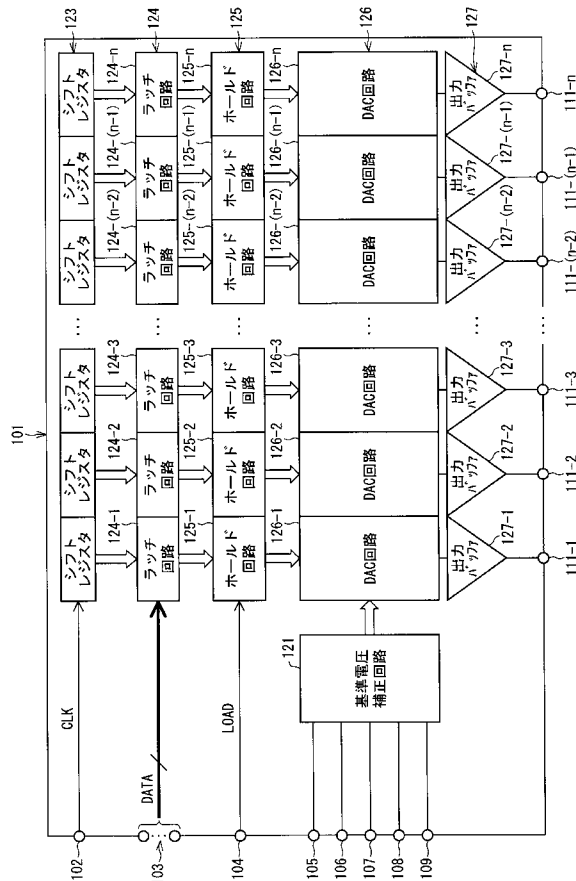
【図 9】



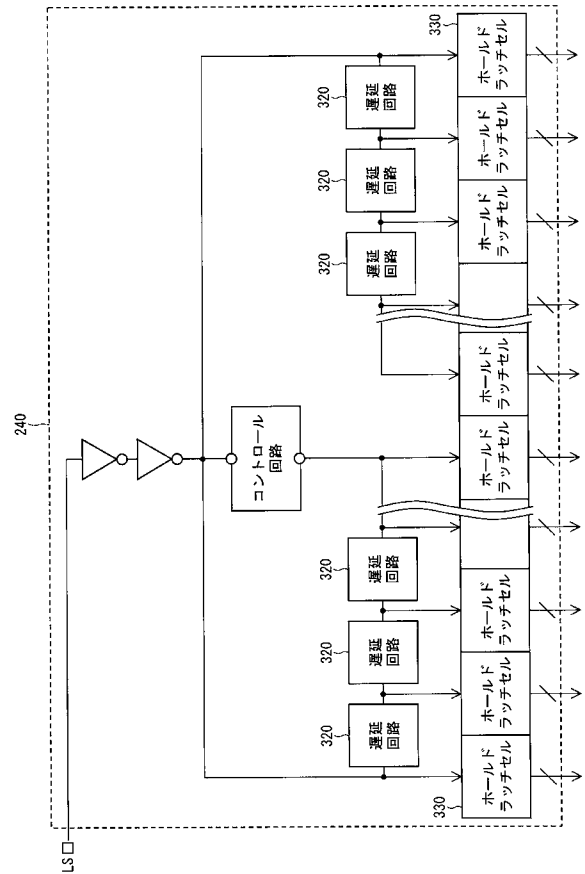
【図 10】



【図 1 1】



【図 1 2】



【手続補正書】

【提出日】平成20年7月4日(2008.7.4)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

入力された表示データをデータライン毎に記憶するラッチ回路と、当該ラッチ回路に記憶されている表示データをデータロード信号のタイミングで一斉に保持するホールド回路と、当該ホールド回路に保持された表示データに基づいて複数の階調電圧から1つを選択して出力する選択出力回路を備え、表示装置においてカスケード接続された状態で搭載される集積化された表示駆動装置において、

制御信号に基づいて遅延時間を決定し、前記データロード信号を前記遅延時間で遅延させる時間可変遅延回路を備え、

前記時間可変遅延回路は、複数ビットからなる前記制御信号をデコードするデコーダと、予め異なった複数の前記遅延時間を設定している遅延時間設定回路と、前記デコーダによるデコード値に基づいて、前記遅延時間設定回路で設定されている複数の前記遅延時間から1つを選択する遅延時間選択回路とを有していることを特徴とする表示駆動装置。

【請求項 2】

表示駆動装置が搭載される表示装置で生成された前記制御信号を入力する入力端子を有していることを特徴とする請求項1に記載の表示駆動装置。

【請求項 3】

前記時間可変遅延回路は、前記制御信号として前記表示データを利用することを特徴と

する請求項 1 に記載の表示駆動装置。

【請求項 4】

前記時間可変遅延回路は、前記制御信号として 1 回の走査における最後に取り込んだ前記表示データを利用することを特徴とする請求項 1 に記載の表示駆動装置。

【請求項 5】

1 回の走査における最後に取り込んだ前記表示データを前記表示データを伝送する伝送配線に保持させる保持手段を備えていることを特徴とする請求項 4 に記載の表示駆動装置。

【請求項 6】

1 回の走査における最後に取り込んだ前記表示データを保持するラッチを備えていることを特徴とする請求項 4 に記載の表示駆動装置。

【請求項 7】

表示パネルに前記階調電圧を出力する複数の表示駆動装置がカスケード接続された状態で前記表示パネルに実装されている表示装置において、

前記表示駆動装置が請求項 1 ないし 6 のいずれか 1 項に記載の表示駆動装置であり、

前記データロード信号が、少なくとも 1 つの前記表示駆動装置と他の前記表示駆動装置との間で異なるように設定されていることを特徴とする表示装置。

【請求項 8】

外部から入力される前記表示データの取り込みタイミングに同期したクロック信号をカウントし、表示駆動装置が前記表示データの取り込みを終了した時点でカウントを停止してカウント値を保持するカウンタを備え、

前記時間可変遅延回路は、前記制御信号として前記カウント値を用いることを特徴とする請求項 1 に記載の表示駆動装置。

【請求項 9】

前記カウンタは、カウントを停止するまでに予め設定されたカウント値でカウント値をリセットすることを特徴とする請求項 8 に記載の表示駆動装置。

【請求項 10】

表示パネルに前記階調電圧を出力する複数の表示駆動装置がカスケード接続された状態で前記表示パネルに実装されている表示装置において、

前記表示駆動装置が請求項 8 または 9 に記載の表示駆動装置であり、

前記カウンタが停止したときのカウント値が、少なくとも 1 つの前記表示駆動装置と他の前記表示駆動装置との間で異なるように設定されていることを特徴とする表示装置。

【請求項 11】

表示パネルに前記階調電圧を出力する複数の表示駆動装置がカスケード接続された状態で前記表示パネルに実装されている表示装置において、

前記表示駆動装置が請求項 9 に記載の表示駆動装置であり、

前記カウンタが停止したときのカウント値が異なる前記表示駆動装置の数が最大となるように、前記カウンタをリセットするカウント値が設定されていることを特徴とする表示装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

本発明に係る表示駆動装置は、入力された表示データをデータライン毎に記憶するラッチ回路と、当該ラッチ回路に記憶されている表示データをデータロード信号のタイミングで一斉に保持するホールド回路と、当該ホールド回路に保持された表示データに基づいて複数の階調電圧から 1 つを選択して出力する選択出力回路を備え、表示装置においてカスケード接続された状態で搭載される集積化された表示駆動装置において、上記課題を解決

するために、制御信号に基づいて遅延時間を決定し、前記データロード信号を前記遅延時間で遅延させる時間可変遅延回路を備え、前記時間可変遅延回路は、複数ビットからなる前記制御信号をデコードするデコーダと、予め異なった複数の前記遅延時間を設定している遅延時間設定回路と、前記デコーダによるデコード値に基づいて、前記遅延時間設定回路で設定されている複数の前記遅延時間から1つを選択する遅延時間選択回路とを有していることを特徴としている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正の内容】

【0018】

上記の構成において、遅延時間設定回路は、例えば、所定の遅延時間が設定されている遅延回路である。これにより、比較的簡単な回路で時間可変遅延回路を構成することができる。

フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 2 F 1/133 5 7 5

Fターム(参考) 2H093 NA16 NA53 NC03 NC12 NC16 NC22 NC26 NC27 NC34 ND06
ND42 ND49
5C006 AA16 AF83 BF03 BF04 BF11 FA41 FA51
5C080 AA10 BB05 DD22 EE29 JJ02 JJ04

专利名称(译)	显示驱动设备和显示设备		
公开(公告)号	JP2008262132A	公开(公告)日	2008-10-30
申请号	JP2007106464	申请日	2007-04-13
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	上山浩一 勝谷昌史 柳田治		
发明人	上山 浩一 勝谷 昌史 柳田 治		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3685 G09G2310/027 G09G2330/025 G09G2330/045 G09G2330/06		
FI分类号	G09G3/36 G09G3/20.623.F G09G3/20.623.G G09G3/20.623.H G09G3/20.641.C G02F1/133.575		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NC03 2H093/NC12 2H093/NC16 2H093/NC22 2H093/NC26 2H093/NC27 2H093/NC34 2H093/ND06 2H093/ND42 2H093/ND49 5C006/AA16 5C006/AF83 5C006/BF03 5C006/BF04 5C006/BF11 5C006/FA41 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD22 5C080/EE29 5C080/JJ02 5C080/JJ04 2H193/ZA04 2H193/ZD23 2H193/ZF03 2H193/ZF34 2H193/ZF36		
外部链接	Espacenet		

摘要(译)

要解决的问题：在显示设备中移动驱动信号的输出时序而不增加芯片面积。 解决方案：在数据驱动器31中提供延迟选择电路9，用于将显示数据（灰度电压）输出到液晶显示板。数据加载信号LOAD定义了将锁存在锁存电路单元5中的灰度数据DATA提取到保持电路单元6中的定时。延迟选择电路9使数据加载信号LOAD延迟基于从选择控制端子19输入的选择控制信号SEL确定的延迟时间。通过使安装在液晶显示板上的多个数据驱动器31之间的选择控制信号SEL不同，使得灰度数据DATA进入数据驱动器31之间的保持电路部分6的定时不同。 .The

