

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-241828

(P2008-241828A)

(43) 公開日 平成20年10月9日(2008.10.9)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 670G	5C006
G02F 1/133 (2006.01)	G09G 3/20 622D	5C080
	G09G 3/20 622C	
	G09G 3/20 622S	
審査請求 未請求 請求項の数 5 O L (全 12 頁) 最終頁に続く		

(21) 出願番号 特願2007-78678 (P2007-78678)
 (22) 出願日 平成19年3月26日 (2007. 3. 26)

(71) 出願人 502356528
 株式会社 日立ディスプレイズ
 千葉県茂原市早野3300番地
 (74) 代理人 100083552
 弁理士 秋田 収喜
 (74) 代理人 100103746
 弁理士 近野 恵一
 (72) 発明者 ▲高▼橋 聡
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内
 (72) 発明者 大平 智秀
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内

最終頁に続く

(54) 【発明の名称】 表示装置

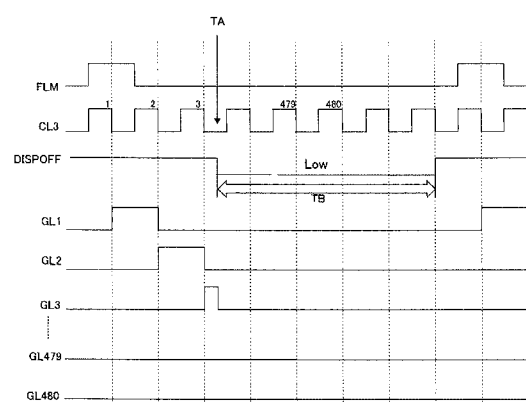
(57) 【要約】

【課題】表示装置において、外部から入力される外部表示制御信号に異常が生じた場合でも、液晶表示パネルに表示される画像に大きな変動が生じるのを防止する。

【解決手段】数のサブピクセルと、前記複数のサブピクセルに走査電圧を入力する複数の走査線とを有する表示パネルと、前記複数の走査線に順次選択走査電圧を供給する走査線駆動回路と、前記走査線駆動回路を制御する表示制御回路とを備え、前記表示制御回路は、外部から入力される表示制御信号の異常を検出する異常検出回路を有し、前記表示制御回路は、前記異常検出回路において表示制御信号の異常を検出したときに、前記走査線駆動回路における、前記複数の走査線に順次選択走査電圧を供給するスキャン動作を中止させる。

【選択図】 図3

図3



【特許請求の範囲】**【請求項 1】**

複数のサブピクセルと、前記複数のサブピクセルに選択走査電圧を入力する複数の走査線とを有する表示パネルと、

前記複数の走査線に順次前記選択走査電圧を供給する走査線駆動回路と、

前記走査線駆動回路を制御する表示制御回路とを備える表示装置であって、

前記表示制御回路は、外部から入力される表示制御信号の異常を検出する異常検出回路を有し、

前記表示制御回路は、前記異常検出回路において表示制御信号の異常を検出したときに、前記走査線駆動回路における、前記複数の走査線に順次選択走査電圧を供給するスキャン動作を中止させることを特徴とする表示装置。

10

【請求項 2】

前記異常検出回路は、前記外部から特定の表示制御信号が入力された時点から、前記特定の表示制御信号よりも周期が短い表示制御信号をカウントするカウンタと、

前記カウンタでカウントを開始した後に前記外部から特定の表示制御信号が入力されたときに、当該特定の表示制御信号が入力された時点での前記カウンタのカウント数が所定の値よりも少ない場合に異常信号を出力する回路とを有し、

前記表示制御回路は、前記異常検出回路から異常信号が出力された時に、前記走査線駆動回路における、前記複数の走査線に順次選択走査電圧を供給するスキャン動作を中止させる D I S P O F F 信号を前記走査線駆動回路に出力することを特徴とする請求項 1 に記載の表示装置。

20

【請求項 3】

前記特定の表示制御信号は、外部から入力される垂直同期信号であり、

前記特定の表示制御信号よりも周期が短い表示制御信号は、外部から入力される水平同期信号であることを特徴する請求項 2 に記載の表示装置。

【請求項 4】

前記特定の表示制御信号は、外部から入力される水平同期信号であり、

前記特定の表示制御信号よりも周期が短い表示制御信号は、外部から入力されるドットクロックであることを特徴する請求項 2 に記載の表示装置。

【請求項 5】

前記特定の表示制御信号は、外部から入力されるディスプレイタイミング信号であり、

前記特定の表示制御信号よりも周期が短い表示制御信号は、外部から入力されるドットクロックであることを特徴する請求項 2 に記載の表示装置。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、表示装置に係り、特に、外部から入力される表示制御信号の異常を検出する表示制御回路を備える表示装置に関する。

【背景技術】**【0002】**

アクティブ素子として薄膜トランジスタを使用する T F T 方式の液晶表示モジュールは高精細な画像を表示できるため、テレビ、パソコン用ディスプレイ等の表示装置として使用されている。特に、小型の T F T 方式の液晶表示装置は、携帯電話機の表示部として多用されている。

40

一般に、液晶表示パネルは、一对の基板間に液晶層を挟持して構成される。この液晶表示パネルは、隣接する 2 本の走査線（ゲート線ともいう。）と、隣接する 2 本の映像線（ソース線またはドレイン線ともいう。）とで囲まれる領域に、走査線から選択走査信号が入力されたときにオンする薄膜トランジスタと、映像線から映像信号が薄膜トランジスタを介して供給される画素電極とが形成されて、所謂、サブピクセルが構成される。

また、複数の映像線には、液晶表示パネルの周辺部に配置されるドレインドライバから

50

映像電圧（階調電圧）が供給され、複数の走査線には、液晶表示パネルの周辺部に配置されるゲートドライバから選択走査電圧が供給される。

また、ドレインドライバおよびゲートドライバは、表示制御回路（タイミングコントローラともいう）により、制御・駆動される。

さらに、表示制御回路には、外部から外部垂直同期信号（VSYNC）、外部水平同期信号（HSYNC）、ディスプレイタイミング信号（DTMG）、ドットクロック（DCLK）、並びに、表示データが入力される。

【発明の開示】

【発明が解決しようとする課題】

【0003】

一般に、表示制御回路は、外部から入力される外部垂直同期信号（VSYNC）、外部水平同期信号（HSYNC）、ディスプレイタイミング信号（DTMG）、ドットクロック（DCLK）に基づき、フレーム開始信号（FLM）、表示データラッチ用クロック（CL2）、出力タイミング制御用クロック（CL1）、シフトクロック信号（CL3）を生成し、表示データラッチ用クロック（CL2）と、出力タイミング制御用クロック（CL1）をドレインドライバに、フレーム開始信号（FLM）と、シフトクロック信号（CL3）をゲートドライバに出力し、ドレインドライバおよびゲートドライバを制御・駆動する。

しかしながら、外部から入力される外部垂直同期信号（VSYNC）、外部水平同期信号（HSYNC）、およびディスプレイタイミング信号（DTMG）にノイズが重畳すると、表示制御回路が誤動作を起こし、液晶表示パネルに表示される画像が乱れることになる。

例えば、図8に示すように、表示制御回路は、外部垂直同期信号（VSYNC）から内部垂直同期信号（VSYNCI）を生成する。この内部垂直同期信号（VSYNCI）は、外部垂直同期信号（VSYNC）の立ち上がりに同期して、所定時間、Highレベルとなる立ち上がりパルス部（A1、A2）を有し、表示制御回路は、この内部垂直同期信号（VSYNCI）に基づき、フレーム開始信号をゲートドライバに出力する。

そして、図8に示すように、ゲートドライバは、内部垂直同期信号（VSYNCI）の立ち上がりパルス部（A1）に同期して、GL1の走査線から順次選択走査電圧を供給するスキャン動作を開始する。

【0004】

仮に、図8に示すように、外部垂直同期信号（VSYNC）にノイズ（B1）が重畳すると、表示制御回路は、外部垂直同期信号（VSYNC）が入力されたものと認識し、内部垂直同期信号（VSYNCI）に、当該ノイズに対応する立ち上がりパルス部（A3）を生成する。

これにより、ゲートドライバは、本来ならば、GL470～GL480の走査線に順次選択走査電圧を供給するスキャン動作を実行する所を、GL1の走査線から順次選択走査電圧を供給するスキャン動作を再度開始する。

このとき、表示データは、1フレーム内の途中の表示データであるため、液晶表示パネルに表示される画像は、上にずれた表示になり、1フレームで表示される画像が大きく変動するという問題点があった。

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、表示装置において、外部から入力される外部表示制御信号に異常が生じた場合でも、液晶表示パネルに表示される画像に大きな変動が生じるのを防止することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【課題を解決するための手段】

【0005】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

10

20

30

40

50

(1) 複数のサブピクセルと、前記複数のサブピクセルに選択走査電圧を入力する複数の走査線とを有する表示パネルと、前記複数の走査線に順次前記選択走査電圧を供給する走査線駆動回路と、前記走査線駆動回路を制御する表示制御回路とを備える表示装置であって、前記表示制御回路は、外部から入力される表示制御信号の異常を検出する異常検出回路を有し、前記表示制御回路は、前記異常検出回路において表示制御信号の異常を検出したときに、前記走査線駆動回路における、前記複数の走査線に順次選択走査電圧を供給するスキャン動作を中止させる。

【 0 0 0 6 】

(2) (1) において、前記異常検出回路は、前記外部から特定の表示制御信号が入力された時点から、前記特定の表示制御信号よりも周期が短い表示制御信号をカウントするカウンタと、前記カウンタでカウントを開始した後に前記外部から特定の表示制御信号が入力されたときに、当該特定の表示制御信号が入力された時点での前記カウンタのカウント数が所定の値よりも少ない場合に異常信号を出力する回路とを有し、前記表示制御回路は、前記異常検出回路から異常信号が出力された時に、前記走査線駆動回路における、前記複数の走査線に順次選択走査電圧を供給するスキャン動作を中止させる D I S P O F F 信号を前記走査線駆動回路に出力する。

10

(3) (2) において、前記特定の表示制御信号は、外部から入力される垂直同期信号であり、前記特定の表示制御信号よりも周期が短い表示制御信号は、外部から入力される水平同期信号である。

(4) (2) において、前記特定の表示制御信号は、外部から入力される水平同期信号であり、前記特定の表示制御信号よりも周期が短い表示制御信号は、外部から入力されるドットクロックである。

20

(5) (2) において、前記特定の表示制御信号は、外部から入力されるディスプレイタイミング信号であり、前記特定の表示制御信号よりも周期が短い表示制御信号は、外部から入力されるドットクロックである。

【 発 明 の 効 果 】

【 0 0 0 7 】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

本発明の表示装置によれば、外部から入力される外部表示制御信号に異常が生じた場合でも、液晶表示パネルに表示される画像に大きな変動が生じるのを防止することが可能となる。

30

【 発 明 を 実 施 す る た め の 最 良 の 形 態 】

【 0 0 0 8 】

以下、本発明を液晶表示モジュールに適用した実施例を図面を参照して詳細に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

図 1 は、本発明の実施例の液晶表示モジュールの概略構成を示すブロック図である。本実施例の液晶表示モジュールは、液晶表示パネル 1、ドレインドライバ 2、ゲートドライバ 3、表示制御回路 4、および電源回路 5 で構成される。

40

ドレインドライバ 2 と、ゲートドライバ 3 は、液晶表示パネル 1 の周辺部に設置される。例えば、ドレインドライバ 2 と、ゲートドライバ 3 は、液晶表示パネル 1 の一対の基板の第 1 の基板（例えば、ガラス基板）の 2 辺の周辺部に、それぞれ C O G 方式で実装される。あるいは、ドレインドライバ 2 と、ゲートドライバ 3 は、液晶表示パネル 1 の第 1 の基板の 2 辺の周辺部に配置されるフレキシブル回路基板に、それぞれ C O F 方式で実装される。

また、表示制御回路 4 と、電源回路 5 は、液晶表示パネル 1 の周辺部（例えば、液晶表示モジュールの裏側）に配置される回路基板にそれぞれ実装される。

表示制御回路 4 は、パソコンやテレビ受信回路等の表示信号源（ホスト側）から入力さ

50

れる表示信号を、データの交流化等、液晶表示パネル 1 の表示に適したタイミング調整を行い、表示形式の表示データに変換して同期信号（クロック信号）と共にドレインドライバ 2、ゲートドライバ 3 に入力する。

【0009】

ゲートドライバ 3 は、表示制御回路 4 の制御の基に走査線（ゲート線ともいう；GL）に選択走査電圧を順次供給し、また、ドレインドライバ 2 は、映像線（ドレイン線、ソース線ともいう；DL）に映像電圧を供給して映像を表示する。電源回路 5 は液晶表示装置に要する各種の電圧を生成する。

液晶表示パネル 1 は、複数のサブピクセルを有し、各サブピクセルは、映像線（DL）と走査線（GL）とで囲まれた領域に設けられる。なお、本実施例の液晶表示パネル 1 は、640×3×480 個のサブピクセルで構成される。

各サブピクセルは、薄膜トランジスタ（TFT）を有し、薄膜トランジスタ（TFT）の第 1 の電極（ドレイン電極またはソース電極）は映像線（DL）に接続され、薄膜トランジスタ（TFT）の第 2 の電極（ソース電極またはドレイン電極）は画素電極（PX）に接続される。また、薄膜トランジスタ（TFT）のゲート電極は、走査線（GL）に接続される。

なお、図 1 において、LC は、画素電極（PX）と対向電極（CT）との間に配置される液晶層を等価的に示す液晶容量であり、Cadd は、画素電極（PX）と対向電極（CT）との間に形成される保持容量である。

【0010】

図 1 に示す液晶表示パネル 1 において、列方向に配置された各サブピクセルの薄膜トランジスタ（TFT）の第 1 の電極は、それぞれ映像線（DL）に接続され、各映像線（DL）は列方向に配置されたサブピクセルに、表示データに対応する映像電圧（階調電圧）を供給するドレインドライバ 2 に接続される。

また、行方向に配置された各サブピクセルにおける薄膜トランジスタ（TFT）のゲート電極は、それぞれ走査線（GL）に接続され、各走査線（GL）は、1 水平走査時間、薄膜トランジスタ（TFT）のゲートに走査電圧（正あるいは負のバイアス電圧）を供給するゲートドライバ 3 に接続される。

表示制御回路 4 は、1 個の半導体集積回路（LSI）から構成され、外部から入力されてくるドットクロック（DCLK）、ディスプレイタイミング信号（DTMG）、外部水平同期信号（HSYNC）、外部垂直同期信号（VSYNC）の各表示制御信号および表示用データ（Din）を基に、ドレインドライバ 2、および、ゲートドライバ 3 を制御・駆動する。

表示制御回路 4 は、ディスプレイタイミング信号（DTMG）が入力されると、これを表示開始位置と判断し、受け取った単純 1 列の表示データを、表示データのバスラインを介してドレインドライバ 2 に出力する。

その際、表示制御回路 4 は、ドレインドライバ 2 のデータラッチ回路に表示データをラッチするための表示制御信号である表示データラッチ用クロック信号（CL2）を信号線を介して出力する。

【0011】

表示制御回路 4 は、ディスプレイタイミング信号（DTMG）の入力が終了するか、または、ディスプレイタイミング信号（DTMG）が入力されてから所定の一定時間が過ぎると、1 水平分の表示データが終了したものとして、ドレインドライバ 2 のラッチ回路に蓄えていた表示データを液晶表示パネル 1 の映像線（DL）に出力するための表示制御信号である出力タイミング制御用クロック信号（CL1）を信号線を介してドレインドライバ 2 に出力する。これにより、ドレインドライバ 2 は、表示データに対応する映像電圧を、映像線（DL）に供給する。

また、表示制御回路 4 は、垂直同期信号入力後に、第 1 番目のディスプレイタイミング信号が入力されると、これを第 1 番目の表示ラインと判断して信号線を介してゲートドライバ 3 にフレーム開始指示信号（FLM）を出力する。

さらに、表示制御回路 4 は、水平同期信号に基づいて、1 水平走査時間毎に、順次液晶表示パネル 1 の各走査線 (GL) に選択走査電圧 (正のバイアス電圧) を供給するように、信号線を介してゲートドライバ 3 へ 1 水平走査時間周期のシフトクロック (CL3) を出力する。

これにより、液晶表示パネル 1 の各走査線 (GL) に接続された複数の薄膜トランジスタ (TFT) が、1 水平走査時間の間導通する。

映像線 (DL) に供給された電圧は、1 水平走査時間の間導通する薄膜トランジスタ (TFT) を経由して、画素電極 (PX) に印加され、最終的に、保持容量 (Cadd) と、液晶容量 (LC) に電荷がチャージされ、液晶分子をコントロールすることにより画像が表示される。

10

【0012】

液晶表示パネル 1 は、画素電極 (PX)、薄膜トランジスタ (TFT) 等が形成される第 1 の基板と、カラーフィルタ等が形成される第 2 の基板とを、所定の間隙を隔てて重ね合わせ、該両基板間の周縁部近傍に枠状に設けたシール材により、両基板を貼り合わせると共に、シール材の一部に設けた液晶封入口から両基板間のシール材の内側に液晶を封入、封止し、さらに、両基板の外側に偏光板を貼り付けて構成される。

なお、対向電極 (CT) は、TN 方式や VA 方式の液晶表示パネルであれば第 2 の基板側に設けられる。IPS 方式の場合は、第 1 の基板側に設けられる。

また、本発明は、液晶パネルの内部構造とは関係がないので、液晶パネルの内部構造の詳細な説明は省略する。さらに、本発明は、どのような構造の液晶パネルであっても適用可能である。

20

【0013】

図 2 は、本実施例の液晶表示モジュールにおいて、表示制御回路 4 に入力される外部垂直同期信号 (VSYNC) に異常、即ち、ノイズが重畳されていない場合のゲートドライバ 3 の入力信号と、出力信号を示すタイミングチャートである。

表示制御回路 4 は、外部垂直同期信号 (VSYNC) の入力後に、ゲートドライバ 3 にフレーム開始指示信号 (FLM) を出力する。さらに、表示制御回路 4 は、外部水平同期信号 (HSYNC) に基づいて、ゲートドライバ 3 へ 1 水平走査時間周期のシフトクロック (CL3) を出力する。

これにより、図 2 に示すように、GL1 ~ GL480 の各走査線に、順次選択走査電圧を供給するスキャン動作を開始する。なお、ゲートドライバ 3 は、表示制御回路 4 から入力される DISPOFF 信号が High レベルのときに、GL1 ~ GL480 の各走査線に、順次選択走査電圧を供給するスキャン動作を開始する。

30

【0014】

図 3 は、本実施例の液晶表示モジュールにおいて、表示制御回路 4 に入力される外部垂直同期信号 (VSYNC) に異常、即ち、ノイズが重畳された場合のゲートドライバ 3 の入力信号と、出力信号を示すタイミングチャートである。

図 3 に示すように、図 3 の TA の時点で、外部垂直同期信号 (VSYNC) にノイズが重畳されたときには、図 3 の TB の期間、DISPOFF 信号が Low レベルとなるので、ゲートドライバ 3 は、GL1 ~ GL480 の各走査線に、順次選択走査電圧を供給するスキャン動作を中止する。(図 3 の GL3、GL479、GL480 参照。)

40

このように、本実施例では、外部垂直同期信号 (VSYNC) にノイズが重畳された時点で、ゲートドライバ 3 はスキャン動作を中止するようにしたので、このフレームで液晶表示パネル 1 に表示される画像は、いままでスキャンしたものとなる。

一般に、1 フレーム程度の休止では、液晶表示パネル 1 に表示される画像に大きな変動がないので、外部垂直同期信号 (VSYNC) にノイズが重畳された時点で、ゲートドライバ 3 がスキャン動作を中止したとしても、見た目には、液晶表示パネル 1 に表示される画像には何の変化もない。

【0015】

表示制御回路 4 は、外部から入力される外部垂直同期信号 (VSYNC)、外部水平同

50

期信号 (H S Y N C)、ディスプレイタイミング信号 (D T M G) の異常を検出する異常検出回路 40 を有する。

図 4 は、図 1 に示す異常検出回路 40 の一例を示す回路図である。図 4 に示す異常検出回路 40 は、外部垂直同期信号 (V S Y N C) の異常を検出する回路である。

図 4 に示す異常検出回路 40 では、外部水平同期信号 (H S Y N C) をカウントするカウンタ 41 を有する。本実施例では、外部水平同期信号数は、480 であるので、カウンタ 41 は、カウント数が 480 になると H i g h レベルを出力する。

いま、外部垂直同期信号 (V S Y N C) の信号波形が図 5 に示す波形とし、外部垂直同期信号 (V S Y N C) に異常、即ち、ノイズが重畳されていない状態のときには、カウンタ 41 は、480 まで外部水平同期信号をカウントする。カウンタ 41 のカウント数が 480 になると、カウンタ 41 の出力は H i g h レベルとなる。

カウンタ 41 の出力はインバータ (I N V) を介して第 1 のオア回路 (O R 1) に入力されるので、カウンタ 41 の出力が H i g h レベルの状態のときには、第 1 のオア回路 (O R 1) の一方の端子には、L o w レベルが入力されている。

したがって、外部垂直同期信号 (V S Y N C) が L o w レベルになった時点で、第 1 のオア回路 (O R 1) は L o w レベルとなり、オア回路 (O R 1) から表示制御回路 4 に入力される入力外部垂直同期信号 (V S - I N) が出力される。

また、第 2 のオア回路 (O R 2) の一方の端子には、カウンタ 41 の出力が入力される。カウンタ 41 の出力が H i g h レベルの状態のときには、第 2 のオア回路 (O R 2) の一方の端子には、H i g h レベルが入力されている。したがって、外部垂直同期信号 (V S Y N C) が L o w レベルになったとしても、第 2 のオア回路 (O R 2) の出力は H i g h レベルのまま変化しない。

【0016】

また、外部垂直同期信号 (V S Y N C) に異常、即ち、ノイズが重畳されているときには、ノイズが重畳された時点で、カウンタ 41 のカウント数は 480 よりも少ないので、カウンタ 41 の出力は L o w レベルのままである。このとき、第 1 のオア回路 (O R 1) の一方の端子には、H i g h レベルが入力されているので、ノイズにより、外部垂直同期信号 (V S Y N C) が L o w レベルになっても、第 1 のオア回路 (O R 1) の出力は変化しない。

しかしながら、第 2 のオア回路 (O R 2) の一方の端子に入力される、カウンタ 41 の出力は L o w レベルであるので、ノイズにより、外部垂直同期信号 (V S Y N C) が L o w レベルになると、第 2 のオア回路 (O R 2) は L o w レベルとなり、異常検出信号 (D - O F F) が出力される。

表示制御回路 4 は、この異常検出信号 (D - O F F) に基づき、D I S P O F F 信号を L o w レベルとして、ゲートドライバ 3 のスキャン動作を中止させる。

なお、カウンタ 41 は、第 1 のオア回路 (O R 1) の出力 (L o w レベル) により初期化される。

【0017】

前述までの説明では、外部垂直同期信号 (V S Y N C) にノイズが重畳された場合について説明したが、以下の説明では、それ以外の表示制御信号にノイズが重畳された場合について説明する。

図 6 は、図 1 に示す異常検出回路 40 の他の例を示す回路図である。図 6 に示す異常検出回路 40 は、外部水平同期信号 (H S Y N C) の異常を検出する回路である。

図 6 に示す異常検出回路 40 では、カウンタ 41 は、ドットクロック信号 (H S Y N C) をカウントする。本実施例では、1 表示ラインのサブピクセル数は、640 であるので、カウンタ 41 は、カウント数が 640 になると、H i g h レベルを出力する。

いま、外部水平同期信号 (H S Y N C) の信号波形が図 5 に示す波形とし、外部水平同期信号 (H S Y N C) に異常、即ち、ノイズが重畳されていない状態のときには、前述した動作と同様の動作により、外部水平同期信号 (H S Y N C) が L o w レベルになった時点で、第 1 のオア回路 (O R 1) は L o w レベルとなり、表示制御回路 4 に入力される入

10

20

30

40

50

力外部水平同期信号 (H S - I N) が出力される。

また、外部水平同期信号 (H S Y N C) が L o w レベルになったとしても、第 2 のオア回路 (O R 2) の出力は H i g h レベルのまま変化しない。

また、外部水平同期信号 (H S Y N C) に異常、即ち、ノイズが重畳されているときには、ノイズが重畳された時点で、カウンタ 4 1 のカウント数は 6 4 0 よりも少ないので、カウンタ 4 1 の出力は L o w レベルである。したがって、ノイズにより、外部水平同期信号 (H S Y N C) が L o w レベルになっても、第 1 のオア回路 (O R 1) の出力は変化しない。

しかしながら、第 2 のオア回路 (O R 2) の一方の端子に入力される、カウンタ 4 1 の出力は L o w レベルであるので、ノイズにより、外部水平同期信号 (H S Y N C) が L o w レベルになると、第 2 のオア回路 (O R 2) は L o w レベルとなり、異常検出信号 (D - O F F) が出力される。

表示制御回路 4 は、この異常検出信号 (D - O F F) に基づき、D I S P O F F 信号を L o w レベルとして、ゲートドライバ 3 のスキャン動作を中止させる。

【 0 0 1 8 】

図 7 は、図 1 に示す異常検出回路 4 0 の他の例を示す回路図である。図 7 に示す異常検出回路 4 0 は、ディスプレイタイミング信号 (D T M G) の異常を検出する回路である。

図 7 に示す異常検出回路 4 0 では、カウンタ 4 1 は、ドットクロック信号 (H S Y N C) をカウントする。本実施例では、1 表示ラインのサブピクセル数は、6 4 0 であるので、カウンタ 4 1 は、カウント数が 6 4 0 になると、H i g h レベルを出力する。

いま、ディスプレイタイミング信号 (D T M G) の信号波形が図 5 に示す波形とし、ディスプレイタイミング信号 (D T M G) に異常、即ち、ノイズが重畳されていないときには、前述した動作と同様の動作により、ディスプレイタイミング信号 (D T M G) が L o w レベルになった時点で、第 1 のオア回路 (O R 1) は L o w レベルとなり、表示制御回路 4 に入力される入力ディスプレイタイミング信号 (D T - I N) が出力される。

また、ディスプレイタイミング信号 (D T M G) が L o w レベルになったとしても、第 2 のオア回路 (O R 2) の出力は H i g h レベルのまま変化しない。

また、ディスプレイタイミング信号 (D T M G) に異常、即ち、ノイズが重畳されているときには、ノイズが重畳された時点で、カウンタ 4 1 のカウント数は 6 4 0 よりも少ないので、カウンタ 4 1 の出力は L o w レベルであり、第 1 のオア回路 (O R 1) の出力は変化しない。

しかしながら、第 2 のオア回路 (O R 2) の一方の端子に入力される、カウンタ 4 1 の出力は L o w レベルであるので、ノイズにより、ディスプレイタイミング信号 (D T M G) が L o w レベルになると、第 2 のオア回路 (O R 2) は L o w レベルとなり、異常検出信号 (D - O F F) が出力される。

表示制御回路 4 は、この異常検出信号 (D - O F F) に基づき、D I S P O F F 信号を L o w レベルとして、ゲートドライバ 3 のスキャン動作を中止させる。

【 0 0 1 9 】

以上説明したように、本実施例では、外部から表示制御信号 (例えば、外部垂直同期信号 (V S Y N C)、外部水平同期信号 (H S Y N C)、ディスプレイタイミング信号 (D T M G)) が入力された時点から、異常検出回路 4 0 のカウンタ 4 1 が、特定の表示制御信号よりも周期が短い表示制御信号 (例えば、外部水平同期信号 (H S Y N C)、ドットクロック (D C L K)) をカウントする。そして、カウントを開始した後に、外部から表示制御信号が入力されたときに、カウンタ 4 1 のカウント数が所定の値よりも少ない場合に異常信号を出力する。

表示制御回路 4 は、異常検出回路 4 1 から異常信号が出力された時に、走査線駆動回路 3 における、複数の走査線に順次選択走査電圧を供給するスキャン動作を中止させる D I S P O F F 信号を走査線駆動回路に出力するようにしたので、外部から入力される外部表示制御信号に異常が生じた場合でも、液晶表示パネルに表示される画像に大きな変動が生じるのを防止することが可能となる。

10

20

30

40

50

なお、前述までの説明では、本発明を液晶表示装置に適用した実施例について説明したが、本発明はこれに限定されるものではなく、本発明は、例えば、有機ＥＬ表示装置などのサブピクセルを有する表示装置全般に適用可能であることはいうまでもない。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【図面の簡単な説明】

【００２０】

【図１】本発明の実施例の液晶表示モジュールの概略構成を示すブロック図である。

【図２】本発明の実施例の液晶表示モジュールにおいて、表示制御回路に入力される外部垂直同期信号（ＶＳＹＮＣ）に異常、即ち、ノイズが重畳されていない場合のゲートドライバの入力信号と、出力信号を示すタイミングチャートである。

【図３】本発明の実施例の液晶表示モジュールにおいて、表示制御回路に入力される外部垂直同期信号（ＶＳＹＮＣ）に異常、即ち、ノイズが重畳された場合のゲートドライバの入力信号と、出力信号を示すタイミングチャートである。

【図４】図１に示す異常検出回路の一例を示す回路図である。

【図５】本発明の実施例の液晶表示モジュールにおける、外部垂直同期信号（ＶＳＹＮＣ）、外部水平同期信号（ＨＳＹＮＣ）、およびディスプレイタイミング信号（ＤＴＭＧ）の信号波形を示す図である。

【図６】図１に示す異常検出回路の他の例を示す回路図である。

【図７】図１に示す異常検出回路の他の例を示す回路図である。

【図８】外部から入力される外部垂直同期信号（ＶＳＹＮＣ）に、ノイズが重畳された場合の問題点を説明するための図である。

【符号の説明】

【００２１】

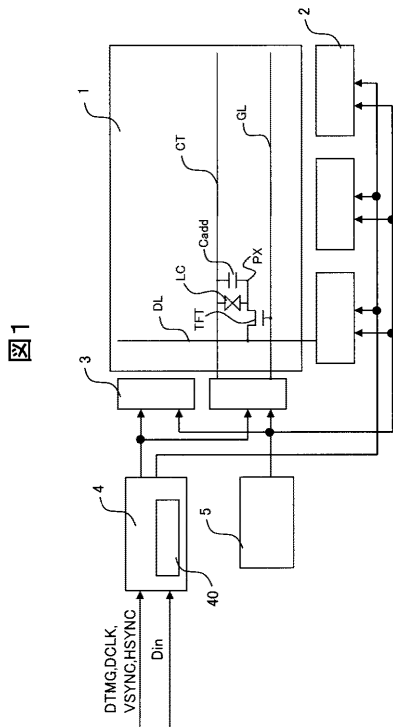
- １ 液晶表示パネル
- ２ ドレインドライバ
- ３ ゲートドライバ
- ４ 表示制御回路
- ５ 電源回路
- ４０ 異常検出回路
- ４１ カウンタ
- ＧＬ 走査線（ゲート線）
- ＤＬ 映像線（ドレイン線、ソース線）
- ＴＦＴ 薄膜トランジスタ
- ＰＸ 画素電極
- ＣＴ 対向電極
- ＬＣ 液晶容量
- Ｃａｄｄ 保持容量

10

20

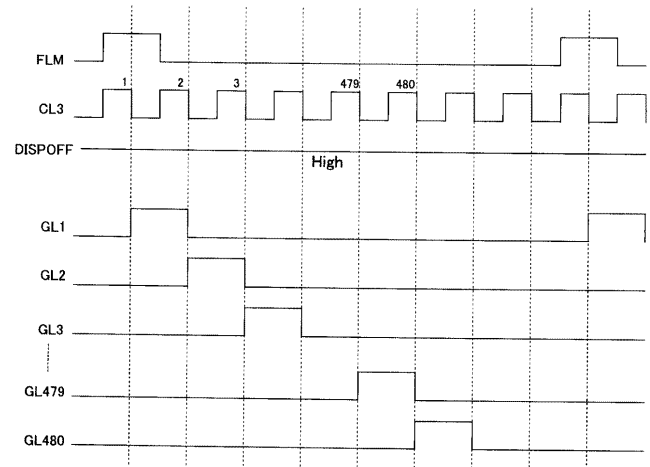
30

【 図 1 】



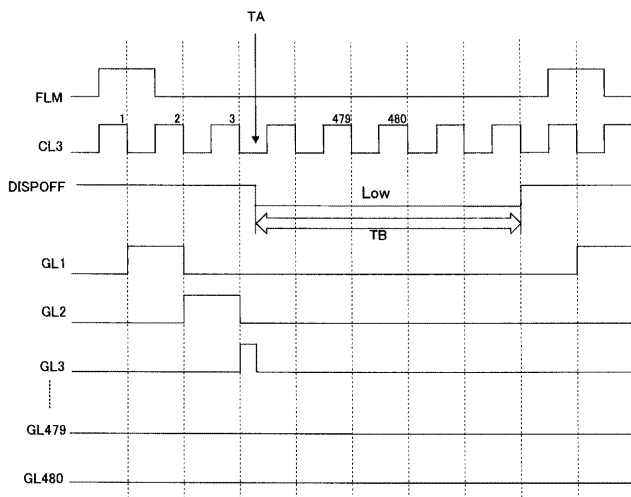
【 図 2 】

図2



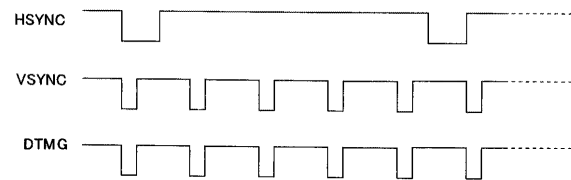
【 図 3 】

図3



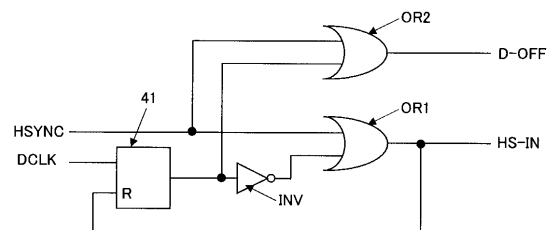
【 図 5 】

図5



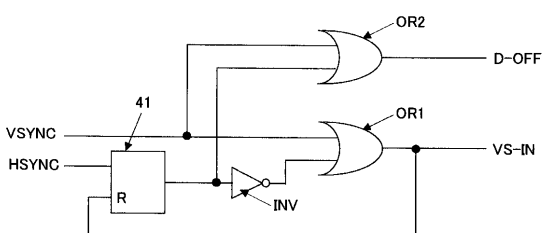
【 図 6 】

図6

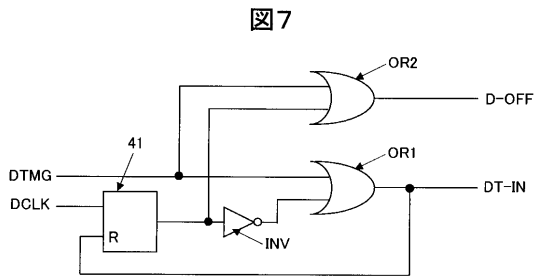


【 図 4 】

図4

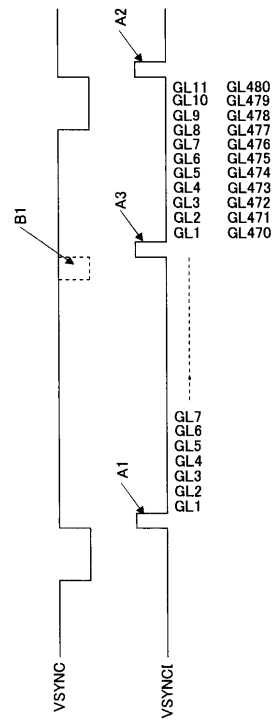


【 図 7 】



【 図 8 】

図 8



 フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 1 2 L
G 0 9 G	3/20	6 2 3 P
G 0 9 G	3/20	6 7 0 E
G 0 2 F	1/133	5 0 5

F ターム(参考)	2H093	NA16	NC03	NC10	NC12	NC26	NC27	NC34	NC35	NC50	NC59
		NC71	ND40	ND60	NF04	NF05					
	5C006	AA01	AA16	AC11	AC22	AF42	AF44	AF51	AF53	AF65	AF68
		AF72	BB16	BC03	BF06	BF14	BF22	BF24	BF26	BF27	FA23
		FA31									
	5C080	AA10	BB05	DD06	DD09	DD12	DD14	EE19	EE29	FF11	GG08
		JJ02	JJ03	JJ04							

专利名称(译)	表示装置		
公开(公告)号	JP2008241828A	公开(公告)日	2008-10-09
申请号	JP2007078678	申请日	2007-03-26
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	高橋 聡 大平 智秀		
发明人	▲高▼橋 聡 大平 智秀		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.670.G G09G3/20.622.D G09G3/20.622.C G09G3/20.622.S G09G3/20.612.L G09G3/20.623.P G09G3/20.670.E G02F1/133.505		
F-TERM分类号	2H093/NA16 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC26 2H093/NC27 2H093/NC34 2H093/NC35 2H093/NC50 2H093/NC59 2H093/NC71 2H093/ND40 2H093/ND60 2H093/NF04 2H093/NF05 5C006/AA01 5C006/AA16 5C006/AC11 5C006/AC22 5C006/AF42 5C006/AF44 5C006/AF51 5C006/AF53 5C006/AF65 5C006/AF68 5C006/AF72 5C006/BB16 5C006/BC03 5C006/BF06 5C006/BF14 5C006/BF22 5C006/BF24 5C006/BF26 5C006/BF27 5C006/FA23 5C006/FA31 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD09 5C080/DD12 5C080/DD14 5C080/EE19 5C080/EE29 5C080/FF11 5C080/GG08 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZF03 2H193/ZF22 2H193/ZF36 2H193/ZQ06		
外部链接	Espacenet		

摘要(译)

要解决的问题：即使在显示装置中从外部输入的外部显示控制信号发生故障时，也要防止在液晶显示面板上显示的图像中出现大的变化。

ŽSOLUTION：显示装置包括：显示面板，具有多个子像素和多条扫描线，用于向多个子像素施加扫描电压；扫描线驱动电路，用于向多条扫描线提供顺序选择扫描电压；以及用于控制扫描线驱动电路的显示控制电路。显示控制电路具有用于检测从外部输入的显示控制信号的故障的故障检测电路，并且显示控制电路在扫描线中停止向多个扫描线提供顺序选择扫描电压的扫描操作。当故障检测电路检测到显示控制信号的故障时，驱动电路。Ž

