

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-170687

(P2008-170687A)

(43) 公開日 平成20年7月24日(2008.7.24)

(51) Int.Cl.			F I			テーマコード (参考)	
G09G	3/36	(2006.01)	G09G	3/36		2H093	
G02F	1/133	(2006.01)	G02F	1/133	550	5C006	
G09G	3/20	(2006.01)	G09G	3/20	623V	5C080	
			G09G	3/20	642A		
			G09G	3/20	623L		

審査請求 未請求 請求項の数 3 O L (全 16 頁)

(21) 出願番号 特願2007-3406 (P2007-3406)
(22) 出願日 平成19年1月11日 (2007.1.11)

(71) 出願人 000002185
ソニー株式会社
東京都港区港南1丁目7番1号
(74) 代理人 100086298
弁理士 船橋 國則
(72) 発明者 加藤 正和
東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内
(72) 発明者 櫻井 洋介
東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内
(72) 発明者 坂本 健彦
東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内

最終頁に続く

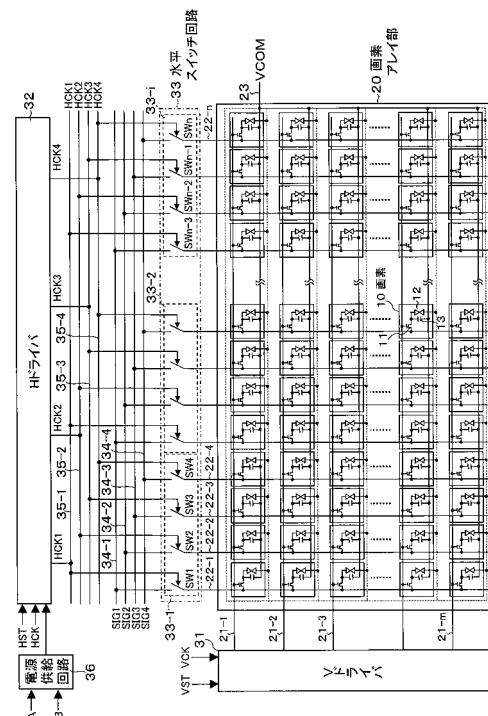
(54) 【発明の名称】 液晶表示装置、液晶表示装置の駆動方法および電子機器

(57) 【要約】

【課題】映像信号を書き込むときの隣接信号線間の寄生容量によるカップリングに起因する縦スジを抑制する。

【解決手段】疑似線順次駆動にて映像信号を書き込む際に、立ち上がり（または、立ち下がり）が徐々に変化する波形の水平スイッチパルスHCK1～HCK4を用いて水平スイッチ回路33の各スイッチSW1～SWnを駆動することで、隣接する信号線間の寄生容量によるカップリングの影響を抑えるようにする。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

液晶セルを含む画素が行列状に配置され、当該行列状の画素配列に対して画素列ごとに信号線が配線されてなる画素アレイ部と、

前記画素アレイ部の各画素を行単位で選択する第 1 駆動手段と、

映像信号を供給するビデオ線と前記信号線の各々との間に配置されたスイッチ群からなるスイッチ回路を有し、隣接する N 本の信号線 (N は 2 以上の整数) を単位として、当該単位ごとに N 系統の映像信号を入力するとともに、当該 N 系統の映像信号を N 本の信号線を介して N 個の画素に順番に前記スイッチ回路を介して書き込む第 2 駆動手段とを備え、

前記第 2 駆動手段は、立ち上がりまたは立ち下がり徐徐に変化する波形の信号によって前記スイッチ回路の各スイッチを駆動する

ことを特徴とする液晶表示装置。

10

【請求項 2】

液晶セルを含む画素が行列状に配置され、当該行列状の画素配列に対して画素列ごとに信号線が配線されてなる画素アレイ部と、

前記画素アレイ部の各画素を行単位で選択する第 1 駆動手段と、

映像信号を供給するビデオ線と前記信号線の各々との間に配置されたスイッチ群からなるスイッチ回路を有し、隣接する N 本の信号線 (N は 2 以上の整数) を単位として、当該単位ごとに N 系統の映像信号を入力するとともに、当該 N 系統の映像信号を N 本の信号線を介して N 個の画素に順番に前記スイッチ回路を介して書き込む第 2 駆動手段とを備えた液晶表示装置の駆動方法であって、

20

立ち上がりまたは立ち下がり徐徐に変化する波形の信号によって前記スイッチ回路の各スイッチを駆動する

ことを特徴とする液晶表示装置の駆動方法。

【請求項 3】

液晶セルを含む画素が行列状に配置され、当該行列状の画素配列に対して画素列ごとに信号線が配線されてなる画素アレイ部と、

前記画素アレイ部の各画素を行単位で選択する第 1 駆動手段と、

映像信号を供給するビデオ線と前記信号線の各々との間に配置されたスイッチ群からなるスイッチ回路を有し、隣接する N 本の信号線 (N は 2 以上の整数) を単位として、当該単位ごとに N 系統の映像信号を入力するとともに、当該 N 系統の映像信号を N 本の信号線を介して N 個の画素に順番に前記スイッチ回路を介して書き込む第 2 駆動手段とを備え、

30

立ち上がりまたは立ち下がり徐徐に変化する波形の信号によって前記スイッチ回路の各スイッチを駆動する

液晶表示装置を有することを特徴とする電子機器。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、液晶表示装置、液晶表示装置の駆動方法および電子機器に関する。

【背景技術】

40

【0002】

液晶セルを含む画素が行列状に 2 次元配置されてなる液晶表示装置において、各画素に映像信号を書き込むための駆動方式として、画素単位に順番に映像信号を書き込む点順次駆動方式と、行単位に一斉に映像信号を書き込む線順次駆動方式がある。

【0003】

点順次駆動方式の液晶表示装置では、選択行の各画素に対して順番に映像信号を書き込むときの信号線の電位変化が、隣接信号線との間に介在する寄生容量によるカップリングによって当該隣接信号線の電位が持ち上げられ、このカップリングに起因する電位変化が縦スジとして認識されてしまうことが知られている (例えば、特許文献 1 参照)。

【0004】

50

【特許文献 1】特開 2 0 0 3 - 3 3 7 3 2 0 号 公 報

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 5】

このような、信号線間の寄生容量のカップリングに起因する縦スジの問題は、点順次駆動方式の液晶表示装置に限らず、線順次駆動方式でも特殊な駆動方式を採る液晶表示装置において顕著に発生することが判明した。

【0 0 0 6】

その特殊な駆動方式とは、隣接する N 本の信号線 (N は 2 以上の整数) を単位として、当該単位ごとに N 系統の映像信号を入力するとともに、当該 N 系統の映像信号を N 本の信号線を介して N 個の画素に順番に書き込む駆動方式である (以下、この駆動方式を「疑似線順次駆動方式」と記述する)。

【0 0 0 7】

ここで、図 1 6 を用いて、 $N = 4$ の疑似線順次駆動方式を例に挙げて説明する。4 系統の映像信号 $SIG1 \sim SIG4$ がビデオ線 $101 - 1 \sim 101 - 4$ を介して入力される。これらビデオ線 $101 - 1 \sim 101 - 4$ と例えば i 列目 $\sim i + 3$ 列目の 4 本の信号線 $102 - i \sim 102 - i + 3$ との間には、水平スイッチ $103 - i \sim 103 - i + 3$ が接続されている。

【0 0 0 8】

これら水平スイッチ $103 - i \sim 103 - i + 3$ は、クロック線 $104 - 1 \sim 104 - 4$ を介して入力される水平スイッチパルス $HCK1 \sim HCK4$ によって順番にオン (閉) 駆動されることにより、4 系統の映像信号 $SIG1 \sim SIG4$ を 4 本の信号線 $102 - i \sim 102 - i + 3$ を介して 4 個の画素 $105 - i \sim 105 - i + 3$ に順番に書き込む。

【0 0 0 9】

図 1 7 に、水平スイッチパルス $HCK1 \sim HCK4$ および 4 系統の映像信号 $SIG1 \sim SIG4$ のタイミング関係を示す。

【0 0 1 0】

図 1 7 から明らかなように、4 本の信号線 $102 - i \sim 102 - i + 3$ を単位とする 4 系統の映像信号 $SIG1 \sim SIG4$ の書き込みは 1 H (H は水平期間) 内で行われ、またある 1 H 内の 4 系統目の映像信号 $SIG4$ の書き込みタイミングと次の 1 H の 1 系統目の映像信号 $SIG1$ の書き込みタイミングとの間には水平ブランキング期間が存在する。

【0 0 1 1】

ここで、信号線線 $102 - i \sim 102 - i + 3$ の相互間に寄生容量 C_p が存在することにより、映像信号 $SIG1 \sim SIG4$ の書き込みの際に、図 1 7 に示すように、映像信号 $SIG1$ が書き込まれる信号線 $102 - i$ は、一方の側に隣接する信号線 $102 - i + 1$ に映像信号 $SIG2$ を書き込むときと、他方の側に隣接する信号線 $102 - i - 1$ に映像信号 $SIG4$ を書き込むときの 2 回に亘って、寄生容量 C_p によるカップリングによって ΔV だけ信号線電位が持ち上げられる。

【0 0 1 2】

映像信号 $SIG2$ が書き込まれる信号線 $102 - i + 1$ については、信号線 $102 - i + 2$ に映像信号 $SIG3$ を書き込むときの 1 回だけ、映像信号 $SIG3$ が書き込まれる信号線 $102 - i + 2$ については、信号線 $102 - i + 3$ に映像信号 $SIG4$ を書き込むときの 1 回だけそれぞれカップリングを受ける。一方、映像信号 $SIG4$ が書き込まれる信号線 $102 - i + 3$ については、最終書き込みのためにカップリングは受けない。

【0 0 1 3】

これにより、信号線 $102 - i$ では 2 回のカップリングによって信号線電位が $2 \Delta V$ だけ変化するのに対して、信号線 $102 - i + 3$ ではカップリングによる信号線電位の変化がないために、隣り合う両信号線 $102 - i$, $102 - i + 3$ 間に $2 \Delta V$ もの電位差が発生する。その結果、信号線 $102 - i$, $102 - i + 3$ 間の電位差 $2 \Delta V$ が縦スジとして認識される。

10

20

30

40

50

【 0 0 1 4 】

そこで、本発明は、映像信号を書き込むときの隣接信号線間の寄生容量によるカップリングに起因する縦スジを抑制可能な液晶表示装置、液晶表示装置の駆動方法および電子機器を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 5 】

本発明による液晶表示装置は、液晶セルを含む画素が行列状に配置され、当該行列状の画素配列に対して画素列ごとに信号線が配線されてなる画素アレイ部と、前記画素アレイ部の各画素を行単位で選択する第 1 駆動手段と、映像信号を供給するビデオ線と前記信号線の各々との間に配置されたスイッチ群からなるスイッチ回路を有し、隣接する N 本の信号線（N は 2 以上の整数）を単位として、当該単位ごとに N 系統の映像信号を入力するとともに、当該 N 系統の映像信号を N 本の信号線を介して N 個の画素に順番に前記スイッチ回路を介して書き込む第 2 駆動手段とを備え、立ち上がりまたは立ち下がり徐々に変化する波形の信号によって前記スイッチ回路の各スイッチを駆動することとを特徴とする。

【 0 0 1 6 】

上記構成の液晶表示装置および当該液晶表示装置を有する電子機器において、疑似線順次駆動にて映像信号を書き込む際に、映像信号を書き込むスイッチを、立ち上がりまたは立ち下がり徐々に変化する波形の信号によって駆動することで、信号線を信号電位によって徐々に充電する形となるために、隣接する信号線間の寄生容量によるカップリングの影響が抑えられる。

【 発明の効果 】

【 0 0 1 7 】

本発明によれば、疑似線順次駆動にて映像信号を書き込む際に、隣接する信号線間の寄生容量によるカップリングの影響を抑えることができるために、当該カップリングに起因する縦スジを抑制できる。

【 発明を実施するための最良の形態 】

【 0 0 1 8 】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【 0 0 1 9 】

図 1 は、本発明の一実施形態に係る疑似線順次駆動方式のアクティブマトリクス型液晶表示装置の構成例を示すシステム構成図である。ここで、液晶表示装置は、少なくとも一方が透明な 2 枚の基板（図示せず）が対向して配置され、これら 2 枚の基板間に液晶材料が封入されて液晶層を形成したパネル構造となっている。

【 0 0 2 0 】

図 1 において、画素 1 0 は、アクティブ素子である例えば T F T (Thin Film Transistor; 薄膜トランジスタ) からなる画素トランジスタ 1 1 と、この画素トランジスタ 1 1 のドレイン電極に画素電極が接続された液晶セル 1 2 と、この液晶セル 1 2 の画素電極に一方の電極が接続された保持容量 1 3 とを有し、一方の基板上に行列状（マトリクス状）に 2 次元配置されて画素アレイ部 2 0 を形成している。ここで、液晶セル 1 2 は、画素電極とこれに対向して形成される対向電極との間で発生する液晶容量を意味する。

【 0 0 2 1 】

画素アレイ部 2 0 には、m 行 n 列の画素配列に対して画素行ごとに走査線 2 1 - 1 ~ 2 1 - m が配線され、画素列ごとに信号線 2 2 - 1 ~ 2 2 - n が配線されている。そして、行列状に配置された画素 1 0 の各々において、画素トランジスタ 1 1 のゲート電極が走査線 2 1 - 1 ~ 2 1 - m に接続され、ソース電極が信号線 2 2 - 1 ~ 2 2 - n に接続されている。

【 0 0 2 2 】

液晶セル 1 2 の対向電極は、他方の基板（対向基板）に全画素に対して共通に、I T O (Indium Tin Oxide) 等によって形成されたいわゆるベタ配線となっている。このベタ配線の対向電極には、コモン線 2 3 を介してコモン電位 V C O M が供給される。このコモン電

位 V_{COM} は、保持容量 13 の他方の電極には全画素共通に与えられる。

【0023】

画素アレイ部 20 の各画素 10 を駆動する駆動回路として、画素アレイ部 20 の例えば左側に垂直 (V) ドライバ 31 が配置され、画素アレイ部 20 の例えば上側に水平 (H) ドライバ 32 が配置され、画素アレイ部 20 と水平ドライバ 32 との間に水平スイッチ回路 33 が配置されている。

【0024】

なお、ここでは、図面の簡略化のために、垂直ドライバ 31、水平ドライバ 32 およびスイッチ回路 33 のみを図示したが、必要に応じて、レベルシフト回路やプリチャージ回路なども駆動回路として配置される。

10

【0025】

また、水平ドライバ 32 と水平スイッチ回路 33 との間には、N 系統 (N は 2 以上の整数、本例では $N = 4$) の映像信号 $SIG1 \sim SIG4$ をそれぞれ伝送する 4 本のビデオ線 $34-1 \sim 34-4$ と、4 相の水平スイッチパルス $HCK1 \sim HCK4$ をそれぞれ伝送する 4 本のクロック線 $35-1 \sim 35-4$ とが配線されている。

【0026】

垂直ドライバ 31 は第 1 駆動手段であり、例えばシフトレジスタやバッファなどによって構成され、垂直スタート信号 VST が与えられると、垂直クロック信号 VCK に同期して順次次段の転送段にパルスを転送し、各転送段から画素アレイ部 20 の各画素 10 を行単位で選択走査するための走査パルスを出力する。この走査パルスは、走査線 $21-1 \sim 21-m$ を介して各画素 10 に行単位で順に与えられることで、各画素 10 の画素トランジスタ 12 を行単位でオン/オフ駆動する。

20

【0027】

水平ドライバ 32 は、例えばシフトレジスタやバッファなどによって構成され、水平スタート信号 HST が与えられると、水平クロック信号 HCK に同期して順次次段の転送段にパルスを転送し、各転送段から 4 相の水平スイッチパルス $HCK1 \sim HCK4$ を 1 H 周期で繰り返し出力する。これら 4 相の水平スイッチパルス $HCK1 \sim HCK4$ は、4 本のクロック線 $35-1 \sim 35-4$ にそれぞれ供給される。

【0028】

水平スイッチ回路 33 は、4 系統の映像信号 $SIG1 \sim SIG4$ に対応して 4 本の信号線を単位とし、当該単位ごとに 4 個のスイッチが配置されてなるスイッチ回路 $33-1 \sim 33-i$ ($i = n/4$) によって構成されている。

30

【0029】

スイッチ回路 $33-1 \sim 33-i$ 、例えばスイッチ回路 $33-1$ の 4 個のスイッチ $SW1 \sim SW4$ のうち、スイッチ $SW1$ は、信号線 $22-1$ とビデオ線 $34-1$ との間に接続され、水平ドライバ 32 からクロック線 $35-1$ を介して与えられる水平スイッチパルス $HCK1$ に応答してオン状態になることで、ビデオ線 $34-1$ を介して与えられる映像信号 $SIG1$ を、信号線 $22-1$ を介して 1 列目の選択行の画素に書き込む。

【0030】

スイッチ $SW2$ は、信号線 $22-2$ とビデオ線 $34-2$ との間に接続され、水平ドライバ 32 からクロック線 $35-2$ を介して与えられる水平スイッチパルス $HCK2$ に応答してオン状態になることで、ビデオ線 $34-2$ を介して与えられる映像信号 $SIG2$ を、信号線 $22-2$ を介して 2 列目の選択行の画素に書き込む。

40

【0031】

スイッチ $SW3$ は、信号線 $22-3$ とビデオ線 $34-3$ との間に接続され、水平ドライバ 32 からクロック線 $35-3$ を介して与えられる水平スイッチパルス $HCK3$ に応答してオン状態になることで、ビデオ線 $34-3$ を介して与えられる映像信号 $SIG3$ を、信号線 $22-3$ を介して 3 列目の選択行の画素に書き込む。

【0032】

スイッチ $SW4$ は、信号線 $22-4$ とビデオ線 $34-4$ との間に接続され、水平ドライ

50

バ 3 2 からクロック線 3 5 - 4 を介して与えられる水平スイッチパルス H C K 4 に応答してオン状態になることで、ビデオ線 3 4 - 4 を介して与えられる映像信号 S I G 4 を、信号線 2 2 - 4 を介して 4 列目の選択行の画素に書き込む。

【 0 0 3 3 】

以降、4 本の信号線を単位とするスイッチ回路 3 3 - 2 ~ 3 3 - i についても、スイッチ回路 3 3 - 1 の 4 個のスイッチ S W 1 ~ S W 4 と同様の接続関係で、ビデオ線 3 4 - 1 ~ 3 4 - 4 の各々と信号線 2 2 - 5 ~ 2 2 - n の各々との間に接続されている。

【 0 0 3 4 】

上述した水平ドライバ 3 2 および水平スイッチ回路 3 3 の各スイッチ回路 3 3 - 1 ~ 3 3 - i は第 2 駆動手段を構成しており、当該第 2 駆動手段の作用により、隣接する N 本の信号線（本例では、N = 4）を単位として、当該単位ごとに 4 系統の映像信号 S I G 1 ~ S I G 4 を入力するとともに、当該 4 系統の映像信号 S I G 1 ~ S I G 4 を 4 本の信号線を介して 4 個の画素に順番に書き込む疑似線順次駆動が行われる。

【 0 0 3 5 】

上記構成の疑似線順次駆動方式の液晶表示装置において、本実施形態では、水平スイッチ回路 3 3 におけるスイッチ回路 3 3 - 1 ~ 3 3 - i の各スイッチ S W を駆動する水平スイッチパルス H C K 1 ~ H C K 4 の立ち上がり波形または立ち下がり波形を徐々に変化させることにより、映像信号 S I G 1 ~ S I G 4 を書き込むときの隣接信号線間の寄生容量によるカップリングに起因する縦スジを抑制することの特徴としている。以下に、その構成および作用について具体的に説明する。

【 0 0 3 6 】

（水平ドライバ）

先ず、図 2 を用いて、水平スイッチパルス H C K 1 ~ H C K 4 を発生する水平ドライバ 3 2 の構成について説明する。

【 0 0 3 7 】

図 2 に示すように、水平ドライバ 3 2 は、水平スイッチパルス H C K 1 ~ H C K 4 に対応した 4 段構成のシフトレジスタ 3 2 1 と 4 個のバッファ（最終段）3 2 2 - 1 ~ 3 2 2 - 4 によって構成されている。

【 0 0 3 8 】

シフトレジスタ 3 2 1 は、水平スタートパルス信号 H S T が入力されると、当該水平スタートパルス信号 H S T を水平クロック信号 H C K に同期して順次シフトすることによって各シフト段（転送段）からシフトパルスを順次出力する。これらシフトパルスは、バッファ 3 2 2 - 1 ~ 3 2 2 - 4 を経た後、クロック線 3 5 - 1 ~ 3 5 - 4 を介してスイッチ回路 3 3 - 1 ~ 3 3 - i に水平スイッチパルス H C K 1 ~ H C K 4 として供給される。

【 0 0 3 9 】

（最終段バッファ）

続いて、図 3 を用いて、水平ドライバ 3 2 における最終段バッファ 3 2 2 （3 2 2 - 1 ~ 3 2 2 - 4）の回路構成について説明する。

【 0 0 4 0 】

図 3 に示すように、最終段バッファ 3 2 2 （3 2 2 - 1 ~ 3 2 2 - 4）は、インバータ 3 2 2 1 と C M O S インバータ 3 2 2 2 によって構成されている。C M O S インバータ 3 2 2 2 は、電源端子 3 2 3 とグランドとの間に直列に接続され、各ゲートがインバータ 3 2 2 1 の出力端に共通に接続された P チャネル M O S トランジスタ 3 2 2 3 および N チャネル M O S トランジスタ 3 2 2 4 によって構成されている。

【 0 0 4 1 】

上記構成の最終段バッファ 3 2 2 の例えば正側電源電圧として、図 1 に示す電源供給回路 3 6 から電源端子 3 2 3 を介して電源電圧が供給される。ただし、電源供給回路 3 6 から与えられる電源電圧は定電圧ではない。

【 0 0 4 2 】

（電源供給回路）

10

20

30

40

50

図 4 は、電源供給回路 3 6 の具体的な回路構成の一例を示す回路図である。ここでは、最終段バッファ 3 2 2 の正側電源電圧を生成する回路構成の場合を例に挙げて説明するものとする。

【 0 0 4 3 】

図 4 に示すように、本例に係る電源供給回路 3 6 は、時定数回路 3 6 1 と出力波形生成回路 3 6 2 によって構成されている。時定数回路 3 6 1 には、“ L ” レベルでアクティブとなる負論理の入力パルス A が入力される。出力波形生成回路 3 6 2 には、“ H ” レベルでアクティブとなる正論理の入力パルス B が入力される。

【 0 0 4 4 】

出力波形生成回路 3 6 2 の入力パルス B は、最終段バッファ 3 2 2 の入力パルス H C K i n に同期して、時定数回路 3 6 1 の入力パルス A のアクティブ期間（“ L ” レベルの期間）の途中でアクティブとなり、入力パルス A のアクティブ状態から非アクティブ状態への遷移タイミングから一定時間が経過した後に、アクティブ状態から非アクティブ状態へ遷移する。なお、入力パルス B のパルス幅は、最終段バッファ 3 2 2 の入力パルス H C K i n のパルス幅よりも若干狭く設定されている。

10

【 0 0 4 5 】

時定数回路 3 6 1 は、インバータ 3 6 1 1 と、グランドと電源電圧 V D D （例えば、1.5 V）の電源ラインとの間に直列に接続された N チャネル M O S トランジスタ 3 6 1 2 および分圧抵抗 3 6 1 3 , 3 6 1 4 によって構成されている。ここで、分圧抵抗 3 6 1 3 , 3 6 1 4 は、略同一の抵抗値を有する。時定数回路 3 6 1 の出力電圧 H C L R は、出力波形生成回路 3 6 2 にその負側電源電圧として与えられる。

20

【 0 0 4 6 】

出力波形生成回路 3 6 2 は、正側電源（V D D）と負側電源との間に直列に接続された P チャネル M O S トランジスタ 3 6 2 1 と N チャネル M O S トランジスタ 3 6 2 2 からなり、入力パルス B を各ゲート入力とする C M O S インバータによって構成されている。そして、N チャネル M O S トランジスタ 3 6 2 2 のソースに、時定数回路 3 6 1 の出力電圧 H C L R が負側電源電圧として与えられる。

【 0 0 4 7 】

この出力波形生成回路 3 6 2 の出力電圧 H V D D G は、先述した水平ドライバ 3 2 における最終段バッファ 3 2 2 （3 2 2 - 1 ~ 3 2 2 - 4）にその正側電源電圧として与えられる。

30

【 0 0 4 8 】

続いて、上記構成の電源供給回路 3 6 の回路動作について、図 5 のタイミング波形図を用いて説明する。

【 0 0 4 9 】

図 5 には、入力パルス A と、最終段バッファ 3 2 2 の入力パルス H C K i n と、時定数回路 3 6 1 の出力電圧 H C L R と、入力パルスと B、出力波形生成回路 3 6 2 の出力電圧 H V D D G と、最終段バッファ 3 2 2 の出力パルス H C K o u t の各タイミング関係を示している。

【 0 0 5 0 】

40

まず、入力パルス A がアクティブ（“ L ” レベル）になると、時定数回路 3 6 1 の N チャネル M O S トランジスタ 3 6 1 2 がオン状態になり、分圧抵抗 3 6 1 3 , 3 6 1 4 による分圧回路を形成する。

【 0 0 5 1 】

これにより、分圧抵抗 3 6 1 3 , 3 6 1 4 による分圧ノードの電圧、即ち時定数回路 3 6 1 の出力電圧 H C L R は、電源電圧 V D D から本時定数回路 3 6 1 の時定数で徐々に下降し、分圧抵抗 3 6 1 3 , 3 6 1 4 の各抵抗値が略同一であることから、やがて電源電圧 V D D の略 1 / 2 の電圧値に収束する。

【 0 0 5 2 】

時定数回路 3 6 1 の出力電圧 H C L R が略 V D D / 2 に収束したタイミングで、最終段

50

バッファ 3 2 2 に入力パルス HCK_{in} が入力され、同時に、出力波形生成回路 3 6 2 に入力パルス B が入力される。このとき、出力波形生成回路 3 6 2 の負側電源電圧として時定数回路 3 6 1 の出力電圧 $HCLR$ が与えられ、当該出力電圧 $HCLR$ が略 $VDD/2$ であることから、出力波形生成回路 3 6 2 の出力電圧 $HVDDG$ も略 $VDD/2$ である。

【 0 0 5 3 】

その後、入力パルス A が “ L ” レベルから “ H ” レベルの遷移すると、時定数回路 3 6 1 の N チャンネル MOS トランジスタ 3 6 1 2 がオフ状態になるために、時定数回路 3 6 1 の出力電圧 $HCLR$ は、略 $VDD/2$ から電源電圧 VDD に向けて本時定数回路 3 6 1 の時定数で徐々に上昇し、やがて電源電圧 VDD に収束する。

【 0 0 5 4 】

このように、時定数回路 3 6 1 の出力電圧 $HCLR$ が略 $VDD/2$ から電源電圧 VDD に向けて徐々に上昇することで、出力波形生成回路 3 6 2 の出力電圧 $HVDDG$ も略 $VDD/2$ から電源電圧 VDD に向けて徐々に上昇する。

【 0 0 5 5 】

そして、入力パルス B が “ H ” レベルから “ L ” レベルに遷移したタイミングで、出力波形生成回路 3 6 2 の P チャンネルトランジスタ 3 6 2 1 がオン状態になるために、出力波形生成回路 3 6 2 の出力電圧 $HVDDG$ は瞬時に電源電圧 VDD になる。

【 0 0 5 6 】

この電源供給回路 3 6 で生成された電源電圧、即ち出力波形生成回路 3 6 2 の出力電圧 $HVDDG$ は、図 3 に示した最終段バッファ 3 2 2 の電源端子 3 2 3 に、その正側電源電圧として供給され、 P チャンネル MOS トランジスタ 3 2 2 3 のソースに印加される。

【 0 0 5 7 】

これにより、図 5 のタイミング波形図から明らかなように、最終段バッファ 3 2 2 の矩形の入力パルス HCK_{in} に対して、その出力パルス HCK_{out} は、先ず略 $VDD/2$ に立ち上がり、入力パルス HCK_{in} のパルス幅の中間を過ぎてから徐々に立ち上がり、最終的に電源電圧 VDD に収束する波形となる。

【 0 0 5 8 】

そして、最終段バッファ 3 2 2 - 1 ~ 3 2 2 - 4 の各出力パルス HCK_{out} は、水平スイッチ回路 3 3 のスイッチ $SW_1 \sim SW_n$ を駆動する水平スイッチパルス $HCK_1 \sim HCK_4$ として供給される。

【 0 0 5 9 】

このように、入力パルス HCK_{in} に対して立ち上がりを大幅に鈍らせた、即ち立ち上がり波形が徐々に変化する波形の水平スイッチパルス $HCK_1 \sim HCK_4$ を用いて水平スイッチ回路 3 3 の各スイッチ $SW_1 \sim SW_n$ を駆動することで、映像信号 $SIG_1 \sim SIG_4$ を信号線 2 2 - 1 ~ 2 2 - n に書き込むときに、信号線 2 2 - 1 ~ 2 2 - n を信号電位によって徐々に充電する形となるために、隣接する信号線間の寄生容量によるカップリングの影響を低減できる。

【 0 0 6 0 】

具体的には、図 6 のタイミング波形図に示すように、疑似線順次駆動（書き込み）において、最終書き込みとなる映像信号 SIG_4 を書き込む信号線のみならず、水平スイッチパルス $HCK_1 \sim HCK_4$ が矩形で、その立ち上がりが急峻な場合には、最初の書き込みとなる映像信号 SIG_1 を書き込む信号線や、2 番目、3 番目の書き込みとなる映像信号 SIG_2 , SIG_3 を書き込む各信号線においても寄生容量によるカップリングの影響を低減できるために、カップリングに起因する縦スジを抑制することができる。

【 0 0 6 1 】

また、水平スイッチパルス $HCK_1 \sim HCK_4$ の立ち上がり波形が徐々に立ち上がることにより、疑似線順次駆動（書き込み）において、水平スイッチパルス $HCK_1 \sim HCK_4$ の相ごとに一括してオン状態になる筈のスイッチのオンタイミングがバラツキ、スイッチが相ごとに一括してオン状態にならないために、映像信号の書き込みによって対向電極の $VCOM$ 電位が一気に揺らされるのを防ぐことができる。これにより、 $VCOM$ 電位に

10

20

30

40

50

起因する縦スジや横クロストークを緩和できる。

【 0 0 6 2 】

< 変形例 >

ここまでは、水平スイッチ回路 3 3 の各スイッチ $SW_1 \sim SW_n$ が “ H ” レベルでアクティブとなる正論理の水平スイッチパルス $HCK_1 \sim HCK_4$ で動作する構成を前提として説明したが、スイッチ $SW_1 \sim SW_n$ として、図 7 に示すように、NチャネルMOSトランジスタ 3 3 1 と PチャネルMOSトランジスタ 3 3 2 が並列に接続されてなるCMOSトランスミッションゲートによるアナログスイッチを用いると、スイッチング動作をより確実に行うことができる。

【 0 0 6 3 】

CMOSトランスミッションゲートによるアナログスイッチをスイッチ $SW_1 \sim SW_n$ として用いる場合は、NチャネルMOSトランジスタ 3 3 1 のゲートには、図 4 の電源供給回路 3 6 からの電源供給に基づいて、図 3 の最終段バッファ 3 2 2 で生成された正論理の水平スイッチパルス $HCK_{out} (HCK_1 \sim HCK_4)$ を印加することになるが、PチャネルMOSトランジスタ 3 3 2 のゲートには、水平スイッチパルス $HCK_1 \sim HCK_4$ とは異なる回路系で当該水平スイッチパルス $HCK_1 \sim HCK_4$ と同様に生成される負論理の水平スイッチパルス $HCK_{Xout} (HCK_X_1 \sim HCK_X_4)$ を印加することになる。

【 0 0 6 4 】

以下に、負論理の水平スイッチパルス $HCK_{Xout} (HCK_X_1 \sim HCK_X_4)$ を生成する回路系について説明する。

【 0 0 6 5 】

先ず、水平ドライバ 3 2 は、正論理の水平スイッチパルス $HCK_1 \sim HCK_4$ を出力する最終段バッファ 3 2 2 - 1 ~ 3 2 2 - 4 とは別に、シフトレジスタ 3 2 1 の各シフト段から出力される負論理のシフトパルスを基に、負論理の水平スイッチパルス $HCK_X_1 \sim HCK_X_4$ を生成する最終段バッファ 3 2 4 - 1 ~ 3 2 4 - 4 を持つことになる。

【 0 0 6 6 】

これら最終段バッファ 3 2 4 - 1 ~ 3 2 4 - 4 は、構成要素については、図 3 の最終段バッファ 3 2 2 と同じであるが、図 8 に示すように、PチャネルMOSトランジスタ 3 2 2 3 のソースが電源 VDD に接続され、NチャネルMOSトランジスタ 3 2 2 4 のソースが電源端子 3 2 5 に接続されることになる。そして、最終段バッファ 3 2 4 (3 2 4 - 1 ~ 3 2 4 - 4) の電源端子 3 2 5 には、図 9 に示す構成の電源供給回路 3 6 ' で生成された電源電圧が印加されることになる。

【 0 0 6 7 】

図 9 に示す電源供給回路 3 6 ' は、時定数回路 3 6 1 ' の構成が、図 4 に示す電源供給回路 3 6 の時定数回路 3 6 1 と異なっている。そして、時定数回路 3 6 1 ' には正論理の入力パルス AX (入力パルス A と逆相) が入力され、出力波形生成回路 3 6 2 には負論理の入力パルス BX (入力パルス B と逆相) が入力されるようになっている。

【 0 0 6 8 】

時定数回路 3 6 1 ' は、グランドと電源 VDD との間に、分圧抵抗 3 6 1 3 , 3 6 1 4 および PチャネルMOSトランジスタ 3 5 1 5 が直列に接続され、当該MOSトランジスタ 3 5 1 5 のゲートに、正論理の入力パルス AX (入力パルス A と逆相) がインバータ 3 6 1 1 を介して印加される構成となっている。

【 0 0 6 9 】

上記構成の電源供給回路 3 6 ' では、図 10 のタイミング波形図から明らかなように、各波形の論理が電源供給回路 3 6 の場合と逆であるだけで、基本的に、回路動作については電源供給回路 3 6 の場合と同じである。

【 0 0 7 0 】

この電源供給回路 3 6 ' で生成された電源電圧、即ち出力波形生成回路 3 6 2 の出力電圧 $HVSSG$ は、図 8 に示した最終段バッファ 3 2 4 の電源端子 3 2 5 に、その負側電源

10

20

30

40

50

電圧として供給され、NチャネルMOSトランジスタ3224のソースに印加される。

【0071】

これにより、図10のタイミング波形図から明らかなように、最終段バッファ324の矩形の入力パルスHCKX_{in}に対して、その出力パルスHCKX_{out}は、先ず略V_{DD}/2に立ち下がり、入力パルスHCKX_{in}のパルス幅の中間を過ぎてから徐々に立ち下がり、最終的にグランドレベルに収束する波形となる。

【0072】

そして、最終段バッファ322(322-1~322-4)の各出力パルスHCKX_{out}は、水平スイッチ回路33のスイッチSW1~SW_nを構成する、図7のアナログスイッチにおけるPチャネルMOSトランジスタ332のゲートに水平スイッチパルスHCKX1~HCKX4として印加される。

10

【0073】

このように、PチャネルMOSトランジスタ332のゲートに印加する負論理の水平スイッチパルスHCKX1~HCKX4を、NチャネルMOSトランジスタ331のゲートに印加する正論理の水平スイッチパルスHCK1~HCK4とは異なる回路系で、かつ当該水平スイッチパルスHCK1~HCK4と基本的に同じ回路構成の回路系で生成することで、負論理の水平スイッチパルスHCKX1~HCKX4の遷移タイミングを、正論理の水平スイッチパルスHCK1~HCK4の遷移タイミングと揃えることができる。その結果、図7のアナログスイッチのスイッチング動作をより確実にに行えることになる。

【0074】

20

なお、上記実施形態で示した、図5の出力パルスHCK_{out}の立ち上がり波形や、図10の出力パルスHCKX_{out}の立ち下がり波形は、一例に過ぎず、これらの波形に限られるものでない。他の波形としては、例えば、三角波形や、パルス波形を積分回路を通してことによって得られる積分波形などであって良く、要は、立ち上がりまたは立ち下がり徐々に変化する波形であれば、所期の目的を達成することができる。

【0075】

[適用例]

以上説明した本発明に係る液晶表示装置は、図11~図15に示す様々な電子機器、例えば、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置、ビデオカメラなど、電子機器に入力された映像信号、若しくは、電子機器内で生成した映像信号を、画像若しくは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。以下に、本発明が適用される電子機器の一例について説明する。

30

【0076】

なお、本発明に係る液晶表示装置は、封止された構成のモジュール形状のものをも含むものとする。例えば、画素アレイ部20を囲むように不図示のシーリング部が設けられ、このシーリング部を接着剤として透明なガラス等の対向部に貼り付けられて形成された表示モジュールが該当する。この透明な対向部には、カラーフィルタ、保護膜等、更には、上記した遮光膜が設けられてもよい。尚、表示モジュールには、外部から画素アレイ部への信号等を入出力するための回路部やFPC(フレキシブルプリントサーキット)等が設けられていてもよい。

40

【0077】

図11は、本発明が適用されるテレビを示す斜視図である。本適用例に係るテレビは、フロントパネル102やフィルターガラス103等から構成される映像表示画面部101を含み、その映像表示画面部101として本発明に係る表示装置を用いることにより作成される。

【0078】

図12は、本発明が適用されるデジタルカメラを示す斜視図であり、(A)は表側から見た斜視図、(B)は裏側から見た斜視図である。本適用例に係るデジタルカメラは、フラッシュ用の発光部111、表示部112、メニュースイッチ113、シャッターボタン114等を含み、その表示部112として本発明に係る表示装置を用いることにより作製

50

される。

【 0 0 7 9 】

図 1 3 は、本発明が適用されるノート型パーソナルコンピュータを示す斜視図である。本適用例に係るノート型パーソナルコンピュータは、本体 1 2 1 に、文字等を入力するとき操作されるキーボード 1 2 2、画像を表示する表示部 1 2 3 等を含み、その表示部 1 2 3 として本発明に係る表示装置を用いることにより作製される。

【 0 0 8 0 】

図 1 4 は、本発明が適用されるビデオカメラを示す斜視図である。本適用例に係るビデオカメラは、本体部 1 3 1、前方を向いた側面に被写体撮影用のレンズ 1 3 2、撮影時のスタート/ストップスイッチ 1 3 3、表示部 1 3 4 等を含み、その表示部 1 3 4 として本発明に係る表示装置を用いることにより作製される。

10

【 0 0 8 1 】

図 1 5 は、本発明が適用される携帯端末装置、例えば携帯電話機を示す斜視図であり、(A) は開いた状態での正面図、(B) はその側面図、(C) は閉じた除隊での正面図、(D) は左側面図、(E) は右側面図、(F) は上面図、(G) は下面図である。本適用例に係る携帯電話機は、上側筐体 1 4 1、下側筐体 1 4 2、連結部(ここではヒンジ部) 1 4 3、ディスプレイ 1 4 4、サブディスプレイ 1 4 5、ピクチャーライト 1 4 6、カメラ 1 4 7 等を含み、そのディスプレイ 1 4 4 やサブディスプレイ 1 4 5 として本発明に係る表示装置を用いることにより作製される。

【図面の簡単な説明】

20

【 0 0 8 2 】

【図 1】本発明の一実施形態に係る疑似線順次駆動方式のアクティブマトリクス型液晶表示装置の構成例を示すシステム構成図である。

【図 2】水平ドライバの構成の一例を示すブロック図である。

【図 3】水平ドライバにおける最終段バッファの一例を示す回路図である。

【図 4】電源供給回路の具体的な回路構成の一例を示す回路図である。

【図 5】一例に係る電源供給回路の回路動作の動作説明に供するタイミング波形図である。

【図 6】本実施形態の作用効果の説明に供するタイミング波形図である。

【図 7】C M O S トランスマッションゲートによるアナログスイッチを示す回路図である。

30

【図 8】水平ドライバにおける最終段バッファの他の例を示す回路図である。

【図 9】電源供給回路の具体的な回路構成の他の例を示す回路図である。

【図 1 0】他の例に係る電源供給回路の回路動作の動作説明に供するタイミング波形図である。

【図 1 1】本発明が適用されるテレビを示す斜視図である。

【図 1 2】本発明が適用されるデジタルカメラを示す斜視図であり、(A) は表側から見た斜視図、(B) は裏側から見た斜視図である。

【図 1 3】本発明が適用されるノート型のパーソナルコンピュータを示す斜視図である。

【図 1 4】本発明が適用されるビデオカメラを示す斜視図である。

40

【図 1 5】本発明が適用される携帯電話機を示す斜視図であり、(A) は開いた状態での正面図、(B) はその側面図、(C) は閉じた除隊での正面図、(D) は左側面図、(E) は右側面図、(F) は上面図、(G) は下面図である。

【図 1 6】カップリングの概念図である。

【図 1 7】従来技術の説明に供するタイミング波形図である。

【符号の説明】

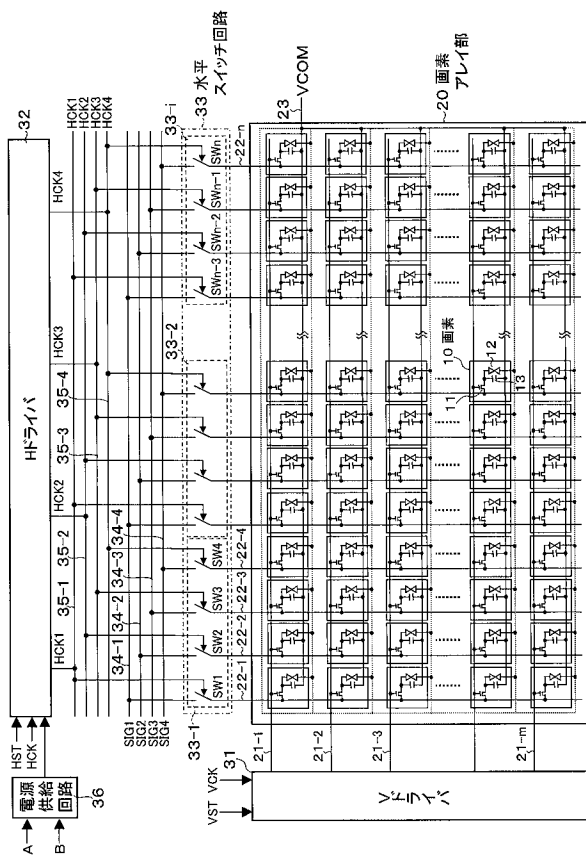
【 0 0 8 3 】

1 0 ... 画素、1 1 ... 画素トランジスタ、1 2 ... 液晶セル、1 3 ... 保持容量、2 0 ... 画素アレイ部、2 1 - 1 ~ 2 1 - m ... 走査線、2 2 - 1 ~ 2 2 - n ... 信号線、3 1 ... 垂直(V)ドライバ、3 2 ... 水平(H)ドライバ、3 3 ... 水平スイッチ回路、3 3 - 1 ~ 3 3 - n

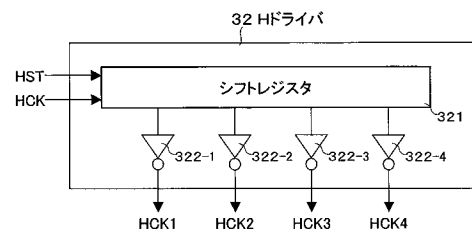
50

...スイッチ回路、34-1~34-4...ビデオ線、35-1~35-4...クロック線、36...電源供給回路、321...シフトレジスタ、322-1~322-4...最終段バッファ

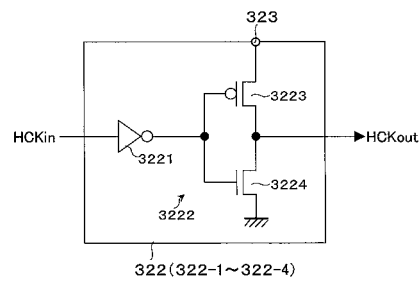
【図1】



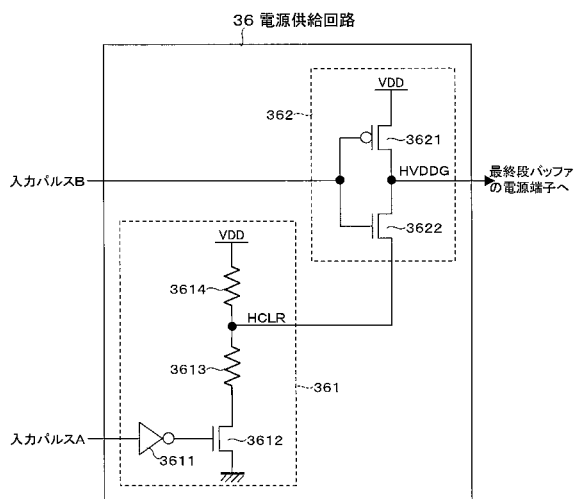
【図2】



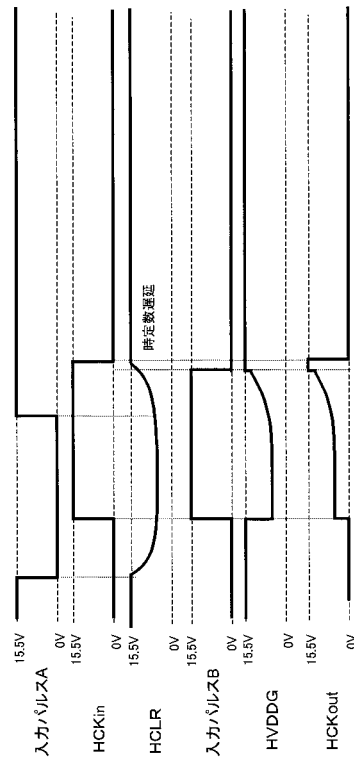
【図3】



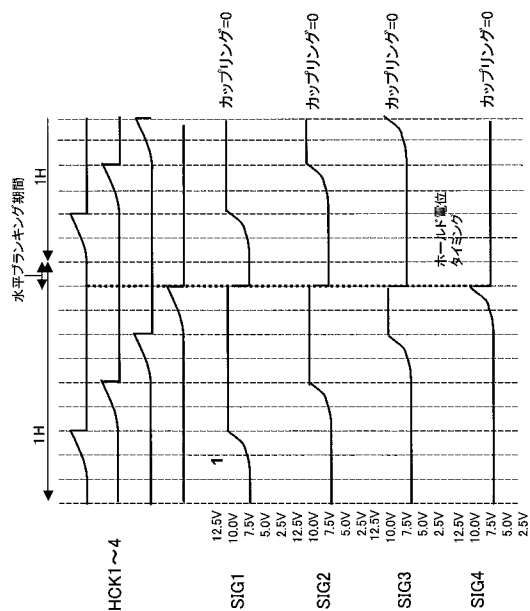
【図 4】



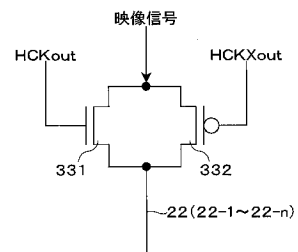
【図 5】



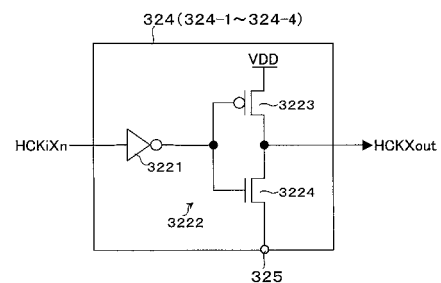
【図 6】



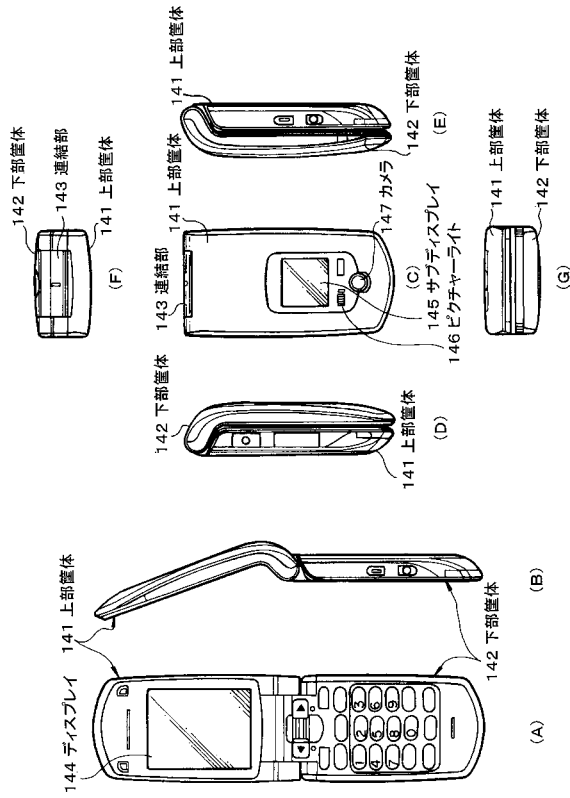
【図 7】



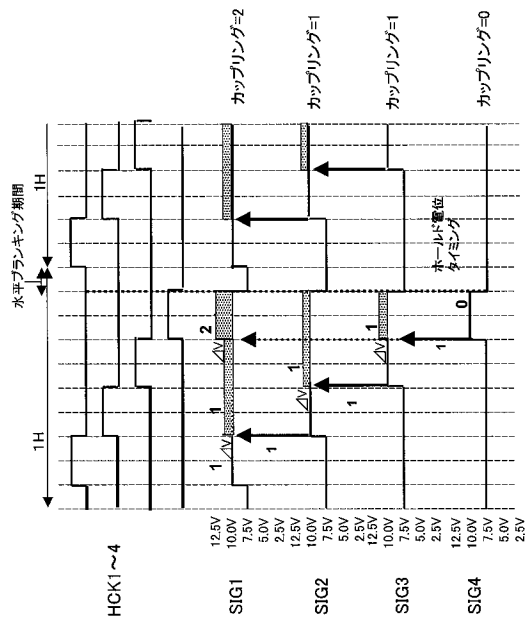
【図 8】



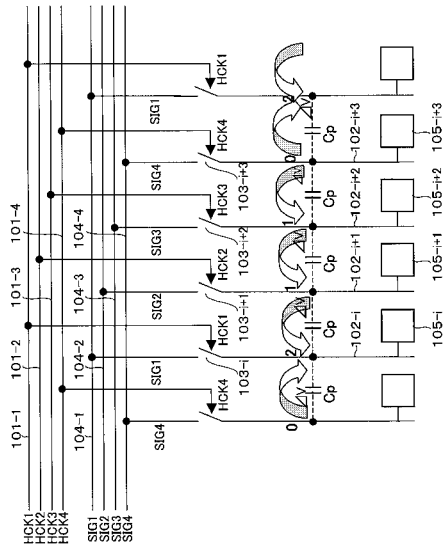
【図 15】



【図 17】



【図 16】



フロントページの続き

F ターム(参考) 2H093 NA16 NA80 NC13 NC16 NC23 NC24 NC25 NC26 NC34 NC35
NC90 ND44 ND58
5C006 AC21 AF43 BB16 BC13 BC16 BC23 BF11 FA16 FA18 FA22
FA37
5C080 AA10 BB06 DD05 FF11 JJ03 JJ04 JJ06 KK02 KK43 KK47

专利名称(译)	液晶显示装置，液晶显示装置的驱动方法和电子设备		
公开(公告)号	JP2008170687A	公开(公告)日	2008-07-24
申请号	JP2007003406	申请日	2007-01-11
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	加藤正和 櫻井洋介 坂本健彦		
发明人	加藤 正和 櫻井 洋介 坂本 健彦		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.623.V G09G3/20.642.A G09G3/20.623.L		
F-TERM分类号	2H093/NA16 2H093/NA80 2H093/NC13 2H093/NC16 2H093/NC23 2H093/NC24 2H093/NC25 2H093/NC26 2H093/NC34 2H093/NC35 2H093/NC90 2H093/ND44 2H093/ND58 5C006/AC21 5C006/AF43 5C006/BB16 5C006/BC13 5C006/BC16 5C006/BC23 5C006/BF11 5C006/FA16 5C006/FA18 5C006/FA22 5C006/FA37 5C080/AA10 5C080/BB06 5C080/DD05 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK02 5C080/KK43 5C080/KK47 2H193/ZA04 2H193/ZE31 2H193/ZH40		
代理人(译)	船桥 国则		
外部链接	Espacenet		

摘要(译)

要解决的问题：当写入视频信号时，抑制由相邻信号线之间的寄生电容耦合引起的垂直条纹。ŽSOLUTION：当通过伪线顺序驱动写入视频信号时，水平开关电路33的开关SW1至SWn通过使用在上升（或下降）期间具有逐渐变化的波形的水平开关脉冲HCK1至HCK4来驱动，以便抑制影响通过相邻信号线之间的寄生电容耦合。Ž

