

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-96861

(P2008-96861A)

(43) 公開日 平成20年4月24日(2008.4.24)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 621B	5C006
G02F 1/133 (2006.01)	G09G 3/20 623D	5C080
	G09G 3/20 623C	
	G09G 3/20 612E	
審査請求 未請求 請求項の数 10 O L (全 23 頁) 最終頁に続く		

(21) 出願番号	特願2006-280978 (P2006-280978)	(71) 出願人	000005049
(22) 出願日	平成18年10月16日 (2006.10.16)		シャープ株式会社
			大阪府大阪市阿倍野区長池町22番22号
		(74) 代理人	100104695
			弁理士 島田 明宏
		(72) 発明者	安川 貞彦
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		Fターム(参考)	2H093 NA16 NA32 NA43 NA53 NB30
			NC18 NC34 ND35 ND49
			5C006 AC21 AF43 AF46 AF71 BB16
			BC03 BC11 BC23 BF42 FA01
			FA16 FA18 FA41 FA46 FA51
			5C080 AA10 BB05 BB06 DD22 DD27
			EE28 FF11 JJ02 JJ03 JJ04
			JJ05

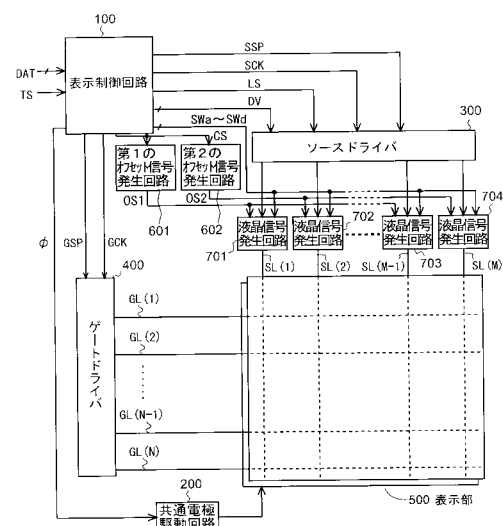
(54) 【発明の名称】 アクティブマトリクス型表示装置

(57) 【要約】

【課題】例えば画素形成部などの構成を変更することなく、簡易な構成でソースドライバの耐圧設計を高くする必要のないアクティブマトリクス型液晶表示装置を提供する。

【解決手段】本アクティブマトリクス型液晶表示装置は、ソースドライバ300からの出力電圧と第1または第2のオフセット信号発生回路601、602からのオフセット電圧とを所定の容量を含むチャージポンプ回路を内蔵する液晶信号発生回路701～704において加算し、対応する各映像信号線SL(1)～SL(M)に印加する。上記オフセット電圧は液晶の光透過率がほとんど変化しない範囲内の電圧であり、ソースドライバ300からの出力電圧は各映像信号線に印加すべき電圧から上記オフセット電圧を差し引いた電圧であれば足りるので、上記回路を付加する簡易な構成でソースドライバ300の耐圧設計を低く抑えることができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

画像を表示するための表示部において複数の映像信号線と複数の走査信号線との交差部にそれぞれ対応してマトリクス状に配置された複数の画素形成部に設けられた画素電極と、前記画素電極との間に電圧を印加するために前記画素電極に対応して設けられた共通電極と、前記共通電極に所定電圧を印加する共通電極駆動回路と、前記画像を表す画像信号を受け取り前記画像信号に応じて前記複数の映像信号線に電圧を印加する映像信号線駆動回路と、前記複数の走査信号線を選択的に駆動する走査信号線駆動回路と、前記映像信号線駆動回路および前記走査信号線駆動回路を制御する表示制御回路とを備えるアクティブマトリクス型の表示装置であって、

10

前記映像信号線駆動回路は、

前記共通電極の電位を基準とした前記画素電極に印加される所定の 2 種類の電圧である正極性および負極性の電圧の間で所定の期間毎にその極性が逆になる電圧信号であって、前記画像信号に応じた電圧から所定のオフセット電圧が差し引かれた電圧信号を出力するソースドライバと、

前記オフセット電圧を生成するオフセット電圧生成回路と、

前記ソースドライバから出力される電圧信号に対して、前記オフセット電圧生成回路により生成される前記オフセット電圧を加算することにより前記画像信号に応じた電圧を生成し、生成された電圧を前記複数の映像信号線に印加する複数の信号発生回路とを含むことを特徴とする、アクティブマトリクス型表示装置。

20

【請求項 2】

前記オフセット電圧生成回路は、前記画素電極と前記共通電極との間に設けられる液晶層にゼロから印加する場合に光透過率がほとんど変化しない範囲内の所定の電圧を前記オフセット電圧として生成することを特徴とする、請求項 1 に記載のアクティブマトリクス型表示装置。

【請求項 3】

前記信号発生回路は、

2 つの電極のうちの一方の電極が前記ソースドライバに接続され、他方の電極が前記オフセット電圧生成回路に接続されており、前記他方の電極の電位を前記オフセット電圧だけ変化させることにより、前記ソースドライバから出力される電圧に対して前記オフセット電圧が加算された加算電圧を充電される容量と、

30

前記容量に対して前記加算電圧が充電されるよう前記ソースドライバと前記容量とを接続しまたは切り離し、前記容量に充電された前記加算電圧が印加されるよう対応する映像信号線と前記容量とを接続しまたは切り離す切り替え手段とを含むことを特徴とする、請求項 1 に記載のアクティブマトリクス型表示装置。

【請求項 4】

前記容量は、対応する映像信号線に寄生する寄生容量値よりも大きい容量値を有することを特徴とする、請求項 3 に記載のアクティブマトリクス型表示装置。

【請求項 5】

前記切り替え手段は、前記容量に対して前記加算電圧が充電されるよう前記ソースドライバと前記容量とを接続する時間を、前記容量に充電された前記加算電圧が印加されるよう対応する映像信号線と前記容量とを接続する時間よりも長くすることを特徴とする、請求項 3 に記載のアクティブマトリクス型表示装置。

40

【請求項 6】

前記容量は、

2 つの電極のうちの一方の電極が前記ソースドライバに接続され、他方の電極が前記オフセット電圧生成回路に接続されており、前記他方の電極の電位を前記オフセット電圧のうちの正極性のオフセット電圧だけ変化させることにより、前記ソースドライバから出力される電圧に対して前記正極性のオフセット電圧が加算された正極性加算電圧を充電される正極性容量と、

50

2つの電極のうち一方の電極が前記ソースドライバに接続され、他方の電極が前記オフセット電圧生成回路に接続されており、前記他方の電極の電位を前記オフセット電圧のうちの負極性のオフセット電圧だけ変化させることにより、前記ソースドライバから出力される電圧に対して前記負極性のオフセット電圧が加算された負極性加算電圧を充電される負極性容量と

を含み、

前記切り替え手段は、

前記正極性容量に対して前記正極性加算電圧が充電されるよう前記ソースドライバと前記正極性容量とを接続しまたは切り離し、前記負極性容量に前記負極性加算電圧が充電されるときに前記正極性容量に充電された前記正極性加算電圧が印加されるよう対応する映像信号線と前記正極性容量とを接続しまたは切り離す正極性切り替え手段と、

前記負極性容量に対して前記負極性加算電圧が充電されるよう前記ソースドライバと前記負極性容量とを接続しまたは切り離し、前記負極性容量に前記正極性加算電圧が充電されるときに前記負極性容量に充電された前記負極性加算電圧が印加されるよう対応する映像信号線と前記負極性容量とを接続しまたは切り離す負極性切り替え手段とを含むことを特徴とする、請求項3に記載のアクティブマトリクス型表示装置。

【請求項7】

前記信号発生回路は、前記切り替え手段により前記加算電圧が印加されるよう対応する映像信号線と前記容量とを接続する前に、前記映像信号線の電位を前記ソースドライバの最大耐圧以下の所定の電位に設定する接続電位設定手段をさらに含むことを特徴とする、請求項3に記載のアクティブマトリクス型表示装置。

【請求項8】

前記接続電位設定手段は、前記映像信号線と前記共通電極とを接続することにより前記映像信号線の電位を前記共通電極の電位に設定することを特徴とする、請求項7に記載のアクティブマトリクス型表示装置。

【請求項9】

前記ソースドライバは、 n 本（ n は自然数）ずつ隣り合う映像信号線に印加される電圧の極性が互いに逆になり、かつ m 個（ m は自然数）の水平期間毎にその極性が逆になる電圧信号を出力し、

前記共通電極駆動回路は、前記正極性および負極性の電圧の中間電圧近傍の固定的な所定電圧を前記共通電極に印加することを特徴とする、請求項1から請求項8までのいずれか1項に記載のアクティブマトリクス型表示装置。

【請求項10】

画像を表示するための表示部において複数の映像信号線と複数の走査信号線との交差部にそれぞれ対応してマトリクス状に配置された複数の画素形成部に設けられた画素電極と、前記画素電極との間に電圧を印加するために前記画素電極に対応して設けられた共通電極とを備えるアクティブマトリクス型表示装置の表示方法であって、

前記共通電極に所定電圧を印加する共通電極駆動ステップと、

前記画像を表す画像信号を受け取り前記画像信号に応じて前記複数の映像信号線に電圧を印加する映像信号線駆動ステップと、

前記複数の走査信号線を選択的に駆動する走査信号線駆動ステップとを備え、

前記映像信号線駆動ステップは、

前記共通電極の電位を基準とした前記画素電極に印加される所定の2種類の電圧である正極性および負極性の電圧の間で所定の期間毎にその極性が逆になる電圧信号であって、前記画像信号に応じた電圧から所定のオフセット電圧が差し引かれた電圧信号を出力するソース駆動ステップと、

前記オフセット電圧を生成するオフセット電圧生成ステップと、

前記ソース駆動ステップにおいて出力される電圧信号に対して、前記オフセット電圧生成ステップにおいて生成される前記オフセット電圧を加算することにより前記画像信号

10

20

30

40

50

に応じた電圧を生成し、生成された電圧を前記複数の映像信号線に印加する信号発生ステップと

を含むことを特徴とする、表示方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ等のスイッチング素子を用いた液晶表示装置等のようなアクティブマトリクス型表示装置に関する。

【背景技術】

【0002】

一般に、アクティブマトリクス型の液晶表示装置は、液晶層を挟持する2枚の基板を含む表示部を備えており、当該2枚の基板のうち一方の基板には、映像信号線としての複数のデータ線と走査信号線としての複数のゲート線とが格子状に配置され、それら複数のデータ線とゲート線との交差点にそれぞれ対応してマトリクス状に配置された複数の画素形成部が設けられている。各画素形成部は、装置の表示部を構成しており、ゲート線にゲート端子が接続されデータ線にソース端子が接続されたスイッチング素子であるTFT（Thin Film Transistor：薄膜トランジスタ）と、そのTFTのドレイン端子に接続された画素電極とを含む。これら画素形成部を含む上記基板は、TFT基板と呼ばれる。また、上記2枚の基板のうちTFT基板に対向する他方の基板には、上記複数の画素形成部に共通的に設けられた対向電極である共通電極と、表示色を形成するためのカラーフィルタ（CF：Color Filter）とが設けられている。この基板はCF基板と呼ばれる。

【0003】

このようなアクティブマトリクス型液晶表示装置は、その表示部のデータ線を駆動するソースドライバと、その表示部のゲート線を駆動するゲートドライバと、上記共通電極を駆動するための共通電極駆動回路と、ソースドライバ、ゲートドライバ、および共通電極駆動回路を制御するための表示制御回路とを有している。

【0004】

このようなアクティブマトリクス型液晶表示装置において、従来より一般的に、液晶層への印加電圧の極性は、1フレーム期間毎に反転される。これは液晶の劣化を防ぐために交流駆動を行う必要があるためである。そして表示品位を向上させるために、この交流化駆動方式として、1水平期間毎にも異なる極性の電圧を印加するライン反転駆動方式がある。しかし、このライン反転駆動方式では、行方向（水平走査方向）に並ぶ画素形成部（具体的には画素電極）には同一極性の電圧が印加されるため、表示品位の低下が生じてしまう。そこで近年では、アクティブマトリクス型液晶表示装置には、1ドット毎（水平走査方向の1画素形成部毎）に異なる極性の電圧を印加するドット反転駆動方式が採用されることが多い。

【0005】

図12は、このドット反転駆動方式を採用した場合の或るデータ線の電圧変化を簡易に示す図である。なお、この駆動方式を採用するアクティブマトリクス型液晶表示装置は、4本のゲート線と4本のデータ線とを備えるものとする。この図12に示されるように、1つの画像を表示するための1垂直期間（1フレーム期間）において各水平期間毎に印加電圧の極性が反転されている。すなわち、当該データ線には、最初の1水平期間に正極性印加電圧 V_p が印加され、次の1水平期間に負極性印加電圧 V_n が印加され、さらに繰り返し正極性印加電圧 V_p および負極性印加電圧 V_n が印加された後、続く垂直期間ではこれらの極性が反転されて繰り返し負極性印加電圧 V_n および正極性印加電圧 V_p が印加される。

【0006】

図13は、上記のようなドット反転駆動方式により各画素形成部に印加される電圧の極性を示す図である。図13に示されるように、或る1垂直期間において各画素形成部には

10

20

30

40

50

1 ドット毎に異なる極性の電圧が印加されており、続く 1 垂直期間においてはこれらの印加電圧が反転されていることがわかる。

【0007】

しかし、このドット反転駆動方式を採用すれば、図 13 に示されるような正極性印加電圧 V_p および負極性印加電圧 V_n を生成する必要があるが生じるので、ソースドライバの高電圧化を招くことになる。すなわち一般的なツイスト・ネマティック液晶では通常 $5 V_{rms}$ の実効電圧が画像表示に必要とされるので、交流駆動するためにはその倍の $10 V_{pp}$ の電圧が必要となる。よって、この電圧を出力するためのソースドライバは $10 V$ 以上の電源と耐圧とが必要となる。このことにより、一般的な $5 V$ 動作のソースドライバに比べて耐圧設計を高くすることによる内部トランジスタの面積増大や高耐圧プロセスの導入によるチップ化コストの上昇という問題が生じる。

10

【0008】

このような問題を解決するため、従来よりさまざまな手法が試みられており、例えば、1 つの画素形成部に対して 2 つのソースラインを異なるスイッチング素子を介して 1 フレーム期間毎に交互に接続し、ソースドライバによりこの 2 つのソースラインに異なる極性の電圧を固定的に印加する構成により、ソースドライバの耐圧を低くする従来のアクティブマトリクス型液晶表示装置がある（例えば特許文献 1 を参照）。

【特許文献 1】特開 2000-20033 号公報

【発明の開示】

【発明が解決しようとする課題】

20

【0009】

しかし、上記従来のアクティブマトリクス型液晶表示装置では、画素形成部内のスイッチング素子やソースラインの数が増加し、その構成が複雑となるので、特に（画素数が多い）高精細の表示装置においては大きく製造コストが増加する。

【0010】

そこで本発明は、例えば画素形成部などの構成を変更することなく、簡易な構成でソースドライバの耐圧設計を高くする必要のないアクティブマトリクス型液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0011】

30

第 1 の発明は、画像を表示するための表示部において複数の映像信号線と複数の走査信号線との交差部にそれぞれ対応してマトリクス状に配置された複数の画素形成部に設けられた画素電極と、前記画素電極との間に電圧を印加するために前記画素電極に対応して設けられた共通電極と、前記共通電極に所定電圧を印加する共通電極駆動回路と、前記画像を表す画像信号を受け取り前記画像信号に応じて前記複数の映像信号線に電圧を印加する映像信号線駆動回路と、前記複数の走査信号線を選択的に駆動する走査信号線駆動回路と、前記映像信号線駆動回路および前記走査信号線駆動回路を制御する表示制御回路とを備えるアクティブマトリクス型の表示装置であって、

前記映像信号線駆動回路は、

40

前記共通電極の電位を基準とした前記画素電極に印加される所定の 2 種類の電圧である正極性および負極性の電圧の間で所定の期間毎にその極性が逆になる電圧信号であって、前記画像信号に応じた電圧から所定のオフセット電圧が差し引かれた電圧信号を出力するソースドライバと、

前記オフセット電圧を生成するオフセット電圧生成回路と、

前記ソースドライバから出力される電圧信号に対して、前記オフセット電圧生成回路により生成される前記オフセット電圧を加算することにより前記画像信号に応じた電圧を生成し、生成された電圧を前記複数の映像信号線に印加する複数の信号発生回路とを含むことを特徴とする。

【0012】

第 2 の発明は、第 1 の発明において、

50

前記オフセット電圧生成回路は、前記画素電極と前記共通電極との間に設けられる液晶層にゼロから印加する場合に光透過率がほとんど変化しない範囲内の所定の電圧を前記オフセット電圧として生成することを特徴とする。

【0013】

第3の発明は、第1の発明において、
前記信号発生回路は、

2つの電極のうちの一方の電極が前記ソースドライバに接続され、他方の電極が前記オフセット電圧生成回路に接続されており、前記他方の電極の電位を前記オフセット電圧だけ変化させることにより、前記ソースドライバから出力される電圧に対して前記オフセット電圧が加算された加算電圧を充電される容量と、

10

前記容量に対して前記加算電圧が充電されるよう前記ソースドライバと前記容量とを接続しまたは切り離し、前記容量に充電された前記加算電圧が印加されるよう対応する映像信号線と前記容量とを接続しまたは切り離す切り替え手段とを含むことを特徴とする。

【0014】

第4の発明は、第3の発明において、

前記容量は、対応する映像信号線に寄生する寄生容量値よりも大きい容量値を有することを特徴とする。

【0015】

第5の発明は、第3の発明において、

20

前記切り替え手段は、前記容量に対して前記加算電圧が充電されるよう前記ソースドライバと前記容量とを接続する時間を、前記容量に充電された前記加算電圧が印加されるよう対応する映像信号線と前記容量とを接続する時間よりも長くすることを特徴とする。

【0016】

第6の発明は、第3の発明において、

前記容量は、

2つの電極のうちの一方の電極が前記ソースドライバに接続され、他方の電極が前記オフセット電圧生成回路に接続されており、前記他方の電極の電位を前記オフセット電圧のうちの正極性のオフセット電圧だけ変化させることにより、前記ソースドライバから出力される電圧に対して前記正極性のオフセット電圧が加算された正極性加算電圧を充電される正極性容量と、

30

2つの電極のうちの一方の電極が前記ソースドライバに接続され、他方の電極が前記オフセット電圧生成回路に接続されており、前記他方の電極の電位を前記オフセット電圧のうちの負極性のオフセット電圧だけ変化させることにより、前記ソースドライバから出力される電圧に対して前記負極性のオフセット電圧が加算された負極性加算電圧を充電される負極性容量と

を含み、

前記切り替え手段は、

前記正極性容量に対して前記正極性加算電圧が充電されるよう前記ソースドライバと前記正極性容量とを接続しまたは切り離し、前記負極性容量に前記負極性加算電圧が充電されるときに前記正極性容量に充電された前記正極性加算電圧が印加されるよう対応する映像信号線と前記正極性容量とを接続しまたは切り離す正極性切り替え手段と、

40

前記負極性容量に対して前記負極性加算電圧が充電されるよう前記ソースドライバと前記負極性容量とを接続しまたは切り離し、前記政局性容量に前記正極性加算電圧が充電されるときに前記負極性容量に充電された前記負極性加算電圧が印加されるよう対応する映像信号線と前記負極性容量とを接続しまたは切り離す負極性切り替え手段とを含むことを特徴とする。

【0017】

第7の発明は、第3の発明において、

前記信号発生回路は、前記切り替え手段により前記加算電圧が印加されるよう対応する

50

映像信号線と前記容量とを接続する前に、前記映像信号線の電位を前記ソースドライバの最大耐圧以下の所定の電位に設定する接続電位設定手段をさらに含むことを特徴とする。

【0018】

第8の発明は、第7の発明において、

前記接続電位設定手段は、前記映像信号線と前記共通電極とを接続することにより前記映像信号線の電位を前記共通電極の電位に設定することを特徴とする。

【0019】

第9の発明は、第1から第8までのいずれか1つの発明において、

前記ソースドライバは、 n 本（ n は自然数）ずつ隣り合う映像信号線に印加される電圧の極性が互いに逆になり、かつ m 個（ m は自然数）の水平期間毎にその極性が逆になる電圧信号を出力し、

前記共通電極駆動回路は、前記正極性および負極性の電圧の midpoint 電圧近傍の固定的な所定電圧を前記共通電極に印加することを特徴とする。

【0020】

第10の発明は、画像を表示するための表示部において複数の映像信号線と複数の走査信号線との交差部にそれぞれ対応してマトリクス状に配置された複数の画素形成部に設けられた画素電極と、前記画素電極との間に電圧を印加するために前記画素電極に対応して設けられた共通電極とを備えるアクティブマトリクス型表示装置の表示方法であって、

前記共通電極に所定電圧を印加する共通電極駆動ステップと、

前記画像を表す画像信号を受け取り前記画像信号に応じて前記複数の映像信号線に電圧を印加する映像信号線駆動ステップと、

前記複数の走査信号線を選択的に駆動する走査信号線駆動ステップとを備え、

前記映像信号線駆動ステップは、

前記共通電極の電位を基準とした前記画素電極に印加される所定の2種類の電圧である正極性および負極性の電圧の間で所定の期間毎にその極性が逆になる電圧信号であって、前記画像信号に応じた電圧から所定のオフセット電圧が差し引かれた電圧信号を出力するソース駆動ステップと、

前記オフセット電圧を生成するオフセット電圧生成ステップと、

前記ソース駆動ステップにおいて出力される電圧信号に対して、前記オフセット電圧生成ステップにおいて生成される前記オフセット電圧を加算することにより前記画像信号に応じた電圧を生成し、生成された電圧を前記複数の映像信号線に印加する信号発生ステップと

を含むことを特徴とする。

【発明の効果】

【0021】

上記第1の発明によれば、例えば画素形成部の構成等を変更することなく、信号発生回路により、オフセット電圧生成回路からのオフセット電圧をソースドライバからの出力電圧に対して加算する簡易な構成でソースドライバの耐圧設計を低くすることができる。

【0022】

上記第2の発明によれば、オフセット電圧を設定してもソースドライバからの出力電圧の変化に応じて液晶層の光透過率が十分に変化する状態を保ちつつ、ソースドライバを耐圧設計を低くすることができる。

【0023】

上記第3の発明によれば、信号発生回路に含まれる切り替え手段による接続および切り離し動作により容量に対して加算電圧を充電させる簡易な構成でソースドライバの耐圧設計を低くすることができる。

【0024】

上記第4の発明によれば、映像信号線の寄生容量値の影響を受けることなく、対応する映像信号線に画像信号に応じた十分な電圧を与えることができる。

【0025】

上記第5の発明によれば、容量に必要な電荷が充電されるので、充電時間の不足による映像信号線への印加電圧の不足を回避することができる。

【0026】

上記第6の発明によれば、正極性切り替え手段および負極性切り替え手段により、正極性容量および負極性容量のうち一方が充電されるときに他方が映像信号線に接続されるので、容量が1つである構成と比較して2倍の期間、映像信号線に電圧を印加することができる。よって、特に高精細の表示装置においても、各画素形成部に十分な映像信号の印加時間（画素値の書き込み時間）を確保することができる。

【0027】

上記第7の発明によれば、接続電位設定手段により、ソースドライバに対してその最大耐圧よりも大きい電圧が加わることを防止することができる。

【0028】

上記第8の発明によれば、容量の電位が共通電極の電位に設定されることによりソースドライバにかかる容量に対する駆動負荷を小さくすることができる。

【0029】

上記第9の発明によれば、いわゆるドット反転駆動方式を採用したソースドライバにおいて、一般的に高く要求される耐圧設計を低く抑えることができる。

【0030】

上記第10の発明によれば、上記第1の発明と同様の効果を表示方法において奏することができる。

【発明を実施するための最良の形態】

【0031】

以下、本発明の各実施形態に係るアクティブマトリクス型液晶表示装置の構成および動作について、添付図面を参照して説明する。

【0032】

<1. 第1の実施形態>

<1. 1 液晶表示装置の全体構成および動作>

図1は、本発明の第1の実施形態に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。この液晶表示装置は、ソースドライバ（データドライバ）300およびゲートドライバ（走査信号線駆動回路）400と、所定のオフセット電圧を有する第1のオフセット信号OS1を出力する第1のオフセット信号発生回路601と、上記第1のオフセット信号OS1と（所定の midpoint 電位を基準とした）反対極性の所定のオフセット電圧を有する第2のオフセット信号OS2を出力する第2のオフセット信号発生回路602と、（M個の）液晶信号発生回路701～704と、これらを制御する表示制御回路100と、表示部500とを備えている。

【0033】

表示部500は、複数本（M本）の映像信号線SL（1）～SL（M）と、複数本（N本）の走査信号線GL（1）～GL（N）と、それら複数本の映像信号線SL（1）～SL（M）と複数本の走査信号線GL（1）～GL（N）との交差点にそれぞれ対応して設けられた複数個（M×N個）の画素形成部を含んでおり（以下、走査信号線GL（n）と映像信号線SL（m）との交差点に対応する画素形成部を参照符号“P（n，m）”で示すものとする。）、図2および図3に示すような構成となっている。ここで、図2は、本実施形態における表示部500の構成を模式的に示し、図3は、この表示部500における画素形成部P（n，m）の等価回路を示している。

【0034】

図2および図3に示すように、各画素形成部P（n，m）は、対応する交差点を通過する走査信号線SL（n）にゲート端子が接続されるとともに当該交差点を通過する映像信号線SL（m）にソース端子が接続されたスイッチング素子であるTF T10と、そのTF T10のドレイン端子に接続された画素電極E p i xと、上記複数個の画素形成部P（

10

20

30

40

50

i, j) ($i = 1 \sim N, j = 1 \sim M$)に共通的に設けられた共通電極(「対向電極」ともいう) E_{com} と、上記複数の画素形成部 $P(i, j)$ ($i = 1 \sim N, j = 1 \sim M$)に共通的に設けられ画素電極 E_{pix} と共通電極 E_{com} との間に挟持された電気光学素子としての液晶層とによって構成される。

【0035】

なお、図2に示される各画素形成部 $P(n, m)$ には、「+」または「-」の符号が付されているが、これらの符号は、或るフレームにおいて当該画素形成部の電位が共通電極 E_{com} に対して正であるか負であるかを示している。この図2に示されるように、映像信号線 $SL(1) \sim SL(M)$ に沿った方向にも走査信号線 $GL(1) \sim GL(N)$ に沿った方向にも「+」および「-」の符号は交互に配列されており、これらの符号はフレーム毎に反転される。このように、本表示装置には、例えば図13に示す従来の表示装置と同様のドット反転駆動方式が採用されている。

【0036】

各画素形成部 $P(n, m)$ では、画素電極 E_{pix} と、それに液晶層を挟んで対向する共通電極 E_{com} とによって液晶容量 C_{lc} が形成されており、その近傍に補助容量 C_s が形成されている。

【0037】

TFT10は、走査信号線 $GL(n)$ に印加される走査信号 $G(n)$ がアクティブになると、当該走査信号線が選択されて導通状態となる。そして、画素電極 E_{pix} には駆動用映像信号 $S(m)$ が映像信号線 $SL(m)$ を介して印加される。これにより、その印加された駆動用映像信号 $S(m)$ の電圧(共通電極 E_{com} の電位を基準とする電圧)が、その画素電極 E_{pix} を含む画素形成部 $P(n, m)$ に画素値として書き込まれる。

【0038】

表示制御回路100は、外部から送られる表示データ信号 DAT とタイミング制御信号 TS とを受け取り、デジタル画像信号 DV と、表示部500に画像を表示するタイミングを制御するためのソーススタートパルス信号 SSP 、ソースクロック信号 CLK 、ラッチストロブ信号 LS 、ゲートスタートパルス信号 GSP 、およびゲートクロック信号 GCK と、第1および第2のオフセット信号発生回路601, 602を制御するための制御信号 CS と、液晶信号発生回路701~704に含まれる後述するスイッチを制御するためのスイッチ制御信号 $SWa \sim SWd$ と、共通電極駆動回路200を作動または停止させるための制御信号 ϕ とを出力する。

【0039】

共通電極駆動回路200は、表示制御回路100からの制御信号 ϕ に応じて共通電極に対して所定の共通電極電位 V_{com} の電圧信号を印加する。なお、この共通電極電位 V_{com} は一定であって、各映像信号線に印加される電圧の極性が正極性と負極性とに大きく変化することは、図12を参照して前述したとおりである。

【0040】

ソースドライバ300は、表示制御回路100から出力されたデジタル画像信号 DV 、ソーススタートパルス信号 SSP 、ソースクロック信号 CLK 、およびラッチストロブ信号 LS を受け取り、オフセット前の映像信号 $D(1) \sim D(m)$ を生成する。以下、このオフセット前の映像信号 $D(1) \sim D(m)$ を単に映像信号 $D(1) \sim D(m)$ と呼び、駆動用映像信号 $S(1) \sim S(m)$ と区別する。

【0041】

この映像信号 $D(1) \sim D(m)$ は、各映像信号線 $SL(1) \sim SL(M)$ に印加され表示部500内の各画素形成部 $P(n, m)$ の画素容量を充電するための駆動用映像信号 $S(1) \sim S(m)$ の電圧から所定のオフセット電圧が差し引かれた電圧信号である。このようにソースドライバ300は、オフセット電圧が差し引かれた電圧信号を生成すればよいので、駆動用映像信号そのものを生成する従来の構成よりも耐圧設計を低くする(低い耐圧を前提に設計する)ことができ、製造コストを安価にすることができる。以下、図4を参照してオフセット電圧を差し引くことができる理由について説明する。

【0042】

図4は、本表示装置に使用される液晶に対する印加電圧と輝度との関係を示す図である。図4に示されるように、この液晶は、電圧が印加されない場合（図の中央）に、輝度（具体的には光の透過率）が最も高くなるノーマリホワイト型の液晶である。ここで、液晶に所定の正オフセット電圧 V_{OP} が印加され、または所定の負オフセット電圧 V_{ON} が印加される場合、液晶の輝度はほとんど変化しない。すなわち、正オフセット電圧 V_{OP} および負オフセット電圧 V_{ON} は、液晶層にゼロから印加する場合に光透過率がほとんど変化しない範囲内の所定の電圧（図ではその最大値）である。

【0043】

これに対し、正オフセット電圧 V_{OP} に所定の正の映像信号電圧 V_{SP} （図ではその最大値が示されている）を加えた電圧が印加され、または負オフセット電圧 V_{ON} に所定の負の映像信号電圧 V_{SN} （図ではその最大値が示されている）を加えた電圧が印加される場合、液晶の輝度が変化することになる。そこで、ソースドライバ300により上記正オフセット電圧 V_{OP} または負オフセット電圧 V_{ON} が差し引かれた映像信号を生成し、後述するように第1および第2のオフセット信号発生回路601、602により生成される正オフセット電圧 V_{OP} または負オフセット電圧 V_{ON} を上記映像信号と加算することにより駆動用映像信号を生成すれば、ソースドライバ300からの出力電圧の変化に応じて液晶層の光透過率が十分に变化する状態を保ちつつ、ソースドライバ300を耐圧設計を低くすることができる。

【0044】

なお、正オフセット電圧 V_{OP} および負オフセット電圧 V_{ON} の絶対値が小さくなるほどソースドライバ300の耐圧設計を高くしなければならないので、これらのオフセット電圧は上記のように液晶層の光透過率がほとんど変化しない範囲内の電圧のうちその最大値であることが極めて好適である。しかし、これらのオフセット電圧は、ゼロより大きい電圧であって液晶層の光透過率がほとんど変化しない電圧の範囲内であれば、ソースドライバ300の耐圧設計を低く抑えることができるので好適である。

【0045】

なお、ソースドライバ300では、ソースクロック信号 SCK のパルスが発生するタイミングで、各映像信号線 $SL(1) \sim SL(M)$ に印加すべき電圧を示すデジタル画像信号 DV が順次に保持される。そして、ラッチストロブ信号 LS のパルスが発生するタイミングで、上記保持されたデジタル画像信号 DV がアナログ電圧に変換される。変換されたアナログ電圧は、後述する液晶信号発生回路701～704により所定のオフセット電圧を加算されて全ての映像信号線 $SL(1) \sim SL(M)$ に一斉に印加される。すなわち、本実施形態においては、映像信号線 $SL(1) \sim SL(M)$ の駆動方式には線順次駆動方式が採用されている。

【0046】

ゲートドライバ400は、表示制御回路100から出力されたゲートスタートパルス信号 GSP とゲートクロック信号 GCK とに基づいて、各走査信号線 $GL(1) \sim GL(N)$ にアクティブな走査信号を印加する。

【0047】

以上のようにして、各映像信号線 $SL(1) \sim SL(M)$ に駆動用映像信号が印加され、各走査信号線 $GL(1) \sim GL(N)$ に走査信号が印加されることにより、表示部500に画像が表示される。なお、共通電極 E_{com} は、不図示の電源回路により所定電圧の供給を受けて共通電極電位 V_{com} に保持される。

【0048】

次に、上記液晶信号発生回路701～704の構成および動作について詳しく説明する。なお、液晶信号発生回路703は液晶信号発生回路701と同一の構成であり、液晶信号発生回路702、704は、第2のオフセット信号発生回路602から第2のオフセット信号 $OS2$ を受け取るほかは液晶信号発生回路701と同一の構成であるので、以下では液晶信号発生回路701について詳しく説明し、液晶信号発生回路702～704の説

10

20

30

40

50

明は省略する。

【0049】

< 1. 2 液晶信号発生回路の構成および動作 >

図5は、本実施形態における液晶信号発生回路701の構成を示す回路図である。この液晶信号発生回路701は、第1のオフセット信号発生回路601からの第1のオフセット信号OS1の電圧と、ソースドライバ300からの映像信号D(1)とを加算して出力するための回路であって、第1スイッチ710a、第2スイッチ710b、第3スイッチ710c、および第4スイッチ710dと、映像信号線SL(1)の寄生容量よりも十分に大きく駆動用映像信号S(1)を出力するのに十分な容量を有する容量素子715を含む。なお、図中に示される容量Cs1(1)は、映像信号線SL(1)と共通電極Ecomとの容量を示している。

10

【0050】

第1スイッチ710aは、表示制御回路100からの第1スイッチ制御信号SWaによりその両端部を導通させまたはその導通を遮断させ、第2スイッチ710bは、第2スイッチ制御信号SWbによりその両端部を導通させまたはその導通を遮断させ、第3スイッチ710cは、第3スイッチ制御信号SWcによりその両端部を導通させまたはその導通を遮断させ、第4スイッチ710dは、第4スイッチ制御信号SWdによりその両端部を導通させまたはその導通を遮断させる。これらのスイッチおよび容量素子715によりいわゆるチャージポンプ動作が行われる。以下、この動作を含む液晶信号発生回路701および関連する回路の動作について、図6を参照して詳しく説明する。

20

【0051】

図6は、スイッチ制御信号を含む各種信号の波形を簡易に示す図である。この図6では、4つの期間T1～T4からなる或る1水平期間およびそれに続く4つの期間T5～T8からなる次の1水平期間の間における各信号の電位変化がそれぞれ（各種インピーダンス等を見捨てた形で）簡易に示されている。

【0052】

まず、期間T1において、第1スイッチ制御信号SWaの電位は、第1スイッチを710aをオンする（両端を導通させる）ためのオン電位ONである。同様に第3スイッチ制御信号SWcの電位もオン電位ONである。また、第2および第4スイッチ制御信号SWb、SWdの電位は、スイッチをオフする（両端の導通を遮断させる）ためのオフ電位OFFである。さらに、この期間T1において、図5に示される第1スイッチ710aと容量素子715との間の電位（以下容量電位という）Vcは、第1スイッチ710aおよび第3スイッチ710cとが導通しているため、映像信号D(1)と同じ電位、すなわち正極性印加電圧と負極性印加電圧との中点電位V_{center}から正の映像信号電圧Vs_Pだけ高い正の映像信号電位Vs_{sig}_Pとなっている。なお、このとき第1のオフセット信号OS1は、中点電位V_{center}から正のオフセット電圧Vo_Pだけ低い負のオフセット信号電位Vo_{ff}_Nとなっている。

30

【0053】

次に期間T2において、第1および第3スイッチ制御信号SWa、SWcの電位は、オン電位ONからオフ電位OFFとなり、第2および第4スイッチ制御信号SWb、SWdの電位もオフ電位OFFのままであり、全てのスイッチにおける導通が遮断される。この状態で第1のオフセット信号OS1は、負のオフセット信号電位Vo_{ff}_Nから中点電位V_{center}へと正のオフセット電圧Vo_Pだけ変化するので、この電位変化に応じて容量電位Vcも、電位V_{center}から正の映像信号電圧Vs_Pだけ高い正の映像信号電位Vs_{sig}_Pからさらに正のオフセット電圧Vo_Pだけ変化する。よって、容量電位Vcは、中点電位V_{center}から正の映像信号電圧Vs_Pおよび正のオフセット電圧Vo_Pが加算された電圧だけ高い電位となる。

40

【0054】

続いて期間T3において、第1および第2スイッチ制御信号SWa、SWbの電位は、オフ電位OFFからオン電位ONとなり、第3および第4スイッチ制御信号SWc、SWd

50

の電位はオフ電位OFFのままであるので、第1および第2スイッチ710a, 710bを介して容量素子715と映像信号線SL(1)とが導通され、映像信号線SL(1)の電位が容量電位Vcと等しくなる。すなわち、容量素子715は映像信号線SL(1)の寄生容量よりも十分に大きく駆動用映像信号S(1)を出力するのに十分な容量を有するので、液晶信号発生回路701により映像信号線SL(1)に対して、正の映像信号電圧VsPおよび正のオフセット電圧VoPが加算された電圧を有する駆動用映像信号S(1)が印加される。

【0055】

この駆動用映像信号として印加された電圧は、ゲートドライバ400によりこの期間T3においてアクティブとなった走査信号G(1)の印加によって導通状態となったTF T10を介して、対応する画素形成部P(1, 1)の画素電極E p i xに印加され、当該画素形成部の画素容量に保持される。このように画素容量における保持電圧が液晶に印加されて表示部500における光の透過率が制御されることで、画像が表示される。

【0056】

次に期間T4において、第1および第2スイッチ制御信号SWa, SWbの電位はオン電位ONのまま、かつ第3スイッチ制御信号SWcの電位はオフ電位OFFのままで、第4スイッチ制御信号SWdの電位は、オフ電位OFFからオン電位ONとなるので、容量素子715および映像信号線SL(1)が共通電極E c o mと接続され、これらの電位が共通電極の電位にはほぼ等しい中点電位V__c e n t e rとなる。この動作により、ソースドライバ300に最大耐圧値以上の電圧がかかることを防止することができる。

【0057】

なお、ソースドライバ300に最大耐圧値以上の電圧がかかることを防止するためには、映像信号線の電位を上記最大耐圧値以下に設定すればよいので、映像信号線の電位を設定するための周知の手段であればその構成に限定はなく、例えば容量素子715および映像信号線SL(1)を接地する接続電位設定手段によりこれらの電位を接地電位GNDとすることによっても実現可能である。しかしこの場合、ソースドライバ300は接地電位GNDから容量715に対する電圧印加を行わなければならない駆動負荷がかかる。よって、消費電力の低減等の観点からも中点電位V__c e n t e rとする上記構成が好適である。

【0058】

続いて、期間T5～T8は、上記期間T1～T4と同様の動作であるので詳しい説明は省略するが、本表示装置ではドット反転駆動方式が採用されていることから駆動用映像信号S(1)の(中点電位V__c e n t e rを基準とした)極性を反転する必要がある、このため第1のオフセット信号OS1の電位を期間T6において負の方向へ変化させることにより、容量電位Vcも、中点電位V__c e n t e rから負の映像信号電圧VsNだけ低い負の映像信号電位V s i g__Nからさらに負のオフセット電圧VoNだけ変化する。すなわち、期間T6において容量電位Vcは、中点電位V__c e n t e rから負の映像信号電圧VsNおよび負のオフセット電圧VoNが加算された電圧だけ低い電位となる。この電位が期間T7において映像信号線SL(1)の電位となることは前述したとおりである。

【0059】

なお、図6に示されるように、共通電極電位V c o mは、厳密には中点電位V__c e n t e rから所定の補償電圧αだけ低い電位に設定されている。この補償電圧αは、TF T10がオンされるときに液晶層に書き込まれる電圧から、TF T10がオフされるときに配線容量やTF T10の寄生容量により変化する電圧を補償するためのものである。

【0060】

以上のような液晶信号発生回路701の動作は、第1のオフセット信号発生回路601からの第1のオフセット信号OS1を受け取る他の液晶信号発生回路、例えば液晶信号発生回路703においても同一である。この点、第2のオフセット信号発生回路602からの第2のオフセット信号OS2を受け取る液晶信号発生回路、例えば液晶信号発生回路7

10

20

30

40

50

02, 704の動作は上記動作と同一ではない。しかし、この動作はドット反転駆動方式を実現するため隣り合う映像信号線の極性が反転されるように行われればよいので、結局この動作は、上述した液晶信号発生回路701における期間T1～T4からなる或る1水平期間における各信号およびそれに基づく動作を、期間T5～T8からなる続く1水平期間における各信号およびそれに基づく動作と入れ替えることにより実現することができる。よって、この動作の詳しい説明は省略する。

【0061】

<1.3 効果>

以上のように上記第1の実施形態における液晶表示装置は、例えば画素形成部の構成等を変更することなく、液晶信号発生回路701～704により、第1および第2のオフセット信号発生回路601, 602からのオフセット信号の電圧をソースドライバ300からの出力信号の電圧に対して加算（合成）することにより、簡易な構成でソースドライバ300の耐圧設計を低くすることができる。

【0062】

<2. 第2の実施形態>

<2.1 液晶表示装置の全体構成および動作>

図7は、本発明の第2の実施形態に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。この液晶表示装置は、前述した図1に示される第1の実施形態に係る液晶表示装置と同様のソースドライバ300、ゲートドライバ400、および表示部500とを備えており、また第1の実施形態の場合とは異なって所定の正極性のオフセット電圧を有する第1のオフセット信号OS1を出力する第1のオフセット信号発生回路621と、所定の負極性のオフセット電圧を有する第2のオフセット信号OS2を出力する第2のオフセット信号発生回路622と、第1の実施形態とは異なる構成の（M個の）液晶信号発生回路721～724と、これらを第1の実施形態とは異なるように制御する表示制御回路100とを備えている。よって、同一の構成要素には同一の符号を付しその説明を省略する。次に、本実施形態における上記液晶信号発生回路721～724の構成および動作について詳しく説明する。

【0063】

<2.2 液晶信号発生回路の構成および動作>

図8は、本実施形態における液晶信号発生回路721の構成を示す回路図である。この液晶信号発生回路721は、正極性の駆動用映像信号S(1)を出力する場合、第1のオフセット信号発生回路621からの第1のオフセット信号OS1の電圧と、ソースドライバ300からの映像信号D(1)とを加算して出力し、負極性の駆動用映像信号S(1)を出力する場合、第2のオフセット信号発生回路622からの第2のオフセット信号OS2の電圧と、ソースドライバ300からの映像信号D(1)とを加算して出力するための回路である。このような動作を実現するため液晶信号発生回路721は、図5に示される第1の実施形態における液晶信号発生回路701と同様の構成要素を正極性信号出力用と負極性信号出力用との1組ずつ有するように構成されており、正極性信号出力用の第1正極性スイッチ720a、第2正極性スイッチ720b、第3正極性スイッチ720c、および正極性容量素子725と、負極性信号出力用の第1負極性スイッチ727a、第2負極性スイッチ727b、第3負極性スイッチ727c、および負極性容量素子726と、第1の実施形態と同様の第4スイッチ720を含む。なお、その他の構成要素は図5と同様である。

【0064】

これら第1正極性スイッチ720a、第2正極性スイッチ720b、第3正極性スイッチ720c、第1負極性スイッチ727a、第2負極性スイッチ727b、第3負極性スイッチ727c、および第4スイッチ720は、それぞれ対応する表示制御回路100からの第1正極性スイッチ制御信号SWpa、第2正極性スイッチ制御信号SWpb、第3正極性スイッチ制御信号SWpc、第1負極性スイッチ制御信号SWna、第2負極性スイッチ制御信号SWnb、第3負極性スイッチ制御信号SWnc、および第4スイッチ制

御信号SWd2により、その両端部を導通させまたはその導通を遮断させる。これらのスイッチと、正極性容量素子725および負極性容量素子726とによりそれぞれが干渉しないよう独立して、いわゆるチャージポンプ動作が行われる。以下、この動作を含む液晶信号発生回路721および関連する回路の動作について、図9を参照して詳しく説明する。

【0065】

図9は、スイッチ制御信号を含む各種信号の波形を簡易に示す図である。この図9では、2つの期間T21, T22からなる或る1水平期間と、それに続く2つの期間T23, T24からなる次の1水平期間と、同様に続く期間T25～T24までの4つの水平期間における各信号の電位変化がそれぞれ簡易に示されている。

【0066】

ここで、この図9に示される第1正極性スイッチ制御信号SWpa、第2正極性スイッチ制御信号SWpb、第3正極性スイッチ制御信号SWpc、および第4スイッチ制御信号SWd2の各信号は、図5に示される第1スイッチ制御信号SWa、第2スイッチ制御信号SWb、第3スイッチ制御信号SWc、および第4スイッチ制御信号SWdの各信号のちょうど2倍の周期となっており、対応するスイッチを連続する2水平期間において第1の実施形態と同様に制御することがわかる。

【0067】

また、第1負極性スイッチ制御信号SWna、第2負極性スイッチ制御信号SWnb、第3負極性スイッチ制御信号SWnc、および第4スイッチ制御信号SWd2の各信号波形も同様に、図5に示される第1スイッチ制御信号SWa、第2スイッチ制御信号SWb、第3スイッチ制御信号SWc、および第4スイッチ制御信号SWdの信号波形のちょうど2倍の周期となっており、対応するスイッチを連続する2水平期間において第1の実施形態と同様に制御することがわかるが、第1正極性スイッチ制御信号SWpa、第2正極性スイッチ制御信号SWpb、第3正極性スイッチ制御信号SWpc、および第4スイッチ制御信号SWd2の各信号より、ちょうど1水平期間遅れている（または進んでいる）ので、対応するスイッチの制御もちょうど1水平期間遅れ（または進んで）行われることになる。このことにより、正極性容量素子725および負極性容量素子726のうち一方がチャージポンプ動作を行っている期間中、他方が映像信号線SL(1)に接続されるように、いわば排他的に制御されることになる。以下、この動作について説明する。

【0068】

まず、期間T21, T22において、第1正極性スイッチ720a、第2正極性スイッチ720b、第3正極性スイッチ720c、第1負極性スイッチ727a、第2負極性スイッチ727b、第3負極性スイッチ727c、および第4スイッチ720の動作により、正極性容量素子725における正極性容量電位Vcpは、図6に示される期間T1, T2における場合と同様、中点電位V_{center}から正の映像信号電圧VsPおよび正のオフセット電圧VoPが加算された電圧だけ高い電位となる。いわゆるチャージポンプ動作として前述したとおりである。なお、以上の動作は、期間T25, T26においても全く同様である。

【0069】

また、同じ期間T21, T22のうちの期間T21において、第1負極性スイッチ727a、第2負極性スイッチ727b、第3負極性スイッチ727c、および第4スイッチ720の動作により、図示されない以前の期間において（後述する期間T23, T24におけると同様に）負の映像信号電圧VsNおよび負のオフセット電圧VoNが加算された電圧にチャージされた負極性容量素子726と映像信号線SL(1)とが導通され、映像信号線SL(1)の電位が負極性容量電位Vcnと等しくなる。すなわち、液晶信号発生回路721により映像信号線SL(1)に対して、上記加算電圧を有する駆動用映像信号S(1)が印加される。この駆動用映像信号として印加された電圧は、ゲートドライバ400によりこの期間T21においてアクティブとなった走査信号G(1)の印加によって導通状態となったTF T10を介して、対応する画素形成部P(1, 1)の画素電極Ep

10

20

30

40

50

i xに印加され、当該画素形成部の画素容量に保持される。その後、期間T 2 2において上記各スイッチの動作により、負極性容量素子7 2 6および映像信号線S L (1) が共通電極E c o mと接続され、これらの電位が共通電極の電位にほぼ等しい中点電位V _ c e n t e rとなる。この動作により、ソースドライバ3 0 0に最大耐圧値以上の電圧がかかることを防止することができる。なお、以上の動作は、期間T 2 5, T 2 6においても全く同様である。

【0 0 7 0】

次に、期間T 2 3, T 2 4のうちの期間T 2 3において、第1正極性スイッチ7 2 0 a、第2正極性スイッチ7 2 0 b、第3正極性スイッチ7 2 0 c、第1負極性スイッチ7 2 7 a、第2負極性スイッチ7 2 7 b、第3負極性スイッチ7 2 7 c、および第4スイッチ7 2 0の動作により、期間T 2 1, T 2 2において、正の映像信号電圧V s Pおよび正のオフセット電圧V o Pが加算された電圧にチャージされた正極性容量素子7 2 5と映像信号線S L (1) とが導通され、映像信号線S L (1) の電位が正極性容量電位V c pと等しくなる。すなわち、液晶信号発生回路7 2 1により映像信号線S L (1) に対して、上記加算電圧を有する駆動用映像信号S (1) が印加される。その後、期間T 2 4において上記各スイッチの動作により、正極性容量素子7 2 5および映像信号線S L (1) が共通電極E c o mと接続され、これらの電位が共通電極の電位にほぼ等しい中点電位V _ c e n t e rとなる。この動作により、上述のようにソースドライバ3 0 0に最大耐圧値以上の電圧がかかることを防止することができる。なお、以上の動作は、期間T 2 7, T 2 8においても全く同様である。

【0 0 7 1】

また、同じ期間T 2 3, T 2 4において、第1負極性スイッチ7 2 7 a、第2負極性スイッチ7 2 7 b、第3負極性スイッチ7 2 7 c、および第4スイッチ7 2 0の動作により、負極性容量素子7 2 6における負極性容量電位V c nは、図6に示される期間T 5, T 6における場合と同様、中点電位V _ c e n t e rから負の映像信号電圧V s Nおよび負のオフセット電圧V o Nが加算された電圧だけ低い電位となる。いわゆるチャージポンプ動作として前述したとおりである。なお、以上の動作は、期間T 2 7, T 2 8においても全く同様である。

【0 0 7 2】

ここで以上のような各スイッチの動作が互いに干渉しないのは、第2正極性スイッチ7 2 0 bと第2負極性スイッチ7 2 7 b cとが同時にオンされず、かつ第3正極性スイッチ7 2 0 cと第3負極性スイッチ7 2 7 cとが同時にオンされないの、正極性信号生成用の回路と負極性信号生成用の回路とが常に電氣的に切り離されているからである。

【0 0 7 3】

< 2. 3 効果 >

以上のように、上記第2の実施形態における液晶表示装置は、例えば画素形成部の構成等を変更することなく、液晶信号発生回路7 2 1~7 2 4により、第1および第2のオフセット信号発生回路6 2 1, 6 2 2からのオフセット信号の電圧をソースドライバ3 0 0からの出力信号の電圧に対して加算（合成）することにより、簡易な構成でソースドライバ3 0 0の耐圧設計を低くすることができる。

【0 0 7 4】

また、上記第2の実施形態における液晶表示装置では、液晶信号発生回路7 2 1~7 2 4に正極性容量素子7 2 5および負極性容量素子7 2 6が備えられ、その一方がチャージポンプ動作を行っている期間中、他方が映像信号線に接続されるように対応するスイッチが適宜制御されるので、第1の実施形態の場合と比較して1水平期間につき2倍の期間中、映像信号線に駆動用映像信号を印加することができる。よって、特に高精細の表示装置においても、各画素形成部に十分な映像信号の印加時間（画素値の書き込み時間）を確保することができる。

【0 0 7 5】

< 3. 第3の実施形態 >

< 3. 1 液晶表示装置の全体構成および動作 >

本発明の第3の実施形態に係るアクティブマトリクス型液晶表示装置の全体構成は、前述した図7に示される第2の実施形態に係る液晶表示装置と同様のソースドライバ300、ゲートドライバ400、表示部500、および第1および第2のオフセット信号発生回路621、622と、第1の実施形態とは異なる構成の(M個の)液晶信号発生回路731~734と、これらを制御する表示制御回路100とを備えている。よって、同一の構成要素には同一の符号を付しそのブロック図およびその説明を省略する。次に、本実施形態における上記液晶信号発生回路731~734の構成および動作について詳しく説明する。

【0076】

10

< 3. 2 液晶信号発生回路の構成および動作 >

図10は、本実施形態における液晶信号発生回路731の構成を示す回路図である。この液晶信号発生回路721は、図8に示される液晶信号発生回路721に備えられる構成要素のうち、第3正極性スイッチ720cおよび第3負極性スイッチ727cに代えて、正極性ダイオード738aおよび負極性ダイオード738bが備えられており、このことにより第3正極性スイッチ720cおよび第3負極性スイッチ727cを制御するための第3正極性スイッチ制御信号SWpcおよび第3負極性スイッチ制御信号SWncが省略されている。なお、正極性ダイオード738aおよび負極性ダイオード738bとしては、順方向電圧降下が小さく、スイッチング速度の速いショットキーダイオードを使用するのが好適である。

20

【0077】

この正極性ダイオード738aおよび負極性ダイオード738bは、所定の順方向電圧が印加されるとオンされるので、第3正極性スイッチ720cおよび第3負極性スイッチ727cと同様に動作することになる。もっとも、これらのダイオードには制御信号が必要ないので、本実施形態における液晶信号発生回路731は、第2の実施形態の構成よりも簡易なものとすることができる。

【0078】

この液晶信号発生回路731の動作に関連する各種信号波形は、第3正極性スイッチ制御信号SWpcおよび第3負極性スイッチ制御信号SWncが省略されている点を除き、図9に示される各種信号の波形と同一であるので説明を省略する。ただし、厳密には正極性ダイオード738aおよび負極性ダイオード738bにおける順方向電圧降下を考慮する必要があるが、その値は小さいため無視してよい。

30

【0079】

なお、第1のオフセット信号発生回路621は常に正極性のオフセット信号OS1を、第2のオフセット信号発生回路622は常に負極性のオフセット信号OS2を与えるので、正極性ダイオード738aおよび負極性ダイオード738bに対して逆方向に電圧が印加されることはなく、かつ第2正極性スイッチ720bと第2負極性スイッチ727bcとが同時にオンされないので、正極性信号生成用の回路と負極性信号生成用の回路とが常に電氣的に切り離されている。したがって、正極性容量素子725および負極性容量素子726とによりそれぞれが干渉しないよう独立してチャージポンプ動作が行われる点に問題はない。

40

【0080】

< 3. 3 効果 >

以上のように、上記第3の実施形態における液晶表示装置は、例えば画素形成部の構成等を変更することなく、液晶信号発生回路731~734により、第1および第2のオフセット信号発生回路621、622からのオフセット信号の電圧をソースドライバ300からの出力信号の電圧に対して合成(加算)することにより、簡易な構成でソースドライバ300の耐圧設計を低くすることができる。

【0081】

また、上記第3の実施形態における液晶表示装置では、第2の実施形態の場合と同様に

50

液晶信号発生回路 731～734 に正極性容量素子 725 および負極性容量素子 726 が備えられ、その一方がチャージポンプ動作を行っている期間中、他方が映像信号線に接続されるように対応するスイッチが適宜制御されるので、第 1 の実施形態の場合と比較して 1 水平期間につき 2 倍の期間中、映像信号線に駆動用映像信号を印加することができる。よって、特に高精細の表示装置においても、各画素形成部に十分な映像信号の印加時間（画素値の書き込み時間）を確保することができる。

【0082】

さらに、上記第 3 の実施形態における液晶表示装置では、第 2 の実施形態における液晶信号発生回路 721 に含まれる第 3 正極性スイッチ 720c および第 3 負極性スイッチ 727c が省略されているので、構成を簡単にすることができ、また第 3 正極性スイッチ制御信号 SWpc および第 3 負極性スイッチ制御信号 SWnc を省略することができるので、制御を簡単にすることができる。

10

【0083】

< 4. 第 4 の実施形態 >

上記第 3 の実施形態では、第 2 の実施形態の場合と同様、第 1 および第 2 のオフセット信号発生回路 621, 622 を備えるが、第 1 の実施形態の場合と同様、負極性容量素子 726 を省略することもできる。以下、この第 3 の実施形態の変形例としての第 4 の実施形態に係る液晶表示装置について説明する。もっとも、この液晶表示装置の全体的な構成は、第 1 の実施形態における液晶信号発生回路 701～704 に代えて設けられる液晶信号発生回路 741～744 の構成を除き、前述した図 1 に示される第 1 の実施形態における構成と同様であるので、同一の構成要素には同一の番号を付してその説明を省略する。よって、液晶信号発生回路の構成について図 11 を参照して説明する。

20

【0084】

図 11 は、この第 4 の実施形態に係る液晶信号発生回路 741 の構成を示す回路図である。図 11 に示されるように、この液晶信号発生回路 741 は、図 10 に示される第 3 の実施形態における液晶信号発生回路 731 から負極性容量素子 726 を省略した構成であるが、各スイッチの制御動作は図 6 に示される信号に基づく第 1 の実施形態における動作と類似している。すなわち、本実施形態における第 1 正極性スイッチ制御信号 SWpa および第 2 正極性スイッチ制御信号 SWpb は、期間 T1～T4 においては図 6 に示される第 1 スイッチ制御信号 SWa および第 2 スイッチ制御信号 SWb と同一の信号波形であるが、期間 T5～T8 においてはオフ電位 OFF となる。そして、この期間 T5～T8 において、本実施形態における第 1 負極性スイッチ制御信号 SWna および第 2 負極性スイッチ制御信号 SWnb は、期間 T1～T4 においては図 6 に示される第 1 スイッチ制御信号 SWa および第 2 スイッチ制御信号 SWb と同一の信号波形となり、期間 T1～T4 においてはオフ電位 OFF となる。

30

【0085】

このような信号に基づき対応するスイッチが制御されることにより、本実施形態における液晶信号発生回路は、第 3 の実施形態における場合よりも簡易な構成で、第 1 の実施形態の場合と同様の駆動映像信号を出力することができる。

【0086】

< 5. 変形例 >

40

【0087】

上記各実施形態では、期間 T1～T8 が当該実施形態において等しい長さのように記載されているが、特に等しい長さである必要はなく、例えば第 1 の実施形態における期間 T1, T5 と、期間 T3, T7 とが十分に長い期間であることが好適である。すなわち、期間 T3, T7 においては、映像信号線に容量 715 に充電された電位を与えるための十分な期間が必要であり、また期間 T1, T5 においては、容量 715 にソースドライバ 300 からの電圧を充電するための十分な期間が必要である。特に、コストなどの面からソースドライバ 300 の駆動能力（充電能力）が大きい場合、上記期間 T1, T5（またはこれらに期間 T2, T6 を加えた期間）は、期間 T3, T7 と比較しても十分に長い期

50

間であることが好適である。このように期間が定められることにより、容量 715 に必要な電荷が充電されるので、充電時間の不足による映像信号電圧の不足を回避することができる。

【0088】

上記各実施形態では、第 1 および第 2 のオフセット信号発生回路と、各液晶信号発生回路とがソースドライバ 300 の外部に備えられる構成であるが、その一部または全部がソースドライバ 300 に内蔵される構成であってもよい。すなわち、これら第 1 および第 2 のオフセット信号発生回路と、各液晶信号発生回路と、ソースドライバ 300 とを映像信号線駆動回路として総称することができる。

【0089】

上記各実施形態では、液晶信号発生回路に容量素子を備え、いわゆるチャージポンプ方式によりソースドライバ 300 からの映像信号の電圧に対してオフセット電圧を加算（合成）する構成であるが、周知のチャージポンプ回路の構成であれば本発明を適用可能である。また、チャージポンプ回路に代えてその他の周知の昇圧回路が採用されてもよい。

【0090】

上記各実施形態では、隣り合う 1 画素形成部毎に極性が反転される 1 ドット反転駆動方式を採用した液晶表示装置を例に挙げて説明したが、垂直方向および水平方向の少なくとも一方向に隣り合う n 個（ n は 2 以上の自然数）の画素形成部毎に極性が反転される n ドット反転駆動方式が採用されてもよい。また、ソースドライバの耐圧設計を低くする必要がある場合には、1 つ以上の水平走査線毎に印加電圧の正負極性を反転させつつ 1 フレーム毎にも正負極性を反転させるライン反転駆動方式を採用した液晶表示装置であってもよい。

【0091】

また上記各実施形態では、アクティブマトリクス型の液晶表示装置を例に挙げて説明したが、アクティブマトリクス型の電圧制御による表示装置であってソースドライバの耐圧設計を低くする必要があるような表示装置であれば、液晶表示装置以外にも本発明の適用が可能である。

【図面の簡単な説明】

【0092】

【図 1】本発明の第 1 の実施形態に本発明の第 1 の実施形態に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。

【図 2】上記実施形態における表示部の構成を模式的に示す図である。

【図 3】上記実施形態における画素形成部の等価回路を示す回路図である。

【図 4】上記実施形態における表示装置に使用される液晶に対する印加電圧と輝度との関係を示す図である。

【図 5】上記実施形態における液晶信号発生回路の構成を示す回路図である。

【図 6】上記実施形態におけるスイッチ制御信号を含む各種信号の波形を簡易に示す図である。

【図 7】本発明の第 2 の実施形態に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。

【図 8】上記実施形態における液晶信号発生回路の構成を示す回路図である。

【図 9】上記実施形態におけるスイッチ制御信号を含む各種信号の波形を簡易に示す図である。

【図 10】本発明の第 3 の実施形態における液晶信号発生回路の構成を示す回路図である。

【図 11】本発明の第 4 の実施形態における液晶信号発生回路の構成を示す回路図である。

【図 12】従来のドット反転駆動方式を採用した場合の或るデータ線の電圧変化を簡易に示す図である。

【図 13】従来のドット反転駆動方式により各画素形成部に印加される電圧の極性を示す

10

20

30

40

50

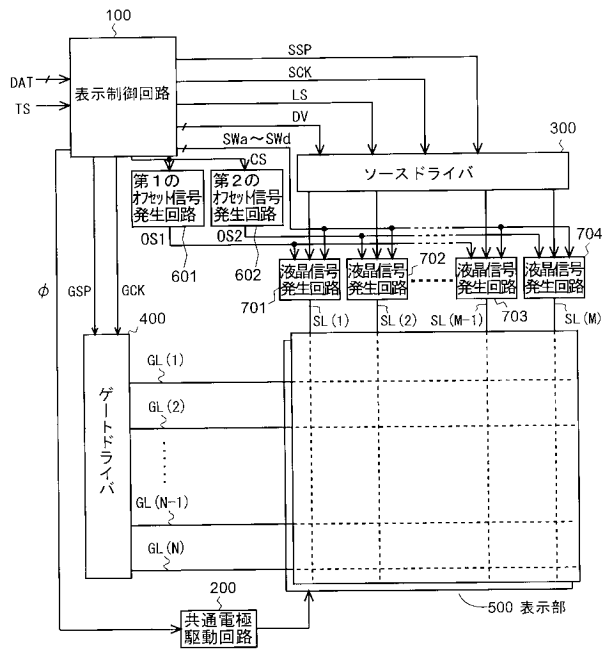
図である。

【符号の説明】

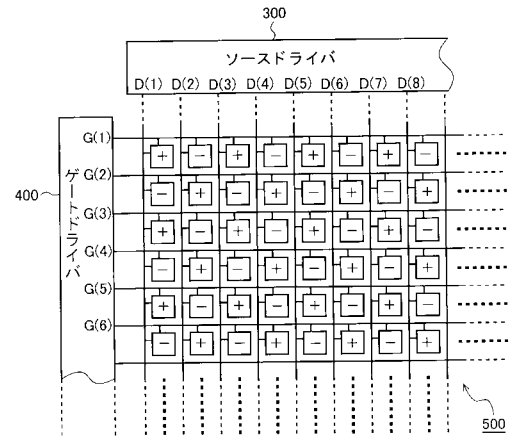
【0093】

1 0	… T F T (スイッチング素子)	
1 0 0	… 表示制御回路	
2 0 0	… 共通電極駆動回路	
3 0 0	… ソースドライバ	
4 0 0	… ゲートドライバ	
5 0 0	… 表示部	
6 0 1, 6 2 1	… 第 1 のオフセット信号発生回路	10
6 0 2, 6 2 2	… 第 2 のオフセット信号発生回路	
7 0 1 ~ 7 0 4, 7 2 1 ~ 7 2 4,		
7 3 1 ~ 7 3 4, 7 4 1 ~ 7 4 4	… 液晶信号発生回路	
7 1 0 a ~ 7 1 0 d	… スイッチ	
7 1 5	… 容量	
7 2 0 a ~ 7 2 0 d	… 正極性スイッチ	
7 2 5	… 正極性容量	
7 2 6	… 負極性容量	
7 2 7 a ~ 7 2 7 d	… 負極性スイッチ	
7 3 8 a	… 正極性ダイオード	20
7 3 8 b	… 負極性ダイオード	
D A T	… 表示データ信号	
D V	… デジタル画像信号	
C l c	… 液晶容量	
C s	… 寄生容量	
E c o m	… 共通電極	
E p i x	… 画素電極	
G L (n)	… 走査信号線 (n = 1 ~ N)	
S L (m)	… データ信号線 (m = 1 ~ M)	
P (n, m)	… 画素形成部 (n = 1 ~ N、m = 1 ~ M)	30
O S 1	… 第 1 のオフセット信号	
O S 2	… 第 2 のオフセット信号	

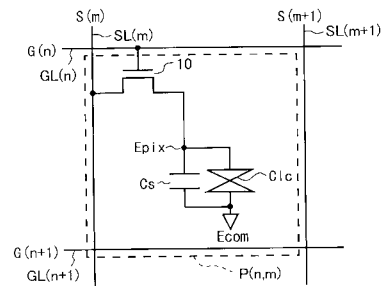
【図 1】



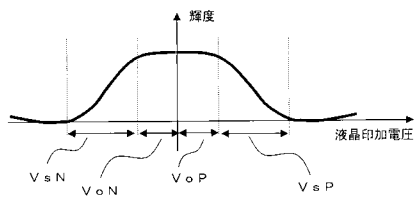
【図 2】



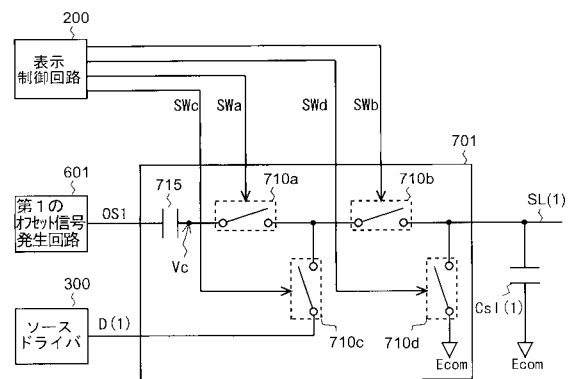
【図 3】



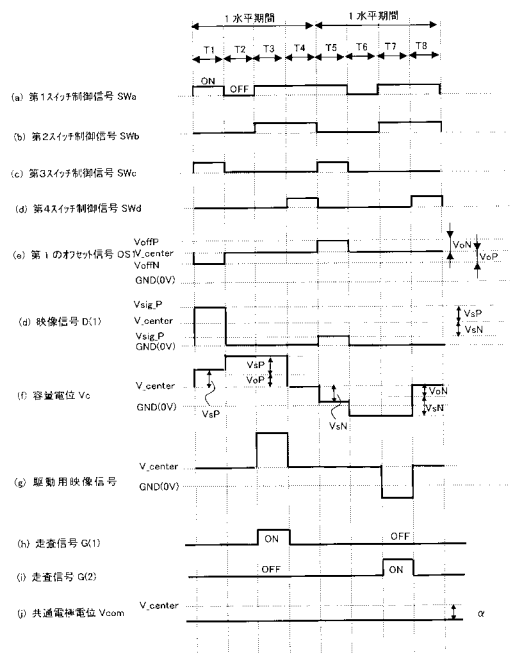
【図 4】



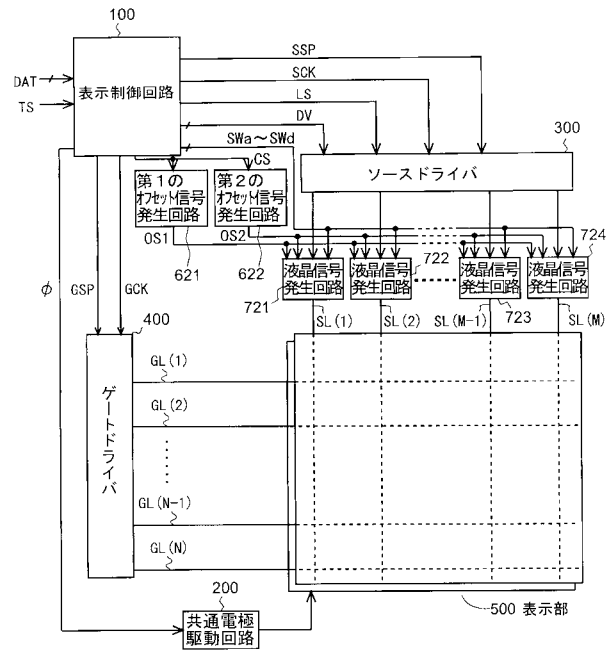
【図 5】



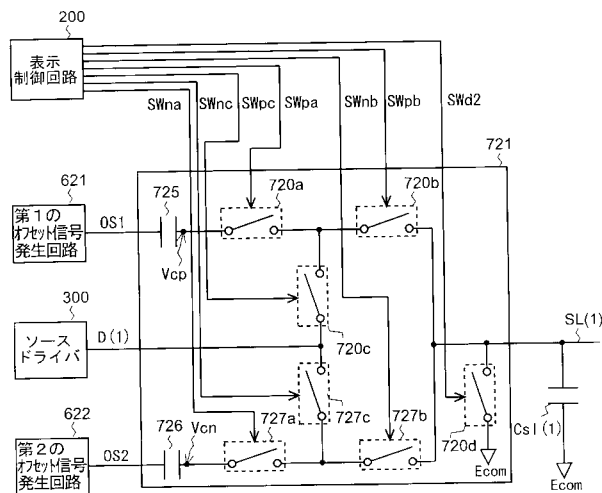
【図 6】



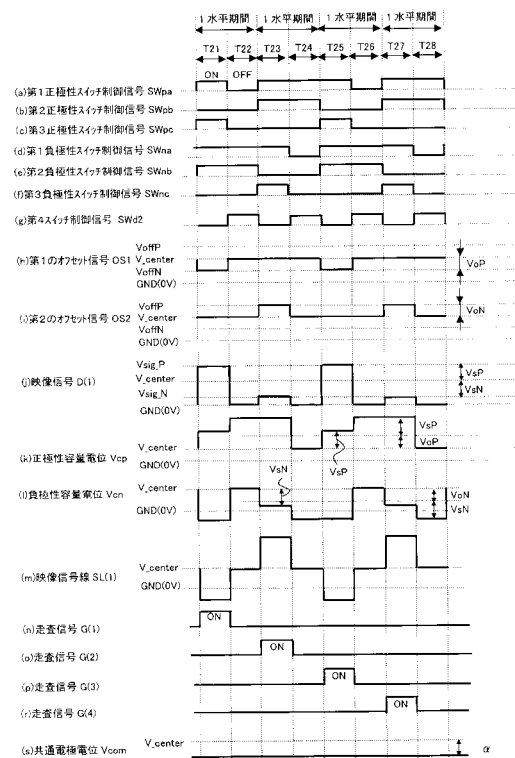
【図 7】



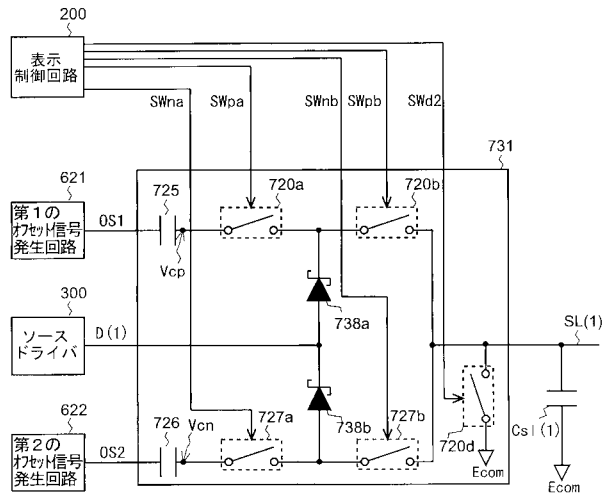
【図 8】



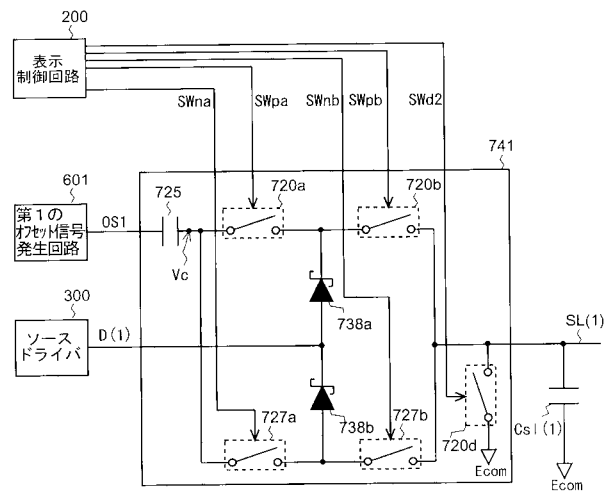
【図 9】



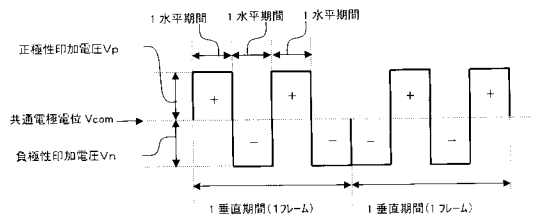
【図 10】



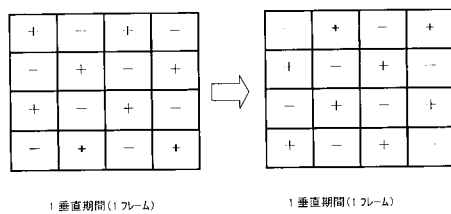
【図 11】



【図 12】



【図 13】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 1 A
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 1 H
G 0 9 G	3/20	6 2 3 V
G 0 2 F	1/133	5 5 0

专利名称(译)	有源矩阵显示		
公开(公告)号	JP2008096861A	公开(公告)日	2008-04-24
申请号	JP2006280978	申请日	2006-10-16
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	安川 貞彦		
发明人	安川 貞彦		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.621.B G09G3/20.623.D G09G3/20.623.C G09G3/20.612.E G09G3/20.621.A G09G3/20.622.D G09G3/20.621.H G09G3/20.623.V G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA43 2H093/NA53 2H093/NB30 2H093/NC18 2H093/NC34 2H093/ND35 2H093/ND49 5C006/AC21 5C006/AF43 5C006/AF46 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC11 5C006/BC23 5C006/BF42 5C006/FA01 5C006/FA16 5C006/FA18 5C006/FA41 5C006/FA46 5C006/FA51 5C080/AA10 5C080/BB05 5C080/BB06 5C080/DD22 5C080/DD27 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 2H193/ZA04 2H193/ZC02 2H193/ZD23 2H193/ZF59		
代理人(译)	岛田彰		
外部链接	Espacenet		

摘要(译)

本发明提供一种有源矩阵液晶显示装置，其不需要在不改变例如像素形成部分的配置的情况下以简单的配置增加源极驱动器的耐压设计。一种有源矩阵液晶显示装置，包括液晶电荷泵电路，该电路包括来自源极驱动器的输出电压和来自第一或第二偏移信号产生电路的偏移电压之间的预定电容。信号发生电路701至704添加并应用于相应的视频信号线SL(1)至SL(M)。偏移电压是液晶的透光率几乎不变化的范围内的电压，并且如果要施加到每个视频信号线的电压是偏移电压，则来自源极驱动器300的输出电压是足够的。通过添加上述电路的简单配置，可以将源极驱动器300的耐压设计抑制到低水平。[选图]图1

