

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-248536

(P2007-248536A)

(43) 公開日 平成19年9月27日(2007.9.27)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 622D	5C006
G02F 1/133 (2006.01)	G09G 3/20 623C	5C080
	G09G 3/20 623U	
	G09G 3/20 621F	
審査請求 未請求 請求項の数 5 O L (全 18 頁) 最終頁に続く		

(21) 出願番号 特願2006-68290 (P2006-68290)

(22) 出願日 平成18年3月13日 (2006.3.13)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(74) 代理人 100104695

弁理士 島田 明宏

(72) 発明者 大上 裕之

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(72) 発明者 久保 真澄

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

Fターム(参考) 2H093 NC22 NC34 ND06 ND32 ND34

ND39 ND42 ND49 ND54

最終頁に続く

(54) 【発明の名称】 液晶表示装置ならびにその駆動回路および駆動方法

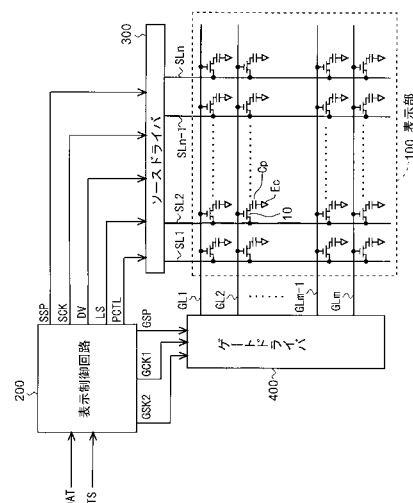
(57) 【要約】

【課題】省電力化・小型化・低コスト化を実現することができる応答性の高い液晶表示装置を提供する。

【解決手段】ゲートドライバ400は、1フレーム期間内に各走査信号線GL1~GLmを2回ずつ選択する。

1回目の選択の際のパルス（先行パルス）の幅を、2回目の選択の際のパルス（本書き込みパルス）の幅の2分の1とする。先行パルスが発生している期間中、各映像信号線SL1~SLnには本来印加されるべき電圧に所定の電圧（プリチャージ電圧）Vpが加算された電圧を印加する。各画素形成部では、先行パルスによって画素容量の予備充電が行われ、本書き込みパルスによって本充電が行われる。

【選択図】図1



【特許請求の範囲】

【請求項 1】

表示すべき画像を表す複数の映像信号をそれぞれ伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数の画素形成部とを備えたアクティブマトリクス型液晶表示装置の駆動回路であって、

各走査信号線につき予め設定された予備充電期間中および当該予備充電期間後の期間として予め設定された本充電期間中は当該走査信号線が選択されるように、前記複数の走査信号線を選択的に駆動する走査信号線駆動回路と、

各走査信号線についての本充電期間のうち当該走査信号線以外の走査信号線についての予備充電期間と重なる重複充電期間には前記表示すべき画像を表すための電圧に所定の電圧を加算した電圧を前記複数の映像信号線に印加し、各走査信号線についての本充電期間のうち前記重複充電期間以外の期間には前記表示すべき画像を表すための電圧を前記複数の映像信号線に印加する映像信号線駆動回路とを備え、

各走査信号線についての前記重複充電期間は、当該走査信号線以外の走査信号線についての本充電期間のうちの一部の期間であって当該本充電期間の開始から所定の期間に相当することを特徴とする、駆動回路。

【請求項 2】

各走査信号線についての前記重複充電期間は、当該走査信号線以外の走査信号線についての本充電期間のうち開始から 2 分の 1 に相当する期間であることを特徴とする、請求項 1 に記載の駆動回路。

【請求項 3】

前記映像信号線駆動回路は、

前記表示すべき画像を表すための電圧を出力する映像信号生成部と、

前記所定の電圧を生成して、前記重複充電期間に当該所定の電圧を出力する予備充電電圧出力部と、

前記映像信号生成部から出力された前記表示すべき画像を表すための電圧と前記予備充電電圧出力部から出力された前記所定の電圧とを加算した電圧を前記複数の映像信号として前記複数の映像信号線に印加する電圧加算部とを備えたことを特徴とする、請求項 1 または 2 に記載の駆動回路。

【請求項 4】

請求項 1 から 3 のいずれか 1 項に記載の駆動回路を備えたことを特徴とする、アクティブマトリクス型液晶表示装置。

【請求項 5】

表示すべき画像を表す複数の映像信号をそれぞれ伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数の画素形成部とを備えたアクティブマトリクス型液晶表示装置の駆動方法であって、

各走査信号線につき予め設定された予備充電期間中および当該予備充電期間後の期間として予め設定された本充電期間中は当該走査信号線が選択されるように、前記複数の走査信号線を選択的に駆動する走査信号線駆動ステップと、

各走査信号線についての本充電期間のうち当該走査信号線以外の走査信号線についての予備充電期間と重なる重複充電期間には前記表示すべき画像を表すための電圧に所定の電圧を加算した電圧を前記複数の映像信号線に印加し、各走査信号線についての本充電期間のうち前記重複充電期間以外の期間には前記表示すべき画像を表すための電圧を前記複数の映像信号線に印加する映像信号線駆動ステップとを備え、

各走査信号線についての前記重複充電期間は、当該走査信号線以外の走査信号線についての本充電期間のうちの一部の期間であって当該本充電期間の開始から所定の期間に相当することを特徴とする、駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス型の液晶表示装置に関し、特に、動画表示の際の応答性を高めるための駆動回路および駆動方法に関する。

【背景技術】

【0002】

近年、パーソナルコンピュータやテレビ受信機等のほか、携帯電話機やPDA（Personal Digital Assistant）等の携帯機器においても液晶表示装置が使用されている。このような液晶表示装置に関し、従来より、動画表示の際の画質を向上させるために、液晶の応答性を改善することが課題となっている。

10

【0003】

図15～図17は、従来の一般的な液晶表示装置における信号波形図である。図15（a）～（d）はそれぞれ1行目から4行目の走査信号線に印加される走査信号G1～G4の波形を示している。図15（a）～（d）に示すように、走査信号G1～G4のパルス（以下、「書き込みパルス」という。）が順次が発生している。また、この書き込みパルスは、各走査信号G1～G4につき1フレーム期間毎に繰り返し発生している。例えば、フレーム周波数が60Hzの液晶表示装置の場合、1フレーム期間は16.7ミリ秒となるので、各走査信号G1～G4につき16.7ミリ秒毎に書き込みパルスが発生している。図16は、ライン反転駆動が行われている液晶表示装置において映像信号線に印加される駆動用映像信号Sの波形を示している。図16に示すように、駆動用映像信号Sの電位は、1水平走査期間毎に共通電極の電位Vcomに対して正極性と負極性とに切り替えられている。図17は、各走査信号G1～Gmの書き込みパルスと駆動用映像信号Sとの関係を説明するための信号波形図である。図17に示すように、1水平走査期間毎に駆動用映像信号Sの（共通電極の電位Vcomを基準としたときの）極性が反転し、それに対応して走査信号G1～Gmの書き込みパルスが順次が発生している。

20

【0004】

ところで、走査信号線と映像信号線との交差点に対応して設けられている任意の画素形成部に着目すると、1フレーム期間毎に駆動用映像信号Sの書き込みが行われている。すなわち、1フレーム期間毎に異なる電圧が液晶層に印加される。ところが、液晶は応答速度が低く、例えばノーマリブラック型の液晶表示装置においては、特に低階調電圧からの立ち上がりの際の応答速度の低さが顕著である。このため、動画表示が行われた際に十分な画質の表示画像が得られないことがある。

30

【0005】

上述のような液晶の応答速度の低さに起因する動画表示の際の画質劣化を抑制する方法として、オーバーシュート駆動と呼ばれる駆動方法が知られている。オーバーシュート駆動とは、1フレーム前の入力画像信号と現フレームの入力画像信号との組み合わせに応じて、予め決められた現フレームの入力画像信号に対する階調電圧よりも高い駆動電圧あるいは予め決められた現フレームの入力画像信号に対する階調電圧よりも低い駆動電圧を液晶表示パネルに供給する駆動方式である。このオーバーシュート駆動により、目標とする階調（透過率）への到達時間の短縮が図られている。

40

【特許文献1】特開平10-54972号公報

【特許文献2】特開2001-265298号公報

【特許文献3】特開2003-279929号公報

【特許文献4】特開2004-240410号公報

【特許文献5】特開2004-348151号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

ところが、携帯電話やPDAなどのいわゆるモバイル機器では省電力化、小型化、低コスト化が求められている。このため、高電圧印加を必要とし、メモリ回路を備える必要の

50

あるオーバーシュート駆動の導入は好ましくない。

【0007】

そこで本発明は、省電力化・小型化・低コスト化を実現できる応答性の高い液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

第1の発明は、表示すべき画像を表す複数の映像信号をそれぞれ伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数の画素形成部とを備えたアクティブマトリクス型液晶表示装置の駆動回路であって、

各走査信号線につき予め設定された予備充電期間中および当該予備充電期間後の期間として予め設定された本充電期間中は当該走査信号線が選択されるように、前記複数の走査信号線を選択的に駆動する走査信号線駆動回路と、

各走査信号線についての本充電期間のうち当該走査信号線以外の走査信号線についての予備充電期間と重なる重複充電期間には前記表示すべき画像を表すための電圧に所定の電圧を加算した電圧を前記複数の映像信号線に印加し、各走査信号線についての本充電期間のうち前記重複充電期間以外の期間には前記表示すべき画像を表すための電圧を前記複数の映像信号線に印加する映像信号線駆動回路とを備え、

各走査信号線についての前記重複充電期間は、当該走査信号線以外の走査信号線についての本充電期間のうちの一部の期間であって当該本充電期間の開始から所定の期間に相当

【0009】

第2の発明は、第1の発明において、

各走査信号線についての前記重複充電期間は、当該走査信号線以外の走査信号線についての本充電期間のうちの開始から2分の1に相当する期間であることを特徴とする。

【0010】

第3の発明は、第1または第2の発明において、

前記映像信号線駆動回路は、

前記表示すべき画像を表すための電圧を出力する映像信号生成部と、

前記所定の電圧を生成して、前記重複充電期間に当該所定の電圧を出力する予備充電電圧出力部と、

前記映像信号生成部から出力された前記表示すべき画像を表すための電圧と前記予備充電電圧出力部から出力された前記所定の電圧とを加算した電圧を前記複数の映像信号線として前記複数の映像信号線に印加する電圧加算部とを備えたことを特徴とする。

【0011】

第4の発明は、アクティブマトリクス型液晶表示装置であって、

第1から第3の発明のいずれかの発明に係る駆動回路を備えることを特徴とする。

【0012】

第5の発明は、表示すべき画像を表す複数の映像信号をそれぞれ伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数の画素形成部とを備えたアクティブマトリクス型液晶表示装置の駆動方法であって、

各走査信号線につき予め設定された予備充電期間中および当該予備充電期間後の期間として予め設定された本充電期間中は当該走査信号線が選択されるように、前記複数の走査信号線を選択的に駆動する走査信号線駆動ステップと、

各走査信号線についての本充電期間のうち当該走査信号線以外の走査信号線についての予備充電期間と重なる重複充電期間には前記表示すべき画像を表すための電圧に所定の電圧を加算した電圧を前記複数の映像信号線に印加し、各走査信号線についての本充電期間のうち前記重複充電期間以外の期間には前記表示すべき画像を表すための電圧を前記複数

10

20

30

40

50

の映像信号線に印加する映像信号線駆動ステップとを備え、

各走査信号線についての前記重複充電期間は、当該走査信号線以外の走査信号線についての本充電期間のうちの一部の期間であって当該本充電期間の開始から所定の期間に相当することを特徴とする。

【発明の効果】

【0013】

上記第1の発明によれば、各走査信号線は、予備充電期間として設定された期間と本充電期間として設定された期間の2回選択される。このため、予備充電期間に液晶分子が動作を開始する。また、所定の電圧が加算されているので、より応答性が高まる。これにより、各画素形成部において本充電が行われた際に、目標とする階調に到達するまでの時間が短縮される。その結果、動画表示が行われた際の画質の劣化を抑制することができる。

10

【0014】

上記第2の発明によれば、重複充電期間は本充電期間のうちの開始から2分の1に相当する期間とされる。このため、予備充電の期間を十分に確保しつつ、表示すべき画像を表すための本来の電圧が印加される本充電の期間も十分に確保することができる。これにより、動画表示が行われた際の画質の劣化をより効果的に抑制することができる。

【0015】

上記第3の発明によれば、予備充電のための電圧は予備充電電圧出力部で生成されるところ、その電圧は一定である。また、重複充電期間には、表示すべき画像を表すための電圧に所定の電圧が単に加算された電圧が映像信号として各映像信号線に印加される。このため、従来の駆動回路を複雑化することなく簡易な構成で液晶の応答速度を速くすることができる。これにより、サイズを大きくすることなくかつ低コストで、動画表示の際の画質の劣化を抑制することのできる駆動回路を提供することができる。

20

【0016】

上記第4の発明によれば、動画表示の際の画質の劣化を抑制することのできるアクティブマトリクス型液晶表示装置を提供することができる。

【発明を実施するための最良の形態】

【0017】

以下、添付図面を参照しつつ本発明の一実施形態について説明する。

【0018】

<1. 全体構成および動作>

図1は、本発明の一実施形態に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。この液晶表示装置は、表示部100と、表示制御回路200と、ソースドライバ（映像信号線駆動回路）300と、ゲートドライバ（走査信号線駆動回路）400とを備えている。表示部100には、複数本（ n 本）の映像信号線 $SL1 \sim SLn$ （以下、「1列目～ n 列目の映像信号線」ともいう。）と、複数本（ m 本）の走査信号線 $GL1 \sim GLm$ （以下、「1行目～ m 行目の走査信号線」ともいう。）と、それら複数本の映像信号線 $SL1 \sim SLn$ と複数本の走査信号線 $GL1 \sim GLm$ との交差点にそれぞれ対応して設けられた複数個（ $n \times m$ 個）の画素形成部が含まれている。各画素形成部は、対応する交差点を通過する走査信号線にゲート端子が接続されるとともに当該交差点を通過する映像信号線にソース端子が接続されたスイッチング素子であるTFT10と、そのTFT10のドレイン端子に接続された画素電極と、上記複数個の画素形成部に共通的に設けられ画素電極と共通電極Ecとの間に挟持された液晶層とからなる。そして、画素電極と共通電極Ecとにより形成される容量により画素容量 Cp が構成される。

40

【0019】

表示制御回路200は、外部から送られるデータ信号DATとタイミング制御信号TSとを受け取り、デジタル映像信号DVと、後述するプリチャージ（予備充電）のタイミングを制御するためのプリチャージ電圧制御信号PCTLと、表示部100に画像を表示するタイミングを制御するためのソーススタートパルス信号SSP、ソースクロック信号SCK、ラッチストロブ信号LS、ゲートスタートパルス信号GSP、第1のゲートクロ

50

ック信号GCK1、および第2のゲートクロック信号GCK2を出力する。ソースドライバ300は、表示制御回路200から出力されたデジタル映像信号DV、プリチャージ電圧制御信号PCTL、ソーススタートパルス信号SSP、ソースクロック信号SCK、およびラッチストロブ信号LSを受け取り、表示部100内の各画素形成部の画素容量を充電するために駆動用映像信号を各映像信号線SL1～SLnに印加する。ゲートドライバ400は、表示制御回路200から出力されたゲートスタートパルス信号GSPと第1のゲートクロック信号GCK1と第2のゲートクロック信号GCK2とに基づいて、各走査信号線GL1～GLmを順次を選択する。なお、本実施形態においては、各走査信号線GL1～GLmは1フレーム期間内に2回ずつ選択される。

【0020】

以上のようにして、各映像信号線SL1～SLnに駆動用映像信号が印加され、各走査信号線GL1～GLmに走査信号が印加されることにより、表示部100に画像が表示される。なお、上述のように各走査信号線GL1～GLmは1フレーム期間内に2回ずつ選択されるところ、各フレーム期間において先に走査信号線を選択するためのパルスを「先行パルス」といい、後に走査信号線を選択するためのパルスを「本書き込みパルス」という。

【0021】

＜2. ゲートドライバの構成および動作＞

図2は、本実施形態におけるゲートドライバ400の構成を示すブロック図である。このゲートドライバ400は、m段の第1のシフトレジスタ410と(m+2)段の第2のシフトレジスタ420とm個のORゲート430とを備えている。第1のシフトレジスタ410にはゲートスタートパルス信号GSPと第1のゲートクロック信号GCK1とが与えられ、第2のシフトレジスタ420にはゲートスタートパルス信号GSPと第2のゲートクロック信号GCK2とが与えられる。

【0022】

第1のシフトレジスタ410は、ゲートスタートパルス信号GSPと第1のゲートクロック信号GCK1とに基づき、第1のゲートクロック信号GCK1のパルス幅に等しいパルスを入力端から出力端まで順にシフトさせる。それに応じて、第1のシフトレジスタ410の1段目からm段目までの各段から順次に第1のゲートクロック信号GCK1のパルス幅に等しいパルスが出力される。

【0023】

第2のシフトレジスタ420は、ゲートスタートパルス信号GSPと第2のゲートクロック信号GCK2とに基づき、第2のゲートクロック信号GCK2のパルス幅に等しいパルスを入力端から出力端まで順にシフトさせる。それに応じて、第2のシフトレジスタ420の1段目から(m+2)段目までの各段から順次に第2のゲートクロック信号GCK2のパルス幅に等しいパルスが出力される。但し、第2のシフトレジスタ420については1段目および2段目の出力信号は使用されない。

【0024】

ORゲート430は、2個の信号を受け取り、それらの論理和となる信号を出力する。具体的には、i(i=1、2、・・・m)個目のORゲート430は、第1のシフトレジスタ410のi段目の出力信号と第2のシフトレジスタ420の(i+2)段目の出力信号とを受け取り、それらの論理和となる信号を走査信号Giとしてi行目の走査信号線GLiに出力する。

【0025】

図3は、本実施形態におけるゲートドライバ400の動作を説明するための信号波形図である。第1のシフトレジスタ410には第1のゲートクロック信号GCK1が与えられ、第2のシフトレジスタ420には第2のゲートクロック信号GCK2が与えられるところ、図3(b)および(c)に示すように、第1のゲートクロック信号GCK1のパルス幅は第2のゲートクロック信号GCK2のパルス幅の2分の1となっている。各フレーム期間において、ゲートスタートパルス信号GSPのパルスの発生後、第1のゲートクロッ

10

20

30

40

50

ク信号 G C K 1 のパルスが発生する都度、1 行目から m 行目の走査信号線 G L 1 ~ G L m に順次に先行パルスが発生する。一方、各フレーム期間において、ゲートスタートパルス信号 G S P のパルスの発生後、第 2 のゲートクロック信号 G C K 2 のパルスが 3 回目以降に発生する都度、1 行目から m 行目の走査信号線 G L 1 ~ G L m に順次に本書き込みパルスが発生する。このようにして、各走査信号線 G L 1 ~ G L m において、相対的に短いパルス幅の先行パルスが発生した後に相対的に長いパルス幅の本書き込みパルスが発生している。

【0026】

＜3. ソースドライバの構成および動作＞

図 4 は、本実施形態におけるソースドライバ 300 の構成を示すブロック図である。このソースドライバ 300 は、映像信号生成部 310 と予備充電電圧出力部としてのプリチャージ電圧出力部 320 と電圧加算部 330 とを備えている。映像信号生成部 310 にはソーススタートパルス信号 S S P とソースクロック信号 S C K とデジタル映像信号 D V とラッチストロープ信号 L S とが与えられる。プリチャージ電圧出力部 320 にはプリチャージ電圧制御信号 P C T L が与えられる。

10

【0027】

映像信号生成部 310 では、ソーススタートパルス信号 S S P とソースクロック信号 S C K とに基づいてシフトレジスタ（不図示）の各段からパルスが出力され、そのパルスの発生するタイミングで、各映像信号線 S L 1 ~ S L n に印加すべき電圧を示すデジタル映像信号 D V が順次に保持される。そして、ラッチストロープ信号 L S のパルスが発生するタイミングで、上記保持されたデジタル映像信号 D V がアナログ電圧に変換され、そのアナログ電圧に変換された映像信号が映像信号生成部 310 から出力される。プリチャージ電圧出力部 320 は、プリチャージ電圧制御信号 P C T L を受け取り、当該プリチャージ電圧制御信号 P C T L の論理レベルがハイレベルになっている期間中のみ所定の電圧（以下、「プリチャージ電圧」という。）V p を出力する。電圧加算部 330 は、映像信号生成部 310 から出力された映像信号にプリチャージ電圧出力部 320 から出力されたプリチャージ電圧 V p を加算し、駆動用映像信号 S 1 ~ S n として映像信号線 S L 1 ~ S L n に一斉に印加する。

20

【0028】

図 5 は、本実施形態におけるソースドライバ 300 の動作を説明するための信号波形図である。図 5（a）に示すように、各水平走査期間において、前半の 2 分の 1 に相当する期間にはプリチャージ電圧制御信号 P C T L の論理レベルはハイレベルとなっており、後半の 2 分の 1 に相当する期間にはプリチャージ電圧制御信号 P C T L の論理レベルはローレベルとなっている。その結果、図 5（b）に示すように、各水平走査期間の前半の 2 分の 1 に相当する期間には、本来映像信号線 S L 1 ~ S L n に印加されるべき電圧にプリチャージ電圧 V p が加算された電圧が映像信号線 S L 1 ~ S L n に印加される。一方、各水平走査期間の後半の 2 分の 1 に相当する期間には、本来映像信号線 S L 1 ~ S L n に印加されるべき電圧が映像信号線 S L 1 ~ S L n に印加される。

30

【0029】

＜4. 走査信号と駆動用映像信号との関係＞

次に、図 6 を参照しつつ、本実施形態における駆動方法について説明する。図 6 は、走査信号と駆動用映像信号との関係を説明するための信号波形図である。図 6 に示すように、各水平走査期間において、駆動用映像信号 S にプリチャージ電圧 V p が加算されている期間中に先行パルスが発生している。走査信号 G 1 の先行パルスが発生すると、1 行目の走査信号線 G L 1 と各映像信号線 S L 1 ~ S L n との交差点に対応して設けられている画素形成部において、当該先行パルスが発生している期間中に画素容量 C p の予備的な充電（プリチャージ）が行われる。さらに、走査信号 G 2 の先行パルスが発生すると、2 行目の走査信号線 G L 2 と各映像信号線 S L 1 ~ S L n との交差点に対応して設けられている画素形成部において、画素容量 C p の予備的な充電が行われる。

40

【0030】

50

その後、走査信号 G 3 の先行パルスと走査信号 G 1 の本書き込みパルスとが同じタイミングで発生する。ここで、3 行目の走査信号線 G L 3 と各映像信号線 S L 1 ～ S L n との交差点に対応して設けられている画素形成部については、画素容量 C p の予備的な充電が行われる。一方、1 行目の走査信号線 G L 1 と各映像信号線 S L 1 ～ S L n との交差点に対応して設けられている画素形成部については、本充電が行われる。走査信号 G 1 の本書き込みパルスが発生している期間のうちの後半の 2 分の 1 に相当する期間には、駆動用映像信号 S にはプリチャージ電圧 V p は加算されていない。このため、本書き込みパルスが発生している期間のうちの後半の 2 分の 1 に相当する期間には、本来液晶層に印加されるべき電圧に基づいて充電が行われる。また、走査信号 G 1 の本書き込みパルスが発生している期間のうちの前半の 2 分の 1 に相当する期間（重複充電期間）には走査信号 G 3 の先行パルスも発生しているが、当該期間中には駆動用映像信号 S にプリチャージ電圧 V p が加算されているので本充電に及ぼす影響も小さい。

10

20

30

40

【0031】

<5. 効果>

以上のように、本実施形態によれば、各走査信号線 G L 1 ～ G L m において、本書き込みパルスが発生する前に先行パルスが発生して予備充電が行われる。すなわち、その先行パルスに基づいて液晶層に電圧が印加され、液晶分子が移動を開始する。そして、液晶分子の移動が開始した後に、本書き込みパルスが発生して本充電が行われる。このため、従来と比較すると、本充電が行われた際の液晶の応答速度が速く（応答時間が短く）、速やかに目標階調に到達する。これにより、動画表示が行われた際の画質の劣化が抑制される。また、本実施形態では、或る走査信号の先行パルスと別の走査信号の本書き込みパルスとが重複する期間（重複充電期間）があるが、当該期間には駆動用映像信号 S にプリチャージ電圧 V p が加算されている。このため、より応答性が高められており、また、本充電に与える影響も小さくなっている。さらに、本実施形態によると、オーバーシュート駆動とは異なり高電圧印加のための構成やメモリ回路が不要である。このため、応答性の良い液晶表示装置を低コストで実現することができ、また、省電力化や小型化も可能である。

【0032】

ここで、表 1 ～ 表 6 および図 8 ～ 図 14 を参照しつつ、応答時間の測定を行った実験結果について説明する。本実験には、256 階調（階調値が 0 から 255 まで）の表示が可能なノーマリブラック型の液晶表示装置を採用した。また、本実験では、図 7 に示すように黒表示の状態から中間調表示あるいは白表示の状態へと変化させ、応答時間（目標とする階調値の 90% に相当する階調値に到達するまでの時間）と変化後のコントラストとを測定した。目標とする階調値（目標階調値）には、64、128、192、および 255 の 4 つの値（それぞれ、「階調値 64」、「階調値 128」、「階調値 192」、および「階調値 255」という。）を採用した。図 8 は、本実験における走査信号 V g と駆動用映像信号 V s との関係を説明するための信号波形図である。駆動用映像信号 V s については、83.5 マイクロ秒毎に極性を反転させている。走査信号 V g については、83.5 マイクロ秒のうちの図 8 に示す 66.8 マイクロ秒の期間に本書き込みパルスが発生させている。また、その 66.8 マイクロ秒のうちの前半の 33.4 マイクロ秒の期間だけ先行パルスが発生させている。

【0033】

表 1 は、プリチャージ電圧 V p を階調値 192 の階調電圧（2.91 V）としたときの実験結果を示している。

【表 1】

プリチャージ量 V192 (2.91v) 相当					
プリチャージタイミング	V0-V64	V0-V128	V0-V192	V0-V255	CR
0 μ sec (無し)	252	142	92	41	468
835 μ sec	230	132	86	39	407
1.67msec	197	128	86	38	377
2.505msec	169	123	80	35	313
3.34msec	148	105	74	33	234
5.01msec	105	85	63	28	—
6.68msec	90	70	57	25	—

単位:msec

10

表 1 において、「プリチャージタイミング」と記載されている列には、「先行パルスを書き込みパルスの何秒前に発生させたか」を示している。また、「V0-V64」と記載されている列には、階調値 0 から階調値 64 へと変化させたときの応答時間を示している。すなわち、「V0-V64」のうち「V0」は階調を変化させる前の階調値を意味し、「V64」は目標階調値を意味している。「CR」と記載されている列には、階調値を変化させた後のコントラストを示している。なお、「プリチャージタイミング」が「0 μ sec (無し)」と記載されている行には、プリチャージをしなかったときの応答時間を示している。

【0034】

20

表 1 より、例えば、先行パルスを書き込みパルスの「1.67ミリ秒前」に発生させ、かつ、目標階調値を「192」としたときには、応答時間が「86ミリ秒」であることが把握される。また、例えば、先行パルスを書き込みパルスの「3.34ミリ秒前」に発生させたときには、変化後のコントラストが「234」であることが把握される。

【0035】

図 9 は、上記表 1 に示した結果をグラフとして表したものである。図 9 に示すように、本実施形態に係るプリチャージ（予備充電）を行うことにより、いずれの目標階調値についても応答時間が短縮していることが把握される。また、プリチャージを発生させるタイミングを早くするほど応答時間が短縮していることが把握される。

【0036】

30

表 2 は、プリチャージ電圧 V_p を階調値 192 の階調電圧（2.91V）としたときの応答時間の改善効果を示している。

【表 2】

プリチャージ量 V192 (2.91v) 相当					
プリチャージタイミング	V0-V64	V0-V128	V0-V192	V0-V255	CR
0 μ sec (無し)	0%	0%	0%	0%	468
835 μ sec	9%	7%	7%	4%	407
1.67msec	22%	10%	7%	6%	377
2.505msec	33%	13%	13%	14%	313
3.34msec	41%	26%	20%	19%	234
5.01msec	58%	40%	32%	31%	—
6.68msec	64%	51%	38%	38%	—

40

表 2 より、例えば、先行パルスを書き込みパルスの「5.01ミリ秒前」に発生させ、かつ、目標階調値を「128」としたときには、プリチャージをしなかったときよりも応答時間が「40パーセント」短縮されたことが把握される。

【0037】

図 10 は、上記表 2 に示した結果をグラフとして表したものである。図 10 に示すように、従来応答速度が遅かった（応答時間が長かった）低階調値間の変化について応答時間の改善効果が顕著なことが把握される。また、プリチャージを発生させるタイミングを早

50

くするほど応答時間の改善効果が顕著なことが把握される。

【 0 0 3 8 】

表 3 は、プリチャージ電圧 V_p を階調値 2 2 4 の階調電圧（3. 2 7 V）としたときの実験結果を示している。

【表 3】

プリチャージ量 V224 (3.27v) 相当					
プリチャージタイミング	V0-V64	V0-V128	V0-V192	V0-V255	CR
0 μ sec (無し)	252	142	92	41	468
501 μ sec	227	130	90	39	—
835 μ sec	218	125	87	38	397
1.67msec	175	119	81	36	341
2.505msec	137	102	73	34	231
3.34msec	110	87	70	32	107

単位:msec

図 1 1 は、上記表 3 に示した結果をグラフとして表したものである。表 4 は、プリチャージ電圧 V_p を階調値 2 2 4 の階調電圧（3. 2 7 V）としたときの応答時間の改善効果を示している。

【表 4】

プリチャージ量 V224 (3.27v) 相当					
プリチャージタイミング	V0-V64	V0-V128	V0-V192	V0-V255	CR
0 μ sec (無し)	0%	0%	0%	0%	468
501 μ sec	10%	8%	2%	4%	—
835 μ sec	13%	12%	6%	6%	397
1.67msec	31%	16%	12%	11%	341
2.505msec	46%	28%	21%	16%	231
3.34msec	56%	39%	24%	21%	107

【 0 0 3 9 】

図 1 2 は、上記表 4 に示した結果をグラフとして表したものである。

【 0 0 4 0 】

表 5 は、プリチャージ電圧 V_p を階調値 2 5 5 の階調電圧（4. 4 0 V）としたときの実験結果を示している。

【表 5】

プリチャージ量 V255 (4.40v) 相当					
プリチャージタイミング	V0-V64	V0-V128	V0-V192	V0-V255	CR
0 μ sec (無し)	252	142	92	41	468
167 μ sec	230	135	85	40	—
501 μ sec	192	124	85	39	—
835 μ sec	158	110	78	37	317
1.67msec	98	83	64	34	77
2.505msec	76	66	57	31	15

単位:msec

【 0 0 4 1 】

図 1 3 は、上記表 5 に示した結果をグラフとして表したものである。表 6 は、プリチャージ電圧 V_p を階調値 2 5 5 の階調電圧（4. 4 0 V）としたときの応答時間の改善効果を示している。

【表 6】

プリチャージ量 V255 (4.40v) 相当					
プリチャージタイミング	V0-V64	V0-V128	V0-V192	V0-V255	CR
0 μ sec (無し)	0%	0%	0%	0%	468
167 μ sec	9%	5%	8%	1%	—
501 μ sec	24%	12%	8%	4%	—
835 μ sec	37%	22%	15%	9%	317
1.67msec	61%	41%	31%	16%	77
2.505msec	70%	53%	38%	23%	15

【0042】

10

図 14 は、上記表 6 に示した結果をグラフとして表したものである。

【0043】

以上の実験結果より、本実施形態に係るプリチャージを行うことによって、目標階調値やプリチャージタイミングにかかわらず応答時間が短縮されることが把握される。すなわち、目標階調値やプリチャージタイミングにかかわらず応答時間（応答速度）が改善されている。但し、改善効果の程度については、条件に応じて以下のような違いが見られる。

【0044】

プリチャージタイミングを同じにした場合には、プリチャージ電圧 V_p が大きいほど応答時間が短くなることが把握される。例えば、プリチャージタイミングを「1.67 msec」としたときの実験結果に着目すると、いずれの目標階調値についても、プリチャージ電圧を「4.40 V」としたときの応答時間が最も短く、プリチャージ電圧を「2.91 V」としたときの応答時間が最も長くなっている。従って、プリチャージ電圧 V_p を大きくすることにより応答時間の改善効果を高めることができる。

20

【0045】

また、プリチャージ電圧 V_p を同じにした場合には、プリチャージを発生させるタイミングが早いほど応答時間が短くなることが把握される。例えば、プリチャージ電圧 V_p を「3.27 V」としたときの実験結果（プリチャージをしなかったときの結果を除く）に着目すると、いずれの目標階調値についても、プリチャージタイミングを「3.34 msec」としたときの応答時間が最も短く、プリチャージタイミングを「501 μ sec」としたときの応答時間が最も長くなっている。従って、プリチャージを発生させるタイミングを早くすることにより応答時間の改善効果を高めることができる。但し、コントラストに着目すると、プリチャージを発生させるタイミングを早くするほど低下していることが把握される。

30

【0046】

さらに、いずれのプリチャージ電圧 V_p についても、目標階調値が低いほど応答時間の改善効果が高いことが把握される。例えば、プリチャージ電圧 V_p を「4.40 V」としたときの実験結果（プリチャージをしなかったときの結果を除く）に着目すると、いずれのプリチャージタイミングについても、目標階調値を「64」としたときの改善効果が最も高く、目標階調値を「255」としたときの改善効果が最も低くなっている。従って、従来応答時間が長かった低階調値間の変化について、効果的に応答時間の改善がなされることが把握される。

40

【0047】

<6. その他>

上記実施形態では、各走査信号線 $GL_1 \sim GL_m$ において先行パルスは本書き込みパルスの 2 水平走査期間前に発生するものとして説明しているが、本発明はこれに限定されない。上記実験結果からも把握されるように、先行パルスの発生するタイミングを時間的に早くすることによって、液晶の応答速度は改善されるがコントラストは低下する。このため、装置に要求される仕様や装置の使用目的等に応じて先行パルスの発生するタイミングを決定すれば良い。例えば、本書き込みパルスの 1 水平走査期間前に先行パルスを発生させるようにしても良いし、本書き込みパルスの 3 水平走査期間前に先行パルスを発生させ

50

るようにしても良い。

【0048】

また、ゲートドライバ400やソースドライバ300の構成は、上記実施形態に示した構成には限定されない。ゲートドライバ400については、図3(d)～(g)に示したような走査信号が出力される構成であれば良い。ソースドライバ300については、図5(b)に示したような駆動用映像信号が出力される構成であれば良い。

【図面の簡単な説明】

【0049】

【図1】本発明の一実施形態に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。

10

【図2】上記実施形態において、ゲートドライバの構成を示すブロック図である。

【図3】上記実施形態において、ゲートドライバの動作を説明するための信号波形図である。

【図4】上記実施形態において、ソースドライバの構成を示すブロック図である。

【図5】上記実施形態において、ソースドライバの動作を説明するための信号波形図である。

【図6】上記実施形態において、走査信号と駆動用映像信号との関係を示す信号波形図である。

【図7】上記実施形態において、実験方法を説明するための信号波形図である。

【図8】上記実施形態において、実験の際の走査信号と駆動用映像信号との関係を説明するための信号波形図である。

20

【図9】上記実施形態において、プリチャージ電圧を階調値192の階調電圧としたときの実験結果をグラフとして表した図である。

【図10】上記実施形態において、プリチャージ電圧を階調値192の階調電圧としたときの応答速度の改善効果をグラフとして表した図である。

【図11】上記実施形態において、プリチャージ電圧を階調値224の階調電圧としたときの実験結果をグラフとして表した図である。

【図12】上記実施形態において、プリチャージ電圧を階調値224の階調電圧としたときの応答速度の改善効果をグラフとして表した図である。

【図13】上記実施形態において、プリチャージ電圧を階調値255の階調電圧としたときの実験結果をグラフとして表した図である。

30

【図14】上記実施形態において、プリチャージ電圧を階調値255の階調電圧としたときの応答速度の改善効果をグラフとして表した図である。

【図15】従来例における走査信号の信号波形図である。

【図16】従来例における映像信号の信号波形図である。

【図17】従来例において、走査信号と駆動用映像信号との関係を説明するための信号波形図である。

【符号の説明】

【0050】

100…表示部

40

200…表示制御回路

300…ソースドライバ

310…映像信号生成部

320…プリチャージ電圧出力部

330…電圧加算部

400…ゲートドライバ

410…第1のシフトレジスタ

420…第2のシフトレジスタ

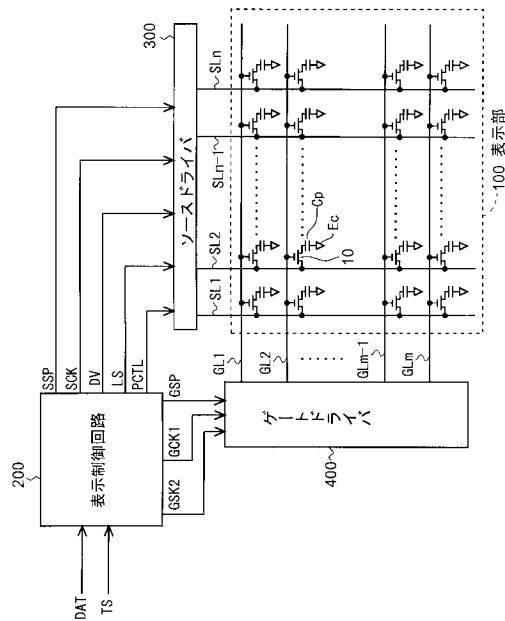
430…ORゲート

GCK1…第1のゲートクロック信号

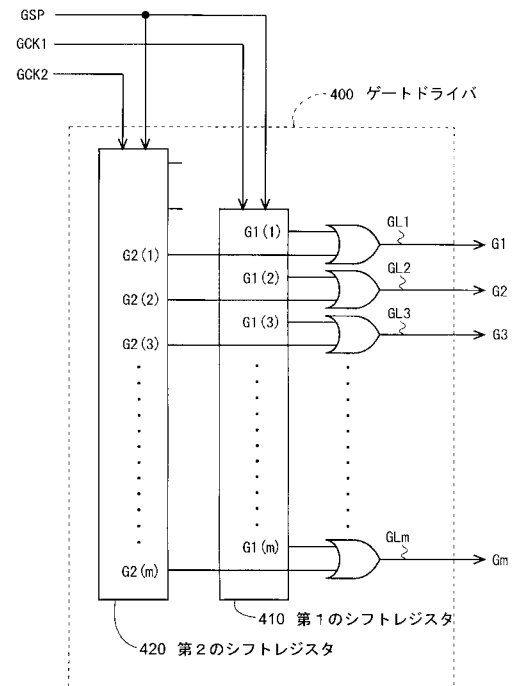
50

GCK2…第2のゲートクロック信号
 GL1～GLm…走査信号線
 GSP…ゲートスタートパルス信号
 PCTL…プリチャージ電圧制御信号
 SL1～SLn…映像信号線
 Vp…プリチャージ電圧

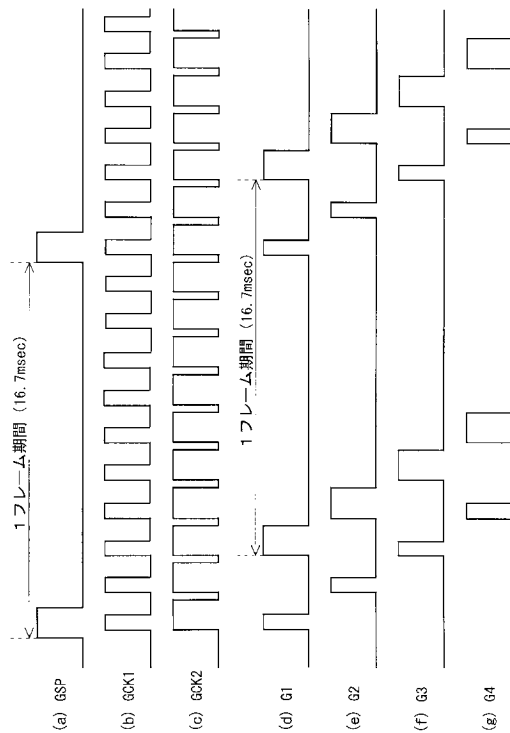
【図1】



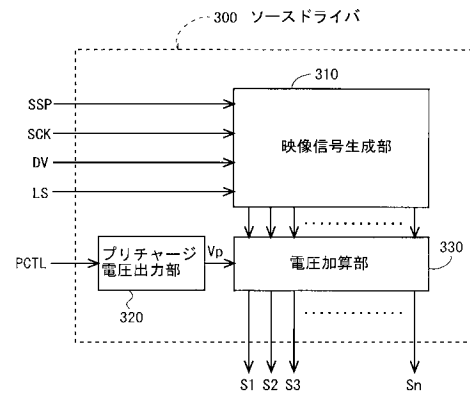
【図2】



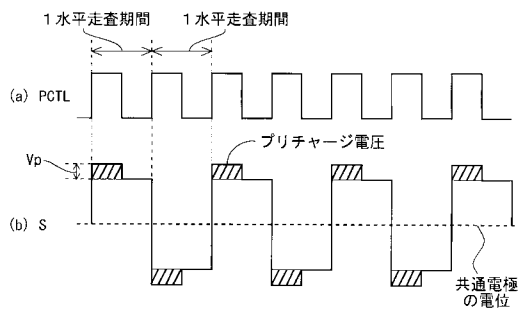
【図 3】



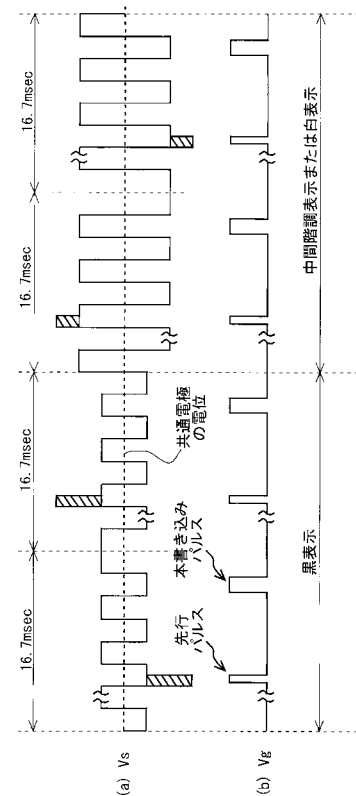
【図 4】



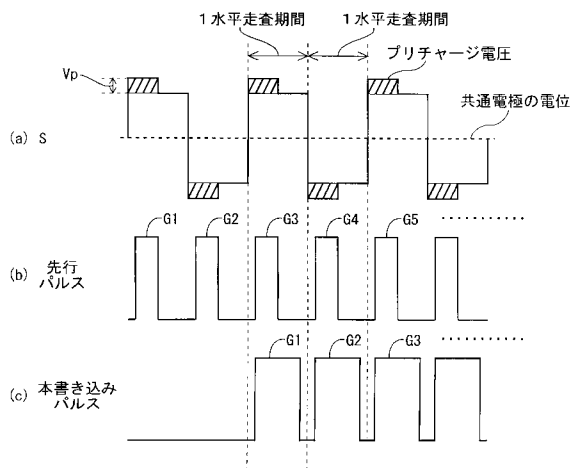
【図 5】



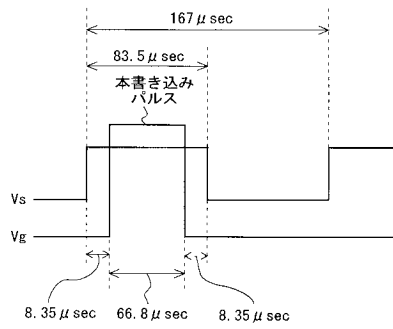
【図 7】



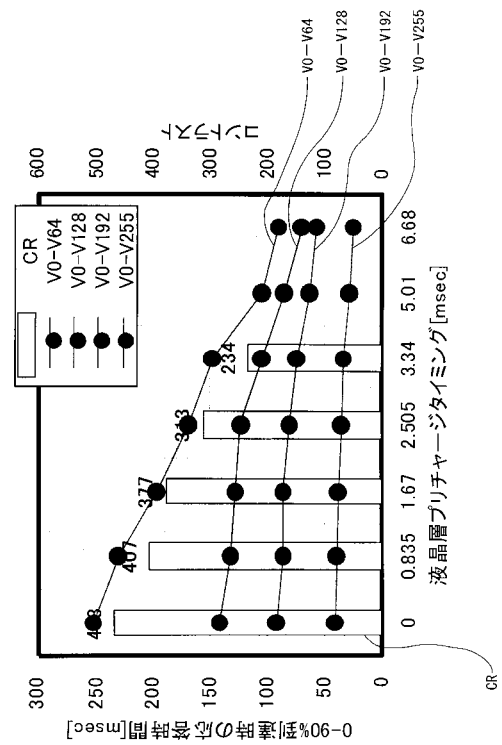
【図 6】



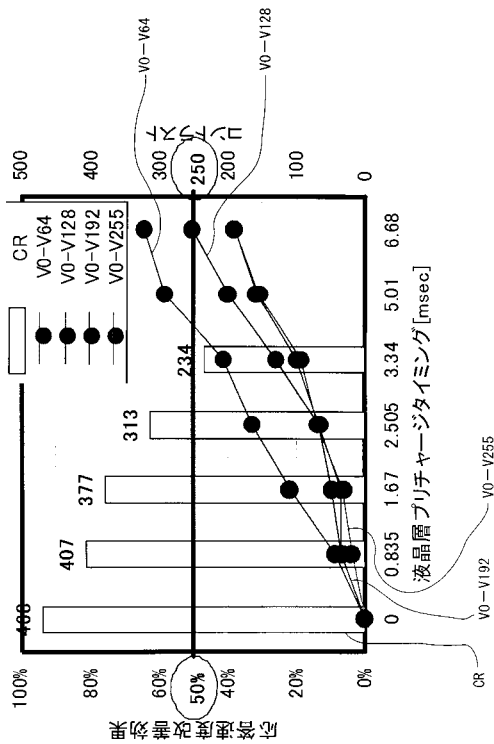
【図 8】



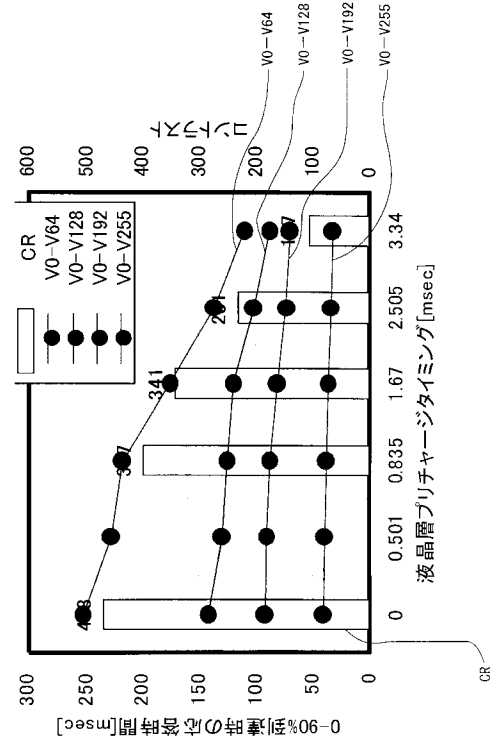
【図 9】



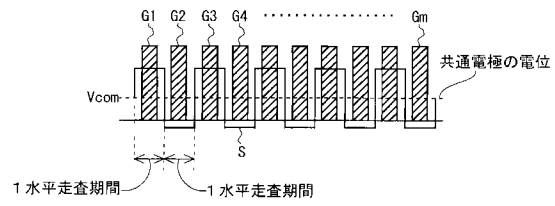
【図 10】



【図 11】



【図 17】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 1 1 A
	G 0 9 G 3/20	6 6 0 V
	G 0 2 F 1/133	5 5 0

Fターム(参考)	5C006	AA01	AA16	AC17	AC21	AF42	AF46	AF71	BB15	BC03	BC11
		BF03	BF26	BF28	BF42	FA14	FA16	FA18	FA47	FA51	
	5C080	AA10	BB05	DD08	DD26	DD27	EE19	EE28	EE29	FF11	JJ02
		JJ03	JJ04	JJ05							

专利名称(译)	液晶显示装置，驱动电路及其驱动方法		
公开(公告)号	JP2007248536A	公开(公告)日	2007-09-27
申请号	JP2006068290	申请日	2006-03-13
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	大上裕之 久保真澄		
发明人	大上 裕之 久保 真澄		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.622.D G09G3/20.623.C G09G3/20.623.U G09G3/20.621.F G09G3/20.611.A G09G3/20.660.V G02F1/133.550		
F-TERM分类号	2H093/NC22 2H093/NC34 2H093/ND06 2H093/ND32 2H093/ND34 2H093/ND39 2H093/ND42 2H093/ND49 2H093/ND54 5C006/AA01 5C006/AA16 5C006/AC17 5C006/AC21 5C006/AF42 5C006/AF46 5C006/AF71 5C006/BB15 5C006/BC03 5C006/BC11 5C006/BF03 5C006/BF26 5C006/BF28 5C006/BF42 5C006/FA14 5C006/FA16 5C006/FA18 5C006/FA47 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD08 5C080/DD26 5C080/DD27 5C080/EE19 5C080/EE28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 2H193/ZA04		
代理人(译)	岛田彰		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够实现省电，小型化和降低成本的高响应性液晶显示装置。栅极驱动器400在一个帧周期内两次选择扫描信号线GL1至GLm中的每一个。第一次选择中的脉冲宽度（在前脉冲）被设置为第二次选择中脉冲宽度（主写入脉冲）的1/2。在产生在前脉冲的时段期间，通过将预定电压（预充电电压） V_p 与最初施加的电压相加而获得的电压施加到每条视频信号线SL1至SLn。在每个像素形成部分中，通过前一脉冲执行像素电容的预充电，并且通过该写入脉冲执行主充电。点域1

