

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-233081  
(P2007-233081A)

(43) 公開日 平成19年9月13日(2007.9.13)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	2H093
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 611A	5C006
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 612F	5C080
	G09G 3/20 623E	
	G09G 3/20 623F	
審査請求 未請求 請求項の数 10 O L (全 18 頁) 最終頁に続く		

(21) 出願番号 特願2006-55356 (P2006-55356)  
(22) 出願日 平成18年3月1日(2006.3.1)

(71) 出願人 000001443  
カシオ計算機株式会社  
東京都渋谷区本町1丁目6番2号  
(74) 代理人 100096699  
弁理士 鹿嶋 英實  
(72) 発明者 水取 光  
東京都八王子市石川町2951番地の5  
カシオ計算機株式会  
社八王子技術センター内  
Fターム(参考) 2H093 NA16 NA51 NC10 NC12 NC24  
NC26 ND39  
5C006 AA16 AF83 BB16 BF25 BF43  
FA47  
5C080 AA10 BB05 DD26 EE29 FF11  
JJ02 JJ03

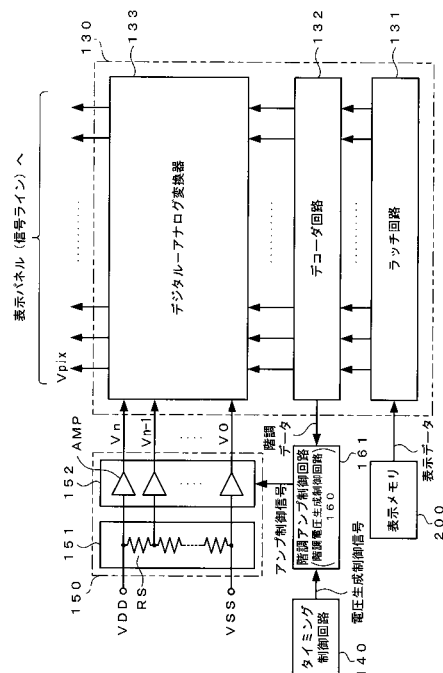
(54) 【発明の名称】 表示駆動装置及びそれを備える表示装置

(57) 【要約】

【課題】 信号ドライバに供給される階調基準電圧を生成する基準電圧発生回路における消費電力を削減して、電子機器の使用時間を向上させることができる表示駆動装置を提供する。

【解決手段】 液晶表示装置100Aは、信号ドライバ130のデジタル-アナログ変換器133に供給する階調基準電圧 $V_0 \sim V_n$ を生成するための個別の階調アンプAMPを備えた基準電圧発生回路150と、表示データに含まれる階調成分(階調データ)に基づいて、基準電圧発生回路150の各階調アンプAMPの駆動能力を増減し、各階調基準電圧 $V_0 \sim V_n$ の信号ドライバ130への供給状態を個別に制御する階調電圧生成制御回路160と、を有している。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

表示パネルに 2 次元配列された複数の表示画素を表示データに基づいて駆動する表示駆動装置において、

前記表示駆動装置は、少なくとも、

前記表示データに応じた階調データが取り得る全ての階調レベルに対応する複数の階調基準電圧を生成し、該複数の階調基準電圧をその駆動能力に応じて出力する複数の増幅器を備える基準電圧発生手段と、

前記階調データを前記複数の増幅器から出力される前記複数の階調基準電圧に基づいて、各階調ごとに所定の電圧値を有する階調信号電圧に変換して前記各表示画素に供給する階調信号電圧生成手段と、

前記表示パネルの 1 行分に対応する前記表示データに応じた階調データの階調レベルに基づいて前記基準電圧発生手段の前記複数の増幅器の各々の駆動能力を制御する階調電圧生成制御手段と、

を具備することを特徴とする表示駆動装置。

10

## 【請求項 2】

前記階調電圧生成制御手段は、

前記全ての階調レベルの各々に対し、前記表示パネルの 1 行分に対応する階調データにおいて使われているか否かを判定する手段と、

前記使われていない階調レベルに対応する前記階調基準電圧を出力する前記増幅器の駆動能力を減少させる手段と、

を具備することを特徴とする請求項 1 記載の表示駆動装置。

20

## 【請求項 3】

前記階調電圧生成制御手段は、

前記全ての階調レベルの各々に対し、前記表示パネルの 1 行分に対応する階調データにおいて使われている数を計数する手段と、

前記各階調レベルが使われている数に基づいて、前記各階調レベルに対応する前記階調基準電圧を出力する前記各増幅器の駆動能力を増減させる手段と、

を具備することを特徴とする請求項 1 記載の表示駆動装置。

30

## 【請求項 4】

前記各増幅器の駆動能力を増減させる手段は、前記各増幅器の駆動能力を、前記各階調レベルが使われている数に対する所定数毎に、段階的に増減させることを特徴とする請求項 3 記載の表示駆動装置。

## 【請求項 5】

前記階調電圧生成制御手段は、前記各増幅器に供給する駆動電力を増減させて前記各増幅器の駆動能力を増減させる手段を備えることを特徴とする請求項 2 乃至 4 の何れかに記載の表示駆動装置。

## 【請求項 6】

複数の走査ライン及び複数の信号ラインの各交点近傍に 2 次元配列された複数の表示画素を有する表示パネルを表示データに基づいて駆動して画像表示を行う表示装置において、

40

前記複数の走査ラインに走査信号を順次出力して前記表示画素を順次選択状態に設定する走査側駆動手段と、

前記表示データに応じた階調データが取り得る全ての階調レベルに対応する複数の階調基準電圧を生成し、該複数の階調基準電圧をその駆動能力に応じて出力する複数の増幅器を備える基準電圧発生手段と、前記階調データを前記複数の増幅器から出力される前記複数の階調基準電圧に基づいて、各階調ごとに所定の電圧値を有する階調信号電圧に変換して前記複数の信号ラインの各々に供給する階調信号電圧生成手段と、前記表示パネルの 1 行分に対応する前記表示データに応じた階調データの階調レベルに基づいて前記基準電圧発生手段の前記複数の増幅器の各々の駆動能力を制御する階調電圧生成制御手段と、を有する信号側駆動手段と、

50

を具備することを特徴とする表示装置。

【請求項 7】

前記信号側駆動手段における前記階調電圧生成制御手段は、

前記全ての階調レベルの各々に対し、前記表示パネルの 1 行分に対応する階調データにおいて使われているか否かを判定する手段と、

前記使われていない階調レベルに対応する前記階調基準電圧を出力する前記増幅器の駆動能力を減少させる手段と、

を具備することを特徴とする請求項 6 記載の表示装置。

【請求項 8】

前記信号側駆動手段における前記階調電圧生成制御手段は、

前記全ての階調レベルの各々に対し、前記表示パネルの 1 行分に対応する階調データにおいて使われている数を計数する手段と、

前記各階調レベルが使われている数に基づいて、前記各階調レベルに対応する前記階調基準電圧を出力する前記各増幅器の駆動能力を増減させる手段と、

を具備することを特徴とする請求項 6 記載の表示装置。

【請求項 9】

前記各増幅器の駆動能力を増減させる手段は、前記各増幅器の駆動能力を、前記各階調レベルが使われている数に対する所定数毎に、段階的に増減させることを特徴とする請求項 8 記載の表示装置。

【請求項 10】

前記階調電圧生成制御手段は、前記各増幅器に供給する駆動電力を増減させて前記各増幅器の駆動能力を増減させる手段を備えることを特徴とする請求項 7 乃至 9 の何れかに記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示駆動装置に関し、特に、液晶表示装置等の表示装置の信号ドライバとして適用可能な表示駆動装置に関する。

【背景技術】

【0002】

近年、大型の映像機器やパーソナルコンピュータをはじめ、携帯電話やデジタルスチルカメラ等の携帯可能な電子機器に至るまで、各種の情報を表示する手段として、薄型軽量で低消費電力化が可能であり、表示画質にも優れた液晶表示装置等の表示装置が多用されている。

【0003】

以下に、従来技術における表示装置の例として、液晶表示装置の要部概略構成を簡単に説明する。

図 9 は、アクティブマトリクス型の駆動方式を採用した液晶表示装置の要部構成を示す概略図であり、図 10 は、従来技術における液晶表示装置に適用される信号ドライバの概略構成を示すブロック図である。

【0004】

図 9 に示すように、従来技術における液晶表示装置は、行方向及び列方向に直交するように複数の走査ライン S L p 及び複数の信号ライン D L p が配設されるとともに、当該走査ライン S L p 及び信号ライン D L p の各交点近傍に表示画素（液晶表示画素）P x が配列された表示パネル 110 P と、上記走査ライン S L p に接続された走査ドライバ（ゲートドライバ）120 P と、上記信号ライン D L p に接続された信号ドライバ（データドライバ）130 P と、走査ドライバ 120 P 及び信号ドライバ 130 P における動作タイミングを制御する垂直制御信号及び水平制御信号を生成して出力するタイミング制御回路（LCD コントローラ）140 P と、を備えた周知の構成を有している。

【0005】

10

20

30

40

50

ここで、信号ドライバ130Pは、例えば、図10に示すように、デジタル信号からなり、シリアルデータとして供給される1行分の表示データを順次取り込んで保持し、パラレルデータとして出力するラッチ回路131Pと、ラッチ回路131Pから出力された1行分の表示データを取り込んで、階調データに変換して出力するデコーダ回路132Pと、信号ドライバ130P外から供給される階調基準電圧 $V_0 \sim V_n$ に基づいて、デコーダ回路132Pから出力された階調データに応じた電圧値を有するアナログ信号からなる階調信号電圧 $V_{pix}$ に変換して、表示パネル110Pの各列に配設された信号ラインDLPに出力するデジタル-アナログ変換回路(D/Aコンバータ; DAC)133Pと、を備えている。

【0006】

10

また、階調データに応じた階調信号電圧 $V_{pix}$ を生成するための階調基準電圧 $V_0 \sim V_n$ は、例えば、図10に示すように、複数段の抵抗素子RSが直列に接続され、電源電圧VDD、VSSが両端に印加されるラダー抵抗を有する抵抗分割回路151Pと、抵抗分割回路151Pにより生成される複数段の電圧成分(基準電圧)の各々に対応した個別のアンプAMPを有する階調アンプ回路152Pと、を備えた基準電圧発生回路150Pにより供給される。

【0007】

このような基準電圧発生回路150Pにおいては、抵抗分割回路151Pを構成する複数段の抵抗素子RS(ラダー抵抗)の各接続接点から複数段(例えば、 $n$ 階調分;  $n$ は正の整数)の電圧成分が生成され、階調アンプ回路152Pに設けられたアンプAMPにより、各段の電圧成分が所定の電圧レベルに個別に増幅されて上記階調基準電圧 $V_0 \sim V_n$ としてデジタル-アナログ変換回路133Pに供給される。

20

なお、このような表示装置の基準電圧発生回路については、例えば、特許文献1等に詳しく記載されている。

【0008】

なお、図9に示した表示装置(液晶表示装置)において、表示データは、例えば表示パネル110P一画面分の画像情報に対応した表示データを、図示を省略した表示メモリ(RAM)に一旦記憶(保持)し、表示パネルの各行ごとに順次読み出して、信号ドライバ130P(ラッチ回路131P)に供給するものであってもよい。また、基準電圧発生回路150Pを構成する抵抗分割回路151Pは、表示パネル110P(表示画素 $P_x$ )の特性に応じて、ガンマ補正処理に対応した抵抗値を有する抵抗素子RSからなるラダー抵抗を備えるものであってもよい。

30

このような信号ドライバや基準電圧発生回路については、例えば、特許文献2等に詳しく記載されている。

【0009】

【特許文献1】特開2003-122325号公報(第4頁~第6頁、図1、図2)

【特許文献2】特開2004-21163号公報(第8頁~第9頁、第12頁、図3、図9)

【発明の開示】

【発明が解決しようとする課題】

40

【0010】

上述したように、デジタル信号からなる表示データを取り込んで画像情報を表示するデジタル駆動方式の表示装置(液晶表示装置)においては、抵抗分割回路151P及び階調アンプ回路152Pからなる基準電圧発生回路150Pにより生成された $n$ 階調分の階調基準電圧 $V_0 \sim V_n$ をデジタル-アナログ変換器(DAC)に供給し、デジタル信号からなる階調データ(表示データ)をアナログ信号からなる階調信号電圧 $V_{pix}$ に変換して、表示パネル110Pに配列された各表示画素 $P_x$ に供給することにより、所望の画像情報を表示するように構成されていた。

【0011】

ここで、基準電圧発生回路150Pは、階調データが取り得る全ての階調レベルの数(

50

n 階調分) に対応した個別の電圧値を有する複数の階調基準電圧  $V_0 \sim V_n$  を生成するために、図 10 に示したように、抵抗分割回路 151P により生成された複数の電圧成分を、アンプ AMP により個別に増幅処理する構成を有しているため、階調アンプ回路 152P は、表示データのビット数(上記階調レベルの数; n 階調分) に応じた数(n 個) のアンプ AMP を設ける必要があった。また、従来、階調アンプ回路 152P を構成する複数のアンプ AMP は、一括してオン、オフ動作が制御され、さらに、表示パネル 110P への画像情報の表示期間中(階調信号電圧  $V_{pix}$  の供給動作期間中)、常時オン状態に設定されていた。

【0012】

そのため、表示される画像情報によっては、n 階調分の階調基準電圧  $V_0 \sim V_n$  のうち、デジタル-アナログ変換器(DAC) 133P における階調信号電圧  $V_{pix}$  の生成処理において、使用されていない階調レベルの階調基準電圧がある場合であっても、全てのアンプ AMP に駆動電力が常時供給されているため、使用されていない階調レベルの階調基準電圧を生成するアンプ AMP において無駄な電力を消費してしまうという問題を有していた。 10

【0013】

そのため、例えば、携帯電話機等のようにバッテリーにより駆動し、かつ、表示パネルに余り多くの階調を使用しない画像情報を一定期間、あるいは、長時間表示するような表示駆動方法を採用している場合には、当該電子機器の使用時間(バッテリー駆動時間) が短縮されることになり、使い勝手や利便性の悪化を招くという問題を有していた。 20

【0014】

そこで、本発明は、上記問題点に鑑み、信号ドライバに供給される階調基準電圧を生成する基準電圧発生回路における消費電力を削減して、電子機器の使用時間を向上させることができる表示駆動装置を提供することを目的とする。

【課題を解決するための手段】

【0015】

請求項 1 記載の発明は、表示パネルに 2 次元配列された複数の表示画素を表示データに基づいて駆動する表示駆動装置において、前記表示駆動装置は、少なくとも、前記表示データに応じた階調データが取り得る全ての階調レベルに対応する複数の階調基準電圧を生成し、該複数の階調基準電圧をその駆動能力に応じて出力する複数の増幅器を備える基準電圧発生手段と、前記階調データを前記複数の増幅器から出力される前記複数の階調基準電圧に基づいて、各階調ごとに所定の電圧値を有する階調信号電圧に変換して前記各表示画素に供給する階調信号電圧生成手段と、前記表示パネルの 1 行分に対応する前記表示データに応じた階調データの階調レベルに基づいて前記基準電圧発生手段の前記複数の増幅器の各々の駆動能力を制御する階調電圧生成制御手段と、を具備することを特徴とする。 30

【0016】

請求項 2 記載の発明は、請求項 1 記載の表示駆動装置において、前記階調電圧生成制御手段は、前記全ての階調レベルの各々に対し、前記表示パネルの 1 行分に対応する階調データにおいて使われているか否かを判定する手段と、前記使われていない階調レベルに対応する前記階調基準電圧を出力する前記増幅器の駆動能力を減少させる手段と、を具備することを特徴とする。 40

【0017】

請求項 3 記載の発明は、請求項 1 記載の表示駆動装置において、前記階調電圧生成制御手段は、前記全ての階調レベルの各々に対し、前記表示パネルの 1 行分に対応する階調データにおいて使われている数を計数する手段と、前記各階調レベルが使われている数に基づいて、前記各階調レベルに対応する前記階調基準電圧を出力する前記各増幅器の駆動能力を増減させる手段と、を具備することを特徴とする。

【0018】

請求項 4 記載の発明は、請求項 3 記載の表示駆動装置において、前記各増幅器の駆動能力を増減させる手段は、前記各増幅器の駆動能力を、前記各階調レベルが使われている数 50

に対する所定数毎に、段階的に増減させることを特徴とする。

請求項 5 記載の発明は、請求項 2 乃至 4 の何れかに記載の表示駆動装置において、前記階調電圧生成制御手段は、前記各増幅器に供給する駆動電力を増減させて前記各増幅器の駆動能力を増減させる手段を備えることを特徴とする。

【0019】

請求項 6 記載の発明は、複数の走査ライン及び複数の信号ラインの各交点近傍に 2 次元配列された複数の表示画素を有する表示パネルを表示データに基づいて駆動して画像表示を行う表示装置において、前記複数の走査ラインに走査信号を順次出力して前記表示画素を順次選択状態に設定する走査側駆動手段と、前記表示データに応じた階調データが取り得る全ての階調レベルに対応する複数の階調基準電圧を生成し、該複数の階調基準電圧をその駆動能力に応じて出力する複数の増幅器を備える基準電圧発生手段と、前記階調データを前記複数の増幅器から出力される前記複数の階調基準電圧に基づいて、各階調ごとに所定の電圧値を有する階調信号電圧に変換して前記複数の信号ラインの各々に供給する階調信号電圧生成手段と、前記表示パネルの 1 行分に対応する前記表示データに応じた階調データの階調レベルに基づいて前記基準電圧発生手段の前記複数の増幅器の各々の駆動能力を制御する階調電圧生成制御手段と、を有する信号側駆動手段と、を具備することを特徴とする。

10

【0020】

請求項 7 記載の発明は、請求項 6 記載の表示装置において、前記信号側駆動手段における前記階調電圧生成制御手段は、前記全ての階調レベルの各々に対し、前記表示パネルの 1 行分に対応する階調データにおいて使われているか否かを判定する手段と、前記使われていない階調レベルに対応する前記階調基準電圧を出力する前記増幅器の駆動能力を減少させる手段と、を具備することを特徴とする。

20

【0021】

請求項 8 記載の発明は、請求項 6 記載の表示装置において、前記信号側駆動手段における前記階調電圧生成制御手段は、前記全ての階調レベルの各々に対し、前記表示パネルの 1 行分に対応する階調データにおいて使われている数を計数する手段と、前記各階調レベルが使われている数に基づいて、前記各階調レベルに対応する前記階調基準電圧を出力する前記各増幅器の駆動能力を増減させる手段と、を具備することを特徴とする。

30

【0022】

請求項 9 記載の発明は、請求項 8 記載の表示装置において、前記各増幅器の駆動能力を増減させる手段は、前記各増幅器の駆動能力を、前記各階調レベルが使われている数に対する所定数毎に、段階的に増減させることを特徴とする。

請求項 10 記載の発明は、請求項 7 乃至 9 の何れかに記載の表示装置において、前記階調電圧生成制御手段は、前記各増幅器に供給する駆動電力を増減させて前記各増幅器の駆動能力を増減させる手段を備えることを特徴とする。

【発明の効果】

【0023】

本発明に係る表示駆動装置及びそれを備える表示装置は、表示パネルの 1 行分に対応する表示データに応じた階調成分（階調データ）の階調レベルに基づいて、基準電圧発生手段における複数の階調基準電圧を出力する複数の増幅器（階調アンプ）の駆動能力を増減し、階調基準電圧の各々の生成動作（階調信号電圧生成手段への供給状態）を個別に制御する階調電圧生成制御手段を備えることにより、階調基準電圧の生成動作に係わる消費電力の無駄を削減して、消費電力の低減を図ることができる。

40

【発明を実施するための最良の形態】

【0024】

以下、本発明に係る表示駆動装置について、実施の形態を示して詳しく説明する。

< 第 1 の実施形態 >

図 1 は、第 1 の実施形態に係る表示駆動装置を適用可能な表示装置の一例を示す概略構成図である。また、図 2 は、第 1 の実施形態に係る表示駆動装置を示す概略構成図である

50

。ここでは、表示装置の一例としてアクティブマトリクス型の駆動方式を採用した液晶表示装置を示し、上述した従来技術（図9、図10参照）と同等の構成については、同等又は同一の符号を付して説明する。

#### 【0025】

まず、本発明に係る表示駆動装置を適用可能な表示装置の全体構成について説明する。

図1に示すように、第1の実施形態に係る表示駆動装置が適用される液晶表示装置100Aは、行方向及び列方向に直交するように配設された複数の走査ラインSL及び複数の信号ラインDLの各交点近傍に表示画素Pxが配列された表示パネル110と、複数の走査ラインSLに接続された走査ドライバ120と、複数の信号ラインDLに接続された信号ドライバ130と、少なくとも走査ドライバ120及び信号ドライバ130に垂直制御信号及び水平制御信号を供給するタイミング制御回路140と、信号ドライバ130において表示データに応じた階調信号電圧Vpixを生成するための階調基準電圧V0～Vnを生成する基準電圧発生回路（基準電圧発生手段）150と、基準電圧発生回路150における各階調基準電圧V0～Vnの生成動作を個別に制御する階調電圧生成制御回路（階調電圧生成制御手段）160と、を備えた構成を有している。ここで、階調電圧生成制御回路160は、後述する第1及び第2の実施形態においては階調アンプ制御回路161に対応する（図2参照）。

10

#### 【0026】

以下、上述した表示装置に適用される表示駆動装置（信号ドライバ130、基準電圧発生回路150、階調電圧生成制御回路160）の第1の実施形態について説明する。

20

信号ドライバ130は、図2に示すように、例えば、表示パネル110一画面分の表示データが保持された表示メモリ（RAM）200から、シリアルデータとして順次供給される1行（1走査ライン）分のデジタル信号からなる表示データを順次取り込んで保持するラッチ回路131と、ラッチ回路131からパラレルデータとして一括して出力された1行分の表示データをデコードして表示階調を示す階調データ（階調成分）に変換（生成）するデコーダ回路132と、後述する基準電圧発生回路150から供給される階調基準電圧V0～Vnに基づいて、デコーダ回路132から出力された1行分の各階調データに応じた電圧値を有する階調信号電圧Vpix（アナログ信号電圧）に変換して、表示パネル110の各列に配設された信号ラインDLに出力するデジタル-アナログ変換回路（DAC；階調信号電圧生成手段）133と、を備えた構成（すなわち、上述した従来技術（図10）と同等の構成）を有し、特に、本実施形態に適用されるデコーダ回路132においては、表示データをデコードして生成された階調データを、デジタル-アナログ変換器133に供給するとともに、後述する階調アンプ制御回路161（上述した階調電圧生成制御回路160に対応する）にも出力するように構成されている。

30

#### 【0027】

また、基準電圧発生回路150は、図2に示すように、例えば、複数段の抵抗素子RSが直列に接続された抵抗分割回路151と、抵抗分割回路151の各抵抗素子RSの接続接点から取り出された複数の電圧成分の各々を、個別の階調アンプ（増幅器）AMPにより増幅して、表示データに応じた階調データが取り得る全ての階調レベルに対応する階調基準電圧V0～Vnとして信号ドライバ130（デジタル-アナログ変換器133）に供給する階調アンプ回路152と、を備えた構成を有し、特に、本実施形態に適用される階調アンプ回路152においては、各階調アンプAMPの動作状態（すなわち、各階調基準電圧V0～Vnの生成動作）が階調アンプ制御回路161から供給されるアンプ制御信号に基づいて個別に制御されるように構成されている。

40

#### 【0028】

ここで、各階調アンプAMPの動作状態は、アンプ制御信号に基づいて、例えば、各階調アンプAMPに供給される駆動電力（バイアス電流）を個別に調整することにより制御される。具体的には、各階調アンプAMPに供給されるバイアス電流を、通常の駆動状態における電流レベルと省電力モードとなる低電流レベルの2段階設けて切り換えることにより、階調基準電圧V0～Vnを生成するための所定の増幅動作を実行することができる

50

通常の駆動能力状態（通常駆動能力状態）と、当該通常駆動能力状態に迅速に復帰が可能な駆動能力の低い状態（低駆動能力状態）と、を選択的に設定するように制御する。

#### 【0029】

なお、本発明においては、各階調アンプAMPの動作状態を制御する方法として、上記駆動電力（バイアス電流）を切り換えて駆動能力を制御する手法に限定されるものではなく、例えば、アンプ制御信号に基づいて、各階調アンプAMPへの駆動電力を供給又は遮断することにより、増幅動作を実行（オン）又は停止（オフ）させるものであってもよい。

また、抵抗分割回路151は、上述した従来技術に示した構成（図10）と同様に、表示パネル110（表示画素Px）の特性に応じて、ガンマ補正処理に対応した抵抗値を有する抵抗素子RSからなるラダー抵抗を備えるものであってもよい。

10

#### 【0030】

図1に示した階調電圧生成制御回路160の一構成例である階調アンプ制御回路161は、デコーダ回路132から供給された1行分の（各表示画素Pxの）表示データから変換された階調データにおいて、各階調レベル（すなわち、基準電圧発生回路150により生成される全ての階調基準電圧V0～Vnからなるn階調分の階調レベル）毎に、何れの列（信号ラインDL）においても使用されていない階調レベル（選択されていない階調基準電圧）が存在するか否かを判定（検出）し、使用されていない階調レベルが存在する場合には、当該階調レベルの階調基準電圧を生成するための階調アンプAMPに対し、例えば駆動電力の供給量（バイアス電流の電流値）を低減するように切り換えて、当該階調アンプAMPの駆動能力を低く設定する制御を行う。ここで、階調アンプ制御回路160Aによる階調アンプ回路152の各階調アンプAMPの動作状態（駆動能力）の制御は、タイミング制御回路140において垂直同期信号や水平同期信号、システムクロックに基づいて生成される電圧生成制御信号に基づくタイミングで実行される。

20

#### 【0031】

図3は、本実施形態に係る表示駆動装置に適用される階調アンプ制御回路の要部構成例を示す図である。

本実施形態に係る階調アンプ制御回路161は、例えば図3に示すように、基準電圧発生回路150により生成される階調基準電圧V0～Vnに応じた数（n+1）の論理和演算回路（多入力OR回路）10を備え、階調基準電圧V0～Vnの各々について、表示パネル110の1行分m個（m列）の表示データから変換された各階調データに基づく、当該階調基準電圧が使用（選択）されているか否かを示す各基準電圧選択信号VISELj（i=0～nの正の整数、j=0～mの正の整数）の論理和を演算し、各階調基準電圧V0～Vnごとにアンプ制御信号VICTRLを生成して、階調アンプ回路152に出力する。ここで、階調アンプ回路152に出力されたアンプ制御信号VICTRLは、各階調アンプAMPへの駆動電力（バイアス電流）の供給状態を設定する。

30

#### 【0032】

例えば、表示データに基づいて、s列目（s=0～nの正の整数；1列以上の複数列を含む）の信号ラインDLに出力される階調信号電圧Vpixとして階調基準電圧Vr（r=0～mの正の整数）が使用（選択）される場合には、基準電圧選択信号VrSELSがハイレベル（H；“1”）に設定され、それ以外の基準電圧選択信号はローレベル（L；“0”）に設定されるので、論理和演算によりアンプ制御信号VrCTRLがハイレベル（H；“1”）となって、階調基準電圧Vrを生成するために設けられた階調アンプAMPに、通常の増幅処理を実行可能な第1のバイアス電流が印加される。一方、アンプ制御信号VrCTRL以外のアンプ制御信号はローレベル（L；“0”）となって、階調基準電圧Vr以外の階調基準電圧を生成するために設けられた各階調アンプAMPに第1のバイアス電流よりも低電流の第2のバイアス電流が印加される。

40

#### 【0033】

これにより、階調基準電圧Vrを生成するための階調アンプAMPにおいてのみ、増幅処理に必要な通常の駆動能力状態が設定され、それ以外の階調アンプAMPにおいては、

50

低駆動能力状態に設定される。ここで、低駆動能力状態は、通常の増幅処理を行う際の駆動能力に必要なバイアス電流に比較して、低い電流値を有するバイアス電流が印加され、かつ、当該低駆動能力状態から通常駆動能力状態に復帰する際に、当該階調アンプAMPにより生成される階調基準電圧の電圧レベルが迅速に安定化する電流値を有するバイアス電流が印加された状態をいう。

#### 【0034】

すなわち、本実施形態においては、上記階調アンプ制御回路161（階調電圧生成制御回路160）により階調アンプ回路152（基準電圧発生回路150）の各階調アンプAMPの動作状態を制御する手法として、各階調アンプAMPへ供給する駆動電力（バイアス電流）を変化させて駆動能力を切り換える手法を採用することにより、階調アンプAMPが、オフ状態（駆動能力をゼロとした状態）からオン状態に切り換えたときには、当該階調アンプAMPから出力される階調基準電圧が所定の電圧レベルに安定するまでにある程度の時間を要する（すなわち、電圧レベルの立ち上がり遅延が生じる）特性を有するものであっても、使用されない階調アンプAMPをオフ状態にしないことにより、階調アンプAMPに供給される駆動電力を削減しつつ、低駆動能力状態から通常駆動能力状態に切り換えたときの迅速な増幅処理（階調基準電圧の生成動作）の開始を実現することができる。

10

#### 【0035】

なお、本実施形態において、各階調アンプAMPが、オフ状態からオン状態にしたときの立ち上がりが十分早い特性を有するものである場合には、上述したように、各階調アンプAMPへの駆動電力を供給又は遮断する手法を採用するようにしてもよい。この場合にあっては、使用しない階調アンプAMPへの駆動電力の供給を完全に遮断（オフ）することができるので、消費電力を大幅に削減することができるという顕著な効果を奏することができる。

20

#### 【0036】

上述したように、本実施形態においては、基準電圧発生回路150において、表示パネル110における階調表示に使用される階調基準電圧を生成するための階調アンプAMPに対してのみ、増幅処理を実行するために必要な駆動電力（第1のバイアス電流）が供給されて通常の駆動能力状態に設定され、一方、使用されない階調基準電圧を生成するための階調アンプAMPに対しては低い駆動電力（第2のバイアス電流）が供給されて低い駆動能力状態に設定されるので、使用されていない階調基準電圧を生成するための階調アンプAMPで消費される電力を極力抑制することができ、例えば携帯電話機等のようにバッテリーにより駆動し、かつ、表示パネルに余り多くの階調を使用しない画像情報を一定期間、あるいは、長時間表示するような表示駆動方法を採用している場合であっても、電子機器の使用時間を向上させることができる。

30

#### 【0037】

なお、本実施形態においては、基準電圧発生回路150の階調アンプ回路152に設けられた各アンプAMPの動作状態（駆動能力）を制御する階調アンプ制御回路161を、信号ドライバ130や基準電圧発生回路150とは独立して設けた場合について示したが、本発明はこれに限定されるものではなく、例えば、信号ドライバ130や基準電圧発生回路150、あるいは、タイミング制御回路（すなわち、LCDコントローラ）140に内蔵、又は、これらと一体的に設けられるものであってもよい。

40

#### 【0038】

##### < 第2の実施形態 >

次に、本発明に係る表示駆動装置の第2の実施形態について図面を参照して説明する。

図4は、第2の実施形態に係る表示駆動装置に適用される階調アンプ制御回路の要部構成例を示す図である。ここで、上述した第1の実施形態と同等の構成については、同等の符号を付してその説明を簡略化する。

#### 【0039】

上述した第1の実施形態においては、基準電圧発生回路150により生成される階調基

50

準電圧  $V_0 \sim V_n$  の各々について、1行（1走査ライン）ごとの各列（ $m$ 個）の表示データ（階調データ）に応じて使用（選択）するか否かを示す基準電圧選択信号  $V_iSEL_j$  の論理和を演算して得られるアンプ制御信号  $V_iCTRL$  に基づいて、当該階調基準電圧を生成する階調アンプ AMP へ供給する駆動電力（バイアス電流）を変化させて当該階調アンプの駆動能力を切り換える場合について説明したが、本実施形態においては、1行分の表示データ（階調データ）において、各階調基準電圧  $V_0 \sim V_n$  を使用（選択）する階調信号電圧  $V_{pix}$  の数（すなわち、信号ライン DL への出力数）に応じて、当該階調基準電圧を生成する階調アンプ AMP の駆動能力を切り換えるように構成されている。

#### 【0040】

本実施形態に係る表示装置及び表示駆動装置は、上述した第1の実施形態（図1、図2参照）と同等の表示パネル110、走査ドライバ120、信号ドライバ130、タイミング制御回路140及び基準電圧発生回路150を有するとともに、本実施形態に係る階調電圧生成制御回路160として設けられる階調アンプ制御回路161が、例えば図4（a）に示すように、基準電圧発生回路150により生成される階調基準電圧  $V_0 \sim V_n$  に応じた数（ $n+1$ ）の加算回路（多入力加算回路）20を備えた構成を有している。

10

#### 【0041】

ここで、加算回路20は、階調基準電圧  $V_0 \sim V_n$  の各々について、表示パネル110の1行分  $m$  個（ $m$ 列）の表示データから変換された各階調データにより当該階調基準電圧が使用（選択）されているか否かを示す各基準電圧選択信号  $V_iSEL_j$ （ $i=0 \sim n$  の正の整数、 $j=0 \sim m$  の正の整数）を加算処理して、各階調基準電圧  $V_0 \sim V_n$  ごとに選択される数（信号ラインへの出力数）を示すアンプ制御信号  $V_iCTRL[m:0]$  を生成して、階調アンプ回路152の各階調アンプ AMP に出力する。

20

#### 【0042】

なお、加算回路20は、例えば図4（b）に示すように、入力信号  $INa$ （例えば基準電圧選択信号  $V_iSEL_1$ ）と入力信号  $INb$ （例えば基準電圧選択信号  $V_iSEL_0$ ）を加算処理した際の上位桁（出力信号  $OTc$ ）を演算する論理積回路（AND回路）21と、入力信号  $INa$  と  $INb$  を加算処理した際の下位桁（出力信号  $OTs$ ）を演算する排他的論理和回路（XOR回路）22と、を並列に配置した周知の2入力加算回路（半加算器）を基本構成として、多入力演算に対応した態様としたものを良好に適用することができる。

30

#### 【0043】

上述したような階調アンプ制御回路161を備えた表示駆動装置において、各階調アンプ AMP に供給される駆動電力（バイアス電流の電流レベル）は、3以上の複数段階設けられ、各階調アンプ AMP（階調基準電圧  $V_0 \sim V_n$ ）に対応して出力されたアンプ制御信号  $V_iCTRL[m:0]$  の値（バイナリーデータ）に応じて、当該階調アンプ AMP への駆動電力の供給状態（バイアス電流の電流レベル）が段階的に切り換えられ、これにより階調アンプ AMP の駆動能力が段階的に切り換えられる。

#### 【0044】

例えば、1行分  $m$  個（ $m$ 列）の表示データから変換された各階調データに基づいて、特定の階調基準電圧  $V_r$ （ $r=0 \sim n$  の正の整数）を使用（選択）する階調信号電圧  $V_{pix}$  の数（信号ラインの出力数）が“0”の場合には、全ての基準電圧選択信号  $V_rSEL_0 \sim V_rSEL_m$  がローレベル（L；“0”）に設定されるので、加算処理により生成されるアンプ制御信号  $V_rCTRL[m:0]$  のバイナリーデータは最下位の値となり、当該階調基準電圧  $V_r$  を生成するための階調アンプ AMP には、予め設定された複数段階のバイアス電流のうち、最小の電流レベルを有するバイアス電流が印加される。

40

#### 【0045】

一方、特定の階調基準電圧  $V_r$  を使用（選択）する階調信号電圧  $V_{pix}$  の数（信号ラインの出力数）が“ $m$ ”の場合には、全ての基準電圧選択信号  $V_rSEL_0 \sim V_rSEL_m$  がハイレベル（H；“1”）に設定されるので、加算処理により生成されるアンプ制御信号  $V_rCTRL[m:0]$  のバイナリーデータは最上位の値となり、当該階調基準電圧  $V$

50

r を生成するための階調アンプAMPには、予め設定された複数段階のバイアス電流のうち、最大の電流レベルを有するバイアス電流が印加される。

【0046】

また、特定の階調基準電圧V<sub>r</sub>を使用（選択）する階調信号電圧V<sub>pix</sub>の数（信号ラインの出力数）が“q”（q = 1 ~ m - 1の正の整数；q = 0 ~ m）の場合には、当該使用数q分の基準電圧選択信号V<sub>rSELj</sub>がハイレベル（H；“1”）に設定されているので、加算処理により生成されるアンプ制御信号V<sub>rCTRL</sub>[m : 0]のバイナリデータは“q”に応じた値となり、当該階調基準電圧V<sub>r</sub>を生成するための階調アンプAMPには、予め設定された複数段階のバイアス電流のうち、“q”に応じた電流レベルを有するバイアス電流が印加される。

10

【0047】

ここで、階調アンプAMPに印加されるバイアス電流は、階調信号電圧V<sub>pix</sub>の出力数（信号ラインの出力数）分の電圧レベルを有するように予め段階的に設定され、加算処理により生成されるアンプ制御信号V<sub>rCTRL</sub>[m : 0]のバイナリデータに応じて、1 : 1の対応関係で特定のバイアス電流が設定されるものであってもよいし（すなわち、出力数が1つ変わると同時に電流レベルを変化させるようにしてもよい）、階調信号電圧V<sub>pix</sub>の出力数（信号ラインの出力数）よりも少ない数の電流レベルを有するように予め段階的に設定され、アンプ制御信号V<sub>rCTRL</sub>[m : 0]のバイナリデータに応じて、t : 1（tは2以上の整数）の対応関係で特定のバイアス電流が設定されるものであってもよい（すなわち、出力数がある数t（例えば数十）変わると同時に電圧レベルを変化させるようにしてもよい）。前者においては、各階調アンプにおける消費電力の制御を綿密かつ的確に行うことができるものの、当該制御が煩雑で非効率になる可能性がある。一方、後者においては、各階調アンプにおける消費電力の制御が比較的大雑把になるものの、当該制御が簡略化されて制御に係わる回路規模の増大を抑えることができる。

20

【0048】

これにより、階調基準電圧V<sub>r</sub>の使用（選択）数に応じて当該階調アンプAMPに供給される駆動電力（バイアス電流）を変化させて駆動能力を段階的に切り換えるとともに、使用されていない階調アンプAMPに対しても低い（最低の）電流値を有するバイアス電流が印加されるので、階調アンプAMPの動作状態に応じて駆動電力が適正かつ効率的に供給され、無駄な電力の消費をさらに削減しつつ、階調アンプAMPをオフ状態からオン状態にした場合であっても階調基準電圧の立ち上がり遅延を抑制して、迅速な増幅処理（階調基準電圧の生成動作）の開始を実現することができる。

30

【0049】

< 第3の実施形態 >

次に、本発明に係る表示駆動装置の第3の実施形態について図面を参照して説明する。

図5は、第3の実施形態に係る表示駆動装置を適用可能な表示装置の一例を示す概略構成図である。また、図6は、第3の実施形態に係る表示駆動装置を示す概略構成図であり、図7は、本実施形態に係る表示駆動装置に適用される階調アンプ制御回路の一要部構成例を示す図である。ここで、上述した第1及び第2の実施形態と同等の構成については、同等の符号を付してその説明を簡略化する。

40

【0050】

上述した第1及び第2の実施形態においては、表示メモリ（RAM）200から信号ドライバ130に供給される1行（1走査ライン）分の表示データをひとまとまりとしてラッチ回路131に取り込んだ後、デコーダ回路132に一括して送出する構成を示したが、信号ドライバとして、2段のラッチ回路を備え、数画素分ずつの表示データをひとまとまりとして前段のラッチ回路に取り込む動作を繰り返し、1行分の表示データが取り込まれた時点で後段のラッチ回路に転送し、デコーダ回路に一括して送出する構成を有するものがある。本実施形態は、信号ドライバ130がこのような2段のラッチ回路を備える構成を有する場合に対応したものである。

【0051】

50

図5、図6に示すように、第3の実施形態に係る表示駆動装置が適用される液晶表示装置100Bは、上述した第1の実施形態(図1、図2参照)と同等の表示パネル110、走査ドライバ120、タイミング制御回路140及び基準電圧発生回路150を有するとともに、信号ドライバ130が表示データを取り込むための2段のラッチ回路131a、131bを備え、さらに、階調電圧生成制御回路160として設けられる階調アンプ制御回路162が、例えば図7に示すように、2段のラッチ回路131a、131bを備えた信号ドライバ130における動作タイミングに合わせるように、動作状態が制御された基準電圧発生回路150(階調アンプ回路152)により生成される階調基準電圧 $V_0 \sim V_n$ を信号ドライバ130(デジタル-アナログ変換器133)に供給する構成を有している。

10

#### 【0052】

信号ドライバ130は、具体的には、図6に示すように、例えば、表示パネル110一画面分の表示データが保持された表示メモリ(RAM)200から、シリアルデータとして順次供給される1行(1走査ライン)のうちの数画素分の表示データ(デジタル信号)を順次取り込む動作を繰り返して1行分の表示データを保持する前段のラッチ回路131aと、ラッチ回路131aから一括して転送された1行分の表示データを取り込んで保持する後段のラッチ回路131bと、ラッチ回路131bからパラレルデータとして出力された1行分の表示データをデコードして表示階調を示す階調データに変換(生成)するデコーダ回路132と、基準電圧発生回路150から供給される階調基準電圧 $V_0 \sim V_n$ に基づいて、上記1行分の各階調データに応じた電圧値を有する階調信号電圧 $V_{pix}$ に変換して、各列の信号ラインDLに出力するデジタル-アナログ変換回路133と、を備えた構成を有している。

20

#### 【0053】

また、階調アンプ制御回路162は、図6、図7に示すように、表示メモリ200から信号ドライバ130のラッチ回路131aに供給される数画素分の表示データと同一の表示データが供給され、当該表示データをデコードして得られた階調データと、基準電圧発生回路150により生成される階調基準電圧 $V_0 \sim V_n$ からなる $n$ 階調分の階調レベルとを比較し、各階調レベル(階調基準電圧)が上記階調データに使用(選択)されているか否かを示す基準電圧選択信号 $V_{iSELj}$ (ここでは、図示の都合上、 $i = 0 \sim 3$ の整数、 $j = 0, 1$ の場合を示す;表示メモリ200より2画素分ずつ、4階調の表示を行う表示データを読み出す場合に相当する)を生成するデコーダ回路31と、各階調基準電圧 $V_0 \sim V_n$ ( $V_3$ )について、表示データから変換された数画素分の各階調データにより当該階調基準電圧が使用(選択)されているか否かを示す各基準電圧選択信号 $V_{iSELj}$ ( $V_{iSEL0}$ と $V_{iSEL1}$ )の論理和を演算して、各階調基準電圧 $V_0 \sim V_3$ ごとに制御信号 $V_{iCTRLP}$ ( $V_0CTRLP \sim V_3CTRLP$ )を生成する論理和演算回路(多入力OR回路)32と、該論理和演算回路32により生成された制御信号 $V_{iCTRLP}$ を取り込み、1行分の全画素( $m$ 画素)について同様に上記制御信号 $V_{iCTRLP}$ が取り込まれるまで保持するアンプ選択レジスタ33と、信号ドライバ130において1行分の表示データが前段のラッチ回路131aから後段のラッチ回路131bに取り込まれるタイミングに同期して、上記アンプ選択レジスタ33から転送される制御信号 $V_{iCTRLP}$ を取り込んで保持し、その後所定のタイミングでアンプ制御信号 $V_{iCTRL}$ ( $V_0CTRL \sim V_3CTRL$ )として一括して階調アンプ回路152に出力するラッチ回路34と、を備えている。

30

40

#### 【0054】

すなわち、本実施形態においては、図6に示したように、2段のラッチ回路131a、131bが設けられた構成を有しているため、上述した第1及び第2の実施形態に示したように1段のラッチ回路131を備えた構成とは、信号ドライバ130におけるデコーダ回路132からデジタル-アナログ変換器133への階調データの供給タイミングと、基準電圧発生回路150から信号ドライバ130(デジタル-アナログ変換器133)への階調データ(表示データ)に応じて制御された階調基準電圧 $V_0 \sim V_n$ の供給タイミング

50

とが異なることになる。そこで、信号ドライバ130の2段のラッチ回路131a、131bによる動作タイミングのずれに対応させる（タイミングを合わせる）ために、論理和回路32の後段にアンプ選択レジスタ33とラッチ回路34を介在させるようにしている。

#### 【0055】

このような構成を有する表示装置及び表示駆動装置においても、上述した第1の実施形態と同様に、基準電圧発生回路150において、表示パネル110における階調表示に使用される階調基準電圧を生成するための階調アンプAMPに対してのみ、増幅処理を実行するために必要な駆動電力が供給され、一方、使用されない階調基準電圧を生成するための階調アンプAMPに対しては低い駆動電力が供給されて低い駆動能力に設定されるので、使用されていない階調基準電圧を生成するための階調アンプAMPで消費される電力を極力抑制することができ、携帯機器等における使用時間を向上させることができる。

10

#### 【0056】

なお、本実施形態に係る階調電圧生成制御回路160（階調アンプ制御回路162）は、図7に示した構成（すなわち、上述した第1の実施形態に係る階調アンプ制御回路161と同様に、論理和回路（OR回路）10を適用した構成）に限定されるものではない。

図8は、本実施形態に係る表示駆動装置に適用される階調アンプ制御回路の他の要部構成例を示す図である。

#### 【0057】

すなわち、階調電圧生成制御回路160として設けられる階調アンプ制御回路162は、例えば図8に示すように、図7に示した構成と同等のデコーダ回路36と、各階調基準電圧 $V_i$ （ $V_0 \sim V_3$ ）について、表示データから変換された数画素分の各階調データにより当該階調基準電圧が使用（選択）されているか否かを示す各基準電圧選択信号 $V_iSEL_j$ （ $V_iSEL_0$ と $V_iSEL_1$ ）を加算処理して、各階調基準電圧 $V_0 \sim V_n$ ごとに選択される数（信号ラインへの出力数）を示すバイナリデータからなる制御信号 $V_iCTRLP[1:0]$ を生成する加算回路（多入力加算回路）37と、該加算回路37により生成された制御信号 $V_iCTRLP[1:0]$ を取り込み、当該制御信号 $V_iCTRLP[1:0]$ について1行分の全画素（ $m$ 画素）について同様に加算処理が繰り返されて取り込まれるまで記憶するアンプ選択数記憶部38と、信号ドライバ130において1行分の表示データが前段のラッチ回路131aから後段のラッチ回路131bに取り込まれるタイミングに同期して、上記アンプ選択数記憶部38から転送される制御信号 $V_iCTRLP[1:0]$ を取り込んで保持し、その後所定のタイミングでアンプ制御信号 $V_iCTRL[1:0]$ （ $V_0CTRL[1:0] \sim V_3CTRL[1:0]$ ）として一括して階調アンプ回路152に出力するラッチ回路39と、を備えているものであってもよい。

20

30

#### 【0058】

このような構成を有する表示装置及び表示駆動装置においても、上述した第2の実施形態と同様に、基準電圧発生回路150において、表示パネル110における階調表示に使用される階調基準電圧の数（信号ラインの出力数）に応じて各階調アンプAMPに供給される駆動電力の供給量（バイアス電流の電流値）が制御されるので、無駄な電力の消費をさらに削減することができ、携帯機器等における使用時間を向上させることができる。

40

#### 【0059】

なお、上述した各実施形態においては説明を省略したが、階調電圧生成制御回路160（階調アンプ制御回路161、162）は、タイミング制御回路140から供給される電圧生成制御信号に基づいて、例えば走査ドライバ120における走査信号の出力開始タイミングでオン（有効）状態に設定され、表示パネル110における一画面分の画像情報を表示した後の、表示メモリ200への次の一画面分の表示データの書き込み動作に先立つタイミングでオフ（無効）状態に設定されるように、当該動作機能のオン、オフが制御されるものであってもよい。

#### 【図面の簡単な説明】

50

## 【 0 0 6 0 】

【図 1】第 1 の実施形態に係る表示駆動装置を適用可能な表示装置の一例を示す概略構成図である。

【図 2】第 1 の実施形態に係る表示駆動装置を示す概略構成図である。

【図 3】第 1 の実施形態に係る表示駆動装置に適用される階調アンプ制御回路の要部構成例を示す図である。

【図 4】第 2 の実施形態に係る表示駆動装置に適用される階調アンプ制御回路の要部構成例を示す図である。

【図 5】第 3 の実施形態に係る表示駆動装置を適用可能な表示装置の一例を示す概略構成図である。

10

【図 6】第 3 の実施形態に係る表示駆動装置を示す概略構成図である。

【図 7】第 3 の実施形態に係る表示駆動装置に適用される階調アンプ制御回路の一要部構成例を示す図である。

【図 8】第 3 の実施形態に係る表示駆動装置に適用される階調アンプ制御回路の他の要部構成例を示す図である。

【図 9】アクティブマトリクス型の駆動方式を採用した液晶表示装置の要部構成を示す概略図である。

【図 10】従来技術における液晶表示装置に適用される信号ドライバの概略構成を示すブロック図である。

## 【符号の説明】

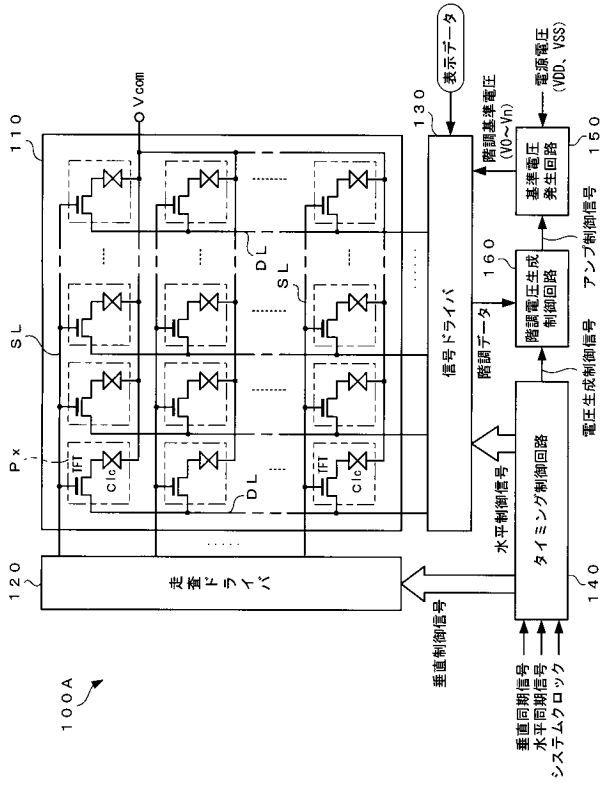
20

## 【 0 0 6 1 】

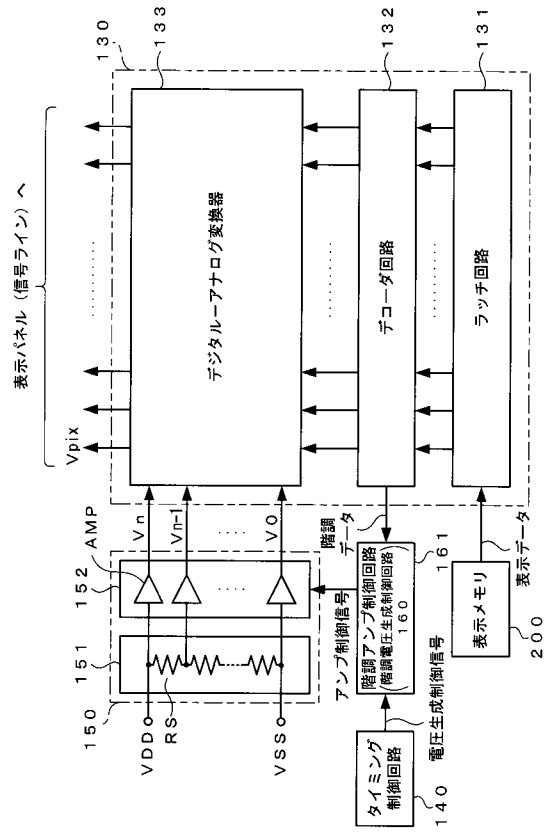
1 0 0 A、1 0 0 B	液晶表示装置
1 1 0	表示パネル
1 2 0	走査ドライバ
1 3 0	信号ドライバ
1 3 1、1 3 1 a、1 3 1 b	ラッチ回路
1 3 2	デコーダ回路
1 3 3	デジタル - アナログ変換器
1 4 0	タイミング制御回路
1 5 0	基準電圧発生回路
1 5 1	抵抗分割回路
1 5 2	階調アンプ回路
1 6 0	階調電圧生成制御回路
1 6 1、1 6 2	階調アンプ制御回路
2 0 0	表示メモリ ( R A M )
P x	表示画素

30

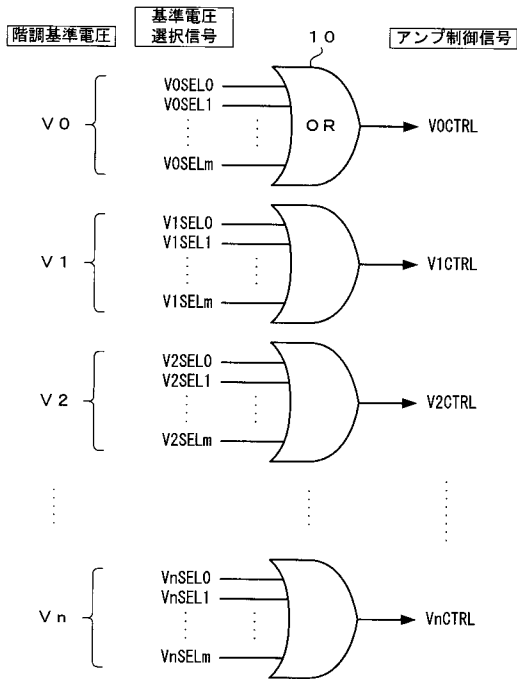
【図 1】



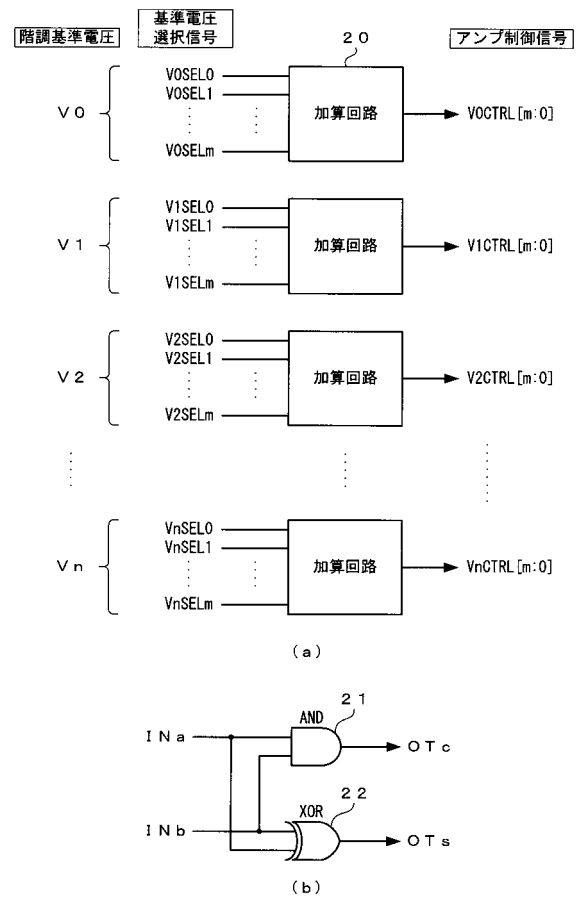
【図 2】



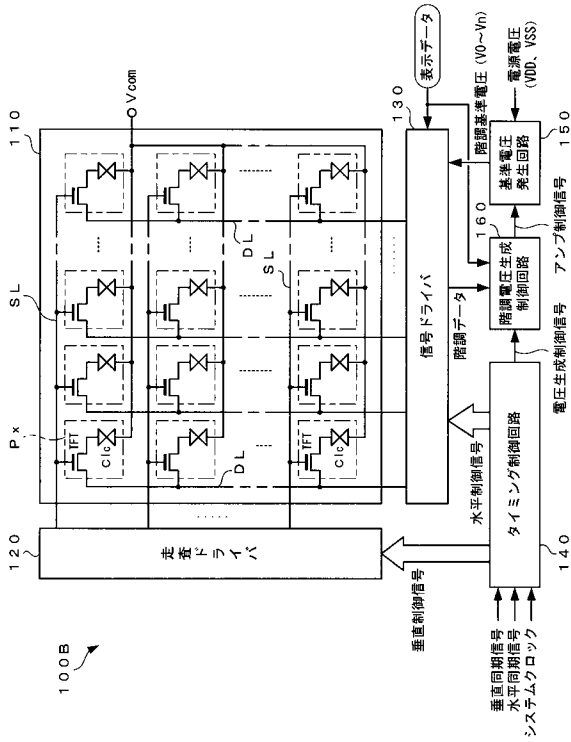
【図 3】



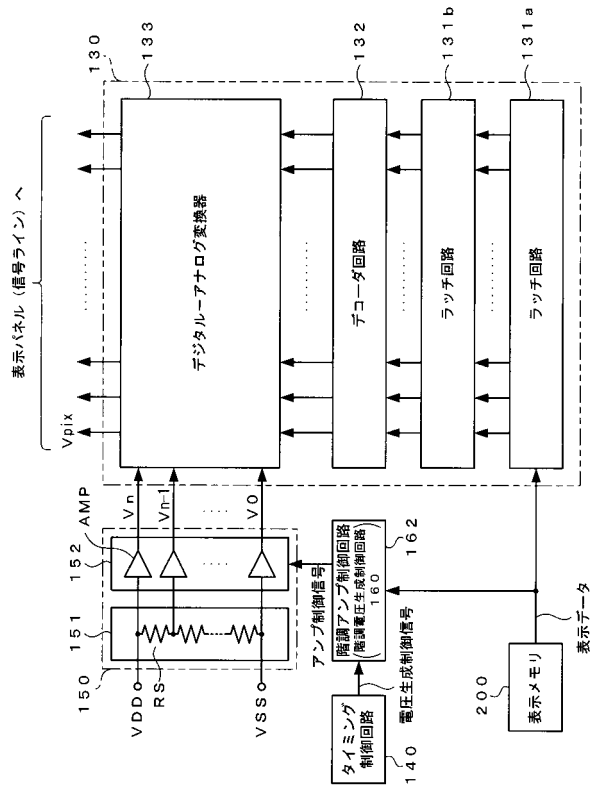
【図 4】



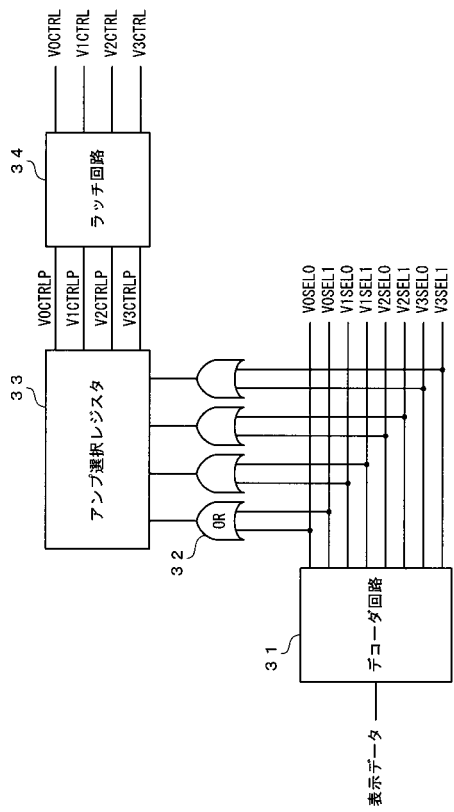
【 図 5 】



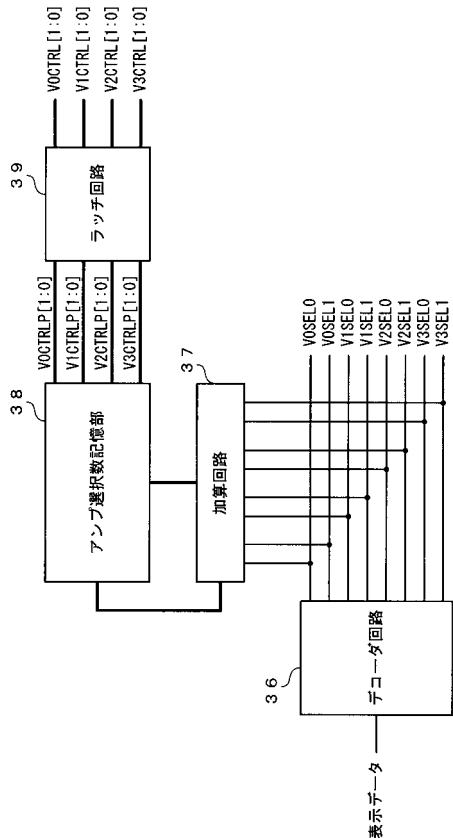
【 図 6 】



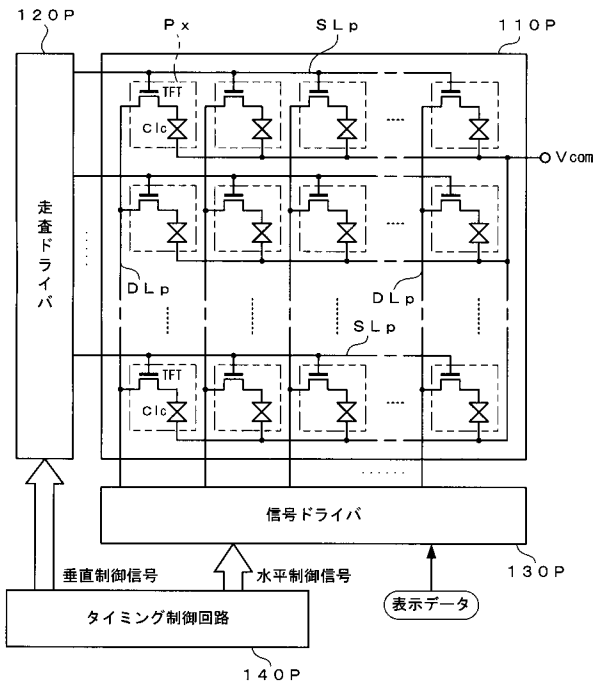
【 図 7 】



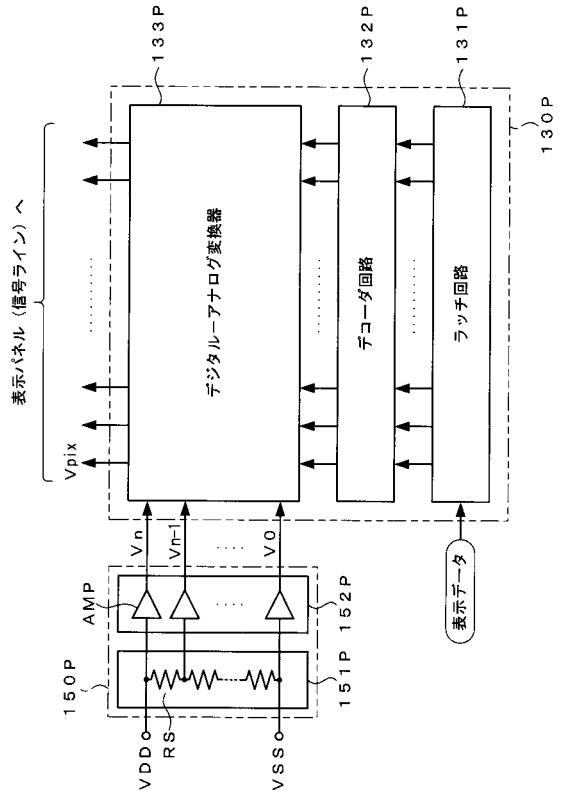
【 図 8 】



【図9】



【図10】



---

フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 3 B

G 0 2 F 1/133 5 7 5

专利名称(译)	显示驱动装置和具有该驱动装置的显示装置		
公开(公告)号	<a href="#">JP2007233081A</a>	公开(公告)日	2007-09-13
申请号	JP2006055356	申请日	2006-03-01
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	水取光		
发明人	水取光		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.611.A G09G3/20.612.F G09G3/20.623.E G09G3/20.623.F G09G3/20.623.B G02F1/133.575		
F-TERM分类号	2H093/NA16 2H093/NA51 2H093/NC10 2H093/NC12 2H093/NC24 2H093/NC26 2H093/ND39 5C006/AA16 5C006/AF83 5C006/BB16 5C006/BF25 5C006/BF43 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 2H193/ZD21 2H193/ZF22 2H193/ZF36		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供一种能够降低参考电压产生电路中的功耗的显示驱动装置，用于产生要提供给信号驱动器的灰度基准电压并改善电子装置的使用时间。液晶显示装置100A包括参考电压产生电路150，其具有单独的灰度放大器AMP，用于产生要提供给信号驱动器130的数字 - 模拟转换器133的灰度基准电压V<sub>0</sub>到V<sub>n</sub>，基于包括在显示数据中的灰度分量（灰度数据），以及每个灰度基准电压V<sub>0</sub>到V<sub>n</sub>的供给状态，信号驱动器130增大或减小基准电压发生电路150的每个灰度放大器AMP的驱动能力。并且灰度级电压产生控制电路160用于单独控制灰度级电压。The

