

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-193340

(P2007-193340A)

(43) 公開日 平成19年8月2日(2007.8.2)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1345 (2006.01)	GO2F 1/1345	2H092
GO2F 1/1368 (2006.01)	GO2F 1/1368	5C094
GO9F 9/30 (2006.01)	GO9F 9/30 338	

審査請求 未請求 請求項の数 19 O L (全 23 頁)

(21) 出願番号	特願2007-9199 (P2007-9199)	(71) 出願人	390019839
(22) 出願日	平成19年1月18日 (2007.1.18)		三星電子株式会社
(31) 優先権主張番号	10-2006-0005260		S a m s u n g E l e c t r o n i c s
(32) 優先日	平成18年1月18日 (2006.1.18)		C o . , L t d .
(33) 優先権主張国	韓国 (KR)		大韓民国京畿道水原市八達区梅灘洞416
(31) 優先権主張番号	10-2006-0016105		番地
(32) 優先日	平成18年2月20日 (2006.2.20)	(74) 代理人	110000051
(33) 優先権主張国	韓国 (KR)		特許業務法人共生国際特許事務所
		(72) 発明者	梁 容 豪
			大韓民国 京畿道 水原市 長安区 栗田
			洞 三星アパート 201棟 1703号
		(72) 発明者	尹 柱 善
			大韓民国 ソウル市 廣津区 廣壯洞 ヒ
			ョンデ5次アパート 504棟 101号
			最終頁に続く

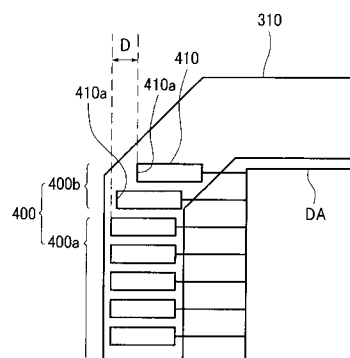
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】表示パネルに集積されたゲート駆動部を外部環境から効果的に保護することのできる液晶表示装置を提供する。

【解決手段】本発明による液晶表示装置は、基板、前記基板上行列形態に配列されていて、スイッチング素子を各々含む複数の画素、前記スイッチング素子に接続されていて、行方向にのびている複数のゲート線、そして前記ゲート線に各々接続されていて、前記基板上に集積されて形成されているゲート駆動部を含み、前記ゲート駆動部は、整列されている第1領域、及び前記第1領域と交差している第2領域を含む。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

基板と、

前記基板上に行列形態に配列された、スイッチング素子を各々含む複数の画素から構成される表示領域と、

前記スイッチング素子に接続され、行方向にのびる複数のゲート線と、

前記ゲート線に各々接続され、前記基板上に集積されて形成されるゲート駆動部とを有し、

前記ゲート駆動部は、個々の回路が整列して並ぶ第 1 領域と、該第 1 領域の整列方向と交差した方向に個々の回路が並ぶ第 2 領域とを含むことを特徴とする液晶表示装置。

10

【請求項 2】

前記第 2 領域は、前記第 1 領域を間において分割される第 3 領域と第 4 領域とを含むことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 領域と前記表示領域との間の距離は、前記第 2 領域と前記表示領域との間の距離より長いことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記ゲート駆動部は、前記ゲート線に接続される複数の回路部と、該回路部に接続され、信号を伝達する複数の配線からなる配線部とを含むことを特徴とする請求項 1 に記載の液晶表示装置。

20

【請求項 5】

前記複数の回路部のうちの少なくとも 2 つ以上の回路部は一行に配列され、少なくとも 1 つ以上の回路部は前記少なくとも 2 つ以上の回路部の整列方向と交差した方向に配列されることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】

前記配線は、前記第 1 領域と前記第 2 領域との間で屈曲していることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 7】

前記表示領域を囲うように形成される密封材をさらに有することを特徴とする請求項 1 に記載の液晶表示装置。

30

【請求項 8】

前記密封材は、前記ゲート駆動部を覆うことを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 9】

前記密封材は、前記ゲート駆動部の複数の配線の全てを覆うことを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 10】

前記第 1 領域の配線部と前記第 2 領域の配線部との間の距離は、 $300\text{ }\mu\text{m}$ 以下であることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 11】

前記ゲート駆動部は、前記ゲート線のうちの奇数番目のゲート線に接続される第 1 ゲート駆動部と、前記ゲート線のうちの偶数番目のゲート線に接続される第 2 ゲート駆動部とを含むことを特徴とする請求項 1 に記載の液晶表示装置。

40

【請求項 12】

前記第 1 ゲート駆動部と前記第 2 ゲート駆動部は、前記表示領域を間において互いに反対側に位置することを特徴とする請求項 11 に記載の液晶表示装置。

【請求項 13】

基板と、

前記基板上に行列形態に配列された、スイッチング素子を各々含む複数の画素から構成される表示領域と、

50

前記スイッチング素子に接続され、行方向にのびる複数のゲート線と、
前記ゲート線に各々接続され、前記基板上に集積されて形成されるゲート駆動部と、
前記表示領域を囲み、前記ゲート駆動部を覆う密封材とを有し、
前記ゲート駆動部は、個々の回路が整列して並ぶ第1領域と、該第1領域の整列方向と
交差した方向に個々の回路が並ぶ第2領域とを含むことを特徴とする液晶表示装置。

【請求項14】

基板と、
前記基板上に行列形態に配列された、スイッチング素子を各々含む複数の画素から構成
される表示領域と、

前記スイッチング素子に接続され、行方向にのびる複数のゲート線と、
前記表示領域を囲うように形成され、少なくとも1つの角部を含む密封材と、
前記基板上に集積されて形成され、前記密封材によって覆われているゲート駆動部とを
有し、

前記ゲート駆動部は、前記密封材の角部以外の部分にだけ形成されることを特徴とする
液晶表示装置。

【請求項15】

前記ゲート駆動部は、前記ゲート線にゲート信号を伝達する複数の主ゲート駆動回路と
、該主ゲート駆動回路の動作を補助する複数の副ゲート駆動回路とを含むことを特徴とす
る請求項14に記載の液晶表示装置。

【請求項16】

主ゲート駆動回路は、前記表示領域の側部に位置し、前記副ゲート駆動回路は、前記表
示領域の上部または下部に位置することを特徴とする請求項15に記載の液晶表示装置。

【請求項17】

前記主ゲート駆動回路及び前記副ゲート駆動回路は、各々前記ゲート線に接続される回
路部と、該回路部に接続される配線部とを含み、

前記主ゲート駆動回路の配線部と前記副ゲート駆動回路の配線部とは接続されているこ
とを特徴とする請求項15に記載の液晶表示装置。

【請求項18】

前記主ゲート駆動回路は、前記ゲート線のうちの奇数番目のゲート線に接続される第1
部分と、前記ゲート線のうちの偶数番目のゲート線に接続される第2部分とを含むことを
特徴とする請求項15に記載の液晶表示装置。

【請求項19】

前記第1部分と前記第2部分は、前記表示領域を間において互いに反対側に位置するこ
とを特徴とする請求項18に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、特に、表示パネルに集積されたゲート駆動部を外部環
境から効果的に保護することのできる液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、現在最も一般的に使用されている平板表示装置のうちの1つであって
、画素電極及び共通電極などの電場生成電極が形成されている二枚の表示板、及びその間
に注入されている液晶層を含む。液晶表示装置は、電場生成電極に電圧を印加して液晶層
に電場を生成し、これによって液晶層の液晶分子の配向を決定し、入射光の偏光を制御す
ることによって、画像を表示する。

【0003】

液晶表示装置は、また、各画素電極に接続されているスイッチング素子、及びスイッ
チング素子を制御して、画素電極に電圧を印加するためのゲート線及びデータ線などの複数

10

20

30

40

50

の信号線を含む。ゲート線は、ゲート駆動回路が生成したゲート信号を伝達し、データ線は、データ駆動回路が生成したデータ電圧を伝達し、スイッチング素子は、ゲート信号によってデータ電圧を画素電極に伝達する。

【0004】

ゲート駆動部及びデータ駆動部は、チップ形態に構成されて、表示パネルに実装される。しかし、近年では、表示装置の全体的なサイズを縮小して生産性を増大させるために、ゲート駆動部を直接表示パネルに集積する構造のものが開発されてきている。

【発明の開示】

【発明が解決しようとする課題】

【0005】

そこで、本発明は上記従来の液晶表示装置における問題点に鑑みてなされたものであって、本発明の目的は、表示パネルに集積されたゲート駆動部を外部環境から効果的に保護することのできる液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

上記目的を達成するためになされた本発明による液晶表示装置は、基板と、前記基板上に行列形態に配列された、スイッチング素子を各々含む複数の画素から構成される表示領域と、前記スイッチング素子に接続され、行方向にのびる複数のゲート線と、前記ゲート線に各々接続され、前記基板上に集積されて形成されるゲート駆動部とを有し、前記ゲート駆動部は、個々の回路が整列して並ぶ第1領域と、該第1領域の整列方向と交差した方向に個々の回路が並ぶ第2領域とを含むことを特徴とする。

【0007】

前記第2領域は、前記第1領域を間において分割される第3領域と第4領域とを含むことを特徴とする。

前記第1領域と前記表示領域との間の距離は、前記第2領域と前記表示領域との間の距離より長いことを特徴とする。

前記ゲート駆動部は、前記ゲート線に接続される複数の回路部と、該回路部に接続され、信号を伝達する複数の配線からなる配線部とを含むことを特徴とする。

前記複数の回路部のうちの少なくとも2つ以上の回路部は一行に配列され、少なくとも1つ以上の回路部は前記少なくとも2つ以上の回路部の整列方向と交差した方向に配列されることを特徴とする。

前記配線は、前記第1領域と前記第2領域との間で屈曲していることを特徴とする。

前記表示領域を囲うように形成される密封材をさらに有することを特徴とする。

前記密封材は、前記ゲート駆動部を覆うことを特徴とする。

前記密封材は、前記ゲート駆動部の複数の配線の全てを覆うことを特徴とする。

前記第1領域の配線部と前記第2領域の配線部との間の距離は、 $300\mu\text{m}$ 以下であることを特徴とする。

前記ゲート駆動部は、前記ゲート線のうちの奇数番目のゲート線に接続される第1ゲート駆動部と、前記ゲート線のうちの偶数番目のゲート線に接続される第2ゲート駆動部とを含むことを特徴とする。

前記第1ゲート駆動部と前記第2ゲート駆動部は、前記表示領域を間において互いに反対側に位置することを特徴とする。

【0008】

また、上記目的を達成するためになされた本発明による液晶表示装置は、基板と、前記基板上に行列形態に配列された、スイッチング素子を各々含む複数の画素から構成される表示領域と、前記スイッチング素子に接続され、行方向にのびる複数のゲート線と、前記ゲート線に各々接続され、前記基板上に集積されて形成されるゲート駆動部と、前記表示領域を囲み、前記ゲート駆動部を覆う密封材とを有し、前記ゲート駆動部は、個々の回路が整列して並ぶ第1領域と、該第1領域の整列方向と交差した方向に個々の回路が並ぶ第2領域とを含むことを特徴とする。

10

20

30

40

50

【0009】

また、上記目的を達成するためになされた本発明による液晶表示装置は、基板と、前記基板上に行列形態に配列された、スイッチング素子を各々含む複数の画素から構成される表示領域と、前記スイッチング素子に接続され、行方向にのびる複数のゲート線と、前記表示領域を囲うように形成され、少なくとも1つの角部を含む密封材と、前記基板上に集積されて形成され、前記密封材によって覆われているゲート駆動部とを有し、前記ゲート駆動部は、前記密封材の角部以外の部分にだけ形成されることを特徴とする。

【0010】

前記ゲート駆動部は、前記ゲート線にゲート信号を伝達する複数の主ゲート駆動回路と、該主ゲート駆動回路の動作を補助する複数の副ゲート駆動回路とを含むことを特徴とする。 10

主ゲート駆動回路は、前記表示領域の側部に位置し、前記副ゲート駆動回路は、前記表示領域の上部または下部に位置することを特徴とする。

前記主ゲート駆動回路及び前記副ゲート駆動回路は、各々前記ゲート線に接続される回路部と、該回路部に接続される配線部とを含み、前記主ゲート駆動回路の配線部と前記副ゲート駆動回路の配線部とは接続されていることを特徴とする。

前記主ゲート駆動回路は、前記ゲート線のうちの奇数番目のゲート線に接続される第1部分と、前記ゲート線のうちの偶数番目のゲート線に接続される第2部分とを含むことを特徴とする。

前記第1部分と前記第2部分は、前記表示領域を間において互いに反対側に位置することを特徴とする。 20

【発明の効果】

【0011】

本発明に係る液晶表示装置によれば、密封材の角部でも表示パネルに集積されたゲート駆動部を密封材で覆うことができる。したがって、ゲート駆動部を外部環境から効果的に保護することができるという効果がある。

【発明を実施するための最良の形態】

【0012】

次に、本発明に係る液晶表示装置を実施するための最良の形態の具体例を図面を参照しながら説明する。 30

【0013】

しかし、本発明は多様な相違した形態で実現でき、ここで説明する実施形態に限定されない。

図面では、各層及び領域を明確に表現するために、厚さを拡大して示した。明細書全体を通して類似した部分については、同一の図面符号を付けた。層、膜、領域、板などの部分が他の部分の「上」にあるとする時、これは他の部分の「真上」にある場合だけでなく、その中間に他の部分がある場合も意味する。反対に、ある部分が他の部分の「真上」にあるとする時、これはその中間に他の部分がない場合を意味する。

【0014】

まず、図1及び図2を参照して、本発明の一実施形態による液晶表示装置について説明する。 40

図1は、本発明の一実施形態による液晶表示装置のブロック図であり、図2は、本発明の一実施形態による液晶表示装置の1つの画素に対する等価回路図である。

【0015】

図1及び図2を参照すると、本発明の一実施形態による液晶表示装置は、液晶表示板組立体(liquid crystal panel assembly)300、これに接続されている一対のゲート駆動部400及びデータ駆動部500、データ駆動部500に接続されている階調電圧生成部800、そしてこれらを制御する信号制御部600を含む。

【0016】

液晶表示板組立体300は、等価回路で見る時、複数の信号線 ($G_1 \sim G_n$ 、 $D_1 \sim D_m$)、及びこれらに接続され、ほぼ行列形態に配列されている複数の画素 (pixel、PX)を含む。また、液晶表示組立体300は、図2に示すような構造で見る時、互いに対向する下部表示板100及び上部表示板200、及びその間に注入されている液晶層3を含む。

【0017】

信号線は、ゲート信号 (走査信号ともいう) を伝達する複数のゲート線 ($G_1 \sim G_n$) 及びデータ信号を伝達する複数のデータ線 ($D_1 \sim D_m$) を含む。ゲート線 ($G_1 \sim G_n$) は、ほぼ行方向にのびて、互いにほぼ平行であり、データ線 ($D_1 \sim D_m$) は、ほぼ列方向にのびて、互いにほぼ平行である。

10

【0018】

各画素 (PX) は、信号線に接続されているスイッチング素子 (Q)、これに接続されている液晶キャパシタ (liquid crystal capacitor) (Clc) 及びストレージキャパシタ (storage capacitor) (Cst) を含む。ストレージキャパシタ (Cst) は、必要に応じて省略することができる。

【0019】

スイッチング素子 (Q) は、下部表示板100に形成されている薄膜トランジスタなどの三端子素子であって、その制御端子はゲート線 (G_i) に接続されており、入力端子はデータ線 (D_j) に接続されており、出力端子は液晶キャパシタ (Clc) 及びストレージキャパシタ (Cst) に接続されている。

20

【0020】

液晶キャパシタ (Clc) は、下部表示板100の画素電極191及び上部表示板200の共通電極270を2つの端子とし、2つの電極 (191、270) の間の液晶層3は、誘電体として機能する。画素電極191は、スイッチング素子 (Q) に接続されており、共通電極270は、上部表示板200の全面に形成されていて、共通電圧 (Vcom) の印加を受ける。図2とは異なって、共通電極270は、下部表示板100に形成することもでき、この時には、2つの電極 (191、270) のうちの少なくとも1つが線形状または棒形状に形成される。

【0021】

液晶キャパシタ (Clc) の補助的な機能をするストレージキャパシタ (Cst) は、下部表示板100に形成された別個の信号線 (図示せず) 及び画素電極191が絶縁体を間においてオーバーラップして形成され、別個の信号線には、共通電圧 (Vcom) などの電圧が印加される。しかし、ストレージキャパシタ (Cst) は、画素電極191及び真上の前段ゲート線が絶縁体を間においてオーバーラップして形成されてもよい。

30

【0022】

一方、色表示を実現するためには、各画素 (PX) が基本色 (primary color) のうちの1つを固有に表示したり (空間分割)、各画素 (PX) が時間によって交互に基本色を表示するようにして (時間分割)、これら基本色の空間的、時間的合計によって所望の色相が認識されるようにする。基本色の例としては、赤色、緑色、青色などの三原色がある。図2は空間分割の一例として、各画素 (PX) が画素電極191に対応する上部表示板200の領域に基本色のうちの1つを表示するカラーフィルタ230が形成されることを示している。図2とは異なって、カラーフィルタ230は、下部表示板100の画素電極191上または下に形成してもよい。

40

液晶表示板組立体300の外側面には、光を偏光させる少なくとも1つの偏光パネル (フィルム) (図示せず) が装着されている。

【0023】

再び図1を参照すると、階調電圧生成部800は、画素 (PX) の透過率に関する二組の階調電圧の集合 (または基準階調電圧の集合) を生成する。二組のうちの一組は共通電圧 (Vcom) に対して正の値を有し、他の一組は負の値を有する。

【0024】

50

ゲート駆動部400は、液晶表示板組立体300のゲート線($G_1 \sim G_n$)に接続されていて、ゲートオン電圧(V_{on})及びゲートオフ電圧(V_{off})の組み合わせからなるゲート信号をゲート線($G_1 \sim G_n$)に印加する。ゲート駆動部400は、実質的にシフトレジスタであって、一列に配列された複数のステージ(stage)を含み、信号線($G_1 \sim G_n$ 、 $D_1 \sim D_m$)及び薄膜トランジスタスイッチング素子(Q)などと共に同一の工程で液晶表示板組立体300上に形成されて集積されている。

【0025】

データ駆動部500は、液晶表示板組立体300のデータ線($D_1 \sim D_m$)に接続されていて、階調電圧生成部800からの階調電圧を選択し、これをデータ信号としてデータ線($D_1 \sim D_m$)に印加する。しかし、階調電圧生成部800が全ての階調に対する階調電圧を提供せずに、決められた数の基準階調電圧のみを提供する場合には、データ駆動部500は、基準階調電圧を分圧して全ての階調に対する階調電圧を生成し、この中からデータ信号を選択する。

信号制御部600は、ゲート駆動部400及びデータ駆動部500などを制御する。

【0026】

このような駆動装置(500、600、800)の各々は、少なくとも1つの集積回路チップ形態で液晶表示板組立体300上に直接集積させたり、フレキシブル印刷回路膜(flexible printed circuit film)(図示せず)上に装着してTCP(tape carrier package)形態で液晶表示板組立体300に集積させたり、別途の印刷回路基板(printed circuit board)(図示せず)上に集積させることができる。これとは異なって、これら駆動装置(500、600、800)が信号線($G_1 \sim G_n$ 、 $D_1 \sim D_m$)及び薄膜トランジスタスイッチング素子(Q)などと共に液晶表示板組立体300に集積させることもある。また、駆動装置(500、600、800)は、単一チップに集積されることもあり、この場合には、これらのうちの少なくとも1つまたはこれらを構成する少なくとも1つの回路素子が単一チップの外側に位置してもよい。

【0027】

次に、図3を参照して、本発明の他の実施形態による液晶表示装置について説明する。

図3は本発明の他の実施形態による液晶表示装置のブロック図である。

図3を参照すると、本実施形態による液晶表示装置は、液晶表示板組立体(liquid crystal panel assembly)300、及びこれに接続されているゲート駆動部400及びデータ駆動部500、データ駆動部500に接続されている階調電圧生成部800、そしてこれらを制御する信号制御部600を含む。

【0028】

しかし、図3の液晶表示装置は、図1の液晶表示装置とは異なって、1つ行の画素ごとに一對のゲート線($G_1 \sim G_{2n}$)が各々配列されている。

また、ゲート駆動部400は、液晶表示板300の左側及び右側に位置する第1ゲート駆動部400L及び第2ゲート駆動部400Rに分割される。第1ゲート駆動部400Lは、奇数番目のゲート線(G_1 、 G_3 、 $\dots$ 、 G_{2n-1})に接続されており、第2ゲート駆動部400Rは、偶数番目のゲート線(G_2 、 G_4 、 $\dots$ 、 G_{2n})に接続されている。しかし、このような構造に限定されず、第2ゲート駆動部400Rが奇数番目のゲート線(G_1 、 G_3 、 $\dots$ 、 G_{2n-1})に接続されており、第1ゲート駆動部400Lが偶数番目のゲート線(G_2 、 G_4 、 $\dots$ 、 G_{2n})に接続されていてもよい。

【0029】

このように、第1ゲート駆動部400L及び第2ゲート駆動部400Rは、各々液晶表示板組立体300のゲート線($G_1 \sim G_{2n}$)に接続されて、ゲートオン電圧(V_{on})及びゲートオフ電圧(V_{off})の組み合わせからなるゲート信号を各々のゲート線($G_1 \sim G_{2n}$)に印加する。

これによって、液晶表示板組立体300の両側面からゲート線($G_1 \sim G_{2n}$)にゲート信号を印加することができ、ゲート信号がゲート線($G_1 \sim G_{2n}$)の一方で遅延する

10

20

30

40

50

のを防止することができる。したがって、ゲート線 ($G_1 \sim G_{2n}$) の全体にゲート信号をより効果的に伝達することができる。

【0030】

それでは、このような液晶表示装置の動作について詳細に説明する。

信号制御部600は、外部のグラフィック制御器(図示せず)から入力画像信号(R、G、B)及びその表示を制御する入力制御信号の入力を受ける。入力制御信号の例としては、垂直同期信号(Vsync)及び水平同期信号(Hsync)、メインクロック信号(MCLK)、データイネーブル信号(DE)などがある。

【0031】

信号制御部600は、入力画像信号(R、G、B)及び入力制御信号に基づいて入力画像信号(R、G、B)を液晶表示板組立体300の動作条件に合うように適切に処理して、ゲート制御信号(CONT1)及びデータ制御信号(CONT2)などを生成した後、ゲート制御信号(CONT1)をゲート駆動部400に出力し、データ制御信号(CONT2)及び処理したデジタル画像信号(DAT)をデータ駆動部500に出力する。 10

【0032】

ゲート制御信号(CONT1)は、走査開始を指示する走査開始信号(STV)、及びゲートオン電圧(Von)の出力周期を制御する少なくとも1つのクロック信号を含む。ゲート制御信号(CONT1)は、また、ゲートオン電圧(Von)の持続時間を限定する出力イネーブル信号(OE)をさらに含むことができる。

【0033】

データ制御信号(CONT2)は、1つの行[束]の画素(PX)に対する画像データの伝送開始を知らせる水平同期開始信号(STH)、データ線($D_1 \sim D_m$)にデータ信号の印加を指示するロード信号(LOAD)、及びデータクロック信号(HCLK)を含む。データ制御信号(CONT2)は、また、共通電圧(Vcom)に対するデータ信号の電圧極性(以下、「共通電圧に対するデータ信号の電圧極性」を略して「データ信号の極性」とする)を反転させる反転信号(RVS)をさらに含むことができる。 20

【0034】

データ駆動部500は、信号制御部600からのデータ制御信号(CONT2)によって、1つの行[束]の画素(PX)に対するデジタル画像信号(DAT)の入力を受けて、各デジタル画像信号(DAT)に対応する階調電圧を選択することによって、デジタル画像信号(DAT)をアナログデータ信号に変換した後、これを当該データ線($D_1 \sim D_m$)に印加する。 30

【0035】

ゲート駆動部400は、信号制御部600からのゲート制御信号(CONT1)によって、ゲートオン電圧(Von)をゲート線($G_1 \sim G_{2n}$)に印加して、ゲート線($G_1 \sim G_{2n}$)に接続されたスイッチング素子(Q)を導通させる。そうすると、データ線($D_1 \sim D_m$)に印加されたデータ信号が導通したスイッチング素子(Q)を通じて当該画素(PX)に印加される。

【0036】

画素(PX)に印加されたデータ信号の電圧及び共通電圧(Vcom)の差は、液晶キャパシタ(Clc)の充電電圧、つまり画素電圧として現れる。液晶分子は、画素電圧の大きさによってその配向が異なり、それによって液晶層3を通過する光の偏光が変化する。このような偏光の変化は、表示板組立体300に装着された偏光フィルムによって光の透過率の変化として現れる。 40

【0037】

1水平周期[1Hともいい、水平同期信号(Hsync)及びデータイネーブル信号(DE)の一周期と同一である]を単位にしてこのような過程を繰り返すことによって、全てのゲート線($G_1 \sim G_{2n}$)に順次にゲートオン電圧(Von)を印加し、全ての画素(PX)にデータ信号を印加して、1つのフレーム(frame)の画像を表示する。

【0038】

1つのフレームが終わると次のフレームが始まって、各画素（PX）に印加されるデータ信号の極性が直前のフレームで印加されるデータ信号の極性と反対になるように、データ駆動部500に印加される反転信号（RVS）の状態が制御される（フレーム反転）。この時、1つのフレーム内でも反転信号（RVS）の特性によって1つのデータ線を通じて流れるデータ信号の極性が反転したり（例：行反転、点反転）、1つの行の画素に印加されるデータ信号の極性が互いに反転することがある（例：列反転、点反転）。

【0039】

それでは、本発明の一実施形態による液晶表示板組立体、及び液晶表示板組立体に形成されるゲート駆動部について、図4～図9を参照して詳細に説明する。

図4は、本発明の一実施形態による液晶表示板組立体を示した平面図であり、図5は図4の液晶表示板組立体のV-V線に沿って見た断面図であり、図6は図4の液晶表示板組立体の1つの角部を拡大して詳細に示した平面図である。

10

【0040】

図4～図6を参照すると、本発明の一実施形態による液晶表示板組立体は、薄膜トランジスタ表示板100、共通電極表示板200、これら2つの表示板（100、200）の間に注入されている液晶層3、及び液晶層3を密封する密封材310を含む。

液晶表示板組立体300は、画像を表示する表示領域（DA）、及び表示領域（DA）の一側面の周辺領域（PA）に分割される。

周辺領域（PA）の基板110には、データ線（ $D_1 \sim D_m$ ）に接続されるデータ駆動部（図示せず）が装着される。

20

【0041】

表示領域（DA）の基板110には、ゲート線（ $G_1 \sim G_n$ ）、ゲート線（ $G_1 \sim G_n$ ）と交差するデータ線（ $D_1 \sim D_m$ ）、ゲート線（ $G_1 \sim G_n$ ）及びデータ線（ $D_1 \sim D_m$ ）に接続されている薄膜トランジスタ（図示せず）、薄膜トランジスタに接続されている画素電極191などが形成される。

表示領域（DA）の両側周辺には、ゲート駆動部400（400L、400R）が集積されて形成されている。ゲート駆動部400は、複数のゲート駆動回路410からなる。また、ゲート駆動部400は、ゲート駆動回路410が一行に整列している第1領域400a、及び第1領域400aの整列方向と交差した方向にゲート駆動回路410が並ぶ第2領域400bを含む。第2領域400bは、第1領域400aを間において上下2つの部分に分割されている。

30

【0042】

第2領域400bには、少なくとも1つのゲート駆動回路410が、第1領域400aのゲート駆動回路410より表示領域（DA）側に近く位置している。第2領域400bで最も上に位置しているゲート駆動回路410と第1領域400aのゲート駆動回路410との間の距離（D）は、 $300\mu\text{m}$ 以下であるのが好ましい。

表示領域（DA）の周囲には、密封材310が形成されており、密封材310の角部311は、工程上丸く処理されたり面取りされて形成される。

【0043】

ゲート駆動部400の第2領域400bの位置は、密封材310の角部311の位置とほぼ一致する。したがって、ゲート駆動部400は、密封材310によって覆われる。それによって、ゲート駆動部400が外部環境に露出して腐蝕が発生するのを防止することができる。

40

特に、ゲート駆動部400のうちの表示領域（DA）と反対側の部分410aは、密封材310の角部311を含む全ての部分が密封材310で完全に覆われている。

【0044】

共通電極表示板200は、密封材310によって薄膜トランジスタ表示板100と合着されている。共通電極表示板200の基板210には、遮光層220が形成されており、遮光層220上（図5上では下に）には、共通電極270が形成されている。基板210及び共通電極270の間にカラーフィルタ（図示せず）が形成されている。しかし、カラ

50

ーフィルタは、薄膜トランジスタ表示板 100 に形成されていてもよい。

【0045】

次に、図 7 及び図 8 を参照して、本発明の他の実施形態による液晶表示板組立体について詳細に説明する。

図 7 は本発明の他の実施形態による液晶表示板組立体を示した平面図であり、図 8 は図 7 の液晶表示板組立体の 1 つの角部を拡大して詳細に示した平面図である。

図 7 の断面の形態は図 5 の形態とほぼ同一であるので、同一の図面符号を使用して説明する。

【0046】

図 7 及び図 5、図 8 を参照すると、本発明の他の実施形態による液晶表示板組立体は、
10 薄膜トランジスタ表示板 100、共通電極表示板 200、これら 2 つの表示板 (100、
200) の間に注入されている液晶層 3、及び液晶層 3 を密封する密封材 310 を含む。

液晶表示板組立体 300 は、画像を表示する表示領域 (DA)、及び表示領域 (DA) の一側面の周辺領域 (PA) に分割される。

周辺領域 (PA) の基板 110 には、データ線 ($D_1 \sim D_m$) に接続されるデータ駆動部 500 が装着される。

【0047】

表示領域 (DA) の基板 110 には、ゲート線 ($G_1 \sim G_n$)、ゲート線 ($G_1 \sim G_n$) と交差するデータ線 ($D_1 \sim D_m$)、ゲート線 ($G_1 \sim G_n$) 及びデータ線 ($D_1 \sim D_m$) に接続されている薄膜トランジスタ (図示せず)、薄膜トランジスタに接続されている
20 画素電極 (図示せず) などが形成される。

周辺領域 (PA) には、ゲート駆動部 (400L、400R、400D) が集積されて形成されている。ゲート駆動部 (400L、400R、400D) は、複数のゲート駆動回路 410 からなる。

【0048】

より具体的に説明すれば、表示領域 (DA) の両側の周辺領域 (PA) には、第 1 ゲート駆動部 400L 及び第 2 ゲート駆動部 400R が形成されており、表示領域 (DA) の下部の周辺領域 (PA) には、第 3 ゲート駆動部 400D が形成されている。表示領域 (DA) の上部の周辺領域 (PA) には、データ駆動部 500 及び表示領域 (DA) を接続する信号線 (SL) が形成されている。
30

【0049】

第 1 ゲート駆動部 400L 及び第 2 ゲート駆動部 400R は、表示領域 (DA) に形成されているゲート線 ($G_1 \sim G_n$) に接続されて、ゲート線 ($G_1 \sim G_n$) にゲート信号を実質的に印加する部分である。第 3 ゲート駆動部 400D は、第 1 ゲート駆動部 400L 及び第 2 ゲート駆動部 400R が形成されている周辺領域 (PA) との段差を補償するためのダミー (dummy) 駆動部である。したがって、第 3 ゲート駆動部 400D は、表示領域 (DA) のゲート線 ($G_1 \sim G_n$) に接続されていない。

表示領域 (DA) の上部の周辺領域 (PA) には、データ線 ($D_1 \sim D_m$) 及びデータ駆動部 500 を接続する信号線 (SL) が形成されているので、段差を補償する必要がない。
40

【0050】

図 7 では、データ駆動部 500 が表示領域 (DA) の上部の周辺領域 (PA) に位置し、第 3 ゲート駆動部 400D が表示領域 (DA) の下部の周辺領域 (PA) に位置することを示したが、これらの上下関係は互いに変更されてもよい。

一方、第 1 ゲート駆動部 400L 及び第 2 ゲート駆動部 400R は、各々第 3 ゲート駆動部 400D に接続されている。

【0051】

表示領域 (DA) の周囲には、密封材 310 が形成されており、密封材 310 の角部 311 は、工程上丸く処理されたり面取りされて形成される。密封材 310 の角部 311 には、ゲート駆動部 400 が形成されていない。つまり、密封材 310 のうちの表示領域 (DA) の
50

DA)の直線部分に平行な部分312に沿って第1ゲート駆動部400L及び第2ゲート駆動部400Rが形成されており、密封材310のうちの表示領域(DA)の直線部分に平行な部分312から屈曲した角部311には、ゲート駆動部400が形成されていない。したがって、密封材310全体でゲート駆動部400の全部分が完全に覆われる。それにより、ゲート駆動部400が外部環境に露出されて腐蝕が発生するのを防止することができる。

【0052】

共通電極表示板200は、密封材310によって薄膜トランジスタ表示板100と合着されている。共通電極表示板200の基板210には、遮光層220が形成されており、遮光層220上には、共通電極270が形成されている。基板210及び共通電極270の間にカラーフィルタ(図示せず)が形成されている。しかし、カラーフィルタは、薄膜トランジスタ表示板100に形成されていてもよい。

10

【0053】

次に、図9及び図10を参照して、本発明の一実施形態による液晶表示板組立体のゲート駆動部400について詳細に説明する。

図9は本発明の一実施形態によるゲート駆動部のブロック図であり、図10は本発明の一実施形態によるゲート駆動部用シフトレジスタのj番目のステージの回路図である。

【0054】

図9及び図10を参照すると、ゲート駆動部400であるシフトレジスタ400L、400Rには、第1及び第2走査開始信号(LSTV、RSTV)、第1～第4クロック信号(LCLK1、RCLK1、LCLK2、RCLK2)が入力される。各シフトレジスタ400L、400Rは、ゲート線に各々接続されている複数のステージ[ST1～ST(j+3)]を含む。複数のステージ[ST1～ST(j+3)]は、互いに従属的に接続されていて、第1及び第2走査開始信号(LSTV、RSTV)、第1～第4クロック信号(LCLK1、RCLK1、LCLK2、RCLK2)の入力を受ける。

20

【0055】

左側のシフトレジスタ400Lに入力される第1走査開始信号(LSTV)及び右側のシフトレジスタ400Rに入力される第2走査開始信号(RSTV)は、幅が1Hである複数のパルスをもつ1つのフレームに1つ含む、1つのフレーム周期の信号である。

各シフトレジスタ400L、400Rで隣接する2つのステージ[ST1、ST2～ST(j+2)、ST(j+3)]には、互いに異なるクロック信号(LCLK1、RCLK1、LCLK2、RCLK2)が入力される。例えば、左側のシフトレジスタ400Lの第1ステージ(ST1)には第1クロック信号(LCLK1)が入力され、第2ステージ(ST3)には第3クロック信号(LCLK2)が入力され、右側のシフトレジスタ400Rの第1ステージ(ST2)には第2クロック信号(RCLK1)、第2ステージ(ST4)には第4クロック信号(RCLK2)が入力される。

30

【0056】

各クロック信号(LCLK1、RCLK1、LCLK2、RCLK2)は、ハイレベルである場合には画素のスイッチング素子(Q)を駆動することができるゲートオン電圧(Von)であり、ローレベルである場合にはゲートオフ電圧(Voff)であるのが好ましい。

40

各ステージ[ST1、ST2～ST(j+2)、ST(j+3)]は、セット端子(S)、ゲート電圧端子(GV)、一対のクロック端子(CK1、CK2)、リセット端子(R)、フレームリセット端子(FR)、そしてゲート出力端子(OUT1)及びキャリア出力端子(OUT2)を有している。

【0057】

各ステージ、例えばj番目のステージ(STj)のセット端子(S)には、前段ステージ[ST(j-2)]のキャリア信号、つまり前段キャリア信号[Cout(j-2)]が入力され、リセット端子(R)には、後段ステージ[ST(j+2)]のゲート信号、つまり後段ゲート信号[Gout(j+2)]が入力され、クロック端子(CK1、CK

50

2) には、クロック信号 (LCLK1、LCLK2) が入力され、ゲート電圧端子 (GV) には、ゲートオフ電圧 (Voff) が入力される。ゲート出力端子 (OUT1) は、ゲート信号 [Gout(j)] を出力し、キャリア出力端子 (OUT2) は、キャリア信号 [Cout(j)] を出力する。

【0058】

但し、各シフトレジスタ400L、400Rの第1ステージのセット端子(S)には、前段キャリア信号の代わりに、走査開始信号(LSTV、RSTV)が入力される。また、j番目のステージ(STj)のクロック端子(CK1)にクロック信号(LCLK1)が入力され、クロック端子(CK2)にクロック信号(LCLK2)が入力される場合、これに隣接する(j-2)番目及び(j+2)番目のステージ[ST(j-2)、ST(j+2)]のクロック端子(CK1)には、クロック信号(LCLK2)が入力され、クロック端子(CK2)には、クロック信号(LCLK1)が入力される。

【0059】

図10を参照すると、本発明の一実施形態によるゲート駆動部400の各ステージ、例えばj番目のステージは、入力部420、プルアップ駆動部430、プルダウン駆動部440、及び出力部450を含む。これらは、少なくとも1つ以上のNMOSトランジスタ(T1~T14)を含み、プルアップ駆動部430及び出力部450は、キャパシタ(C1~C3)をさらに含む。しかし、NMOSトランジスタの代わりに、PMOSトランジスタを含むこともできる。また、キャパシタ(C1~C3)は、実際に工程時に形成されるゲート及びドレイン/ソースの間の寄生容量(parasitic capacitance)でありうる。

【0060】

入力部420は、セット端子(S)及びゲート電圧端子(GV)に順次に直列に接続されている3つのトランジスタ(T11、T10、T5)を含む。トランジスタ(T11、T5)のゲートはクロック端子(CK2)に接続されており、トランジスタ(T10)のゲートはクロック端子(CK1)に接続されている。トランジスタ(T11)及びトランジスタ(T10)の間の接続点は接続点(J1)に接続されており、トランジスタ(T10)及びトランジスタ(T5)の間の接続点は接続点(J2)に接続されている。

【0061】

プルアップ駆動部430は、セット端子(S)及び接続点(J1)の間に接続されているトランジスタ(T4)、クロック端子(CK1)及び接続点(J3)の間に接続されているトランジスタ(T12)、そしてクロック端子(CK1)及び接続点(J4)の間に接続されているトランジスタ(T7)を含む。トランジスタ(T4)のゲート及びドレインはセット端子(S)に共通で接続されており、ソースは接続点(J1)に接続されており、トランジスタ(T12)のゲート及びドレインはクロック端子(CK1)に共通で接続されており、ソースは接続点(J3)に接続されている。トランジスタ(T7)のゲートは接続点(J3)に接続されると同時にキャパシタ(C1)を通じてクロック端子(CK1)に接続されており、ドレインはクロック端子(CK1)に接続されており、ソースは接続点(J4)に接続されており、接続点(J3)及び接続点(J4)の間にキャパシタ(C2)が接続されている。

【0062】

プルダウン駆動部440は、ソースを通じてゲートオフ電圧(Voff)の入力を受けて、ドレインを通じて接続点(J1、J2、J3、J4)に出力する複数のトランジスタ(T6、T9、T13、T8、T3、T2)を含む。トランジスタ(T6)のゲートはフレームリセット端子(FR)に接続されており、ドレインは接続点(J1)に接続されており、トランジスタ(T9)のゲートはリセット端子(R)に接続されており、ドレインは接続点(J1)に接続されており、トランジスタ(T13、T8)のゲートは接続点(J2)に共通で接続されており、ドレインは各々接続点(J3、J4)に接続されている。また、トランジスタ(T3)のゲートは接続点(J4)に接続されており、トランジスタ(T2)のゲートはリセット端子(R)に接続されており、2つのトランジスタ(T3

10

20

30

40

50

、T 2) のドレインは接続点 (J 2) に接続されている。

【0063】

出力部 450 は、ドレイン及びソースが各々クロック端子 (CLK 1) 及び出力端子 (OUT 1、OUT 2) の間に接続されており、ゲートが接続点 (J 1) に接続されている一対のトランジスタ (T 1、T 14)、及びトランジスタ (T 1) のゲート及びドレインの間、つまり接続点 (J 1) 及び接続点 (J 2) の間に接続されているキャパシタ (C 3) を含む。トランジスタ (T 1) のソースも接続点 (J 2) に接続されている。

【0064】

それでは、このようなステージの動作について説明する。

説明の便宜上、クロック信号 (CLK 1、CLK 2、CLK 1、CLK 2) の 10
ハイレベルに相当する電圧を高電圧とし、クロック信号 (CLK 1、CLK 2、CLK 1、CLK 2) のローレベルに相当する電圧はゲートオフ電圧 (V_{off}) と同一で、これを低電圧とする。

【0065】

まず、クロック信号 (CLK 2) 及び前段キャリア信号 [Cout (j - 2)] がハイレベルになると、トランジスタ (T 11、T 5) 及びトランジスタ (T 4) が導通する。そうすると、2つのトランジスタ (T 11、T 4) は高電圧を接続点 (J 1) に伝達し、トランジスタ (T 5) は低電圧を接続点 (J 2) に伝達する。これによって、トランジスタ (T 1、T 14) が導通して、クロック信号 (CLK 1) が出力端子 (OUT 1、OUT 2) に出力されるが、この時、接続点 (J 2) の電圧及びクロック信号 (CLK 1) が 20
全て低電圧であるので、出力電圧 [Gout (j)、Cout (j)] は低電圧になる。これと同時に、キャパシタ (C 3) は、高電圧及び低電圧の差に相当する大きさの電圧を充電する。

【0066】

この時、クロック信号 (CLK 1) 及び後段ゲート信号 [Gout (j + 2)] はローレベルであり、接続点 (J 2) もローレベルであるので、これにゲートが接続されているトランジスタ (T 10、T 9、T 12、T 13、T 8、T 2) は、全て遮断された状態である。

【0067】

次に、クロック信号 (CLK 2) がローレベルになると、トランジスタ (T 11、T 5) が遮断され、これと同時に、クロック信号 (CLK 1) がハイレベルになると、トランジスタ (T 1) の出力電圧及び接続点 (J 2) の電圧が高電圧になる。この時、トランジスタ (T 10) のゲートには高電圧が印加されるが、接続点 (J 2) に接続されているソースの電位も同一な高電圧であるので、ゲート及びソースの間の電位差が 0 になり、トランジスタ (T 10) は、遮断された状態を維持する。したがって、接続点 (J 1) は浮遊状態になり、それによって、キャパシタ (C 3) によって高電圧の分だけ電位がさらに上昇する。 30

【0068】

一方、クロック信号 (CLK 1) 及び接続点 (J 2) の電位が高電圧であるので、トランジスタ (T 12、T 13、T 8) が導通する。この状態で、トランジスタ (T 12) 及びトランジスタ (T 13) が高電圧及び低電圧の間で直列に接続され、それによって接続点 (J 3) の電位は、2つのトランジスタ (T 12、T 13) の導通時の抵抗状態の抵抗値によって分圧された電圧値を有する。しかし、トランジスタ (T 13) の導通時の抵抗状態の抵抗値が、トランジスタ (T 12) の導通時の抵抗状態の抵抗値に比べて非常に大きく、例えば約 10, 000 倍程度に設定されているとすれば、接続点 (J 3) の電圧は高電圧とほぼ同一である。したがって、トランジスタ (T 7) が導通してトランジスタ (T 8) に直列に接続され、それによって接続点 (J 4) の電位は、2つのトランジスタ (T 7、T 8) の導通時の抵抗状態の抵抗値によって分圧された電圧値を有する。 40

【0069】

この時、2つのトランジスタ (T 7、T 8) の導通時の抵抗状態の抵抗値がほぼ同一に 50

設定されていれば、接続点（J 4）の電位は、高電圧及び低電圧の中間値を有し、それによって、トランジスタ（T 3）は遮断された状態を維持する。この時、後段ゲート信号〔G o u t（j + 2）〕が依然としてローレベルであるので、トランジスタ（T 9、T 2）も遮断された状態を維持する。したがって、出力端子（O U T 1、O U T 2）は、クロック信号（C L K 1）にだけ接続され、低電圧とは遮断されて、高電圧を出力する。

一方、キャパシタ（C 1）及びキャパシタ（C 2）は、両端の電位差に相当する電圧を各々充電するが、接続点（J 3）の電圧が接続点（J 5）の電圧より低い。

【0070】

次に、後段ゲート信号〔G o u t（j + 1）〕及びクロック信号（C L K 2）がハイレベルになってクロック信号（C L K 1）がローレベルになると、トランジスタ（T 9、T 2）が導通して低電圧を接続点（J 1、J 2）に伝達する。この時、接続点（J 1）の電圧は、キャパシタ（C 3）が放電して低電圧に低下するが、キャパシタ（C 3）の放電時間によって、低電圧に完全に低下するにはある程度の時間が必要である。

【0071】

したがって、2つのトランジスタ（T 1、T 1 4）は、後段ゲート信号〔G o u t（j + 1）〕がハイレベルになってもしばらくの間は導通した状態を維持するようになり、それによって出力端子（O U T 1、O U T 2）がクロック信号（C L K 1）に接続されて、低電圧を出力する。次に、キャパシタ（C 3）が完全に放電されて、接続点（J 1）の電位が低電圧になると、トランジスタ（T 1 4）が遮断されて、出力端子（O U T 2）がクロック信号（C L K 1）と遮断されるので、キャリアー信号〔C o u t（j）〕は浮遊状態になって、低電圧を維持する。これと同時に、出力端子（O U T 1）は、トランジスタ（T 1）が遮断されてもトランジスタ（T 2）を通じて低電圧に接続されるので、引続き低電圧を出力する。

【0072】

一方、トランジスタ（T 1 2、T 1 3）が遮断されるので、接続点（J 3）が浮遊状態になる。また、接続点（J 5）の電圧が接続点（J 4）の電圧より低下するが、キャパシタ（C 1）によって接続点（J 3）の電圧が接続点（J 5）の電圧より低い状態を維持するので、トランジスタ（T 7）は遮断される。これと同時に、トランジスタ（T 8）も遮断される状態になるので、接続点（J 4）の電圧もその分だけ低下して、トランジスタ（T 3）も遮断された状態を維持する。また、トランジスタ（T 1 0）は、ゲートがクロック信号（C L K 1）の低電圧に接続され、接続点（J 2）の電圧もローレベルであるので、遮断された状態を維持する。

【0073】

次に、クロック信号（C L K 1）がハイレベルになると、トランジスタ（T 1 2、T 7）が導通し、接続点（J 4）の電圧が上昇して、トランジスタ（T 3）を導通させて、低電圧を接続点（J 2）に伝達するので、出力端子（O U T 1）は、引続き低電圧を出力する。つまり、たとえ後段ゲート信号〔G o u t（j + 1）〕がローレベルであっても接続点（J 2）の電圧が低電圧になるようにする。

【0074】

一方、トランジスタ（T 1 0）のゲートがクロック信号（C L K 1）の高電圧に接続され、接続点（J 2）の電圧が低電圧であるので、トランジスタ（T 1 0）は、導通して、接続点（J 2）の低電圧を接続点（J 1）に伝達する。一方、2つのトランジスタ（T 1、T 1 4）のドレインには、クロック端子（C K 1）が接続されるので、クロック信号（C L K 1）が引続き印加される。特に、トランジスタ（T 1）は、他のトランジスタに比べて相対的に大きく形成され、これによって、ゲート及びドレインの間の寄生容量が大きくなり、ドレイン電圧の変化がゲート電圧に影響を与えることがある。

【0075】

したがって、クロック信号（C L K 1）がハイレベルになる時、ゲート及びドレインの間の寄生容量ために、ゲート電圧が上昇して、トランジスタ（T 1）が導通されることもある。したがって、接続点（J 2）の低電圧を接続点（J 1）に伝達することによって、

トランジスタ (T 1) のゲート電圧を低電圧に維持して、トランジスタ (T 1) が導通するのを防止する。

【0076】

その後、前段キャリア信号 [C o u t (j - 2)] がハイレベルになるまで接続点 (J 1) の電圧は低電圧を維持し、接続点 (J 2) の電圧は、クロック信号 (C L K 1) がハイレベルであり、クロック信号 (C L K 2) がローレベルである場合には、トランジスタ (T 3) を通じて低電圧になり、その反対の場合には、トランジスタ (T 5) を通じて低電圧を維持する。

【0077】

一方、トランジスタ (T 6) は最後のダミーステージ (図示せず) で発生する初期化信号 (I N T) の入力を受けて、ゲートオフ電圧 (V o f f) を接続点 (J 1) に伝達して、接続点 (J 1) の電圧をもう 1 度低電圧に設定する。 10

【0078】

このような方式で、ステージ (S T j) は、前段キャリア信号 [C o u t (j - 2)] 及び後段ゲート信号 [G o u t (j + 2)] に基づいてクロック信号 (L C L K 1、L C L K 2) に同期してキャリア信号 [C o u t (j)] 及びゲート信号 [G o u t (j)] を生成する。

【0079】

それでは、図 4 及び図 7 に示したゲート駆動部 4 0 0 の薄膜トランジスタ表示板 1 0 0 上の配置について、図 1 1 及び図 1 2 を参照して詳細に説明する。 20

図 1 1 は図 4 に示したゲート駆動部 4 0 0 の概略的な配置図であり、図 1 2 は図 7 に示したゲート駆動部 4 0 0 の概略的な配置図である。

【0080】

図 1 1 を参照すると、本発明によるゲート駆動部 4 0 0 は、上記で説明したステージ [S T 1 ~ S T (j + 3)] からなる回路部 (C S)、及びこれらステージ [S T 1 ~ S T (j + 3)] に入力される各種信号 (V o f f、L C K V 1、R C K V 1、L C K V 2、R C K V 2、I N T) を伝達する配線部 (L S) を含む。但し、図 1 1 では、表示領域 (D A) の左側に形成されている第 1 ゲート駆動部 4 0 0 L のみを示した。

【0081】

配線部 (L S) は、ゲートオフ電圧 (V o f f) を伝達するゲートオフ電圧線 (S L 1)、第 1 及び第 2 クロック信号 (L C K V 1、R C K V 1、L C K V 2、R C K V 2) を各々伝達する第 1 クロック信号線 (S L 2) 及び第 2 クロック信号線 (S L 3)、及び初期化信号 (I N T) を伝達する初期化信号線 (S L 4) を含む。 30

【0082】

各信号線 (S L 1 ~ S L 4) は、主に縦方向にのびていて、ゲートオフ電圧線 (S L 1)、第 1 及び第 2 クロック信号線 (S L 2、S L 3)、及び初期化信号線 (S L 4) の順序で左側から順次に配列されて、第 1 ゲート駆動部 4 0 0 L のシフトレジスタに近づく。ゲートオフ電圧線 (S L 1) 及び初期化信号線 (S L 4) の配列は互いに変更されてもよい。また、これら信号線 (S L 1 ~ S L 4) は、ステージ (S T 1、S T 3、S T 5、S T 7) に向かって横にのびた接続線を有しているが、ゲートオフ電圧線 (S L 1) 及び初期化信号線 (S L 4) は、各々 1 つのステージ (S T 1、S T 3、S T 5、S T 7) に 1 つずつ接続線が形成されており、第 1 クロック信号線 (S L 2) 及び第 2 クロック信号線 (S L 3) は、ステージ (S T 1、S T 3、S T 5、S T 7) の境界付近に位置して交互に 1 つずつ接続線が形成されている。 40

【0083】

回路部 (C S) において、各ステージ (S T 1、S T 3、S T 5、S T 7)、第 1 ステージ (S T 1) 内のトランジスタ (T 1 ~ T 1 3、T 1 5) の配置を見ると、前段ステージに近い左側上には、前段キャリア信号 [C o u t (j - 1)] が入力されるトランジスタ (T 4) が配置されており、上に横方向にのびた第 1 クロック信号線 (S L 2) の接続線に沿って第 1 クロック信号 (L C K V 1) の入力を受けるトランジスタ (T 1、T 1 5 50

）が配置されており、トランジスタ（T 1 5）の下にも第 1 クロック信号（L C K V 1）の入力を受けるトランジスタ（T 7、T 1 0、T 1 2）が配置されている。

【0084】

また、下から上に形成された第 2 クロック信号線（S L 3）の接続線に接続されて、第 2 クロック信号（L C K V 2）の入力を受けるトランジスタ（T 1 1、T 5）が左側下に配置されており、左側から形成された初期化信号線（S L 4）の接続線に接続されて、初期化信号（I N T）の入力を受けるトランジスタ（T 6）が最も左側に配置されている。これと共に、下に横方向にのびたゲートオフ電圧線（S L 1）の接続線に沿ってゲートオフ電圧（V o f f）の入力を受けるトランジスタ（T 2、T 3、T 8、T 9、T 1 3）が配置されている。

10

【0085】

これに隣接する第 2 ステージ（S T 3）の場合、第 1 クロック信号線（S L 2）及び第 1 クロック信号（L C K V 1）が第 2 クロック信号線（S L 3）及び第 2 クロック信号（L C K V 2）に変更され、反対に、第 2 クロック信号線（S L 3）及び第 2 クロック信号（L C K V 2）が第 1 クロック信号線（S L 2）及び第 1 クロック信号（C K V）に変更されるという点を除いては、各トランジスタの配置は第 1 ステージ（S T 1）と同一である。

【0086】

回路部（C S）及び配線部（L S）の一部は一行に配列されていて、他の一部はこれと交差する方向に配列されている。つまり、第 1 ステージ（S T 1）及び表示領域（D A）の間の距離が最も短く、第 2 ステージ（S T 3）及び表示領域（D A）の間の距離がその次に短く、第 3 ステージ（S T 5）及び表示領域（D A）の間の距離が最も長い。第 4 ステージ（S T 7）以降のステージは第 3 ステージ（S T 5）と一行に配列されている。

20

【0087】

それによって、第 3 ステージ（S T 5）以下のステージに隣接する配線部（L S）は、一行に配列されている。しかし、第 2 ステージ（S T 3）に隣接する配線部（L S）は、表示領域（D A）に向かって屈曲して第 3 ステージ（S T 5）に隣接する配線部（L S）で交差しており、第 1 ステージ（S T 1）に隣接する配線部（L S）は、表示領域（D A）に向かって屈曲して第 2 ステージ（S T 3）に隣接する配線部（L S）で交差している。

30

【0088】

したがって、ゲート駆動部 400 は、ステージが一行に整列して並ぶ第 1 領域 400 a、及び第 1 領域 400 a のステージが並ぶ方向と交差する方向にステージが並ぶ第 2 領域 400 b に分割されていて、第 1 及び第 2 ステージ（S T 1、S T 3）及びこれに隣接する配線部（L S）は第 2 領域 400 b を構成し、第 3 ステージ及び第 4 ステージ（S T 5、S T 7）及びこれに隣接する配線部（L S）は第 1 領域 400 a を構成する。

図 11 には詳細に示さなかったが、図 4 に示したように、ゲート駆動部 400 の下部分も図 11 と同様な形態からなる。

本発明によれば、密封材の角部でも表示パネルに集積されたゲート駆動部を密封材で覆うことができる。したがって、ゲート駆動部を外部環境から効果的に保護することができる。

40

【0089】

図 12 を参照すると、本発明によるゲート駆動部 400 は、上記で説明したステージ [S T 1 ~ S T (j + 3)] からなる回路部（C S）、及びこれらステージ [S T 1 ~ S T (j + 3)] に入力される各種信号（V o f f、L C K V 1、R C K V 1、L C K V 2、R C K V 2、I N T）を伝達する配線部（L S）を含む。但し、図 12 では、表示領域（D A）の左側に形成されている第 1 ゲート駆動部 400 L 及び第 3 ゲート駆動部 400 D の一部を示した。

【0090】

配線部（L S）は、ゲートオフ電圧（V o f f）を伝達するゲートオフ電圧線（S L 1

50

）、第1及び第2クロック信号（LCKV1、RCKV1、LCKV2、RCKV2）を各々伝達する第1及び第2クロック信号線（SL2、SL3）、及び初期化信号（INT）を伝達する初期化信号線（SL4）を含む。各信号線（SL1～SL4）は、主に縦方向にのびていて、ゲートオフ電圧線（SL1）、第1及び第2クロック信号線（SL2、SL3）、及び初期化信号線（SL4）の順序で左側から順次に配列されて、順次に第1ゲート駆動部400Lのシフトレジスタに近づく。

【0091】

ゲートオフ電圧線（SL1）及び初期化信号線（SL4）の配列は互いに変更されてもよい。また、これら信号線（SL1～SL4）は、ステージ（ST1、ST3、ST5）に向かって横にのびた接続線を有しているが、ゲートオフ電圧線（SL1）及び初期化信号線（SL4）は、各々1つのステージ（ST1、ST3、ST5）に1つずつ接続線が形成されており、第1及び第2クロック信号線（SL2、SL3）は、ステージ（ST1、ST3、ST5）の境界付近に位置して交互に1つずつ接続線が形成されている。

10

【0092】

回路部（CS）において、各ステージ（ST1、ST3、ST5）、第1ステージ（ST1）内のトランジスタ（T1～T13、T15）の配置を見ると、前段ステージに近い左側上には、前段キャリー信号〔Cout（j-1）〕が入力されるトランジスタ（T4）が配置されており、上に横方向にのびた第1クロック信号線（SL2）の接続線に沿って第1クロック信号（LCKV1）の入力を受けるトランジスタ（T1、T15）が配置されており、トランジスタ（T15）の下にも第1クロック信号（LCKV1）の入力を受けるトランジスタ（T7、T10、T12）が配置されている。

20

【0093】

また、下から上に形成された第2クロック信号線（SL3）の接続線に接続されて、第2クロック信号（LCKV2）の入力を受けるトランジスタ（T11、T5）が左側下に配置されており、左側から形成された初期化信号線（SL4）の接続線に接続されて、初期化信号（INT）の入力を受けるトランジスタ（T6）が最も左側に配置されている。これと共に、下に横方向にのびたゲートオフ電圧線（SL1）の接続線に沿って、ゲートオフ電圧（Voff）の入力を受けるトランジスタ（T2、T3、T8、T9、T13）が配置されている。

【0094】

これに隣接する第2ステージ（ST3）の場合、第1クロック信号線（SL2）及び第1クロック信号（LCKV1）が第2クロック信号線（SL3）及び第2クロック信号（LCKV2）に変更され、反対に、第2クロック信号線（SL3）及び第2クロック信号（LCKV2）が第1クロック信号線（SL2）及び第1クロック信号（CKV）に変更されるという点を除いては、各トランジスタの配置は第1ステージ（ST1）と同一である。第3ステージ（ST5）に対する説明は省略する。

30

表示領域（DA）に接続されている第1ゲート駆動部400Lの配線部（LS）及び表示領域（DA）に接続されていない第3ゲート駆動部400Dの配線部（LS）は、互いに接続されている。

【0095】

第1ゲート駆動部400Lは、上記で説明した駆動方法によって作動し、例えば最も下に位置しているゲート駆動回路から作動する。この時、上記で説明したように、ステージ（ST1～ST5）は、前段キャリー信号及び後段ゲート信号に基づいて、クロック信号に同期して自己キャリー信号及び自己ゲート信号を生成する。この時、最初に駆動されるステージ（ST1）は、前段キャリー信号の代わりに初期化信号の入力を受け、初期化信号は、ダミーステージ（STD1～STD3）から伝達を受けることができる。また、ステージ（ST1）が最後に駆動される場合には、自己キャリー信号を後段ステージに伝達することができる。したがって、ゲート駆動部400から出力されるゲート信号のエラーを防止することができる。

40

【0096】

50

しかし、本発明による液晶表示装置は、密封材 310 の角部にゲート駆動回路が位置しないので、ダミーステージ（STD1～STD3）の機能をするゲート駆動回路が必要である。したがって、第1ゲート駆動部400Lのうちの最初に駆動される最も下のゲート駆動回路の配線部（LS）及び第3ゲート駆動部400Dの第1ダミーステージ（STD）の配線部（LS）を接続すれば、第3ゲート駆動部400Dの最初のゲート駆動回路の回路部（CS）、つまり、ダミーステージ（STD1）をダミーステージとして利用することができる。第1ダミーステージ（STD1）に隣接するダミーステージは、STD2、STD3と表示した。

したがって、第3ゲート駆動部400Dは、基板110の段差を補償する機能をすると同時に、第1ゲート駆動部400L及び第2ゲート駆動部400Rの駆動を補助する機能をする。 10

【0097】

尚、本発明は、上述の実施形態に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【図面の簡単な説明】

【0098】

【図1】本発明の一実施形態による液晶表示装置のブロック図である。

【図2】本発明の一実施形態による液晶表示装置の1つの画素に対する等価回路図である。

。 【図3】本発明の他の実施形態による液晶表示装置のブロック図である。 20

【図4】本発明の一実施形態による液晶表示板組立体の平面図である。

【図5】図4に示した液晶表示板組立体をV-V線に沿って見た断面図である。

【図6】図4に示した液晶表示板組立体の一部を詳細に示した平面図である。

【図7】本発明の他の実施形態による液晶表示板組立体の平面図である。

【図8】図7に示した液晶表示板組立体の一部を詳細に示した平面図である。

【図9】本発明の一実施形態によるゲート駆動部のブロック図である。

【図10】図9に示したゲート駆動部用シフトレジスタのj番目のステージの回路図の一例である。

【図11】図4に示したゲート駆動部の概略的な配置図である。

【図12】図7に示したゲート駆動部の概略的な配置図である。 30

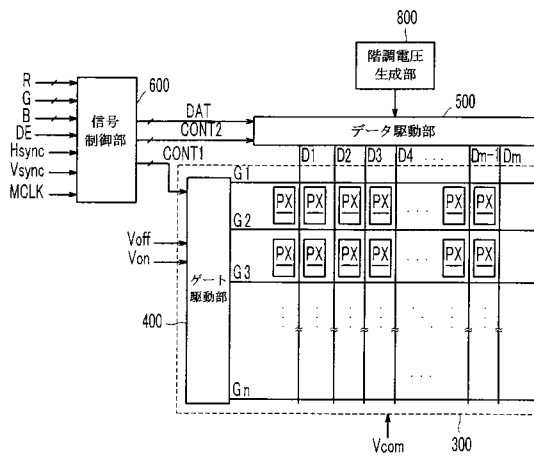
【符号の説明】

【0099】

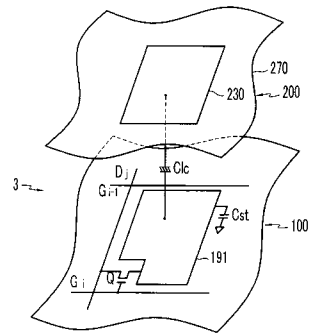
3	液晶層
110、210	基板
100	下部表示板（薄膜トランジスタ表示板）
191	画素電極
200	上部表示板（共通電極表示板）
220	遮光層
230	カラーフィルタ
270	共通電極
300	液晶表示板組立体
310	密封材
311	角部
400	ゲート駆動部、
400a	第1領域
400b	第2領域
400R、400L、	（第1～第2）ゲート駆動部（シフトレジスタ）
400D	第3ゲート駆動部
410	ゲート駆動回路
420	入力部

4 3 0	プルアップ駆動部
4 4 0	プルダウン駆動部
4 5 0	出力部
5 0 0	データ駆動部
6 0 0	信号制御部
8 0 0	階調電圧生成部

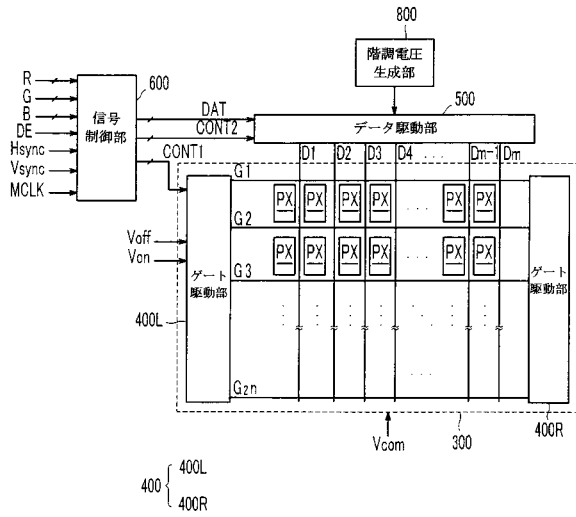
【図 1】



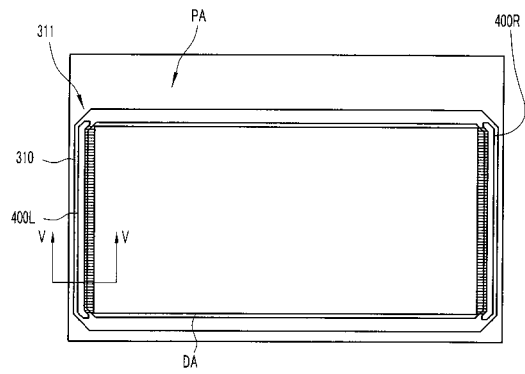
【図 2】



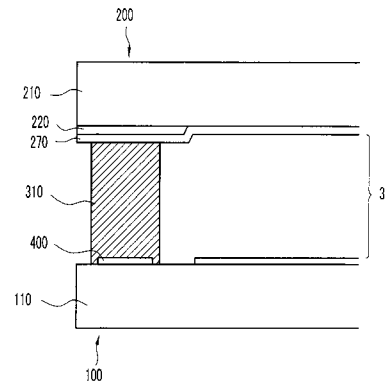
【図 3】



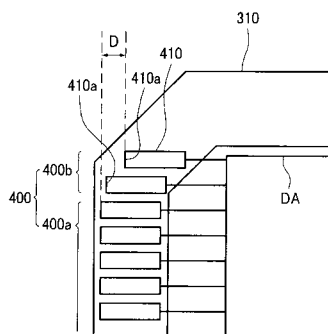
【図 4】



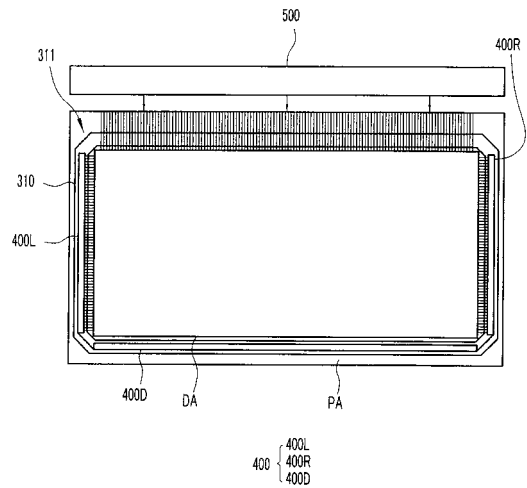
【図 5】



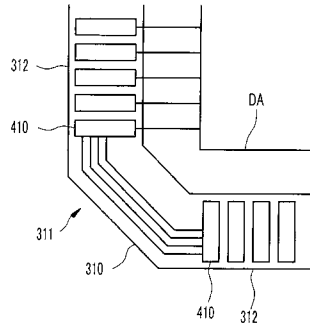
【図 6】



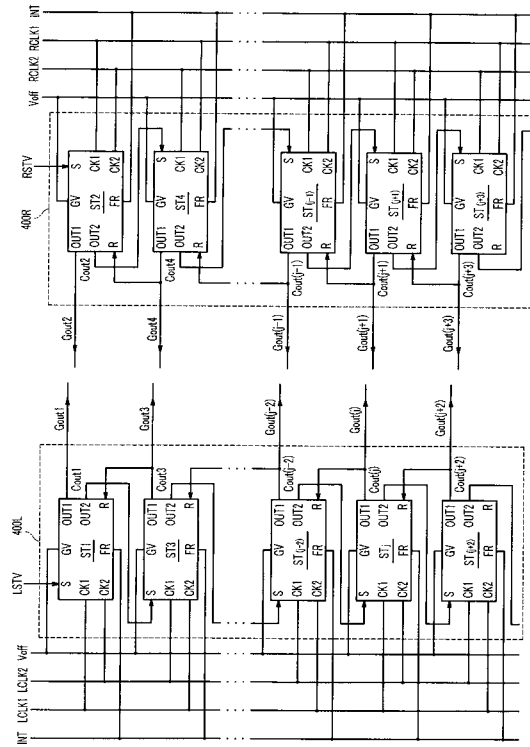
【図 7】



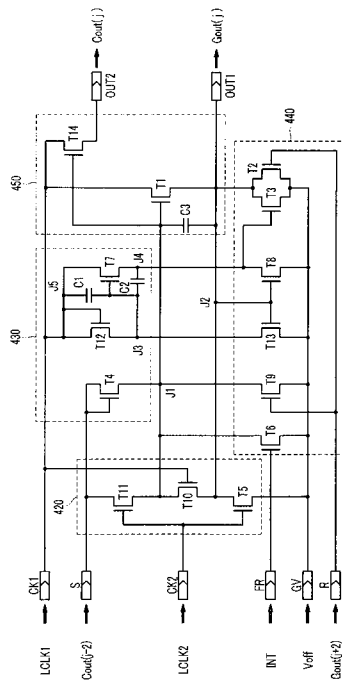
【図 8】



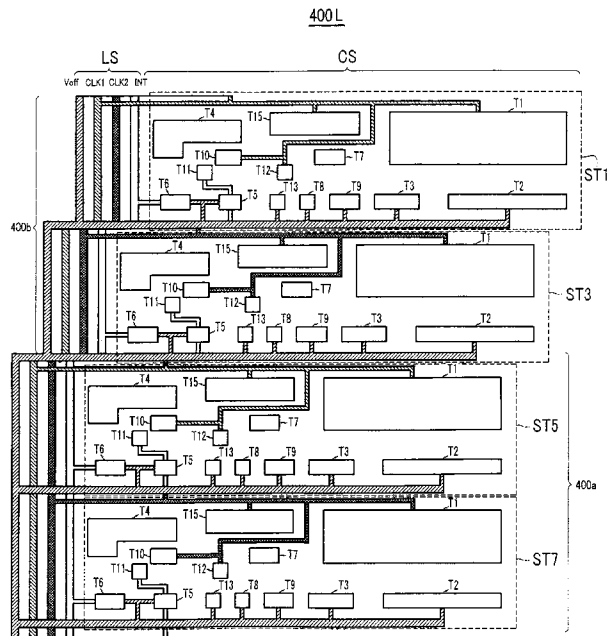
【図 9】



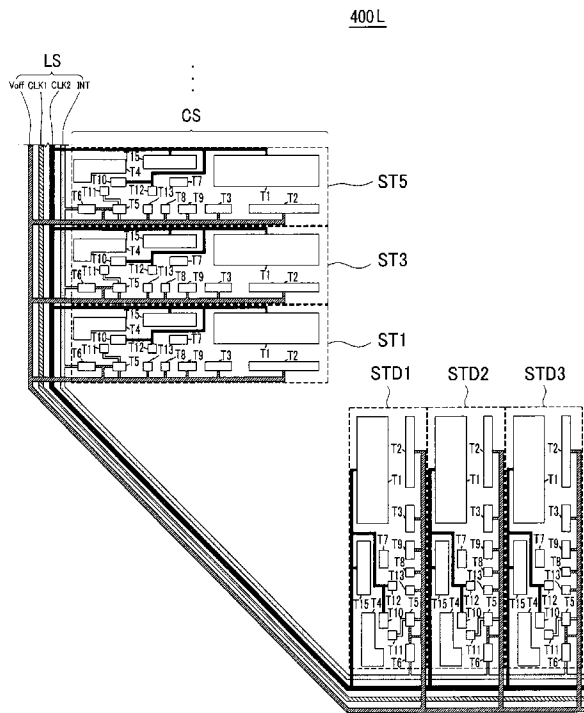
【図 10】



【図 11】



【図 12】



フロントページの続き

(72)発明者 鄭 基 勳

大韓民国 ソウル市 城北区 敦岩2洞 韓進アパート 210棟 1802号

Fターム(参考) 2H092 GA33 GA51 GA59 JA24 JB21 JB61 KB26 NA17 PA06

5C094 AA31 BA03 BA43 CA19

专利名称(译)	液晶表示装置		
公开(公告)号	JP2007193340A	公开(公告)日	2007-08-02
申请号	JP2007009199	申请日	2007-01-18
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	梁容豪 尹柱善 鄭基勳		
发明人	梁 容 豪 尹 柱 善 鄭 基 勳		
IPC分类号	G02F1/1345 G02F1/1368 G09F9/30		
CPC分类号	G09G3/3677 G09G2300/0408 G09G2300/0426 G09G2310/0281 G02F1/136286 G02F1/1368 G09G2300/0809 H01L33/52		
FI分类号	G02F1/1345 G02F1/1368 G09F9/30.338 G11C19/00 G11C19/00.J G11C19/28.D G11C19/28.230		
F-TERM分类号	2H092/GA33 2H092/GA51 2H092/GA59 2H092/JA24 2H092/JB21 2H092/JB61 2H092/KB26 2H092/NA17 2H092/PA06 5C094/AA31 5C094/BA03 5C094/BA43 5C094/CA19 2H192/AA24 2H192/EA22 2H192/EA43 2H192/FA44 2H192/FA81 2H192/FB03 2H192/FB33 5B074/AA10 5B074/CA01		
优先权	1020060005260 2006-01-18 KR 1020060016105 2006-02-20 KR		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种液晶显示装置，其能够有效地保护集成在显示面板中的栅极驱动部不受外部环境的影响。根据本发明的液晶显示装置包括：基板；在基板上排列成矩阵的多个像素，每个像素包括开关元件；以及连接到该开关元件并沿行方向延伸的多个像素。栅极线和连接至该栅极线并集成在基板上的栅极驱动器，其中该栅极驱动器与第一区域和第一区域对准。它包括与该区域相交的第二个区域。[选择图]图6

