

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-3967

(P2007-3967A)

(43) 公開日 平成19年1月11日(2007.1.11)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 510	5C006
G09G 3/20 (2006.01)	G02F 1/133 550	5C080
	G09G 3/20 621A	
	G09G 3/20 623B	
審査請求 未請求 請求項の数 5 O L (全 22 頁) 最終頁に続く		

(21) 出願番号 特願2005-186013 (P2005-186013)

(22) 出願日 平成17年6月27日 (2005.6.27)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(74) 代理人 100104695

弁理士 島田 明宏

(72) 発明者 笹川 真希

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(72) 発明者 尾崎 正実

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(72) 発明者 津田 拓也

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

最終頁に続く

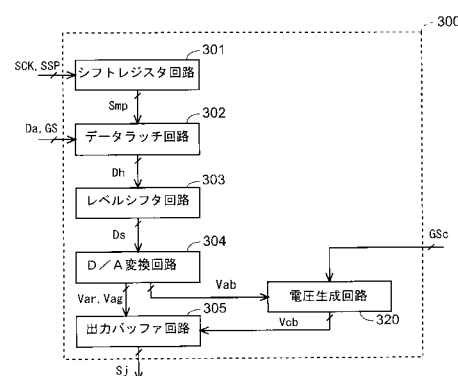
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】映像信号線時分割駆動方式を採用しつつ、隣接する映像信号線間の寄生容量等による表示色のずれやにじみなどの悪影響を簡単な装置構成で低減または解消する。

【解決手段】本液晶パネルに備えられる1組3個のアナログスイッチの寄生容量を適宜な値に設定することで各映像信号線間の寄生容量による電位変動量を所望の値に設定する。このことにより、赤および緑の画素形成部に繋がる映像信号線の上記寄生容量による電位変動量が等しく設定される。また本映像信号線駆動回路300の電圧生成回路320から上記電位変動量を加えた補正電圧信号Vcbに対応する電圧が青の画素形成部に繋がる映像信号線に印加される。これらのことにより、簡単な装置構成で、各映像信号線の電位変動量をほぼ等しくすることができるので、結果として全画面にわたる表示色のずれやにじみなどの表示品質の悪化を低減または解消することができる。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

表示すべき画像を形成するための複数の画素形成部と、前記表示すべき画像を示す複数の映像信号を前記複数の画素形成部に伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線とを備え、前記複数の画素形成部が前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置されたアクティブマトリクス型の表示装置であって、

前記複数の走査信号線を選択的に駆動する走査信号線駆動回路と、

3 以上の映像信号線を 1 組として前記複数の映像信号線をグループ化することにより得られる複数組の映像信号線群にそれぞれ対応する複数の出力端子を有し、各出力端子に対応する映像信号線群によって伝達されるべき映像信号を所定期間内における時分割で当該出力端子から出力する映像信号出力回路と、

前記映像信号出力回路の各出力端子に対応する映像信号線群内のいずれかの映像信号線に接続することにより当該接続された映像信号線と前記走査信号線駆動回路により選択される走査信号線とに繋がる画素形成部に前記映像信号を与えると共に、各出力端子が接続される映像信号線に対応する映像信号線群内で前記時分割に応じて切り換える接続切換回路と

を備え、

前記接続切換回路は、前記 1 組とされる映像信号線群のうち、前記出力端子に接続された後の前記所定期間内に、隣接する映像信号線の電位変化に応じて電位変化を生じる 2 以上の映像信号線の電位変化量がほぼ等しくなるよう、予め定められた値となる寄生容量を有しており、

前記映像信号出力回路は、前記出力端子に接続された後の前記所定期間内に、隣接する映像信号線の電位変化に応じて電位変化を生じない映像信号線によって伝達されるべき映像信号の電圧を、前記電位変化量とほぼ等しい量で補正することを特徴とする表示装置。

【請求項 2】

前記接続切換回路は、前記各映像信号線にそれぞれ対応するよう接続され、1 以上のトランジスタからなる複数のアナログスイッチを含み、

前記複数のアナログスイッチは、接続される映像信号線に応じて寄生容量が異なる 2 種類以上のトランジスタを含むことを特徴とする、請求項 1 に記載の表示装置。

【請求項 3】

前記トランジスタは、所定の面積を有するドレイン領域およびソース領域と、前記ドレイン領域およびソース領域の間に設けられ所定の幅および長さを有するゲート領域とからなり、

前記複数のアナログスイッチは、接続される映像信号線に応じて、前記ゲート領域の幅方向に沿った前記ドレイン領域および前記ソース領域の長さが異なる 2 種類以上のトランジスタを含むことを特徴とする、請求項 2 に記載の表示装置。

【請求項 4】

前記映像信号出力回路は、

所定のサンプリングパルスを出力するシフトレジスタ回路と、

前記シフトレジスタ回路から出力されるサンプリングパルスを受け取ることにより、前記表示すべき画像を示す複数の映像信号に含まれる前記画素形成部に与えられるべき画素値を示すデータをラッチするデータラッチ回路と、

前記データラッチ回路によりラッチされたデジタルデータをアナログ電圧信号に変換し出力する D/A 変換回路と、

前記 D/A 変換回路から出力される前記アナログ電圧信号を前記出力端子に接続される映像信号線に出力する出力バッファ回路と、

前記 D/A 変換回路から出力される前記アナログ電圧信号のうち、前記出力端子に接続された後の前記所定期間内に隣接する映像信号線の電位変化に応じて電位変化を生じない映像信号線によって伝達されるべき映像信号に対応するアナログ信号の電圧に、前記電

10

20

30

40

50

位変化量とほぼ等しい電位変化量を加えた電圧を有する信号である補正電圧信号を出力する電圧生成回路と

を含み、

前記出力バッファ回路は、前記電圧生成回路から出力される前記補正電圧信号を前記出力端子から出力することを特徴とする、請求項 1 に記載の表示装置。

【請求項 5】

前記映像信号出力回路は、所定の 3 原色を表示する 3 種類の画素形成部にそれぞれ繋がる 3 つの隣り合う映像信号線を 1 組として前記複数の映像信号線をグループ化することにより得られる複数の映像信号線群にそれぞれ対応する複数の出力端子を有し、各出力端子に対応する映像信号線群によって伝達されるべき映像信号を時分割で当該出力端子から出力することを特徴とする、請求項 1 から請求項 4 までのいずれか 1 つに記載の表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス型の表示装置に関し、更に詳しくは、表示すべき画像を形成するための複数の画素形成部に映像信号を伝達するための多数の映像信号線が複数本（例えば 3 本）を 1 組として複数の映像信号線群にグループ化され、グループ化された映像信号線群毎に駆動回路から時分割で映像信号が出力される表示装置に関する。

【背景技術】

20

【0002】

近年、表示装置における表示画像の高精細化の進展が顕著である。このため、例えばアクティブマトリクス型液晶表示装置のように、表示すべき画像の解像度に応じた数の信号線（列電極または行電極）を必要とする表示装置では、表示画像の高精細化に伴って単位長さ当たりの信号線数（電極数）が膨大となる。その結果、それらの信号線に信号を印加する駆動回路の実装において、駆動回路の出力端子と表示パネルの信号線との接続部のピッチ（以下「接続ピッチ」という）が極めて小さなものとなる。このような表示画像の高精細化に伴う接続ピッチの狭小化の傾向は、カラー液晶表示装置のように R（赤）、G（緑）、B（青）の隣接 3 画素を表示単位とするカラー表示装置の場合には、映像信号線（列電極）とその駆動回路（「列電極駆動回路」、「データ線駆動回路」または「映像信号線駆動回路」と呼ばれる）との接続部において特に顕著となる。

30

【0003】

このような問題を解決するために、2 本以上の映像信号線（例えば R、G、B の隣接 3 画素に対応する 3 本の映像信号線）を 1 組として映像信号線をグループ化し、各組を構成する複数の映像信号線に映像信号線駆動回路の 1 つの出力端子を割り当て、画像表示における 1 水平走査期間内において各組内の映像信号線に時分割的に映像信号を印加するように構成された液晶表示装置が従来より提案されている（例えば特開平 6-138851 号公報参照）。

【0004】

図 2（a）は、このような方式（以下「映像信号線時分割駆動方式」という）のアクティブマトリクス型液晶表示装置における映像信号線とその駆動回路（以下「映像信号線駆動回路」という）との接続部の構成を模式的に示している。この図に示した例では、映像信号線 Ls が 3 本を 1 組としてグループ化されており、各組を構成する映像信号線群に対して映像信号線駆動回路 300 の出力端子 TS1、TS2、TS3、…が 1 つずつ対応づけられている。そして、映像信号線駆動回路 300 の各出力端子 TS1、TS2、TS3、…に対応するグループ化された 3 本の映像信号線との間には、切換スイッチが設けられている。各切換スイッチは、映像信号線 Ls 毎に設けられ一端が映像信号線 Ls に接続されたアナログスイッチ SW1、SW2、SW3、…のうち隣接する 3 個のアナログスイッチ SW（3j-2）、SW（3j-1）、SW3j から構成される（j=1, 2, 3, …）。各切換スイッチを構成する 3 個のアナログスイッチ SW（3j-2）、SW（3j-1）、SW3j から構成される（j=1, 2, 3, …）。

40

50

1) , SW3j の他端は互いに接続されて、その切換スイッチに対応する映像信号線駆動回路300の出力端子TSjに接続されている。これらの切換スイッチは、例えば、この表示装置における液晶パネル基板に形成される薄膜トランジスタ(TFT:Thin Film Transistor)によるアナログスイッチによって実現される。

【0005】

図4は、この映像信号線時分割駆動方式の液晶表示装置における走査信号G1, G2, G3, …、各切換スイッチの制御信号(以下「切換制御信号」という)GSa~GSc、および映像信号線SL1~SL6に印加される映像信号を示すタイミングチャートである。ここで、走査信号Gkがハイレベル(Hレベル)のときにはk番目の走査信号線が選択され、走査信号Gkがローレベル(Lレベル)のときにはk番目の走査信号線が非選択の状態であるものとする(k=1, 2, 3, …)。また、各切換スイッチは、切換制御信号GSaがHレベル(であって切換制御信号GSb, GScがLレベル)のときには、映像信号線駆動回路300の各出力端子TSjはそれに対応する3本の映像信号線のうち(図4の)左側の映像信号線Lsに接続され、切換制御信号GSbがHレベル(であって切換制御信号GSa, GScがLレベル)のときには、映像信号線駆動回路300の各出力端子TSjはそれに対応する3本の映像信号線のうち中央の映像信号線に接続され、切換制御信号GScがHレベル(であって切換制御信号GSa, GSbがLレベル)のときには、映像信号線駆動回路300の各出力端子TSjはそれに対応する3本の映像信号線のうち右側の映像信号線に接続されるものとする。

10

【0006】

このように、この液晶表示装置では、1水平走査期間すなわち1本の走査信号線が選択されている期間内において、各出力端子TSjが接続される映像信号線が切り換わり、各組を構成する3本の映像信号線のうち、各水平走査期間を第1から第3までの期間に3等分したときの第1の期間では左側の映像信号線に、各水平走査期間の第2の期間では中央の映像信号線に、各水平走査期間の第3の期間では右側の映像信号線に、映像信号線駆動回路から映像信号がそれぞれ印加される。これにより、各映像信号線Lsは、その映像信号線Lsに映像信号線駆動回路300の出力端子TSjが接続されている間に、その出力端子TSjから出力される映像信号の電圧に充電され、その映像信号線と選択されている走査信号線との交差点に対応する画素形成部Pxにその電圧の値が画素値として書き込まれる。

20

30

【0007】

上記のような映像信号線時分割駆動方式の液晶表示装置では、各組を構成する映像信号線の本数すなわち切換スイッチによる時分割数に応じて、各映像信号線への充電時間が短くなり、上記時分割数をmとすれば、各映像信号線の充電時間は映像信号線時分割駆動方式でない通常の液晶表示装置の場合の1/mとなる(図2に示した例では1/3となる)。しかし、上記時分割数をmとする切換スイッチを液晶パネル基板に形成することにより、映像信号線駆動回路の出力端子と映像信号線との接続ピッチを通常の液晶表示装置の場合のm倍にすることができる。また、このような構成により、1つの液晶パネルの駆動に複数の集積回路チップ(ICチップ)からなる映像信号線駆動回路が使用される場合には、そのチップの個数を減らすことができる。このような映像信号線時分割駆動方式による利点は広く知られており、このための映像信号線のグループ化は、R(赤)、G(緑)、B(青)の隣接3画素に映像信号を伝達する3本の映像信号線を1組としてグループ化されることが多い。

40

【特許文献1】特開平6-138851号公報

【特許文献2】特開平6-250146号公報

【特許文献3】特開2000-2867号公報

【特許文献4】特開2003-58119号公報

【特許文献5】特開2003-233086号公報

【発明の開示】

【発明が解決しようとする課題】

50

【0008】

しかし、このような映像信号線時分割駆動方式の液晶表示装置は、隣接する映像信号線間の寄生容量のため、画素形成部 P x に書き込まれるべき映像信号の電圧に変動が生じる。以下、この現象について図を参照して説明する。

【0009】

図7は、図4に示した上記従来の液晶表示装置の映像信号線 S L 3 ~ S L 5 に印加される映像信号の電位変化を詳細に示す図である。なお、説明のため、図では上記寄生容量等により生じる電圧変動量を実際の変動量よりも大きく示している。ここで、映像信号線 S L 4 の電位変化に着目すると、時刻 t 1 において映像信号線駆動回路から映像信号が映像信号線 S L 4 に印加されることにより、映像信号線 S L 4 の電位は所望の電位となる。理想的にはこの電位が保持されることにより、対応する画素形成部 P x にその電圧の値が画素値として書き込まなければならない。

10

【0010】

しかし、時刻 t 2 において、映像信号線 S L 5 に映像信号線駆動回路から映像信号が印加されると、映像信号線 S L 5 の電位変化に応じて、保持されるべき映像信号線 S L 4 の電位も変化する。これは、映像信号線 S L 4 と S L 5 とが容量結合しているからである。この隣接する映像信号線間の寄生容量には、信号線間の直接的な容量や、画素形成部を介して形成される間接的な容量などが含まれる。

【0011】

そして、映像信号線 S L 3 および S L 4 も同様に容量結合しているので、時刻 t 3 において映像信号線 S L 3 に映像信号線駆動回路から映像信号が印加されると、映像信号線 S L 3 の電位変化に応じて映像信号線 S L 4 の電位が変化する。この結果、理想的には保持されるべき電位と実際の電位とに電位差 $\Delta V 4$ が生じることにより、表示色（ここでは赤色および緑色）のずれやにじみなどの好ましくない影響が生じる。

20

【0012】

ここで、1 水平走査期間は時刻 t 1 から時刻 t 4 までの期間であるから、時刻 t 3 に映像信号線 S L 3 に映像信号線駆動回路から映像信号が印加された後に変化した電圧値は、対応する画素形成部 P x に画素値として書き込まれることはない。よって、青色のずれは生じない。

【0013】

なお、本明細書における表示色のずれとは、（装置外部から与えられた）本来の理想的な表示色における赤（R）、緑（G）、青（B）の輝度バランス（輝度比率）が崩れている状態をいい、このバランスが保たれたままで、それぞれの輝度が増加または減少する場合には、表示色のずれは視感上生じないものとする。

30

【0014】

以上のような電位差 $\Delta V 4$ は時刻 t 7 における映像信号線 S L 4 でも同様に生じ、また、映像信号線 S L 5 の電位も同様の理由により理想的には保持されるべき電位と実際の電位とに電位差 $\Delta V 5$ が生じるので、結果的に表示色のずれやにじみなどの好ましくない影響は全画面にわたって生じる。

【0015】

この点、隣り合う画素形成部の画素電極間の寄生容量が各表示行において異なる値となるよう設定された液晶パネルを有する従来の液晶表示装置がある（例えば特開 2003-233086 号公報を参照）。この構成により、上記表示色のずれやにじみなどの好ましくない影響が全画面にわたって散らばるため、この好ましくない影響は全体として視感上低減される。

40

【0016】

しかし、この従来の液晶表示装置では、隣り合う画素形成部における互いの画素電極の距離が異なるように配置された特殊な液晶パネルを使用する必要があるため、装置構成が複雑となり製造コストもかかる。

【0017】

50

そこで本発明では、上記のような映像信号線時分割駆動方式を採用しつつ、隣接する映像信号線間の寄生容量等により生じる全画面にわたる表示色のずれやにじみなどの表示品質の悪化を簡単な装置構成で低減または解消することができる表示装置を提供することを目的とする。

【課題を解決するための手段】

【0018】

第1の発明は、表示すべき画像を形成するための複数の画素形成部と、前記表示すべき画像を示す複数の映像信号を前記複数の画素形成部に伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線とを備え、前記複数の画素形成部が前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置されたアクティブマトリクス型の表示装置であって、

前記複数の走査信号線を選択的に駆動する走査信号線駆動回路と、

3以上の映像信号線を1組として前記複数の映像信号線をグループ化することにより得られる複数組の映像信号線群にそれぞれ対応する複数の出力端子を有し、各出力端子に対応する映像信号線群によって伝達されるべき映像信号を所定期間内における時分割で当該出力端子から出力する映像信号出力回路と、

前記映像信号出力回路の各出力端子に対応する映像信号線群内のいずれかの映像信号線に接続することにより当該接続された映像信号線と前記走査信号線駆動回路により選択される走査信号線とに繋がる画素形成部に前記映像信号を与えると共に、各出力端子が接続される映像信号線に対応する映像信号線群内で前記時分割に応じて切り換える接続切換回路と

を備え、

前記接続切換回路は、前記1組とされる映像信号線群のうち、前記出力端子に接続された後の前記所定期間内に、隣接する映像信号線の電位変化に応じて電位変化を生じる2以上の映像信号線の電位変化量がほぼ等しくなるよう、予め定められた値となる寄生容量を有しており、

前記映像信号出力回路は、前記出力端子に接続された後の前記所定期間内に、隣接する映像信号線の電位変化に応じて電位変化を生じない映像信号線によって伝達されるべき映像信号の電圧を、前記電位変化量とほぼ等しい量で補正することの特徴とする。

【0019】

第2の発明は、第1の発明において、

前記接続切換回路は、前記各映像信号線にそれぞれ対応するよう接続され、1以上のトランジスタからなる複数のアナログスイッチを含み、

前記複数のアナログスイッチは、接続される映像信号線に応じて寄生容量が異なる2種類以上のトランジスタを含むことを特徴とする。

【0020】

第3の発明は、第2の発明において、

前記トランジスタは、所定の面積を有するドレイン領域およびソース領域と、前記ドレイン領域およびソース領域の間に設けられ所定の幅および長さを有するゲート領域とからなり、

前記複数のアナログスイッチは、接続される映像信号線に応じて、前記ゲート領域の幅方向に沿った前記ドレイン領域および前記ソース領域の長さが異なる2種類以上のトランジスタを含むことを特徴とする。

【0021】

第4の発明は、第1の発明において、

前記映像信号出力回路は、

所定のサンプリングパルスを出力するシフトレジスタ回路と、

前記シフトレジスタ回路から出力されるサンプリングパルスを受け取ることにより、前記表示すべき画像を示す複数の映像信号に含まれる前記画素形成部に与えられるべき画素値を示すデータをラッチするデータラッチ回路と、

10

20

30

40

50

前記データラッチ回路によりラッチされたデジタルデータをアナログ電圧信号に変換し出力するD/A変換回路と、

前記D/A変換回路から出力される前記アナログ電圧信号を前記出力端子に接続される映像信号線に出力する出力バッファ回路と、

前記D/A変換回路から出力される前記アナログ電圧信号のうち、前記出力端子に接続された後の前記所定期間内に隣接する映像信号線の電位変化に応じて電位変化を生じない映像信号線によって伝達されるべき映像信号に対応するアナログ信号の電圧に、前記電位変化量とほぼ等しい電位変化量を加えた電圧を有する信号である補正電圧信号を出力する電圧生成回路と

を含み、

前記出力バッファ回路は、前記電圧生成回路から出力される前記補正電圧信号を前記出力端子から出力することを特徴とする。

【0022】

第5の発明は、第1から第4までのいずれか1つの発明において、

前記映像信号出力回路は、所定の3原色を表示する3種類の画素形成部にそれぞれ繋がる3つの隣り合う映像信号線を1組として前記複数の映像信号線をグループ化することにより得られる複数組の映像信号線群にそれぞれ対応する複数の出力端子を有し、各出力端子に対応する映像信号線群によって伝達されるべき映像信号を時分割で当該出力端子から出力することを特徴とする。

【発明の効果】

【0023】

第1の発明によれば、まず接続切換回路の寄生容量を予め適宜な値に定めることにより、出力端子に接続された後の所定期間内に隣接する映像信号線の電位変化に応じて電位変化を生じる2以上の映像信号線の電位変化量をほぼ等しくする。さらに、出力端子に接続された後の所定期間内に隣接する映像信号線の電位変化に応じて電位変化を生じない映像信号線によって伝達されるべき映像信号の電圧を、映像信号出力回路により上記電位変化量とほぼ等しい量で補正する。これらの構成によって、結果として全ての映像信号線ではほぼ等しい量の電位変化が生じるので、このことから、簡単な装置構成で全画面にわたる（例えば表示色のずれやにじみ、縦すじなどの）表示品質の悪化を低減または解消することができる。

【0024】

第2の発明によれば、接続切換回路が1つ以上のトランジスタからなる複数のアナログスイッチからなり、複数のアナログスイッチが、接続される映像信号線に応じて寄生容量が異なる2種類以上のトランジスタを含むので、このトランジスタの寄生容量、例えばゲート・ドレイン間やソース・ドレイン間の寄生容量を適宜に設定することにより、簡単に上記隣接する映像信号線の電位変化に応じて電位変化を生じる映像信号線の電位変化量をほぼ等しくすることができる。

【0025】

第3の発明によれば、複数のアナログスイッチが、接続される映像信号線に応じてゲート領域の幅方向に沿ったドレイン領域およびソース領域の長さが異なる2種類以上のトランジスタを含むので、上記長さを適宜に設定することにより、接続される映像信号線に応じた適宜の寄生容量を設計上容易に設定することができる。

【0026】

第4の発明によれば、電圧生成回路により、出力端子に接続された後の所定期間内に隣接する映像信号線の電位変化に応じて電位変化を生じない映像信号線によって伝達されるべき映像信号に対応するアナログ信号の電圧が補正される。このようにD/A変換回路から出力されるアナログ電圧信号の電圧を基準とすることにより、誤差のない正確な補正動作を行うことができる。

【0027】

第5の発明によれば、所定の3原色を表示する3種類の画素形成部にそれぞれ繋がる3

10

20

30

40

50

つの隣り合う映像信号線を1組とすることにより、一般的なカラー表示装置において隣接する映像信号線間の寄生容量等による表示色のずれやにじみなどのカラー表示品質の悪化を低減または解消することができる。

【発明を実施するための最良の形態】

【0028】

以下、本発明の実施形態について添付図面を参照して説明する。

<1. 液晶表示装置の構成および動作>

<1. 1 全体の構成および動作>

図1(a)は、本発明の一実施形態に係る液晶表示装置の構成を示すブロック図である。この液晶表示装置は、表示制御回路200と、映像信号線駆動回路(「列電極駆動回路」とも呼ばれる)300と、走査信号線駆動回路(「行電極駆動回路」とも呼ばれる)400と、アクティブマトリクス型の液晶パネル500とを備えている。

10

【0029】

この液晶表示装置における表示部としての液晶パネル500は、外部のコンピュータにおけるCPU等から受け取る画像データDvの表す画像における水平走査線にそれぞれが対応する複数本の走査信号線(行電極)と、それら複数本の走査信号線のそれぞれと交差する複数本の映像信号線(列電極)と、それら複数本の走査信号線と複数本の映像信号線との交差点にそれぞれ対応して設けられた複数の画素形成部とを含む。各画素形成部の構成は、基本的には従来のアクティブマトリクス型液晶パネルにおける構成と同様である(詳細は後述する)。

20

【0030】

本実施形態では、液晶パネル500に表示すべき画像を表す(狭義の)画像データおよび表示動作のタイミング等を決めるデータ(例えば表示用クロックの周波数を示すデータ)(以下「表示制御データ」という)は、外部のコンピュータにおけるCPU等から表示制御回路200に送られる(以下、外部から送られるこれらのデータDvを「広義の画像データ」という)。すなわち、外部のCPU等は、広義の画像データDvを構成する(狭義の)画像データおよび表示制御データを、アドレス信号ADwを表示制御回路200に供給して、表示制御回路200内の後述の表示メモリおよびレジスタにそれぞれ書き込む。

【0031】

表示制御回路200は、レジスタに書き込まれた表示制御データに基づき、表示のため映像信号線駆動回路300に与えられるソース用クロック信号SCKおよびソース用スタートパルス信号SSPと、表示のため走査信号線駆動回路400に与えられるゲート用クロック信号GCKおよびゲート用スタートパルス信号GSPとを含む各種信号を生成する。これらの信号は公知であるため詳しい説明は省略する。また、表示制御回路200は、外部のCPU等によって表示メモリに書き込まれた(狭義の)画像データを表示メモリから読み出して、デジタル画像信号Daとして出力する。さらに、表示制御回路200は、映像信号線の時分割駆動のための切換制御信号GSa~GS c(これらの信号を以下では「切換制御信号GS」とも言う)を生成し、これらも出力する。

30

【0032】

このようにして、表示制御回路200によって生成される信号のうち、デジタル画像信号Daは映像信号線駆動回路300に、切換制御信号GSa~GS cは映像信号線駆動回路300および液晶パネル500内の後述の接続切換回路に、それぞれ供給される。なお、表示制御回路200から映像信号線駆動回路300にデジタル画像信号Daを供給するための信号線としては、表示画像の階調数に応じた数の信号線が配設される。

40

【0033】

映像信号線駆動回路300には、上記のようにして、液晶パネル500に表示すべき画像を表すデータが画素単位でシリアルにデジタル画像信号Daとして供給されると共に、タイミングを示す信号としてソース用クロック信号SCKおよびソース用スタートパルス信号SSP、および切換制御信号GSが供給される。映像信号線駆動回路300は、これ

50

らのデジタル画像信号 D_a とソース用クロック信号 SCK とソース用スタートパルス信号 SSP と切換制御信号 GS とに基づき、液晶パネル 500 を駆動するための映像信号（以下「駆動用映像信号」ともいう）を生成し、これを液晶パネル 500 の各映像信号線に印加する。

【0034】

この駆動用映像信号を生成するとき、映像信号線駆動回路 300 は、隣接する映像信号線間の寄生容量等による表示色のずれやにじみなどの影響を低減または解消するため、特定の映像信号線に印加される電圧のみを補正する動作を行うが、この動作については後述する。

【0035】

走査信号線駆動回路 400 は、ゲート用クロック信号 GCK およびゲート用スタートパルス信号 GSP に基づき、液晶パネル 500 における走査信号線を 1 水平走査期間ずつ順次を選択するために各走査信号線に印加すべき走査信号 $G1$ 、 $G2$ 、 $G3$ 、…を生成し、全走査信号線のそれぞれを順に選択するためのアクティブな走査信号の各走査信号線への印加を 1 垂直走査期間を周期として繰り返す。

【0036】

液晶パネル 500 では、上記のようにして映像信号線に、映像信号線駆動回路 300 によってデジタル画像信号 D_a に基づく駆動用の映像信号 $S1$ 、 $S2$ 、 $S3$ 、…が印加され、走査信号線には、走査信号線駆動回路 400 によって走査信号 $G1$ 、 $G2$ 、 $G3$ 、…が印加される。これにより液晶パネル 500 は、外部の CPU 等から受け取った画像データ D_v の表す画像を表示する。

【0037】

< 1. 2 表示制御回路 >

図 1 (b) は、上記の液晶表示装置における表示制御回路 200 の構成を示すブロック図である。この表示制御回路 200 は、入力制御回路 20 と表示メモリ 21 とレジスタ 22 とタイミング発生回路 23 とメモリ制御回路 24 と信号線切換制御回路 25 とを備えている。

【0038】

この表示制御回路 200 が外部の CPU 等から受け取る広義の画像データ D_v を示す信号（以下、この信号も符号 “ D_v ” で表すものとする）およびアドレス信号 ADw は、入力制御回路 20 に入力される。入力制御回路 20 は、アドレス信号 ADw に基づき、広義の画像データ D_v を、画像データ DA と表示制御データ Dc とに振り分ける。そして、画像データ DA を表す信号（以下、これらの信号も符号 “ DA ” で表すものとする）をアドレス信号 ADw に基づくアドレス信号 AD と共に表示メモリ 21 に供給することで画像データ DA を表示メモリ 21 に書き込むと共に、表示制御データ Dc をレジスタ 22 に書き込む。表示制御データ Dc は、ソース用クロック信号 SCK を含むクロック信号の周波数や画像データ D_v の表す画像を表示するための水平走査期間および垂直走査期間を指定するタイミング情報を含んでいる。

【0039】

タイミング発生回路（以下「 TG 」と略記する）23 は、レジスタ 22 の保持する上記表示制御データに基づき、ソース用クロック信号 SCK 、ソース用スタートパルス信号 SSP を生成する。また、 TG 23 は、表示メモリ 21 およびメモリ制御回路 24 をソース用クロック信号 SCK に同期させて動作させるためのタイミング信号を生成する。

【0040】

メモリ制御回路 24 は、外部から入力されて入力制御回路 20 を介して表示メモリ 21 に格納された画像データ DA のうち液晶パネル 500 に表示すべき画像を表すデータを読み出すためのアドレス信号 Adr と、表示メモリ 21 の動作を制御するための信号とを生成する。これらのアドレス信号 Adr および制御信号は表示メモリ 21 に与えられ、これにより、液晶パネル 500 に表示すべき画像を表すデータがデジタル画像信号 D_a として表示メモリ 21 から読み出され、表示制御回路 200 から出力される。このデジタル画像

10

20

30

40

50

信号 D a は、既述のように映像信号線駆動回路 3 0 0 に供給される。

【0041】

信号線切換制御回路 2 5 は、T G 2 3 からのタイミング信号に基づき、映像信号線の時分割駆動のための切換制御信号 G S a ~ G S c を生成する。この切換制御信号 G S a ~ G S c は、後述のように映像信号線を時分割的に駆動するために、映像信号線駆動回路 3 0 0 から出力される映像信号を印加すべき映像信号線を 1 水平走査期間内で切り換えるための制御信号である。本実施形態では、図 4 に示すように各水平走査期間（走査信号がアクティブとなる期間）を第 1 から第 3 までの期間に 3 等分したときの第 1 の期間で H レベルとなりその他の期間で L レベルとなる信号を切換制御信号 G S a として生成し、第 2 の期間で H レベルとなりその他の期間で L レベルとなる信号を切換制御信号 G S b として生成し、第 3 の期間で H レベルとなりその他の期間で L レベルとなる信号を切換制御信号 G S c として生成する。

【0042】

< 1. 3 液晶パネルとその駆動方法 >

< 1. 3. 1 液晶パネルの構成 >

図 2 (a) は、従来の構成と同様の本実施形態における液晶パネル 5 0 0 の構成を示す模式図であり、図 2 (b) は、この液晶パネルの一部（4 画素に相当する部分）5 1 0 の等価回路図であり、図 2 (c) は、液晶パネルにおける後述の接続切換回路 5 0 1 を構成する切換スイッチを示す等価回路図である。

【0043】

この従来構成と同様の液晶パネルは、アナログスイッチ S W 1 , S W 2 , S W 3 , … を含む接続切換回路 5 0 1 を介して映像信号線駆動回路 3 0 0 に接続される複数の映像信号線 L s と、走査信号線駆動回路 4 0 0 に接続される複数の走査信号線 L g とを備え、当該複数の映像信号線 L s と当該複数の走査信号線 L g とは、各映像信号線 L s と各走査信号線 L g とが交差するように格子状に配設されている。そして既述のように、当該複数の映像信号線 L s と当該複数の走査信号線 L g との交差点に対応して複数の画素形成部 P x がそれぞれ設けられている。各画素形成部 P x は、図 2 (b) に示すように、対応する交差点を通過する映像信号線 L s にソース端子が接続された T F T 1 0 と、その T F T 1 0 のドレイン端子に接続された画素電極 E p と、上記複数の画素形成部 P x に共通的に設けられた対向電極 E c と、上記複数の画素形成部 P x に共通的に設けられ画素電極 E p と対向電極 E c との間に挟持された液晶層とからなる。そして、画素電極 E p と対向電極 E c とそれらの間に挟持された液晶層とにより画素容量 C p が形成される。

【0044】

上記のような画素形成部 P x は、マトリクス状に配置されて画素形成マトリクスを構成する。ところで、画素形成部 P x の主要部である画素電極 E p は、液晶パネルに表示される画像の画素と 1 対 1 に対応し同一視できる。そこで、以下では、説明の便宜上、画素形成部 P x と画素を同一視するものとし、「画素形成マトリクス」を「画素マトリクス」ともいう。

【0045】

図 2 (a) において、各画素形成部 P x に付されている“ R ” “ G ”または“ B ”は、当該画素形成部 P x により形成される画素の色である赤、緑、または青を表している。なお、これらの色は典型的な 3 原色であるが、その他の 3 原色であってもよい。また、一般に液晶表示装置では、液晶の劣化を抑えると共に表示品位を維持するために交流化駆動が行われており、本実施形態では、典型的な交流化駆動方式として、画素を形成する液晶層への印加電圧の正負極性を 1 走査信号線毎かつ 1 フレーム毎にも反転させるいわゆるライン反転駆動方式が採用されるものとする。また、このライン反転駆動方式に代えて、画素液晶への印加電圧の正負極性を 1 フレーム毎にのみ反転させる駆動方式であるフレーム反転駆動方式や、1 走査信号線毎かつ 1 映像信号線毎に反転させる（さらに 1 フレーム毎にも反転させる）いわゆるドット反転駆動方式が採用されてもよい。

【0046】

10

20

30

40

50

この液晶パネルには、上記のように、各映像信号線 L_s を映像信号線駆動回路 300 に接続するための部分として、液晶パネル上の映像信号線 L_s にそれぞれ対応するアナログスイッチ $SW_1, SW_2, SW_3, \dots$ を含む接続切換回路 501 が形成されており（図 2（a））、これらのアナログスイッチ $SW_1, SW_2, SW_3, \dots$ は、隣接する 3 個を 1 組として複数組（映像信号線 L_s の本数の $1/3$ の数）のアナログスイッチ群にグループ化されている。そして、各アナログスイッチ SW_i ($i = 1, 2, 3, \dots$) の一端は、そのアナログスイッチ SW_i に対応する映像信号線 L_s に接続され、他端は、そのアナログスイッチ SW_i と同一組に属するアナログスイッチの他端と互いに接続されると共に、映像信号線駆動回路 300 における 1 つの出力端子 TS_j ($j = 1, 2, 3, \dots$) に接続されている。このようにして、液晶パネルにおける映像信号線 L_s は 3 本を 1 組として複数組の映像信号線群にグループ化され、各映像信号線群（同一組となった 3 本の映像信号線 L_s ）は、同一組となった 3 個のアナログスイッチを介して映像信号線駆動回路 300 における 1 つの出力端子 TS_j に接続される。このようにして、映像信号線駆動回路 300 の出力端子 TS_j は、映像信号線群と 1 対 1 に対応付けられており、同一組となった 3 個のアナログスイッチを介して同一組の映像信号線群（3 本の映像信号線 L_s ）に接続される。

【0047】

ここで、各アナログスイッチ SW_i は、液晶パネル基板に形成された 2 つの薄膜トランジスタ (TFT) およびインバータにより実現され、図 2（c）に示すように、同一組となった 3 個のアナログスイッチ $SW(3j-2), SW(3j-1), SW3j$ は、切換制御信号 $GSa \sim GSc$ に応じてオン・オフするように構成されている（ $j = 1, 2, 3, \dots$ ）。したがって、図 2（c）に示す各組の 3 個のアナログスイッチ $SW(3j-2), SW(3j-1), SW3j$ は、切換スイッチを構成し、映像信号線駆動回路 300 における各出力端子 TS_j をその出力端子に対応する映像信号線群内の 3 本の映像信号線に時分割的に接続する。このアナログスイッチの構造についてさらに説明する。

【0048】

<1. 3. 2 各アナログスイッチの構成>

各アナログスイッチ SW_i は、 n チャネル型の TFT と、 p チャネル型の TFT と、インバータ（論理反転回路）とからなり、 n チャネル型の TFT のゲート端子は、対応する切換制御信号 $GSa \sim GSc$ のいずれかを受け取り、 p チャネル型の TFT のゲート端子は、インバータを介して、対応する切換制御信号 $GSa \sim GSc$ のいずれかの論理反転された信号を受け取る。したがって、受け取った切換制御信号 $GSa \sim GSc$ が H レベルのときにそれぞれの TFT のドレイン・ソース間が導通状態となる。以下、このアナログスイッチの構造とその寄生容量について説明する。

【0049】

図 3 は、このアナログスイッチの構造とその寄生容量の数値例を示す図である。より詳しくは、図 3（a）はこのアナログスイッチを構成する n チャネル型の TFT をガラス基板に対して鉛直方向から見たときの構造例を示す模式的な平面図であり、図 3（b）は TFT のサイズに応じたアナログスイッチにおける寄生容量の数値例を示す図である。なお、このようなアナログスイッチは、ガラスからなる液晶パネル基板上に所定の工程を経て形成されるが、この工程は周知であるため詳しい説明は省略する。

【0050】

図 3（a）に示すように、 n チャネル型の TFT は、シリコン薄膜に、ソース領域 61 とドレイン領域 62 とが形成され、かつこれらの間に（ゲート絶縁膜を挟んで）ゲート領域 63 が形成されてなる。ここで、この n チャネル型の TFT 全体における図の左右方向の長さは $38 [\mu m]$ であり、ゲート領域 63 における図の左右方向の長さ（以下「ゲート長」という） L は $13 [\mu m]$ であり、ソース領域 61（およびドレイン領域 62）における図の上下方向の長さ（以下「ゲート幅」という） W は $20 [\mu m]$ であり、ソース領域 61 およびドレイン領域 62 の周囲に形成される額縁領域の周囲幅 SE は $2 [\mu m]$ である。これらの値のうち、ゲート長 L および周囲幅 SE は設計上変更することが困難な

値であるが、上記ゲート幅Wは設計上比較的自由に変更することができる値である。このことはPチャンネル型のTFTについても同様である。

【0051】

そして、このゲート幅Wを変更すると、アナログスイッチの寄生容量が変化することが知られており、例えば図3(b)に示すように、nチャンネル型のTFTおよびpチャンネル型のTFTの上記ゲート幅Wを大きくすると、当該アナログスイッチがオンされているときの寄生容量とオフされているときの寄生容量とがともに大きくなる。なお、この図3(b)に示す数値例は16Vで駆動される或るTFTにおける実測値であり、12Vで駆動されるTFTにおけるこれらの値は16Vで駆動されるTFTにおける値のほぼ4/5程度の値となる。したがって、この場合でも同様に上記ゲート幅Wを大きくすると寄生容量も大きくなる。

10

【0052】

ここで、後述するように同一組となった3個のアナログスイッチSW(3j-2), SW(3j-1), SW3jは、切換制御信号GSa~GScに応じて1個ずつ順にオンされ、残りの2個はオフされる。したがって、各組の3個のアナログスイッチSW(3j-2), SW(3j-1), SW3jの出力端子に対応する映像信号線群のうち隣接する映像信号線間の寄生容量により生じる前述した電位変動量は、上記アナログスイッチの寄生容量(典型的には上記ゲート幅W)を適宜に設定することにより所望の値に設定することができる。

【0053】

20

すなわち、上記電位変動量は、隣接する映像信号線間の寄生容量値により決定されるが、これに加えてアナログスイッチの寄生容量値によっても決定される。なぜなら、この電位変動を生じる映像信号線はアナログスイッチの寄生容量(例えばゲート・ドレイン間やソース・ドレイン間の寄生容量)により他の配線等(例えば切換制御信号線や共通電極など)と容量結合しているからである。したがって、アナログスイッチの寄生容量(典型的には上記ゲート幅W)を適宜に設定することにより隣接する映像信号線間の寄生容量等による表示色のシフト量(当該表示色の輝度変化量)を所望の値に設定することができる。

【0054】

さらに、このアナログスイッチの寄生容量値について具体的に検討する。まず、上記隣接する映像信号線間の寄生容量値は、正確には、隣接する映像信号線間の1つの画素形成部あたりの直接的な寄生容量値に対して走査信号線の数に乗じた値に、画素電極を介した上記隣接する映像信号線間の間接的な寄生容量値を加えた値となる。この容量値をC₁とする。

30

【0055】

また、赤(R)および緑(G)を形成する画素形成部に繋がる映像信号線に対応するアナログスイッチの(オフ時の)寄生容量値をそれぞれC_{roff}, C_{goff}とすると、上記隣接する映像信号線間の寄生容量による電位変動を生じる映像信号線と共通電極との間の寄生容量値は、正確には、当該映像信号線と共通電極との間の寄生容量値に、液晶層を挟んだ画素電極と共通電極との間の容量値と、その調整のための補助容量値と、上記C_{roff}またはC_{goff}とを加えた値となる。この容量値を(C₂ + C_{roff})または(C₂ + C_{goff})とする。

40

【0056】

そして、赤(R)、緑(G)、および青(B)を形成する画素形成部に繋がる映像信号線に映像信号が加えられることにより生じる当該映像信号線の電位変動量をそれぞれV_R, V_G, V_Bとし、この電位変動の結果として赤(R)および緑(G)を形成する画素形成部に繋がる映像信号線において生じる上記寄生容量による電位変動量をそれぞれΔV_r, ΔV_gとすると、これらΔV_r, ΔV_gは次式(1)および(2)のように表現することができる。

$$\Delta V_r = C_1 / (C_2 + C_{roff}) \cdot V_G + C_1 / (C_2 + C_{goff}) \cdot V_B \quad \cdots (1)$$

50

$$\Delta V_g = C_1 / (C_2 + C_{\text{goff}}) \cdot V_B \quad \cdots (2)$$

【0057】

なお、1 水平走査期間のうち最後に切り換わるアナログスイッチ SW3j に対応する映像信号線である青 (B) を形成する画素形成部に繋がる映像信号線は、隣接する映像信号線間の寄生容量等による電位変動が生じない。

【0058】

ここで、 $V_G = V_B$ とするとき、上式 (1) は次式 (3) のように表現することができる。

$$\Delta V_r = C_1 / (2 \cdot C_2 + C_{\text{roff}}) \cdot V_B \quad \cdots (3)$$

【0059】

よって、上式 (2) および上式 (3) より、 $\Delta V_r = \Delta V_g$ とするためには次式 (4) のような関係が成り立てばよいことがわかる。

$$C_{\text{roff}} = C_2 + 2 \cdot C_{\text{goff}} \quad \cdots (4)$$

【0060】

なお、実際には必ずしも $\Delta V_r = \Delta V_g$ とすることなく、例えば ΔV_r が ΔV_g の 2 倍以下程度の場合であれば、表示色のずれがそれほど目立たないことから、この場合には赤 (R) および緑 (G) を形成する画素形成部に繋がる映像信号線に対応するアナログスイッチの (オフ時の) 寄生容量値 C_{roff} , C_{goff} の差 (典型的には上記ゲート幅 W の違い) を比較的小さくすることができる。

【0061】

以上のように、上式 (4) をほぼ満たすようにアナログスイッチの寄生容量 (典型的には上記ゲート幅 W) を適宜に設定することにより、赤 (R) を形成する画素形成部および緑 (G) を形成する画素形成部における表示色のシフト量 (輝度変化量) をほぼ同一の値に設定することができる。

【0062】

しかし、赤色および緑色の表示色のシフト量を同一の値に設定したとしても、青の表示色のシフトがない以上、結果的に表示色のずれ (具体的には、例えばノーマリーブラック型の液晶パネルにおいて赤色および緑色の明るさが理想的な値よりも大きくなる状態) やにじみなどの好ましくない影響が全画面にわたって生じることになる。

【0063】

そこで、本実施形態における映像信号線駆動回路 300 は、青 (B) を形成する画素形成部に書き込まれるべき映像信号の電圧を補正する動作を行うことにより、全ての表示色のシフト量 (輝度変化量) をほぼ同一に設定する。このことにより、全画面にわたって (理想的な表示状態から) 輝度が変化するが、表示色のずれやにじみなどの好ましくない影響は全画面にわたって解消されることになる。

【0064】

以下では、まず上記アナログスイッチの切換動作を含む本液晶表示装置の駆動方法について図 4 を参照して説明した後、上記映像信号線駆動回路 300 の補正動作について説明する。

【0065】

< 1. 3. 3 駆動方法 >

図 4 は、本液晶表示装置における駆動方法を説明するためのタイミングチャートである。図 4 に示すように、液晶パネルにおける走査信号線 L_g には、1 水平走査期間 (1 走査線選択期間) ずつ順次 H レベルとなる走査信号 G_1 , G_2 , G_3 , ... がそれぞれ印加される。このような走査信号 G_1 , G_2 , G_3 , ... により、各走査信号線 L_g は、H レベルが印加されると選択状態 (アクティブ) となり、その選択状態の走査信号線 L_g に接続される画素形成部 P_x における TFT10 はオン状態となり、一方、L レベルが印加されると非選択状態 (非アクティブ) となり、その非選択状態の走査信号線 L_g に接続される画素形成部 P_x における TFT10 はオフ状態となる。図 4 に示すように、切換制御信号 G_{Sa} は、各水平走査期間 (各走査信号 G_k ($k = 1, 2, 3, \dots$) が H レベルとなる期間)

10

20

30

40

50

を3等分した第1から第3までの期間のうちの第1の期間でHレベルとなり、残りの第2および第3の期間でLレベルとなる。

【0066】

ここで、接続切換回路501における各アナログスイッチのうち $(3j-2)$ 番目の映像信号線Lsに接続されるアナログスイッチSW $(3j-2)$ は、切換制御信号GsaがHレベルのときオンし、切換制御信号GsaがLレベルのときオフする。また、 $(3j-1)$ 番目の映像信号線Lsに接続されるアナログスイッチSW $(3j-1)$ は、切換制御信号GSbがHレベルのときオンし、切換制御信号GSbがLレベルのときオフする。さらに、 $3j$ 番目の映像信号線Lsに接続されるアナログスイッチSW $3j$ は、切換制御信号GscがHレベルのときオンし、切換制御信号GscがLレベルのときオフする。

10

【0067】

したがって、映像信号線駆動回路300の各出力端子TSjは、各水平走査期間の第1の期間では $(3j-2)$ 番目の映像信号線Lsに接続され、各水平走査期間の第2の期間では $(3j-1)$ 番目の映像信号線Lsに接続され、各水平走査期間の第3の期間では $(3j-2)$ 番目の映像信号線Lsに接続される。

【0068】

よって、例えば映像信号線駆動回路300における出力端子TS1から出力すべき映像信号S1と、出力端子TS2から出力すべき映像信号S2とは、図4に示すような信号となる。ここで、これらの映像信号S1, S2を示す図4におけるタイミングチャートはそれぞれ上下2段から構成されており、上段はその映像信号S1, S2により画素形成部Pxに表示されるべき色(の画素値)を示しており、下段はその映像信号S1, S2が印加されるべき映像信号線を示している。

20

【0069】

このような映像信号を出力するために映像信号線駆動回路300は、まず、画素マトリクスにおける $(3j-2)$ 番目の画素列の画素形成部Pxのうち走査信号GkによってTF T10がオンされる画素形成部Pxに書き込むべき画素値(ここではRを表示するための画素値)を表示制御回路200から順次入力して、水平走査期間の第1の期間においてそれらの画素値に相当する映像信号Sjを出力端子TSjから出力する。

【0070】

次に、画素マトリクスにおける $(3j-1)$ 番目の画素列の画素形成部Pxのうち走査信号GkによってTF T10がオンされる画素形成部Pxに書き込むべき画素値(ここではGを表示するための画素値)を表示制御回路200から順次入力して、水平走査期間の第2の期間においてそれらの画素値に相当する映像信号Sjを出力端子TSjから出力する。

30

【0071】

続いて、画素マトリクスにおける $3j$ 番目の画素列の画素形成部Pxのうち走査信号GkによってTF T10がオンされる画素形成部Pxに書き込むべき画素値(ここではBを表示するための画素値)を表示制御回路200から順次入力して、水平走査期間の第3の期間においてそれらの画素値に相当する映像信号Sjを出力端子TSjから出力する。

【0072】

このように映像信号線駆動回路300は、1水平期間毎にRGBの順で各映像信号線Lsを介して各画素形成部Pxへ各色に対応した画素値を書き込む動作を繰り返すことになる。そして、このような映像信号線時分割駆動方式の液晶表示装置は、前述したように隣接する映像信号線間の寄生容量のため、赤(R)を形成する画素形成部および緑(G)を形成する画素形成部に書き込まれるべき映像信号の電圧に変動が生じ、その結果として表示色のずれやにじみなどの表示品質の悪化が生じることがある。

40

【0073】

そこで、上記のようにアナログスイッチの寄生容量(典型的には上記ゲート幅W)を適宜に設定することにより、赤(R)を形成する画素形成部および緑(G)を形成する画素形成部における表示色のシフト量(輝度変化量)をほぼ同一に設定し、かつ映像信号線駆

50

動回路 300 により、青 (B) を形成する画素形成部に書き込まれるべき映像信号の電圧を補正する動作を合わせて行うことにより、全ての表示色のシフト量 (輝度変化量) をほぼ同一の値に設定する。以下、この映像信号線駆動回路 300 の構成および動作について詳述する。

【0074】

< 1. 4 映像信号線駆動回路 >

< 1. 4. 1 映像信号線駆動回路の構成 >

図 5 は、上記映像信号線駆動回路 300 の構成を示すブロック図である。以下、図 5 を参照し各構成要素について説明する。この映像信号線駆動回路 300 は、図 1 に示す表示制御回路 200 から出力されるソース用クロック信号 SCK およびソース用スタートパルス信号 SSP を受け取ることにより所定のサンプリングパルス Smp を出力するシフトレジスタ回路 301 と、表示制御回路 200 から出力されるデジタル画像信号 Da と切換制御信号 GS と上記サンプリングパルス Smp を受け取ることによりデジタル画像信号 Da に含まれる画素値を示すデータをラッチするデータラッチ回路 302 と、このデータラッチ回路 302 によりラッチされたデータの電圧をシフトさせるレベルシフタ回路 303 と、このレベルシフタ回路 303 により電圧をシフトされたデジタルデータをアナログ電圧信号に変換する D/A 変換回路 304 と、この D/A 変換回路 304 からのアナログ電圧信号を対応する映像信号線 Ls に印加するための出力バッファ回路 305 とを備える。これらの構成要素は従来の映像信号線駆動回路の構成要素とほぼ同様である。

【0075】

さらに、映像信号線駆動回路 300 は、映像信号線間の寄生容量のため、赤 (R) を形成する画素形成部および緑 (G) を形成する画素形成部に書き込まれるべき映像信号に生じるべき電圧の変動量に相当する量を加えることにより、青 (B) を形成する画素形成部に書き込まれるべき映像信号の電圧変動を補正するための補正電圧信号 Vcb を出力する電圧生成回路 320 とを備える。

【0076】

そして、以下、上記各構成要素のうち従来の映像信号線駆動回路の構成要素とほぼ同様の構成要素の動作 (以下この動作を、映像信号線駆動回路の「基本動作」という) について図 5 を参照して説明する。

【0077】

< 1. 4. 2 映像信号線駆動回路の基本動作 >

シフトレジスタ回路 301 は、複数段のフリップフロップ回路を直列に接続した構成であり、上記ソース用クロック信号 SCK に同期して上記ソース用スタートパルス信号 SSP を上記各段において順次転送することにより、各段から所定のサンプリングパルス Smp を順次出力する。

【0078】

データラッチ回路 302 は、上記シフトレジスタ回路 301 の各段に対応して 1 つずつ設けられた複数のラッチ回路を備えており、上記サンプリングパルス Smp によりデジタル画像信号 Da に含まれるデータをサンプリングし、その後サンプリングされたデータを所定の期間出力し続ける。ここで、デジタル画像信号 Da は、RGB 各色の画素値を示すデジタル表示データ DR, DG, DB (ここでは各 6 ビットであるものとする) を含んでおり、これらのデジタル表示データ DR, DG, DB は図示されない 3 組の信号線 (ここでは各色 6 本ずつの合計 18 本であるものとする) を介して表示制御回路 200 から同時に与えられる。データラッチ回路 302 は、シフトレジスタ回路 301 からのサンプリングパルス Smp に同期して上記デジタル表示データ DR, DG, DB を順に時分割でサンプリングする。

【0079】

具体的には、1 水平走査期間を 3 等分した第 1 の期間において、画素マトリクスにおける或る行 (例えば 1 行目) の R の画素形成部 Px に与えられるデジタル表示データ DR は、データラッチ回路 302 に含まれるサンプリングメモリ回路 (不図示) に一旦記憶され

10

20

30

40

50

、記憶されたデータはデータラッチ回路302に含まれるホールドメモリ回路（不図示）に与えられる。このホールドメモリ回路は、ラッチ信号に相当する切換制御信号GS（ここでは切換制御信号GSa）の立ち上がりで対応するサンプリングメモリ回路の各段からの出力信号を取り込み、その出力信号を出力信号Dhとしてレベルシフト回路303に与える。このホールドメモリ回路は、次の切換制御信号GS（ここでは切換制御信号GSb）の立ち上がりまで上記出力信号Dhの出力状態を維持する。次に、第2の期間において画素マトリクスにおける或る行のGの画素形成部Pxに与えられるデジタル表示データDRは、切換制御信号GS（ここでは切換制御信号GSb）の立ち上がりで同様にサンプリングメモリ回路に一旦記憶され、ホールドメモリ回路に与えられる。続く第3の期間においても同様に、切換制御信号GS（ここでは切換制御信号GSc）の立ち上がりでデジタル表示データDGはサンプリングメモリ回路に一旦記憶され、ホールドメモリ回路に与えられる。 10

【0080】

レベルシフト回路303は、上記データラッチ回路302からの出力信号Dhを受け取り、D/A変換回路304において適正な入力信号レベルになるよう当該信号の電圧レベルをシフトさせ（一般的には上昇させ）、レベルシフト信号Dsとして出力する。

【0081】

D/A変換回路304は、レベルシフト回路303から出力されるデジタル信号であるレベルシフト信号Dsを受け取り、これを上記デジタル表示データDR、DG、DBに対応するアナログ電圧信号Var, Vag, Vabに変換する。具体的には、D/A変換回路304は、基準電圧発生回路（不図示）により生成された階調表示のための複数種類のアナログ電圧から、受け取ったデジタル信号に相当するアナログ電圧を選択しアナログ電圧信号Var, Vag, Vabとして出力する。 20

【0082】

出力バッファ回路305は、例えばボルテージフォロワ回路で構成されており、上記アナログ電圧信号Vabを補正した信号である補正電圧信号Vcbと、補正されないアナログ信号Var, Vagとを映像信号Sjとして、対応する出力端子TSjから映像信号線Lsに出力する。ここで、この出力バッファ回路305から出力される上記補正電圧信号Vcbは電圧生成回路320から与えられる。以下、この電圧生成回路320によりこの補正電圧信号Vcbを生成する動作（以下この動作を、映像信号線駆動回路の「補正動作」という）について図6を参照して説明する。 30

【0083】

<1. 4. 3 映像信号線駆動回路の補正動作>

電圧生成回路320は、予め定められた隣接する映像信号線間の寄生容量等による映像信号の電圧変動の影響を補償するための補正電圧値Cbを記憶しており、D/A変換回路304から受け取ったアナログ電圧信号Vabを基準として表示制御回路200から受け取った切換制御信号GScの立ち上がりに合わせて映像信号の電圧値に上記補正電圧値Cbを加えた値に相当する補正電圧信号Vcbを出力する。

【0084】

すなわち、電圧生成回路320は、上記補正電圧値Cbに基づき、D/A変換回路304から出力されるアナログ電圧信号Vbを基準として、出力バッファ回路305から出力される映像信号Sjの電圧値の絶対値がアナログ電圧信号Vbの電圧値の絶対値よりも補正電圧値Cbだけ大きくなるような補正電圧信号Vcbを出力する。この補正電圧信号Vcbにより、隣接する映像信号線間の寄生容量等による表示色のシフトを生じない青（B）の画素形成部において、他の表示色（RおよびG）のシフト量（輝度変化量）にほぼ等しい量のシフトを生じさせることができるので、全画面にわたる表示色のずれを低減または解消することができる。 40

【0085】

なお、電圧生成回路320は、D/A変換回路304から出力されるアナログ電圧信号Vbを基準とすることにより、デジタル表示データDBを基準とするよりも、誤差のない 50

正確な補正動作に行うことができる。

【0086】

ここで、上記補正電圧値 C_b は液晶パネル内の容量や配線間の寄生容量などを計測し、または数値シミュレーションをすることなどにより得られる値に基づき予め算出され記憶される。なお、上記補正電圧値 C_b は、対応する映像信号線毎に個別に設定され記憶されてもよい。

【0087】

< 2. 効果 >

以上のように、本実施形態においては、同一組となった3個のアナログスイッチ $SW(3j-2)$ 、 $SW(3j-1)$ 、 $SW3j$ の寄生容量（典型的には図3(a)に示すソース領域61（およびドレイン領域62）におけるゲート幅 W ）を適宜に設定することにより、赤（R）を形成する画素形成部および緑（G）を形成する画素形成部に繋がる映像信号線と隣接する映像信号線との間の寄生容量により生じる電位変動量を所望の値に簡単に設定することができるので、これらの画素形成部に影響を与える隣接する映像信号線間の寄生容量等による電圧変動に基づく表示色のシフト量（輝度変化量）をほぼ同一の値になるように設定することができる。これに加えて、電圧生成回路320は、隣接する映像信号線間の寄生容量等による表示色のシフトを生じない青（B）の画素形成部において、他の表示色（RおよびG）のシフト量（輝度変化量）にほぼ等しい量のシフトを簡単に生じさせることができる。これらのことより、簡単な装置構成で、結果として全画面にわたる表示色のずれやにじみなどの表示品質の悪化を低減または解消することができる。以下このことを図6を参照して詳しく説明する。

【0088】

図6は、図4に示した本液晶表示装置の映像信号線 $SL3 \sim SL5$ に印加される映像信号の電位変化を詳細に示す図である。なお、説明のため、図では上記寄生容量により生じる電圧変動量を実際の変動量よりも大きく示している。ここで、映像信号線 $SL4$ 、 $SL5$ の電位が変化すること自体は従来の図7に示す場合と同様であるが、その電圧変動量とともに ΔV である点が従来とは異なる。

【0089】

前述したように、映像信号線 $SL4$ は、寄生容量により映像信号線 $SL3$ 、 $SL5$ の電位変化の影響を（合計2度）受け、映像信号線 $SL5$ は、寄生容量により映像信号線 $SL6$ の電位変化の影響のみを（1度だけ）受けるので、例えば各映像信号線間の寄生容量が同じ（であってかつ各映像信号線とその他の配線や電極等との寄生容量も同じ）であれば、隣接する映像信号線間の寄生容量によるこれらの電圧変動量は同一とはならない。しかし、前述したように、アナログスイッチの寄生容量が適宜の値に設定されているため、これらの映像信号線 $SL3$ 、 $SL4$ の電位はともに本来の電位から電圧変動量 ΔV だけ絶対値が大きい値となっている。

【0090】

また、時刻 t_3 において、映像信号線 $SL3$ に印加される映像信号の電圧には、電圧生成回路320により、他の表示色（RおよびG）のシフト量（輝度変化量）にほぼ等しい量のシフトを生じさせる電圧変動量 ΔV が加えられている。その結果、全ての映像信号線の電位は理想的な電位からほぼ同じ量だけシフトした電位となるので、全画面にわたって等しく輝度は変化（例えば増加）するが、全画面にわたって表示色のずれやにじみなどを解消することができる。

【0091】

< 3. 変形例 >

本実施形態においては、RGB各色の隣接3画素に映像信号を伝達する3本の映像信号線を1組としてグループ化した時分割数が3の映像信号線時分割駆動方式の液晶表示装置であるが、この時分割数は4以上であってもよい。また、各画素形成部により多階調の白黒表示が行われる構成であっても、同様に全画面にわたって表示輝度（表示階調）のシフト量の表示列毎のばらつきによる、例えば全画面にわたり縦方向（列方向）に沿ったすじ

が入るような表示品質の悪化を解消することができる。

【0092】

本実施形態においては、映像信号線がR、G、Bの順で時分割的に駆動されるが、この駆動順序に限定はなく、例えば（本実施形態とは逆の）B、G、Rの順で時分割的に駆動されてもよい。この場合には、電圧生成回路320は、ここでのRの画素形成部Pxに繋がる映像信号線に与えるべき映像信号線電圧の変動を補償するための補正電圧信号Vcrを出力すればよい。

【0093】

本実施形態においては、アナログスイッチSW(3j-2)、SW(3j-1)、SW3jのソース領域61（およびドレイン領域62）における図3(a)に示すゲート幅Wを適宜に設定することにより、赤(R)を形成する画素形成部および緑(G)を形成する画素形成部に繋がる映像信号線と隣接する映像信号線との間の寄生容量による電位変動量を所望の値に設定するが、ソース領域61、ドレイン領域62、およびゲート領域63の少なくとも1つの大きさ、形状、構造、または材料など、およそトランジスタである上記アナログスイッチの寄生容量に影響を与えるパラメータの少なくとも1つを適宜に変更することにより、上記映像信号線間の寄生容量による電位変動量を所望の値に設定してもよい。

【0094】

また、本実施形態においては、トランジスタである上記アナログスイッチの寄生容量を適宜に設定するが、当該アナログスイッチの内部に適宜の容量を有する容量素子が含まれることにより上記寄生容量が設定されてもよいし、その外部に適宜の容量を有する容量素子が接続されることにより、接続される映像信号線に対する接続切換回路501の容量が設定されてもよい。

【0095】

本実施形態においては、映像信号線駆動回路300内に電圧生成回路320を備えるが、この電圧生成回路320は、映像信号線駆動回路300外に設けられてもよい。この電圧生成回路320と映像信号線駆動回路300とにより、上記のように補正された電位を有する映像信号を各映像信号線に出力する映像信号出力機能の実現されている。なお、この映像信号出力機能に含まれる電圧生成回路320に対応する補正機能は、D/A変換回路304により実現されてもよい。例えば、予め定められた隣接する映像信号線間の寄生容量等による電圧変動量を予め加えられた電圧を有する映像信号が映像信号線駆動回路300に含まれるD/A変換回路304に与えられてもよいし、D/A変換回路304において上記電圧変動量を加える演算が行われてもよい。

【0096】

本実施形態における電圧生成回路320は、予め定められた補正電圧値Cbを記憶するが、デジタル表示データDR、DGまたはアナログ電圧信号Var、Vagを受け取り、これらの値の少なくとも一方に基づき、隣接する映像信号線間の寄生容量等により映像信号線に印加される映像信号の電圧の予想される変動量を算出することにより得られる値を補正電圧値Cbとしてもよい。なお、この補正電圧値Cbは、D/A変換回路304、表示制御回路200、または装置外部において算出された後、電圧生成回路320に与えられてもよい。

【0097】

なお、本実施形態においては、走査信号線は1行毎に順次選択されるが、1行おきまたは2行おき以上を飛び越して順次選択される駆動態様、すなわちインタレース走査による駆動であっても上記と同様の効果を得ることができる。

【図面の簡単な説明】

【0098】

【図1】本発明の一実施形態に係る液晶表示装置の構成を示すブロック図である。

【図2】上記実施形態における液晶パネルの基本となる構成を説明するための模式図(a)ならびに等価回路図(b)、(c)である。

【図 3】上記実施形態におけるアナログスイッチの構造とその寄生容量の数値例を示す図である。

【図 4】従来構成と同様の液晶パネルを備える液晶表示装置における駆動方法を説明するためのタイミングチャートである。

【図 5】上記映像信号線駆動回路の構成を示すブロック図である。

【図 6】上記実施形態に係る本液晶表示装置の映像信号線 S L 3 ～ S L 5 に印加される映像信号の電位変化を詳細に示す図である。

【図 7】従来の液晶表示装置の映像信号線 S L 3 ～ S L 5 に印加される映像信号の電位変化を詳細に示す図である。

【符号の説明】

10

【 0 0 9 9 】

1 0 … T F T （薄膜トランジスタ）

2 5 … 信号線切換制御回路

2 0 0 … 表示制御回路

3 0 0 … 映像信号線駆動回路

3 0 1 … シフトレジスタ回路

3 0 2 … データラッチ回路

3 0 3 … レベルシフタ回路

3 0 4 … D / A 変換回路

3 0 5 … 出力バッファ回路

20

3 2 0 … 電圧生成回路

4 0 0 … 走査信号線駆動回路

5 0 0 … 液晶パネル

5 0 1 … 接続切換回路

S C K … ソース用クロック信号

S S P … ソース用スタートパルス信号

G C K … ゲート用クロック信号

G S P … ゲート用スタートパルス信号

D a … デジタル画像信号

G S a ～ G S c … 切換制御信号

30

T S j … 出力端子

G k … 走査信号（ $k = 1, 2, 3, \dots$ ）

S j … 映像信号（ $j = 1, 2, 3, \dots$ ）

S L … 映像信号線

L s … 映像信号線（列電極）

L g … 走査信号線（行電極）

P x … 画素形成部（画素）

C p … 画素容量

E p … 画素電極

E c … 対向電極

40

C b … 補正電圧値

V c b … 補正電圧信号

V a r, V a g, V a b … アナログ電圧信号

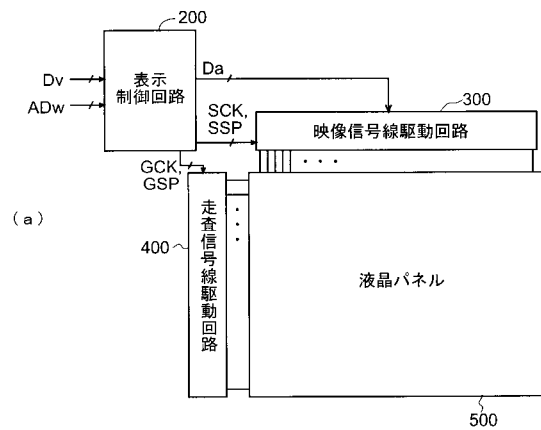
S W i … アナログスイッチ（ $i = 1, 2, 3, \dots$ ）

ΔV … 電位変動量

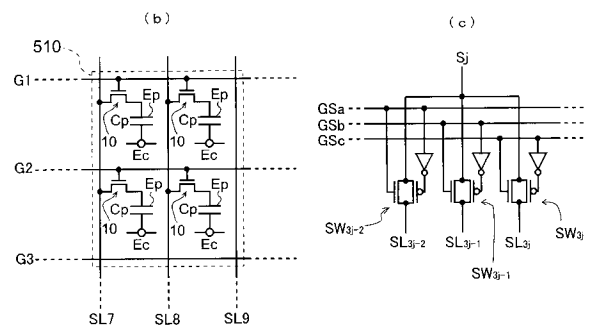
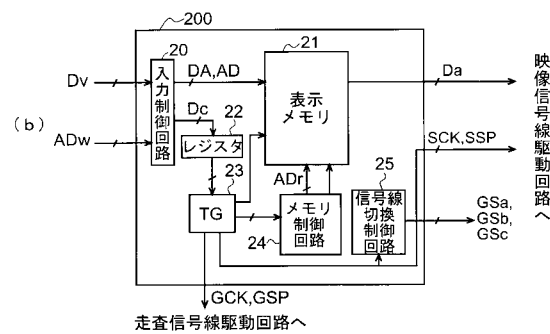
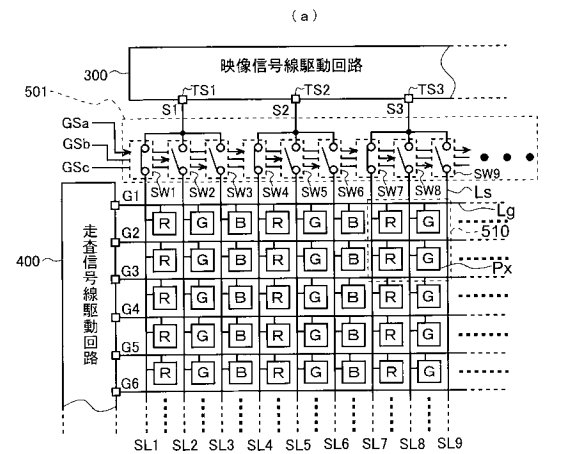
L … ゲート長

W … ゲート幅

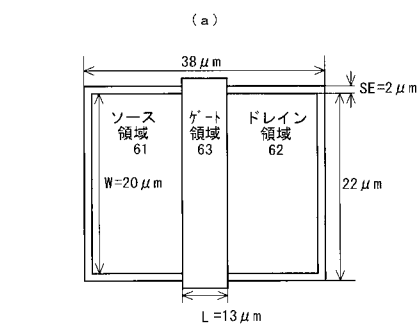
【図 1】



【図 2】



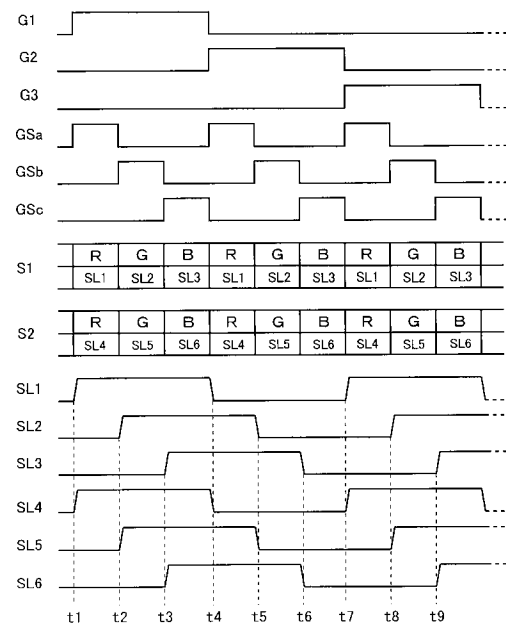
【図 3】



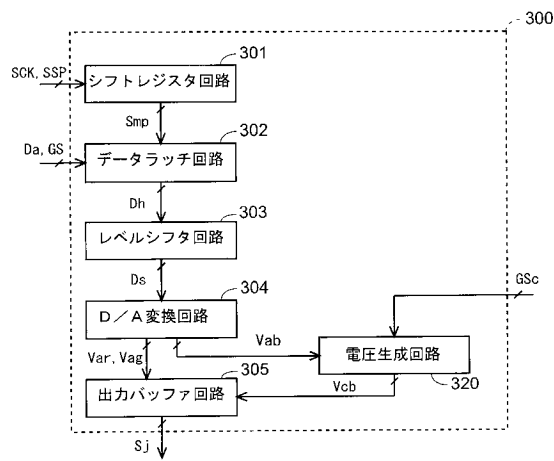
(b)

w (Pch+Nch)	アナログスイッチ オン時の寄生容量	アナログスイッチ オフ時の寄生容量
20 μm+20 μm	0.122pF	0.033pF
40 μm+40 μm	0.245pF	0.063pF
100 μm+100 μm	0.612pF	0.163pF

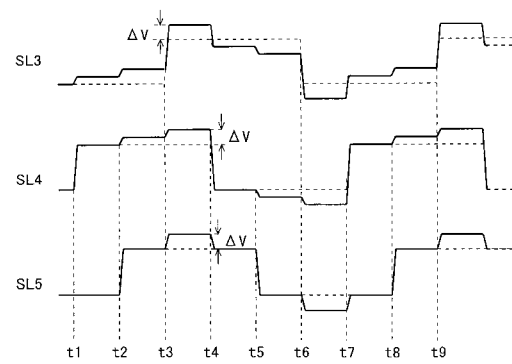
【図 4】



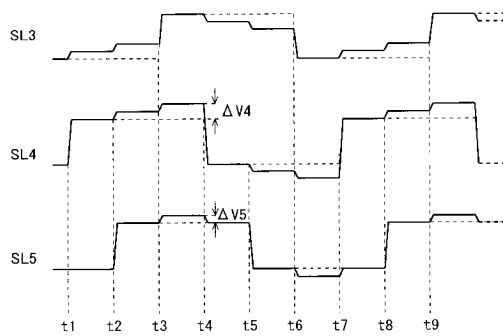
【図 5】



【図 6】



【図 7】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 3 F
	G 0 9 G 3/20	6 2 3 V
	G 0 9 G 3/20	6 4 1 P
	G 0 9 G 3/20	6 4 2 L

(72)発明者 及部 圭

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

F ターム(参考) 2H093 NA16 NA43 NA53 NA63 NC13 NC22 NC23 NC24 NC26 NC34
ND06 ND17 ND33
5C006 AA22 AF43 AF45 AF46 AF71 AF82 BB16 BC12 BC16 BC23
BF03 BF04 BF24 BF25 FA16 FA18 FA29 FA37
5C080 AA10 BB06 CC03 DD30 EE28 EE30 FF11 JJ02 JJ03 JJ04
JJ06

专利名称(译)	表示装置		
公开(公告)号	JP2007003967A	公开(公告)日	2007-01-11
申请号	JP2005186013	申请日	2005-06-27
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	笹川真希 尾崎正実 津田拓也 及部圭		
发明人	笹川 真希 尾崎 正実 津田 拓也 及部 圭		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
FI分类号	G09G3/36 G02F1/133.510 G02F1/133.550 G09G3/20.621.A G09G3/20.623.B G09G3/20.623.F G09G3/20.623.V G09G3/20.641.P G09G3/20.642.L		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NA53 2H093/NA63 2H093/NC13 2H093/NC22 2H093/NC23 2H093/NC24 2H093/NC26 2H093/NC34 2H093/ND06 2H093/ND17 2H093/ND33 5C006/AA22 5C006/AF43 5C006/AF45 5C006/AF46 5C006/AF71 5C006/AF82 5C006/BB16 5C006/BC12 5C006/BC16 5C006/BC23 5C006/BF03 5C006/BF04 5C006/BF24 5C006/BF25 5C006/FA16 5C006/FA18 5C006/FA29 5C006/FA37 5C080/AA10 5C080/BB06 5C080/CC03 5C080/DD30 5C080/EE28 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H193/ZA04 2H193/ZD23		
代理人(译)	岛田彰		
外部链接	Espacenet		

摘要(译)

要解决的问题：在采用简单设备配置的相邻视频信号线之间减少或消除不利影响，例如由寄生电容等引起的色移和模糊，同时采用视频信号线的分时驱动系统。ŽSOLUTION：通过将液晶面板中一组三个模拟开关的寄生电容设置为适当的值，将由视频信号线之间的寄生电容引起的电位变化量设置为所需值。因此，由连接到红色和绿色的像素形成部分的视频信号线的寄生电容引起的电位变化量被设定为相等。对应于其中添加了电位变化量的校正电压信号Vcb的电压被施加到视频信号线，该视频信号线连接到来自视频信号的驱动电路300的电压产生电路320的蓝色像素形成部分。线。因此，由于使每条视频信号线的电位变化量近似相等，结果，减少或消除了显示质量劣化，例如整个屏幕上的显示颜色偏移和模糊。Ž

