

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-513537
(P2005-513537A)

(43) 公表日 平成17年5月12日(2005.5.12)

(51) Int. Cl.⁷

G09G 3/36
G02F 1/133
G09G 3/20

F I

G09G 3/36
G02F 1/133 550
G09G 3/20 611A
G09G 3/20 612F
G09G 3/20 621A

テーマコード(参考)

2H093
5C006
5C080

審査請求 未請求 予備審査請求 未請求 (全15頁) 最終頁に続く

(21) 出願番号 特願2003-553543 (P2003-553543)
(86) (22) 出願日 平成14年12月3日(2002.12.3)
(85) 翻訳文提出日 平成16年8月18日(2004.8.18)
(86) 国際出願番号 PCT/IB2002/005131
(87) 国際公開番号 W02003/052731
(87) 国際公開日 平成15年6月26日(2003.6.26)
(31) 優先権主張番号 0130177.9
(32) 優先日 平成13年12月18日(2001.12.18)
(33) 優先権主張国 英国(GB)

(71) 出願人 590000248
コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
Koninklijke Philips Electronics N. V.
オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェッハ 1
Groenewoudseweg 1, 5621 BA Eindhoven, The Netherlands

(74) 代理人 100075812
弁理士 吉武 賢次

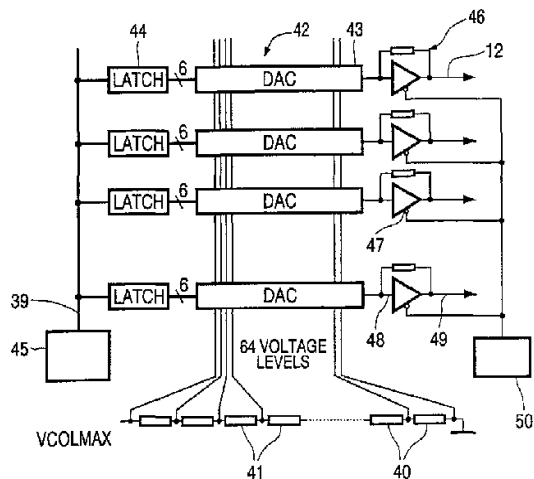
(74) 代理人 100088889
弁理士 橘谷 英俊

最終頁に続く

(54) 【発明の名称】 液晶ディスプレイ用列ドライバ

(57) 【要約】

液晶ディスプレイは、複数の列ラインを制御するための複数のバッファ46を有している。バッファは、ピクセルの各行に対して書き込むための行周期中に所定の電流に設定されるように例えばタイミング回路50によって制御されるバイアス電流制御入力47を有している。特に、行周期は、高いバッファバイアス電流を用いる駆動周期と、低いバッファバイアス電流を用いる電圧維持周期とに分割されても良い。



【特許請求の範囲】

【請求項 1】

行および列のレイとして配置された複数の液晶ピクセル電極と、
前記液晶ピクセル電極を駆動するための複数の行ラインおよび列ラインと、
複数の前記列ラインを駆動するための複数のバッファであって、様々なバイアス電流で動作可能なバッファと、

ピクセル電極の行に対して書き込むための期間である複数の行周期中に、バッファバイアス電流を変化させる一方で、電圧出力を維持して、個々の行周期内の異なる時間に異なるバイアス電流を供給する手段とを備えた液晶ディスプレイ。

【請求項 2】

前記バッファがバイアス電流制御入力を有し、バッファバイアス電流を変化させる前記手段は、前記バイアス電流制御入力に接続されるタイミング回路を備え、このタイミング回路は、各行周期を駆動周期と電圧維持周期とに分割するとともに、前記バッファを制御することにより、前記駆動周期中に高いバイアス電流を使用して列ラインを充電し、前記電圧維持周期中に低いバイアス電流を使用して列ラインにおける電圧を維持することを特徴とする請求項 1 に記載の液晶ディスプレイ。

【請求項 3】

全ての行周期を含む 1 つまたは複数のアドレッシング段階と、前記バッファが作動しない 1 つのパワーダウン段階とを有するように、前記タイミング回路が前記バッファを制御することを特徴とする請求項 2 に記載の液晶ディスプレイ。

【請求項 4】

前記各バッファは、バイアス電流を制御するためのバイアス電流制御入力を有することを特徴とする請求項 1 から 3 のいずれか一項に記載の液晶ディスプレイ。

【請求項 5】

前記各バッファが信号入力と信号出力とを有し、それぞれの列ラインを駆動するべく前記信号出力が接続され、前記信号入力は、デジタル - アナログ変換手段に接続されていることを特徴とする請求項 1 から 4 のいずれか一項に記載の液晶ディスプレイ。

【請求項 6】

複数のそれぞれの電圧レベルを供給する複数の出力を有する電圧源を更に備え、前記デジタル - アナログ変換手段は、各バッファの信号入力を、入力デジタル信号に対応する電圧レベルを有する電圧源の複数の出力のうちの 1 つに接続するための切替マトリクスである、請求項 5 に記載の液晶ディスプレイ。

【請求項 7】

複数のバッファが複数の所定の電圧レベルを出力し、複数のバッファと複数の列ラインとの間でデジタル - アナログ変換器として機能する切替マトリクスを更に備えている、請求項 1 から 4 のいずれか一項に記載の液晶ディスプレイ。

【請求項 8】

行ラインと列ラインとによって駆動されるピクセル電極の複数の行および列を有する液晶ディスプレイを作動させる方法であって、

一連の画像フレームを示す一連のデジタル信号を、列ラインを駆動させるための一連の電圧レベルに変換し、

ピクセル電極の連続する各行を充電するための期間である複数の行周期中に、様々なバイアス電流で動作可能な複数のバッファからの複数の列ラインを駆動し、

各行周期中にバッファバイアス電流を変化させて、個々の行周期内の異なる時間に異なるバイアス電流を供給する方法。

【請求項 9】

各行周期を駆動周期と電圧維持周期とに分割するとともに、前記バッファを制御することにより、前記駆動周期中に高いバイアス電流を使用し、前記電圧維持周期中に低いバイアス電流を使用することを含むことを特徴とする請求項 8 に記載の方法。

【請求項 10】

10

20

30

40

50

各フレームに書き込むための周期は、全ての行周期を含む1つまたは複数のアドレッシング段階と、前記バッファがオフに切換えられる1つまたは複数のパワーダウン段階とに分割されることを特徴とする請求項8または9に記載の方法。

【請求項11】

一連の画像フレームを示す一連のデジタル信号を受け入れるためのデジタル入力と、前記デジタル入力における一連のデジタル信号を変換して、対応する電圧レベルを出力するデジタル-アナログ変換手段と、

ピクセル電極の各行に対して書き込むための複数の行周期中に液晶ディスプレイの複数の列ラインを駆動するための複数のバッファであって、様々なバイアス電流で動作可能なバッファと、

電圧出力を維持しつつバッファバイアス電流を変化させて、個々の行周期内の異なる時間に異なるバイアス電流を供給する手段と、を備えたことを特徴とする液晶ディスプレイドライバ。

10

【請求項12】

バッファバイアス電流を変化させる前記手段がタイミング回路を備え、このタイミング回路は、各行周期を駆動周期と電圧維持周期とに分割するとともに、前記バッファを制御することにより、前記駆動周期中に高いバイアス電流を使用して列ラインを充電し、前記電圧維持周期中に低いバイアス電流を使用することを特徴とする請求項11に記載の液晶ディスプレイドライバ。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、液晶ディスプレイ、液晶ディスプレイ用ドライバ、および、液晶ディスプレイを駆動させる方法に関する。

【背景技術】

【0002】

アクティブマトリクスディスプレイ装置は、一般に、行および列に配置されたピクセルアレイを備えている。ピクセルの各行は、行におけるピクセルの薄膜トランジスタのゲートに接続する行導体を共有している。ピクセルの各列は、ピクセル駆動信号が供給される列導体を共有している。行導体における信号は、トランジスタがオンされるか又はオフされるかを決定する。また、行導体における高電圧パルスによってトランジスタがオンされると、列導体からの信号は、液晶材料の領域へと伝わることができ、これにより、材料の光透過特性が変化する。行電極パルスが除去された後であっても、液晶材料において所定の電圧を維持できるように、ピクセル構造の一部として別個の蓄電コンデンサが設けられても良い。US - A - 5 1 3 0 8 2 9は、アクティブマトリクスディスプレイ装置の構造をより詳細に開示している。

30

【0003】

アクティブマトリクスディスプレイ装置におけるフレーム(フィールド)周期では、ピクセルの行が短時間にアドレス指定される必要がある。そして、これは、液晶材料を所望の電圧レベルまで充電または放電するために、トランジスタの電流駆動能力に対してある要件を課す。これらの電流要件を満たすため、薄膜トランジスタに供給されるゲート電圧は、約30ボルトだけ離れた値間で変動する必要がある。例えば、トランジスタは、約-10ボルトまたはそれよりも低い(ソースに対して)ゲート電圧を印加することにより、遮断されても良い。一方、所要のソース-ドレイン電流を供給して液晶材料を十分速く充電または放電できる十分なバイアスをトランジスタにかけるために、約20ボルトまたはそれよりも高い電圧が必要とされても良い。

40

【0004】

行導体における大きな電圧振れという要件には、高電圧成分を使用して行ドライバ回路を動作させる必要がある。

【0005】

50

また、列導体に供給される電圧は、一般に、白状態と黒状態との間で液晶材料を駆動させるために必要な駆動信号間の差を示す約10ボルトだけ変化する。列導体における電圧振れを低減でき、それによって、低電圧成分を列ドライバ回路で使用できるようにする様々な駆動方式が提案されてきた。いわゆる「共通電極駆動方式」においては、フル液晶材料層に接続された共通電極が振動電圧まで駆動される。いわゆる「4レベル駆動方式」は、容量結合効果を使用して列導体における電圧振れを低減するために、更に複雑な行電極波形を使用する。

【0006】

これらの駆動方式により、列ドライバ回路において低電圧を使用することができる。しかしながら、その場合も、列ドライバ回路においては、依然として十分複雑であり、電力の非効率がある。各行が順次にアドレス指定され、任意の1つの行の行アドレス周期中に、ピクセル信号が各列に対して供給される。従来構造において、各列には、行アドレス周期の全持続時間の間において列のピクセルを所定の駆動信号レベルに保持するためのバッファが設けられている。

10

【0007】

不都合なことに、特に低電力バッテリー駆動の用途において、バッファを駆動させるために必要な電力が不都合に大きい場合があるという点が問題である。一般に、ラインを駆動しない時であっても、各バッファは、3.5mW以上の所要電力を有する場合がある。この所要電力は、静止所要電力として知られており、バッファがラインを充電する時に必要な更なる電力と区別される場合がある。ディスプレイスクリーンを駆動するために必要な列ラインの数は多く、そのため、必要とされるバッファの数も同様に多くなる。このように、従来構造における全静止所要電力は、ポータブルバッテリー駆動の用途において大きすぎる場合がある。静止所要電力が低いバッファを再設計することができるが、そのような再設計は、一般に、列ラインを急速に充電するために十分な電流を供給するというバッファの能力を低下させてしまう。

20

【発明の開示】

【発明が解決しようとする課題】

【0008】

したがって、一般に、バッファによって引き出される必要がある電力を減らすことが望ましい。

30

【課題を解決するための手段】

【0009】

本発明においては、行および列のレイとして配置された複数の液晶ピクセル電極と、前記液晶ピクセル電極を駆動するための複数の行ラインおよび列ラインと、複数の前記列ラインを駆動するための複数のバッファであって、様々なバイアス電流で動作可能なバッファと、ピクセル電極の行に対して書き込むための期間である複数の行周期中に、バッファバイアス電流を変化させる一方で、電圧出力を維持して、個々の行周期内の異なる時間に異なるバイアス電流を供給する手段とを有する液晶ディスプレイが提供される。

【0010】

各ラインの充電中の異なる時間に各バッファのバイアス電流を変化させることにより、利用可能な時間内に列ラインを切替えることができる十分な電流を供給しつつ、バッファの全電力消費量を減らすことができる。

40

【0011】

個々の列ラインの静電容量は、個々のピクセル電極のそれよりも大きいため、列ラインを所要の電圧まで充電するためには、その後において電圧を所要の電圧に維持してピクセルを充電するために必要とされる電力よりも非常に多くの電力が必要になる。また、バイアス電流したがって静止電力を変えることによって電流ソースを変えることができる能力を有する適切なバッファ増幅器を利用することができる。

【0012】

したがって、バッファ増幅器のバイアス電流を変化させ、列ラインにおける電圧を維持

50

しつつ、最初に、高いバイアス電流を使用して列ラインを充電するとともに、その後に、低いバイアス電流を使用して列ラインを所定の電圧に維持することにより、増幅器は、従来の装置よりもかなり低い、各フレームにわたって平均化された所要電力を有することができる。

【0013】

なお、バッファバイアス電流は、バッファによって引き出される全電流ではなく、一般に、電源から引き出されるが、バッファバイアス電流を変えると、大きな電流をソーシングするバッファの能力が変化する。

【0014】

実施形態において、バッファバイアス電流を変化させる前記手段はタイミング回路を有しており、このタイミング回路は、各行周期を駆動周期と電圧維持周期とに分割するとともに、前記バッファを制御することにより、行周期の第1の部分の間、高いバイアス電流を使用して列ラインを充電し、行周期の第2の部分の間、低いバイアス電流を使用して列ラインにおける電圧を維持する

10

好ましい実施形態において、各フレームに書き込むための周期は、全ての行周期を含む1つまたは複数のアドレッシング段階と、前記バッファが作動しない1つのパワーダウン段階とに分割される。これにより、フレーム時間の一部においてバッファが作動しないため、電力を節約できることは言うまでもない。無論、ピクセルは、他の場合よりも迅速にアドレス指定される必要があるが、これは、最初にバッファバイアス電流を高く変化させて、列ラインを急速に充電できるようにし、その後、バッファバイアス電流を低く変化させて、過度な電力消費を避けるようにする本発明の手法によって達成される。したがって、これらの好ましい実施形態において、バッファバイアス電流は、最初に高く、その後、ラインの電圧を維持しつつ低下される。バッファが実質的にオフに切換えられる更なる段階がある。この更なる段階は、例えば、ディスプレイの全ての行が書き込まれた後に行なわれても良く、あるいは、異なる行への書き込み間に挿入される複数の短い一時停止であっても良い。

20

【0015】

また、本発明は、ピクセル電極の複数の行および列を有する液晶ディスプレイを作動させる方法であって、一連の画像フレームを示す一連のデジタル信号を、列ラインを駆動させるための一連の電圧レベルに変換し、ピクセル電極の連続する各行を充電するための期間である複数の行周期中に、様々なバイアス電流で動作可能な複数のバッファからの複数の列ラインを駆動し、各行周期中にバッファバイアス電流を変化させて、個々の行周期内の異なる時間に異なるバイアス電流を供給する方法から成る。

30

【0016】

また、本発明は、前述した液晶ディスプレイを駆動させるための列ドライバに関する。

【発明を実施するための最良の形態】

【0017】

ここで、添付図面を参照しながら、単なる一例として本発明の特定の実施形態について説明する。なお、図面は、概略的であり、一定の比率で描かれていない。

【0018】

図1から図4は、アクティブマトリクス液晶ディスプレイにおけるピクセル構成を示している。ディスプレイは、行および列に並ぶピクセル2のアレイとして配列されている。ピクセルの各行は、1つの共通の行導体10を共有しており、また、ピクセルの各列は、1つの共通の列導体12を共有している。ディスプレイピクセルのアレイ34に対し、行アドレス信号が行ドライバ回路30によって供給され、ピクセル駆動信号が列アドレス回路32によって供給される。

40

【0019】

アモルファスシリコン薄膜デバイスとして実現される薄膜トランジスタ14を通じて十分な電流を流すことができるようにするためには、高いゲート電圧を使用しなければならない。特に、トランジスタがオンされている時間は、行の数によって分割され、且つディ

50

スプレイがリフレッシュされなければならない全フレーム周期とほぼ等しい。オフ状態で所要の僅かな漏れ電流を供給し且つオン状態で十分な電流を供給して、利用可能な時間内で液晶セル16を充電または放電するために、オン状態およびオフ状態におけるゲート電圧が約30ボルトだけ相違していることは良く知られている。その結果、行ドライバ回路30は、高電圧成分を使用する。

【0020】

図2に示されるように、各ピクセルは、薄膜トランジスタ14と液晶列導体12とを備えている。トランジスタ14は、行導体10に供給される信号によってオンおよびオフを切換えられる。したがって、行導体10は、ピクセルの対応する行の各トランジスタ14のゲート14aに接続されている。また、各ピクセルは蓄電コンデンサ20をさらに備えていても良い。この蓄電コンデンサ20の一端は、次の行電極に接続され、前の行電極に接続され、あるいは、別個のコンデンサ電極22に接続される。このコンデンサ20は、トランジスタ14がオフされた後、液晶セル16間の駆動電圧を維持するのに役立つ。また、キックバック等の様々な効果を低減し且つピクセル静電容量のグレーレベル依存を低減するためには、全ピクセル静電容量が高いことが望ましい。

10

【0021】

図3は、列ドライバ23（基本的に、電圧源24と抵抗25を有するスイッチとを備えている）と選択された行内の列ピクセルとの間の接続の等価回路を示している。列は、例えば列導体と行導体との全ての交差によって生じる列静電容量26を有している。個々のピクセルは、蓄電コンデンサ20およびピクセル電極16の静電容量から成るピクセル静電容量27を有している。

20

【0022】

図4は、本発明の第1の実施形態で使用できる列ドライバ回路を示している。異なるピクセル駆動信号レベルの数nは、グレーレベルジェネレータ40、例えば図示のように直列に配置された複数のレジスタ41を有するレジスタアレーによって形成される。切換マトリクス42は、各列に対する所要レベルの切換えを制御するとともに、複数のコンバータ43から成るアレイを備えている。この各コンバータ43はラッチ44からのデジタル入力に基づいてn個のグレーレベルのうちの一つを選択するために、1つの列ライン12に対応している。デジタル入力は、必要な画像データを記憶するRAMからデータ入力39を介して得られる。

30

【0023】

各列ライン12にはバッファ46が設けられている。各バッファは、バイアス電流制御入力47と、信号入力48と、信号出力49とを有している。信号入力48は、対応するコンバータ43からの出力に接続され、信号出力49はそれぞれの列を駆動し、バイアス電流制御入力47はタイミング回路50に接続されている。タイミング回路の機能については、後で詳しく説明する。

【0024】

バイアス電流制御入力47は、バッファによって引き出されるバイアス電流を制御する。バッファ46は、様々な異なるバイアス電流を使用して、その出力49を、信号入力48の電圧によって決定される電圧まで駆動することができる。バッファ46の電流ソース能力は、バイアス電流の関数に応じて変化する。調整可能なバイアス電流を有するバッファは、技術的に知られているため、これ以上説明しない。

40

【0025】

使用時、液晶セル16を所望の電圧まで駆動させて必要なグレーレベルを得るため、行導体10における行アドレスパルスに同期して、列導体12に適当な信号が供給される。この行アドレスパルスは、薄膜トランジスタ14をオンし、これにより、列導体12は、ピクセル電極16を所望の電圧まで充電することができるとともに、蓄電コンデンサ20を同じ電圧まで充電することができる。列駆動信号によって、両方の静電容量26、27が充電される。しかしながら、列コンデンサ26を充電するための時定数（抵抗25×静電容量26）は、ピクセルを充電するための時定数（TFT抵抗×静電容量27）よりも

50

十分に小さい。したがって、列静電容量 26 を充電するためには、短い列アドレスパルスが必要とされる。

【0026】

列アドレスパルス後であって、行アドレスパルスが依然としてアクティブな状態となっている間、平衡に達するまで、列静電容量 26 とピクセル静電容量 27 との間で電荷移動が存在する。ピクセル静電容量は列静電容量よりも十分に小さく、その結果、列電圧が殆ど変化することなく、平衡に達する。ピクセルの大きい時定数は、高い T F T 抵抗によって生じる。行アドレスパルスの終わりに、トランジスタ 14 がオフされる。蓄電コンデンサ 20 は、液晶漏れの影響を低減するとともに、液晶セル静電容量の電圧依存によって引き起こされるピクセル静電容量の百分率変化を低減する。全ての行が 1 フレーム周期でアドレス指定され且つその後のフィールド周期でリフレッシュされるように、行が連続的にアドレス指定される。タイミング回路 50 は、各バッファの制御入力 47 に信号を入力することにより、バッファ 46 のバッファバイアス電流を制御する。この信号は、バイアス電流それ自体であっても良い。しかしながら、図示の好ましい実施形態において、信号は、バッファによって引き出される電流を制御する電圧であり、これにより、異なるバッファ 46 間でバイアス電流制御入力 47 の入力インピーダンスが僅かに変化しても、異なるバッファによって引き出されるバイアス電流が過度に変化しないようになる。

10

【0027】

図 5 は、バッファバイアス電流のタイミングを示している。ピクセルの連続する行のピクセル静電容量 27 を充電するために、画像フレーム周期 52、すなわち、連続する各画像フレームにおける周期は、複数のライン周期 54 に分割される。各行のピクセル静電容量 27 が必要なグレーレベルに対応するレベルまで充電されると、各ピクセル静電容量 27 は、それが次のフレーム周期 52 で書き換えられるまで、その電荷を保持し、これにより、対応するピクセルの画像状態が保持されることが理解されるべきである。

20

【0028】

また、各ライン周期 54 は、駆動段階 56 と、電圧維持段階 58 とに分割される。駆動段階 56 中においては、バッファに関して高いバイアス電流が使用され、電圧維持段階 58 中においては、低いバイアス電流が使用される。駆動段階 56 中においては、高いバッファバイアス電流により、バッファ 46 は、十分な電流を供給して、対応する列ライン 12 を充電することができる。駆動段階 56 が終了すると、電圧維持段階 58 中に、過度の電流を引き出すことなく列ライン 12 を必要な電圧に維持することができる非常に低いバッファバイアス電流が使用される。

30

【0029】

最大リフレッシュレートが 60 H Z で 240 行となるべく設計されたディスプレイの実施例について考える。1つのフレームのための時間を行の数で割ることにより、ライン時間が与えられる。したがって、この実施例において、ライン周期は約 70 μ s であり、そのうちの 17 μ s が駆動段階 56 であり、53 μ s が電圧維持段階 58 である。

【0030】

駆動段階 56 における高いバイアス電流と電圧維持段階 58 における非常に小さい電流とを用いてバッファ 46 を駆動することにより、駆動段階 56 中に列ラインを急速に充電する能力を維持しつつ、バッファによって費やされる平均電力が低減される。この段階においては、高いバイアス電流により、バッファ 46 は、十分な電流を供給して、列ライン 12 を急速に充電することができる。

40

【0031】

一般的に好ましい、代替的なフレーム周期の分割が図 6 に示されている。この手法は、図 1 から図 4 に示される回路によって行なわれても良い。唯一の違いは、後述するようにタイミング信号を供給するべくタイミング回路 50 が設けられる点である。

【0032】

フレーム周期 52 は、アドレッシング段階 60 と、パワーダウン段階 62 とに分割されている。アドレッシング段階 60 は、駆動段階 56 および電圧維持段階 58 の両方を含ん

50

でいる。したがって、パワーダウン段階中において、バッファ46は、基本的に、オフに切換えられる。図6に示される実施例は、前述した最大60Hzで動作できる240ラインディスプレイと同じ場合に関するものである。

【0033】

図6は、フレーム周期 T_F をアドレッシング段階60、APとパワーダウン段階62、PDPとに分割でき、また、バッファバイアス電流が非常に低い2つの方法を示している。図6aは、最初の4.8msのアドレッシング段階60とその後の16.8msのパワーダウン段階とに分割されたフレーム周期 T_F を示している。最初のアドレッシング段階60は、20 μ sの一連のライン周期54を240個含んでいる。各ライン周期は、ピクセルの異なる行をアドレス指定するためのものである。図5の実施例の場合と同様に、各ライン周期54は、最初の駆動段階56とその後の電圧維持段階とに分割されている。駆動段階56は5 μ s続き、電圧維持段階58は15 μ s続く。

10

【0034】

図6bの実施例においては、70 μ sの各ライン周期54、 T_L が20 μ sのアドレッシング段階AP、60とその後の50 μ sのパワーダウン段階PDP、62とに分割され、また、バッファバイアス電流が非常に低く且つピクセルがアドレス指定されない他の手法が使用される。ライン周期54は、前述した方法と同じ方法で、最初の5 μ sの駆動段階56とその後の15 μ sの電圧維持段階58とに分割される。

【0035】

5 μ sの最初の駆動段階56中、各バッファにおけるバイアス電流は3.6 μ Aである。この3.6 μ Aは、バッファによって列を所望の電圧まで急速に充電することができる十分なバイアスである。しかしながら、この時間は非常に短いため、選択されたピクセル静電容量によりTFT14を通じて完全に充電することはできない。したがって、電圧維持段階58を使用して、ピクセル静電容量27によりTFT14を通じて充電できるようにする。この時間中、バイアス電流は、バッファが安定な状態を維持でき且つ漏れがない場合に列を完全充電状態に維持できる0.4 μ Aという低い値まで減少される。このようにバイアス電流が減少された状態であっても、バッファは依然として低いインピーダンスを有している。

20

【0036】

アドレッシング段階中の平均バイアス電流は1.2 μ Aである。この値は、5.5Vの電源供給ラインからの1バッファ当たりの6.6 μ Wの電力に相当する。したがって、アドレッシング段階中の全電力は3.5mWである。そのため、全体のフレーム時間にわたって平均化すると、電力消費量が1mWになるという優れた結果が得られる。

30

【0037】

パワーダウン段階を使用するには、アドレッシングを他の場合よりも速やかに行なう必要がある。このようなアドレッシングの速度増加は、アドレッシング段階を複数のライン駆動周期に分割するとともに、高いバイアス電流を用いる駆動段階56と低いバイアス電流を用いる電圧維持段階58とにライン駆動周期を分割することにより可能となる。なお、アドレッシング段階を駆動段階56と電圧維持段階58とに分割することなく、1.2 μ Aという平均バイアス電流がアドレッシング段階60の全体にわたって使用された場合には、電流のレベルはおそらく非常にゆっくりとしているため、列を効果的且つ急速に充電することはできないことに注意されたい。

40

【0038】

本発明は、図1から図4で前述したハードウェアアーキテクチャを用いた動作に限定されない。図7は、グレーレベル毎に1つのバッファ46を使用する他のアーキテクチャを示している。この手法においては、各列ライン12毎に1つのバッファ46を有する代わりに、各グレーレベル毎に1つのバッファ46が存在する。1つのピクセルしたがって1つの列が所定の1つのグレーレベルを有する必要がある場合には、列は、単に、それぞれのコンバータ43により、適切なバッファ46に対して接続される。デジタル入力は、ラッチに接続され且つ必要な画像データを記憶するRAM45から得られる。

50

【0039】

この方式は、6ビットグレースケール手法におけるバッファの総数を64まで減少させる。更なる利点は、異なるバッファ同士のマッチングが図4のアーキテクチャの場合に比べて殆ど重要にならないという点である。

【0040】

この場合も同様に、バッファのバイアスがフレーム中で変化されても良い。バッファバイアス電流は、最初は高く、その後、過度の電力を使用することなく列ライン12における電圧を維持するために減少される。

【0041】

各バッファに接続される列ライン12の数に応じたバッファ46の変動負荷に対処する多くの可能性がある。1つの方法は、管理された方法でバッファバイアス電流が変化する適応型バイアスバッファ回路を使用することである。これが図8に概略的に示されている。制御回路80は、入力電圧と出力電圧との間の差を検出するとともに、入力電圧の変化の割合を検出する。その後、制御回路は、これらのパラメータに応じて、バッファバイアス電流を適合させる。入力電圧の変化の割合が大きくなればなるほど、また、入力電圧と出力電圧との間の差が大きくなればなるほど、バッファバイアス電流も大きくなる。したがって、制御回路80は、従来のPID(比例積分差動)コントローラとして動作するが、単純化のため、制御回路80は、任意の積分項(integral term)を避けても良い。

10

【0042】

適した適応型バイアス回路は、例えば、1982年6月の半導体回路についてのIEEEジャーナル、SC-17巻、No.3の522頁から始まるDegrauweらによる「適応型バイアスCMOS増幅器」から知られており、したがって、これ以上説明しない。

20

【0043】

図9は、バッファに接続された様々な異なる数の列における出力を時間の関数として示している。曲線90は、バッファに対して1つの列が接続された場合のバッファ出力電流BCを示しており、曲線92は、バッファに対して2つの列が接続された場合のバッファ出力電流を示しており、曲線94は、バッファに対して3つの列が接続された場合のバッファ出力電流を示している。Vcは列電圧であり、Vpはピクセル電圧である。曲線を見れば分かるように、列を急速に充電し、その後、電荷を維持するため、バッファバイアス電流は、最初に大きく、その後、減少されるように制御される。バッファに接続される列の数が多ければ多いほど、バッファバイアス電流の初期値は大きくなる。列電圧が曲線96で示されるようになり、したがって、ピクセル電圧が曲線98で示されるようになるように、バイアス電流が制御される。

30

【0044】

制御回路80を使用して負荷を自動的に検出する代わりに、本発明の他の実施形態では、制御回路80をプログラミングすることにより、メモリ45から取得された情報に基づいて、様々なバッファのバイアス電流を制御しても良い。

【0045】

当業者であれば、本発明の開示内容を読み取ることにより、他の変形や修正を成すことができる。そのような変形や修正は、均等物、および、半導体デバイスの設計、製造、使用において既に知られており且つここで説明した特徴に加えて或いはこれに代えて使用できる他の特徴を含んでいても良い。

40

【図面の簡単な説明】

【0046】

【図1】本発明の第1の実施形態に係る液晶ディスプレイを示している。

【図2】図1の液晶ディスプレイの1つのピクセルを示している。

【図3】第1の実施形態のピクセルのドライブの等価電気回路図である。

【図4】第1の実施形態で使用される列ドライブ回路を示している。

50

- 【図5】第1の実施形態におけるバッファバイアス電流を時間の関数として示している。
- 【図6】フレーム時間の他の分割を示している。
- 【図7】第2の実施形態に係る他の列ドライブ回路を示している。
- 【図8】第2の実施形態で使用するバッファ回路を示している。
- 【図9】第2の実施形態におけるバッファ電流を時間の関数として示している。

【図1】

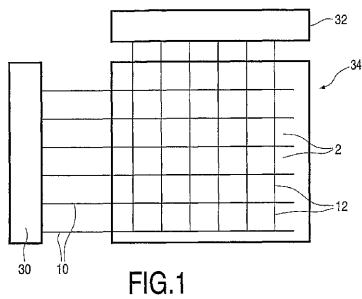


FIG.1

【図2】

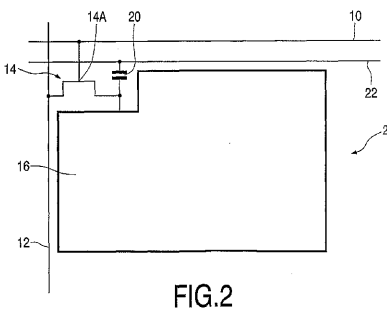


FIG.2

【図3】

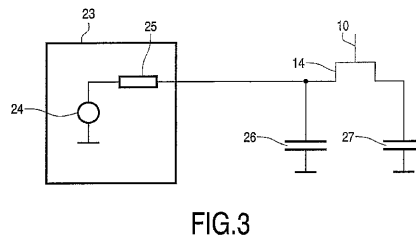


FIG.3

【図4】

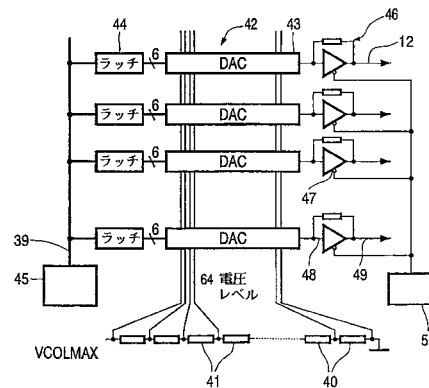
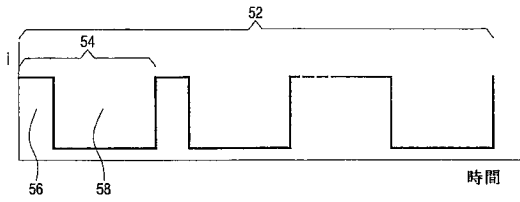


FIG.4

【 図 5 】



【 図 6 A 】

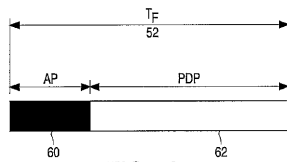


FIG.6A

【 図 6 B 】

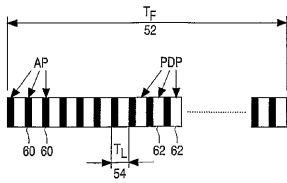


FIG.6B

【 図 8 】

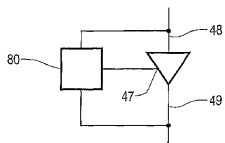


FIG.8

【 図 9 】

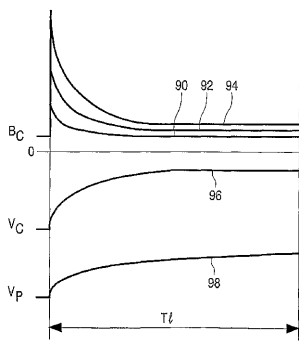
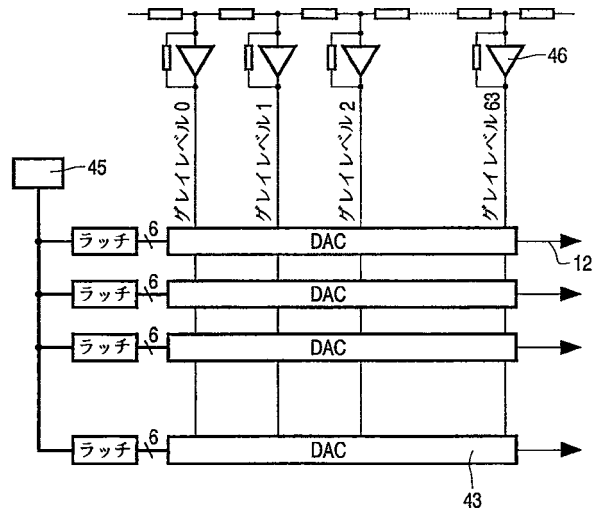


FIG.9

【 図 7 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

PCT/TB 02/05131

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/36		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 157 360 A (SONG HO YOUNG ET AL) 5 December 2000 (2000-12-05) column 1 -column 2; figures 4,4A,5,5H,7 column 4 -column 5 ---	1-12
X	US 6 184 855 B1 (SAKAGUCHI YOSHITAMI ET AL) 6 February 2001 (2001-02-06) column 8, line 35-58; figures 1,4,14 column 9, line 14 -column 10, line 50 the whole document ---	1,4,5,8, 11
Y	PATENT ABSTRACTS OF JAPAN vol. 1997, no. 07, 31 July 1997 (1997-07-31) -& JP 09 062233 A (MATSUSHITA ELECTRIC IND CO LTD), 7 March 1997 (1997-03-07) abstract; figures 1,3,9,10 ---	2,6,7
Y	---	2
	-/--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
* Special categories of cited documents:		
A document defining the general state of the art which is not considered to be of particular relevance		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
E earlier document but published on or after the international filing date		*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
O document referring to an oral disclosure, use, exhibition or other means		*G* document member of the same patent family
P document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search	Date of mailing of the international search report	
17 March 2003	21/03/2003	
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Authorized officer Fulcheri, A	

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

PCT/IB 02/05131

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	EP 1 014 334 A (SONY CORP) 28 June 2000 (2000-06-28) abstract; figure 35 ---	6,7
A	US 5 739 805 A (DINGWALL ANDREW GORDON FRANCIS) 14 April 1998 (1998-04-14) the whole document -----	1-12

INTERNATIONAL SEARCH REPORT

patent family members

PCT/IB 02/05131

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6157360	A	05-12-2000	AU 6550398 A 29-09-1998
			JP 2001505324 T 17-04-2001
			WO 9840873 A2 17-09-1998
US 6184855	B1	06-02-2001	WO 9642033 A1 27-12-1996
			JP 2977047 B2 10-11-1999
JP 09062233	A	07-03-1997	JP 2990047 B2 13-12-1999
EP 1014334	A	28-06-2000	JP 2000221929 A 11-08-2000
			JP 2000221926 A 11-08-2000
			JP 2000224024 A 11-08-2000
			JP 2000242209 A 08-09-2000
			EP 1014334 A2 28-06-2000
			KR 2000052541 A 25-08-2000
US 5739805	A	14-04-1998	EP 0834170 A1 08-04-1998
			JP 10510928 T 20-10-1998
			WO 9618990 A1 20-06-1996
			US 6046719 A 04-04-2000

フロントページの続き

(51) Int.Cl. ⁷	F I		テーマコード(参考)
	G 0 9 G	3/20	6 2 2 K
	G 0 9 G	3/20	6 2 3 B
	G 0 9 G	3/20	6 2 3 F

(81) 指定国 AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VC, VN, YU, ZA, ZM, ZW

(74) 代理人 100082991
弁理士 佐藤 泰和

(74) 代理人 100096921
弁理士 吉元 弘

(74) 代理人 100103263
弁理士 川崎 康

(72) 発明者 ジェイソン、エル・ヘクター
オランダ国 5 6 5 6、ア-ア-、アインドーフエン、プロフ・ホルストラ-ン、6

(72) 発明者 アラン、ヘ-ナッブ
オランダ国 5 6 5 6、ア-ア-、アインドーフエン、プロフ・ホルストラ-ン、6

F タ-ム(参考) 2H093 NC04 NC16 NC34 NC35 ND34 ND39
5C006 AA16 AF42 AF43 AF83 BB16 BC03 BC12 BF25 BF43 FA47
5C080 AA10 BB05 DD26 FF11 JJ02 JJ03 JJ04 JJ06

专利名称(译)	用于液晶显示器的列驱动器		
公开(公告)号	JP2005513537A	公开(公告)日	2005-05-12
申请号	JP2003553543	申请日	2002-12-03
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	ジェイソンエルヘクター アランヘーナップ		
发明人	ジェイソン、エルヘクター アラン、ヘーナップ		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/2011 G09G3/3688 G09G3/3696 G09G2310/027 G09G2310/06 G09G2330/021		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.A G09G3/20.612.F G09G3/20.621.A G09G3/20.622.K G09G3/20.623.B G09G3/20.623.F		
F-TERM分类号	2H093/NC04 2H093/NC16 2H093/NC34 2H093/NC35 2H093/ND34 2H093/ND39 5C006/AA16 5C006/AF42 5C006/AF43 5C006/AF83 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BF25 5C006/BF43 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
代理人(译)	耀希达凯贤治 弘吉 川崎靖		
优先权	2001030177 2001-12-18 GB		
外部链接	Espacenet		

摘要(译)

液晶显示器具有多个缓冲器46，用于控制多个列线。缓冲器具有偏置电流控制输入47，其由例如定时电路50控制，使得在行周期期间将其设置为预定电流以写入每行像素。具体地，行周期可以被划分为使用高缓冲器偏置电流的驱动时段和使用低缓冲器偏置电流的电压维持时段。

