

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-346091

(P2005-346091A)

(43) 公開日 平成17年12月15日(2005.12.15)

(51) Int.Cl.⁷

G02F 1/1368

H01L 21/336

H01L 29/786

F I

G02F 1/1368

H01L 29/78 612D

テーマコード (参考)

2H092

5F110

審査請求 有 請求項の数 20 O L (全 19 頁)

(21) 出願番号 特願2005-165603 (P2005-165603)
 (22) 出願日 平成17年6月6日(2005.6.6)
 (31) 優先権主張番号 2004-041137
 (32) 優先日 平成16年6月5日(2004.6.5)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 501426046
 エルジー・フィリップス エルシーデー
 カンパニー、リミテッド
 大韓民国 ソウル、ヨンドゥンポーク、ヨ
 イドードン 20
 (74) 代理人 100064447
 弁理士 岡部 正夫
 (74) 代理人 100085176
 弁理士 加藤 伸晃
 (74) 代理人 100106703
 弁理士 産形 和央
 (74) 代理人 100094112
 弁理士 岡部 譲
 (74) 代理人 100096943
 弁理士 臼井 伸一

最終頁に続く

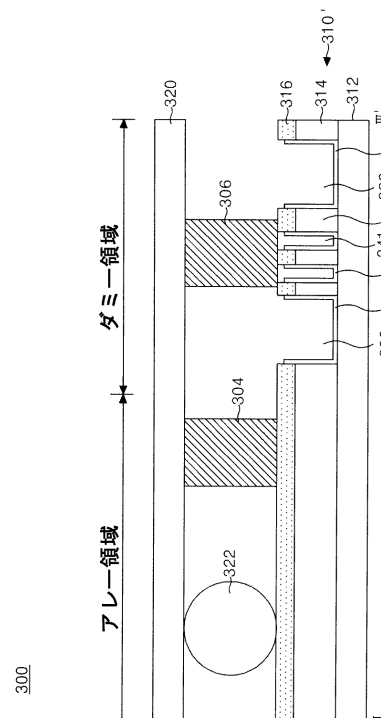
(54) 【発明の名称】 液晶表示装置およびその製造方法

(57) 【要約】

【課題】 本発明の目的は、リフト - オフ工程の効率を向上させることができる表示素子用薄膜トランジスタ母基板およびその製造方法を提供することにある。

【解決手段】 本発明の薄膜トランジスタ母基板 310 は、薄膜トランジスタアレーが形成された多数のアレー領域と、多数のアレー領域間のダミー領域と、ダミー領域のうちダミーシーリング材 306 が塗布されるダミーシーリング領域に絶縁膜を貫通して形成されたマルチホール 341 と、ダミー領域のうちダミーシーリング領域の外郭領域に絶縁膜を貫通して形成された開口部 338 を備えている。

【選択図】 図9



【特許請求の範囲】

【請求項 1】

基板と、その基板上に形成された多数のアレー領域と、その多数のアレー領域間の前記基板上に形成された少なくとも一つのダミー領域と、前記少なくとも一つのダミー領域内で絶縁膜を貫通して形成された少なくとも一つの開口部と、前記少なくとも一つの開口部に配置された少なくとも一つの支持部を備えることを特徴とする液晶表示装置。

【請求項 2】

前記開口部内に形成された透明導電膜を更に備えることを特徴とする請求項1記載の液晶表示装置。

【請求項 3】

前記絶縁膜は、ゲート絶縁膜および保護膜を含むことを特徴とする請求項1記載の液晶表示装置。

【請求項 4】

前記少なくとも一つの支持部は絶縁物質で形成されたことを特徴とする請求項1記載の液晶表示装置。

【請求項 5】

前記少なくとも一つの支持部は、ゲート絶縁膜および保護膜を含むことを特徴とする請求項1記載の液晶表示装置。

【請求項 6】

前記少なくとも一つの支持部上に形成されたダミーシーリング材パターンを更に備えることを特徴とする請求項1記載の液晶表示装置。

【請求項 7】

前記少なくとも一つの支持部は、前記絶縁膜を貫通するマルチホールを含むことを特徴とする請求項1記載の液晶表示装置。

【請求項 8】

前記マルチホールは、前記少なくとも一つの支持部上に形成されるダミーシーリング材パターンの幅より狭い線幅を有することを特徴とする請求項7記載の液晶表示装置。

【請求項 9】

前記開口部およびマルチホール内に形成された透明導電膜を更に備えることを特徴とする請求項7記載の液晶表示装置。

【請求項 10】

前記アレー領域は、それぞれ多数の薄膜トランジスターを含むことを特徴とする請求項1記載の液晶表示装置。

【請求項 11】

第1基板上に少なくとも一つのダミー領域を間に置き多数のアレー領域を形成する段階と、前記第1基板上に絶縁膜を形成する段階と、前記少なくとも一つのダミー領域内で前記絶縁膜の一部を貫通する少なくとも一つの開口部を形成する段階と、前記少なくとも一つの開口部内に少なくとも一つの支持部を形成する段階と、を含むことを特徴とする液晶表示装置の製造方法。

【請求項 12】

前記少なくとも一つの開口部および前記少なくとも一つの支持部は、同時に形成されることを特徴とする請求項11記載の液晶表示装置の製造方法。

【請求項 13】

前記少なくとも一つの開口部および少なくとも一つの支持部を形成する、前記絶縁膜上にフォトリソパターンを形成する段階と、前記フォトリソパターンをマスクに利用して前記絶縁膜を蝕刻する段階と、前記フォトリソパターン上に透明導電膜を形成する段階と、前記フォトリソパターンおよびその上に形成された透明導電膜を除去する段階と、を含むことを特徴とする請求項12記載の液晶装置の製造方法。

【請求項 14】

前記絶縁膜を形成する段階は、ゲート絶縁膜を形成する段階と、保護膜を形成する段階

10

20

30

40

50

と、を含むことを特徴とする請求項11記載の液晶表示装置の製造方法。

【請求項15】

前記少なくとも一つの支持部は、絶縁物質で形成されたことを特徴とする請求項11記載の液晶表示装置の製造方法。

【請求項16】

前記少なくとも一つの支持部は、ゲート絶縁膜および保護膜で形成されたことを特徴とする請求項15記載の液晶表示装置の製造方法。

【請求項17】

前記第1基板と第2基板とを合着する段階を更に含むことを特徴とする請求項11記載の液晶表示装置の製造方法。

【請求項18】

前記少なくとも一つの支持部にマルチホールを形成する段階を更に含むことを特徴とする請求項13記載の液晶表示装置の製造方法。

【請求項19】

前記マルチホールは、前記少なくとも一つの開口部と共に形成することを特徴とする請求項18記載の液晶表示装置の製造方法。

【請求項20】

前記開口部および前記マルチホール内には前記透明導電膜が残存することを特徴とする請求項19記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置およびその製造方法に関し、特に工程を単純化し得る液晶表示装置の薄膜トランジスター母基板およびその製造方法に関する。

【背景技術】

【0002】

最近の情報化社会における液晶表示装置は、電界を利用して液晶の光透過率を調節することにより画像を表示するものである。これのために液晶表示装置は、複数の液晶セルがマトリックス形態で配列された液晶パネルと、液晶パネルを駆動するための駆動回路を備えている。

【0003】

液晶パネルは、互いに対向する薄膜トランジスター基板およびカラーフィルター基板と、両基板の間に注入された液晶と、両基板間のセルギャップを維持させるスペーサーを備えている。

【0004】

薄膜トランジスター基板は、複数のゲートラインおよびデータラインと、そのゲートラインとデータラインの交叉部毎にスイッチ素子で形成された薄膜トランジスターと、液晶セル単位で形成されて薄膜トランジスターに接続された画素電極と、それらの上に塗布された配向膜とで構成されている。ゲートラインとデータラインは、それぞれのパッド部を通じて駆動回路から信号の供給を受ける。薄膜トランジスターは、ゲートラインに供給されるスキャン信号に応答してデータラインに供給される画素信号を画素電極に供給する。

【0005】

カラーフィルター基板は、液晶セル単位で形成されたカラーフィルターと、カラーフィルター間の区分および外部光反射のためのブラックマトリックスと、液晶セルに共通的に基準電圧を供給する共通電極などと、それらの上に塗布される配向膜とで構成される。

【0006】

液晶パネルは、薄膜トランジスター基板とカラーフィルター基板とを別途に製作して合着した後に液晶を注入し封じることにより完成される。

【0007】

10

20

30

40

50

このような液晶パネルにおける薄膜トランジスタ基板は、半導体工程を含むと共に多数のマスク工程を必要とすることにより製造工程が複雑であるため、液晶パネルの製造単価上昇の重要な原因になっている。これを解決するために、薄膜トランジスタ基板はマスク工程数を減らす方向へ発展している。これは一つのマスク工程が薄膜蒸着工程、洗浄工程、フォトリソグラフィ工程、蝕刻工程、フォトレジスト剥離工程、検査工程などのような多くの工程を含んでいるためである。これにより、最近では薄膜トランジスタ基板の標準マスク工程であった5マスク工程から一つのマスク工程を減らした4マスク工程が主流となっている。

【0008】

図1は4マスク工程を採択した薄膜トランジスタ基板を例示した平面図であり、図2は図1に図示された薄膜トランジスタ基板をI-I'線に沿って切断して図示した断面図である。

10

【0009】

図1および図2に図示された薄膜トランジスタ基板は、下部基板42上にゲート絶縁膜44を間に置き交叉するように形成されたゲートライン2およびデータライン4と、その交叉部毎に形成された薄膜トランジスタ6と、その交叉構造で設けられたセル領域に形成された画素電極18とを備えている。そして、薄膜トランジスタ基板は、画素電極18とゲートライン2との重なる部分に形成されたストリッジキャパシタ20と、ゲートライン2に接続されるゲートパッド部26と、データライン4に接続されるデータパッド部34とを備えている。

20

【0010】

薄膜トランジスタ6は、ゲートライン2に供給されるスキャン信号に応答してデータライン4に供給される画素信号が画素電極18に充填されて維持されるようにする。これのために、薄膜トランジスタ6は、ゲートライン2に接続されたゲート電極8と、データライン4に接続されたソース電極10と、画素電極16に接続されたドレイン電極12と、ゲート電極8と重なりソース電極10とドレイン電極12との間にチャンネルを形成する活性層14とを備えている。

【0011】

このようにソース電極10およびドレイン電極12に重なりながら、ソース電極10とドレイン電極12との間のチャンネル部を含む活性層14は、データライン4、データパッド下部電極36、ストリッジ電極22とも重なるように形成される。このような活性層14上には、データライン4、ソース電極10、ドレイン電極12、データパッド下部電極36、ストリッジ電極22とオーミック接触のためのオーミック接触層48とが更に形成される。

30

【0012】

画素電極18は、保護膜50を貫通する第1コンタクトホール16を通じて薄膜トランジスタ6のドレイン電極12と接続される。画素電極18は、充填された画素信号により図示されていない上部基板に形成される共通電極と電位差を発生させるようになる。この電位差により薄膜トランジスタ基板と上部基板との間に位置する液晶が誘電異方性により回転するようになり、図示されていない光源から画素電極18を経由して入射される光を上部基板側へ透過させる。

40

【0013】

ストリッジキャパシタ20は、ゲートライン2と、ゲート絶縁膜44、活性層14およびオーミック接触層48を間に置き重なるストリッジ上部電極22と、そのストリッジ上部電極22と保護膜50とを間に置き重なりと共にその保護膜50に形成された第2コンタクトホール24を経由して接続された画素電極22とで構成される。このようなストリッジキャパシタ20は、画素電極18に充填された画素信号が次の画素信号が充填されるときまで安定的に維持されるようにする。

【0014】

ゲートライン2は、ゲートパッド部26を通じてゲートドライバー(図示せず)と接続される。ゲートパッド部26は、ゲートライン2から延長されるゲート下部電極28と、ゲート絶

50

縁膜44および保護膜50を貫通する第3コンタクトホール30を通じてゲート下部電極28に接続されたゲートパッド上部電極32とで構成される。

【0015】

データライン4は、データパッド部34を通じてデータドライバー(図示せず)と接続される。データパッド部34は、データライン4から延長されるデータ下部電極36と、保護膜50を貫通する第4コンタクトホール38を通じてデータパッド36と接続されたデータパッド上部電極40とで構成される。

【0016】

このような構成を有する薄膜トランジスター基板の製造方法である4マスク工程について、図3A～図3Dを参照しながら詳細に説明する。

【0017】

図3Aを参照すると、第1マスク工程を利用して下部基板42上に、ゲートライン2、ゲート電極8、およびゲートパッド下部電極28を含むゲート金属パターンが形成される。

【0018】

詳細には、下部基板42上にスパッタリング方法などの蒸着方法によりゲート金属層が形成された後、第1マスクを利用したフォトリソグラフィ工程と蝕刻工程でゲート金属層がパターニングされることにより、ゲートライン2、ゲート電極8、およびゲートパッド下部電極28を含むゲート金属パターンが形成される。ゲート金属には、Mo、Al、Cr系金属などが単一層または二重層構造で利用される。

【0019】

図3Bを参照すると、ゲート金属パターンが形成された下部基板42上にゲート絶縁膜44が塗布される。そして、第2マスク工程を利用してゲート絶縁膜44上に活性層14およびオーミック接触層48を含む半導体パターンと、データライン4、ソース電極10、ドレイン電極12、データパッド下部電極36、およびストリッジ電極22を含むソース/ドレイン金属パターンとが順次形成される。

【0020】

詳細には、ゲート金属パターンが形成された下部基板42上に、PECVD、スパッタリングなどの蒸着方法によりゲート絶縁膜44、非晶質シリコン層、 n^+ 非晶質シリコン層、およびソース/ドレイン金属層が順次形成される。ここで、ゲート絶縁膜44の材料には、シリコン酸化物(SiO_x)またはシリコン窒化物(SiN_x)などの無機絶縁物質が利用される。ソース/ドレイン金属にはMo、Al、Cr系金属などが利用される。

【0021】

続いて、ソース/ドレイン金属層上に第2マスクを利用したフォトリソグラフィ工程でフォトレジストパターンを形成する。この場合、第2マスクには、薄膜トランジスターのチャネル部に回折露光部を有する回折露光マスクを利用することにより、チャネル部のフォトレジストパターンが他のソース/ドレインパターン部より低い高さを有するようにする。

【0022】

続いて、フォトレジストパターンを利用した湿式蝕刻工程でソース/ドレイン金属層がパターニングされることにより、データライン4、ソース電極10、そのソース電極10と一体化されたドレイン電極12、およびストリッジ電極22を含むソース/ドレイン金属パターンが形成される。

【0023】

その次に、同一のフォトレジストパターンを利用した乾式蝕刻工程で n^+ 非晶質シリコン層が同時にパターニングされることによりオーミック接触層48と活性層14とが形成される。

【0024】

そして、アッシング工程によりチャネル部で相対的に低い高さを有するフォトレジストパターンが除去された後、乾式蝕刻工程でチャネル部のソース/ドレイン金属パターンおよびオーミック接触層48が蝕刻される。これによって、チャネル部の活性層14が露出され

10

20

30

40

50

てソース電極10とドレーン電極12とが分離される。

【0025】

続いて、ストリップ（剥離）工程でソース/ドレーンパターン部上に残っているフォトレジストパターンが除去される。

【0026】

図3Cを参照すると、ソース/ドレーン金属パターンが形成されたゲート絶縁膜44上に、第3マスク工程を利用して第1～第4コンタクトホール16,24,30,38を含む保護膜50が形成される。

【0027】

詳細には、ソース/ドレーン金属パターンが形成されたゲート絶縁膜44上にPECVDなどの蒸着方法で保護膜50が全面形成される。続いて、保護膜50が第3マスクを利用したフォトリソグラフィ工程と蝕刻工程でパターンニングされることにより、第1～第4コンタクトホール16,24,30,38が形成される。

【0028】

第1コンタクトホール16は保護膜50を貫通してドレーン電極12が露出されるように形成され、第2コンタクトホール24は保護膜50を貫通してストリッジ上部電極22が露出されるように形成される。第3コンタクトホール30は保護膜50およびゲート絶縁膜44を貫通してゲートパッド下部電極28が露出されるように形成される。第4コンタクトホール38は保護膜50を貫通してデータ上部電極36が露出されるように形成される。

【0029】

保護膜50の材料には、ゲート絶縁膜44のような無機絶縁物質、誘電常数が小さいアクリル系有機化合物、BCBまたはPFCBなどのような有機絶縁物質が利用される。

【0030】

図3Dを参照すると、第4マスク工程を利用して保護膜50上に、画素電極18、ゲートパッド上部電極32、およびデータパッド上部電極40を含む透明導電膜パターンが形成される。

【0031】

保護膜50上にスパッタリングなどの蒸着方法で透明導電膜が塗布される。続いて、第4マスクを利用したフォトリソグラフィ工程と蝕刻工程で透明導電膜がパターンニングされることにより、画素電極18、ゲートパッド上部電極32、およびデータパッド上部電極40を含む透明導電膜パターンが形成される。画素電極18は、第1コンタクトホール16を通じてドレーン電極12と電氣的に接続され、第2コンタクトホール24を通じてゲートライン2と重なるストリッジ上部電極22と電氣的に接続される。ゲートパッド上部電極32は、第3コンタクトホール30を通じてゲートパッド下部電極28と電氣的に接続される。データパッド上部電極40は、第4コンタクトホール38を通じてデータ下部電極36と電氣的に接続される。ここで、透明導電膜の材料にはインジウム錫酸化物(ITO)などが利用される。

【0032】

このように、従来の薄膜トランジスタ基板およびその製造方法は、4マスク工程で工程数を減らすと共にそれに比例する製造単価を節減し得るようになった。

【0033】

延いては、本出願人は一つのマスク工程をもっと節減して3マスク工程で薄膜トランジスタ基板を製造する方法を韓国特許出願第2002-88323号で提案している。このような3マスク工程を利用した薄膜トランジスタ基板の製造方法は、コンタクトホール形成のためのフォトレジストパターン上に透明導電膜を全面塗布した後、そのフォトレジストパターンをリフト・オフ方法で除去することにより透明導電膜がパターンニングされるようにする。この場合、リフト・オフ方法の効率を高めるためには、ストリッパー(Stripper)が透明導電膜が塗布されたフォトレジストパターンで十分に浸透し得るようストリッパー浸透経路が要求される。

【発明の開示】

【発明が解決しようとする課題】

【0034】

10

20

30

40

50

従って、本発明の目的は、リフト・オフ工程の効率を向上し得る液晶表示装置およびその製造方法を提供することにある。

【課題を解決するための手段】

【0035】

上記目的を達成するために、本発明の実施例による液晶表示装置は、基板と、その基板上に形成された多数のアレー領域と、その多数のアレー領域間の基板上に形成された少なくとも一つのダミー領域と、その少なくとも一つのダミー領域内で絶縁膜を貫通して形成された少なくとも一つの開口部と、その少なくとも一つの開口部内に配置された少なくとも一つの支持部とを備える。

【0036】

また、開口部内に形成された透明導電層を更に備える。

【0037】

また、絶縁膜はゲート絶縁膜および保護膜を含む。

【0038】

また、少なくとも一つの支持部は絶縁物質で形成される。

【0039】

また、少なくとも一つの支持部はゲート絶縁膜および保護膜を含む。

【0040】

また、少なくとも一つの支持部上に形成されたダミーシーリング材を更に備える。

【0041】

また、少なくとも一つの支持部は一定の間隔を有するマルチホールを備える。

【0042】

また、一定の間隔は少なくとも一つの支持部上に形成されるダミーシーリング材の幅より狭く設定される。

【0043】

また、開口部およびマルチホール内に形成された透明導電膜を更に備える。

【0044】

また、多数のアレー領域は、それぞれ多数の薄膜トランジスターを含む。

【0045】

そして、本発明の実施例による液晶表示装置の製造方法は、第1基板上に少なくとも一つのダミー領域を間に置き多数のアレー領域を形成する段階と、第1基板上に絶縁膜を形成する段階と、少なくとも一つのダミー領域内で絶縁膜の一部を貫通する少なくとも一つの開口部を形成する段階と、少なくとも一つの開口部内に少なくとも一つの支持部を形成する段階とを含む。

【0046】

また、少なくとも一つの開口部と少なくとも一つの支持部とは同時に形成される。

【0047】

また、少なくとも一つの開口部および少なくとも一つの支持部を形成する、絶縁膜上にフォトリソパターンを形成する段階と、フォトリソパターンをマスクに利用して絶縁膜を蝕刻する段階と、フォトリソパターン上に透明導電膜を形成する段階と、フォトリソパターンおよびその上に形成された透明導電膜を除去する段階とを含む。

【0048】

また、絶縁膜を形成する段階は、ゲート絶縁膜を形成する段階と、保護膜を形成する段階とを含む。

【0049】

また、少なくとも一つの支持部は絶縁物質で形成される。

【0050】

また、本発明の液晶表示装置の製造方法は、第1基板と第2基板とを合着する段階を更に含む。

【0051】

10

20

30

40

50

また、本発明の液晶表示装置の製造方法は、少なくとも一つの支持部にマルチホールを形成する段階を更に含む。

【0052】

また、マルチホールは少なくとも一つの開口部と共に形成される。

【0053】

また、開口部およびマルチホール内には透明導電膜が残存するようになる。

【発明の効果】

【0054】

本発明による液晶表示パネルおよびその製造方法は、液晶高分子前駆体物質をソフトモールドで加圧成型してスペーサーおよび平坦化層を形成することにより、露光および現象工程が省略され、露光装備などの高価装備が不要になる。これによって、製造工程が単純化され費用が節減される。

【発明を実施するための最良の形態】

【0055】

以下、本発明の実施例を示した図4A～図10Dを参照して詳細に説明する。

【0056】

まず、本出願人は3マスクを利用した薄膜トランジスタ基板の製造方法に利用されたリフト・オフ工程の効率を向上させるために韓国特許出願第2003-74138号(以下、「先願発明」という。)で、次の図4A～図5Cに図示された通り、配線の上および間にストリッパ浸透経路を形成する方法を提案した。

【0057】

図4Aおよび図4Bは、薄膜トランジスタ基板の表示領域のうち1画素領域と、非表示領域のうちラインオンガラス(以下、「LOG」という。; Line On Glass)領域の断面構造を図示したものである。

【0058】

図4Aに図示された薄膜トランジスタ基板は、ゲートライン102とデータライン104との交叉で定義された画素領域に形成された薄膜トランジスタ100および画素電極118、ストリッジキャパシタ120とを備える。

【0059】

薄膜トランジスタ106は、ゲートライン102と接続されたゲート電極108、データライン104と接続されたソース電極110、そのソース電極110と向かい合う画素電極118と接続されたドレイン電極112、ゲート絶縁膜144を間に置きゲート電極108と重なりソース電極110およびドレイン電極112の間にチャンネルを形成する活性層114、ソース電極110およびドレイン電極112と活性層114との間に形成されたオーミック接触層146とを備える。

【0060】

画素電極118は、画素領域で保護膜150およびゲート絶縁膜144を貫通する画素ホール100内に形成され、その画素ホール105を通じて露出されたドレイン電極112と側面接続される。

【0061】

ストリッジキャパシタ120は、ゲートライン102とゲート絶縁膜144とを間に置き重なる第1および第2ストリッジ上部電極122,125を備える。第1ストリッジ上部電極122は画素電極118と側面接続される。第2ストリッジ上部電極125は、ゲートライン102上で、オーミック接触層146、活性層114、および第1ストリッジ上部電極122を貫通する第1コンタクトホール124内に形成されて第1ストリッジ上部電極122と側面接続される。

【0062】

図4Bに図示されたLOG領域に形成された多数のLOG型信号ライン212は、データドライバが実装されたデータテープキャリアパッケージ(以下、「TCP」という。)を通じて供給されるゲート制御信号および電源信号をゲートドライバが実装されたゲートTCPに供給する役割をする。また、LOG領域にはLOG型信号ライン210の上および間に、ストリッパの浸透経路として形成されたスリット214,216が更に形成される。このようなスリット214

,216は保護膜324およびゲート絶縁膜322を貫通して形成され、リフト - オフ工程上ダミー透明導電パターン213,215が残存するようになる。

【0063】

図5A～図5Cは、図4Aと図4Bに図示された薄膜トランジスター基板の第3マスク工程を具体的に説明するための断面図である。

【0064】

図5Aを参照すると、ソース/ドレインパターンが形成されたゲート絶縁膜144上に保護膜150が全面形成され、その保護膜150上にフォトレジストパターン152が形成される。

【0065】

第1マスク工程で基板142上に、ゲートライン102、ゲート電極108、およびLOG型信号ライン210などを含むゲートパターンが形成される。そして、第2マスク工程でゲートパターンを覆うゲート絶縁膜144、活性層114、オーミック接触層146、データライン104、ソース電極110、ドレイン電極112、および第1ストリッジ上部電極122などを含むソース/ドレインパターンが形成される。

【0066】

そして、ソース/ドレインパターンを覆う保護膜150が形成され、その保護膜150上に第3マスクを利用したフォトリソグラフィ工程で保護膜150およびゲート絶縁膜144パターニングのためのフォトレジストパターン152が形成される。

【0067】

続いて、フォトレジストパターン102をマスクを利用した蝕刻工程で、図5Bに図示された通り、保護膜150およびゲート絶縁膜144を貫通する画素ホール100およびスリット214,216と保護膜150から活性層114まで貫通する第1コンタクトホール124が形成される。

【0068】

その次に、図5Cに図示された通り、フォトレジストパターン152を覆う透明導電膜154が全面形成され、フォトレジストパターン152を除去するリフト - オフ工程で、図5Dに図示された通り、画素電極118、第2ストリッジ上部電極125、ダミー透明導電パターン213,215が形成される。この際、フォトレジストパターン152が除去された領域に形成された画素ホール100、第1コンタクトホール124、およびスリット214,216はストリッパー浸透経路Aに利用され、これを通じてフォトレジストパターン152と保護膜150の境部に多くのストリッパーが浸透することにより、透明導電膜154が覆われたフォトレジストパターン152は保護膜150から容易に分離されることができるようになる。これは保護膜150の過蝕刻でフォトレジストパターン152のエッジ部が保護膜150のエッジ部より突出した形態を有するようにする場合、そのフォトレジストパターン152のエッジ部で透明導電膜154がオープンされてストリッパーが容易に浸透することができるからである。

【0069】

このように、先願発明は薄膜トランジスター基板の非表示領域にフォトレジストパターンが除去された多数のスリット、即ち、ストリッパー浸透経路を形成してリフト - オフ能力を向上させるようになる。

【0070】

延いては、本発明はリフト - オフ能力を一層向上させるために不要なフォトレジストパターンを最大限除去しようとする。

【0071】

以下、図6～図10Dを参照して本発明の望ましい実施例について詳細に説明する。

【0072】

図6は多数の液晶パネルユニットを含む本発明の第1実施例における初期パネルを概略的に図示した平面図であり、図7は図6に図示された初期パネルをII - II'線に沿って切断して図示した断面図である。

【0073】

図6および図7に図示された初期パネル300は、液晶パネルユニット302を含むように形成される。言い換えると、初期パネル300は多数の液晶パネルユニット302に該当する薄膜ト

10

20

30

40

50

ランジスターアレーが形成された薄膜トランジスター母基板310と、多数のカラーフィルターアレーが形成されたカラーフィルター母基板320とが液晶層を間に置き合着されて形成される。この際、薄膜トランジスター母基板310と、カラーフィルター母基板320とは、各液晶パネルユニット302の周辺部に沿って塗布されたメーンシーリング材304を通じて合着される。また、液晶パネルユニット304の間のダミー領域にはダミーシーリング材306が更に塗布され、薄膜トランジスター母基板310とカラーフィルター母基板とが一定のセルギャップC Aを維持することができるようになる。言い換えると、薄膜トランジスター母基板310とカラーフィルター母基板320とは、それぞれのアレー領域内に形成されたスペーサー322およびメーンシーリング材304と、ダミー領域に形成されたダミーシーリング材306とにより一定のセルギャップを維持することができるようになる。

10

【0074】

ここで、薄膜トランジスター母基板310は、前述した通り、リフト・オフ工程を利用した3マスク工程で形成される。この際、リフト・オフ能力を向上させるために保護膜316パターンニング時に利用されるフォトレジストパターンをダミー領域から除去してもっと多くのストリッパー浸透経路を形成するようになる。その結果、ダミー領域には保護膜316およびゲート絶縁膜314が広い面積で除去された開口部318が一体化されて形成され、この開口部318にはリフト・オフ工程の特性上ダミー透明導電パターン330が残存するようになる。

【0075】

ところで、このように保護膜316およびゲート絶縁膜314が除去されたダミー領域の開口部318にダミーシーリング材306が塗布されることにより、メーンシーリング材304が塗布されたアレー領域と段差を有するようになる。このようなダミー領域とアレー領域の段差による薄膜トランジスター母基板310とカラーフィルター母基板320との合着およびホットプレス(加熱及び加圧)時にダミーシーリング材306が荷重を受けるようになることにより、図7に点線で図示された通り、アレー領域のセルギャップが増加してセルギャップが不均一になる現象が発生するようになる。

20

【0076】

このような問題点を解決するために、本発明の第2実施例による薄膜トランジスター母基板およびその製造方法は、図8および図9に図示された通り、ダミー領域のダミーシーリング領域に支持部340を形成する。支持部340はゲート絶縁膜314および保護膜316が積層された構造で形成される。そして、支持部340内には一定の間隔、例えば、ダミーシーリング剤306の幅より狭い線幅を有するマルチホール341が形成される。このようにマルチホール341を有する支持部340がダミーシーリング材306の下に位置することにより、メーンシーリング材304が塗布されたアレー領域との段差を防止することができるようになる。これによって、アレー領域とダミー領域の段差によるセルギャップ変形を防止することができる。

30

【0077】

そして、ダミー領域で支持部340が形成されたダミーシーリング領域の外郭領域にはフォトレジストパターンを除去するために保護膜316およびゲート絶縁膜314を貫通する開口部338が一体化されて形成される。このような開口部338と支持部340のマルチホール341内にはリフト・オフ特性上ダミー透明導電パターン330が残存する。

40

【0078】

図10A～図10Dは、図9に図示された薄膜トランジスター母基板310の製造方法のうち第3マスク工程を具体的に説明するための断面図である。

【0079】

図10Aを参照すると、ゲート絶縁膜314上に保護膜316が全面形成され、その保護膜316上に第3マスクを利用したフォトリソグラフィ工程でフォトレジストパターン352が形成される。

【0080】

続いて、フォトレジストパターン352をマスクを利用した蝕刻工程で、図10Bに図示さ

50

れた通り、保護膜316およびゲート絶縁膜314を貫通する開口部338とマルチホール341とを形成する。これによって、ダミー領域のうちダミーシーリング材が塗布されるダミーシーリング領域には、マルチホール341を有する支持部340がゲート絶縁膜314および保護膜316が積層された構造で形成される。

【0081】

その次に、図10Cに図示された通り、フォトリソistパターン352を覆う透明導電膜354が全面形成され、フォトリソistパターン352を除去するリフト・オフ工程で、図10Dに図示された通り、保護膜316およびゲート絶縁膜314を貫通するマルチホール341と開口部338との内側にはダミー透明導電パターン330が残存するようになる。

【0082】

そして、本発明の薄膜トランジスター母基板310は後続工程で、図9の通り、支持部340が形成された領域にダミーシーリング材306が、アレー領域の周辺部にメインシーリング材304が塗布された後、カラーフィルター母基板320と合着される。

【0083】

前述の通り、本発明による液晶表示装置およびその製造方法は、アレー領域間のダミー領域でフォトリソistパターンを除去して、保護膜およびゲート絶縁膜を貫通する相対的に広い面積の開口部を形成してストリッパー浸透経路を拡大することにより、リフト・オフ能力を向上させることができるようになる。

【0084】

特に、本発明による液晶表示装置およびその製造方法は、ダミー領域のうちダミーシーリング材が塗布されるダミーシーリング領域には支持部を形成してメインシーリング材が塗布されるアレー領域との段差を防止することにより、その段差によるセルギャップの変化を防止することができるようになる。

【0085】

以上説明した内容により、当業者であれば本発明の技術思想を逸脱しない範囲で多様な変更および修正が可能であることを分るであろう。従って、本発明の技術的範囲は明細書の詳細な説明に記載された内容に限定されるのではなく特許請求の範囲により定められるべきである。

【図面の簡単な説明】

【0086】

【図1】関連技術の薄膜トランジスター基板を部分的に図示した平面図である。

【図2】図1に図示された薄膜トランジスター基板をI-I'線に沿って切断して図示した断面図である。

【図3A】図2に図示された薄膜トランジスター基板の製造方法を段階的に図示した断面図である。

【図3B】図2に図示された薄膜トランジスター基板の製造方法を段階的に図示した断面図である。

【図3C】図2に図示された薄膜トランジスター基板の製造方法を段階的に図示した断面図である。

【図3D】図2に図示された薄膜トランジスター基板の製造方法を段階的に図示した断面図である。

【図4A】先願発明の薄膜トランジスター基板の1画素領域と周辺領域を図示した断面図である。

【図4B】先願発明の薄膜トランジスター基板の1画素領域と周辺領域を図示した断面図である。

【図5A】図4Aおよび図4Bに図示された薄膜トランジスター基板の第3マスク工程を具体的に説明するための断面図である。

【図5B】図4Aおよび図4Bに図示された薄膜トランジスター基板の第3マスク工程を具体的に説明するための断面図である。

【図5C】図4Aおよび図4Bに図示された薄膜トランジスター基板の第3マスク工程を具

10

20

30

40

50

体的に説明するための断面図である。

【図 5 D】図 4 A および図 4 B に図示された薄膜トランジスター基板の第 3 マスク工程を具体的に説明するための断面図である。

【図 6】本発明の第 1 実施例による薄膜トランジスター母基板を含む初期パネルを図示した平面図である。

【図 7】図 6 に図示された初期パネルを II - II' 線に沿って切断して図示した断面図である。

【図 8】本発明の第 2 実施例によるトランジスター母基板を含む初期パネルを図示した平面図である。

【図 9】図 8 に図示された初期パネルを III - III' 線に沿って切断して図示した断面図である。 10

【図 10 A】図 9 に図示された薄膜トランジスター基板の第 3 マスク工程を具体的に説明するための断面図である。

【図 10 B】図 9 に図示された薄膜トランジスター基板の第 3 マスク工程を具体的に説明するための断面図である。

【図 10 C】図 9 に図示された薄膜トランジスター基板の第 3 マスク工程を具体的に説明するための断面図である。

【図 10 D】図 9 に図示された薄膜トランジスター基板の第 3 マスク工程を具体的に説明するための断面図である。

【符号の説明】 20

【0087】

2, 102: ゲートライン

4, 104: データライン

6, 106: 薄膜トランジスター

8, 108: ゲート電極

10, 110: ソース電極

12, 112: ドレイン電極

14, 114: 活性層

16, 24, 30, 38, 125: コンタクトホール

18, 118: 画素電極

20, 120: ストリッジキャパシター

22, 122, 124: ストリッジ上部電極

26: ゲートパッド

28: ゲートパッド下部電極

32: ゲートパッド上部電極

34: データパッド

36: データパッド下部電極

40: データパッド上部電極

42, 142, 312: 基板

44, 144, 314: ゲート絶縁膜

48, 148: オーミック接触層

50, 150, 316: 保護膜

152, 352: フォトレジストパターン

160: 画素ホール

154, 354: 透明導電膜

214, 216: スリット

213, 215, 330: ダミー透明導電パターン

300: 初期パネル

302: 液晶パネルユニット

304: メーンシーリング材

30

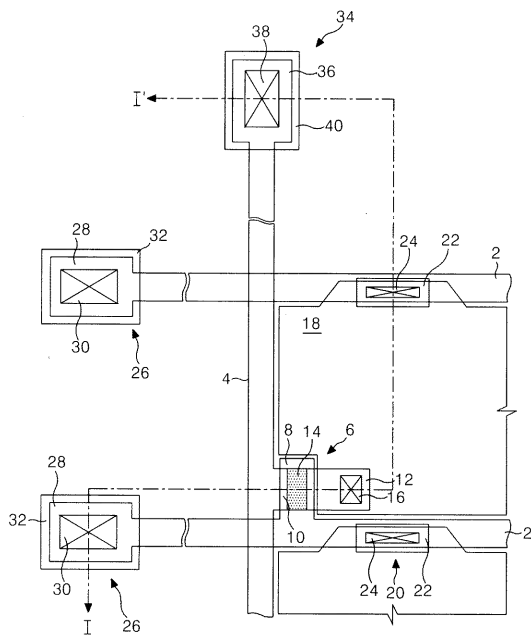
40

50

306 : ダミーシーリング材
 308 : ダミー領域
 310 : 薄膜トランジスター母基板
 320 : カラーフィルター母基板
 322 : スペース
 318 , 338 : 開口部
 341 : 支持部
 341 : マルチホール

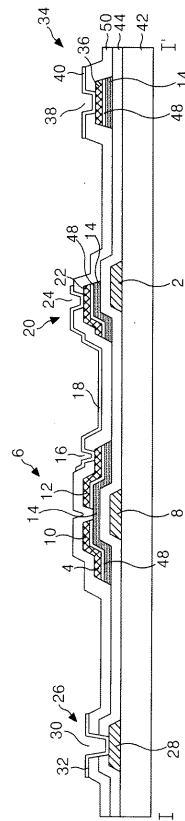
【図 1】

関連技術



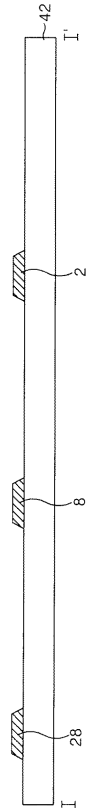
【図 2】

関連技術



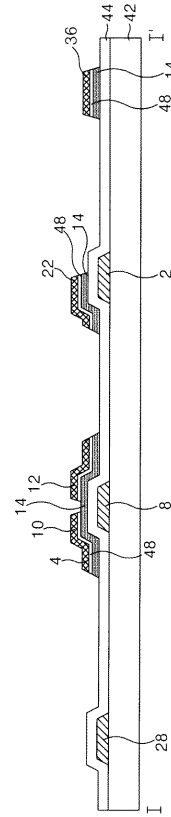
【図 3 A】

関連技術



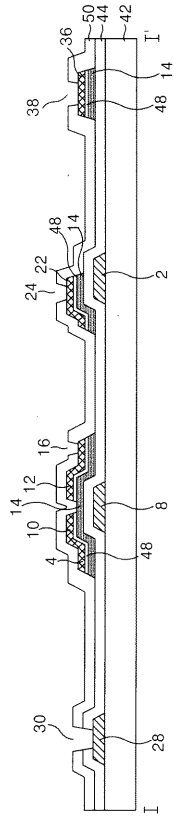
【図 3 B】

関連技術



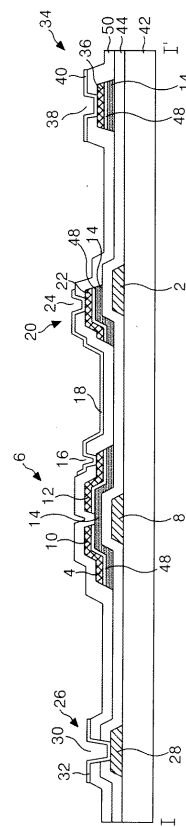
【図 3 C】

関連技術



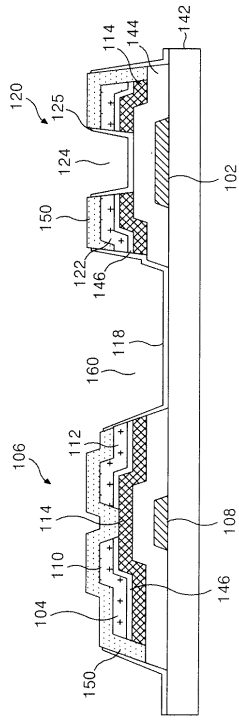
【図 3 D】

関連技術



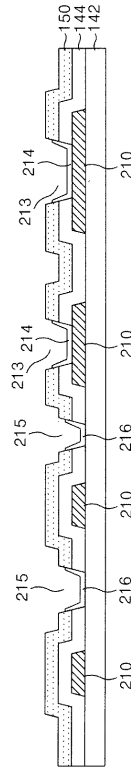
【図 4 A】

関連技術



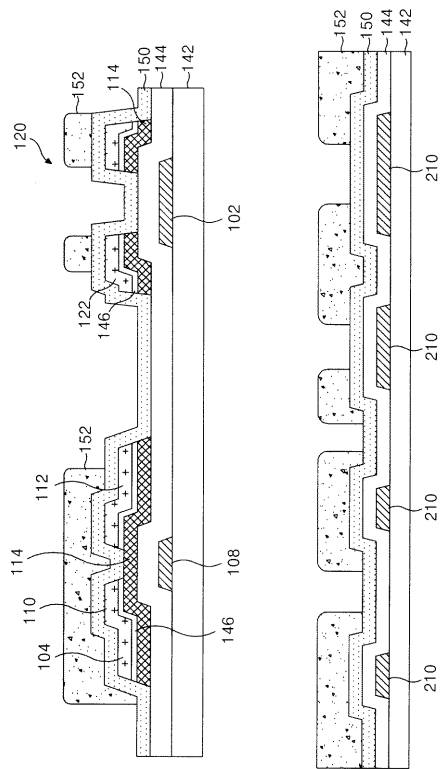
【図 4 B】

関連技術



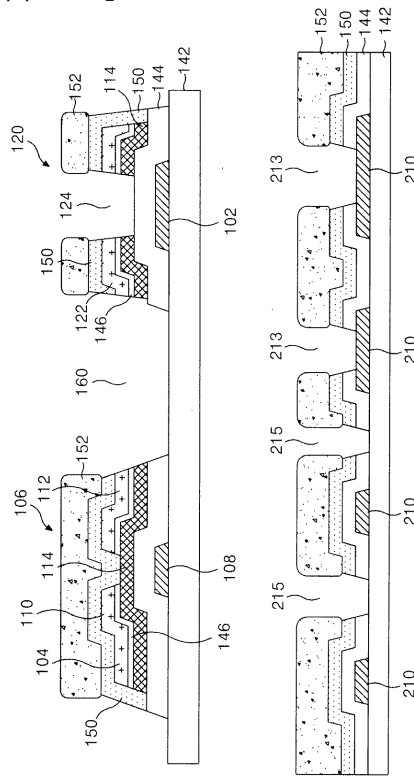
【図 5 A】

関連技術

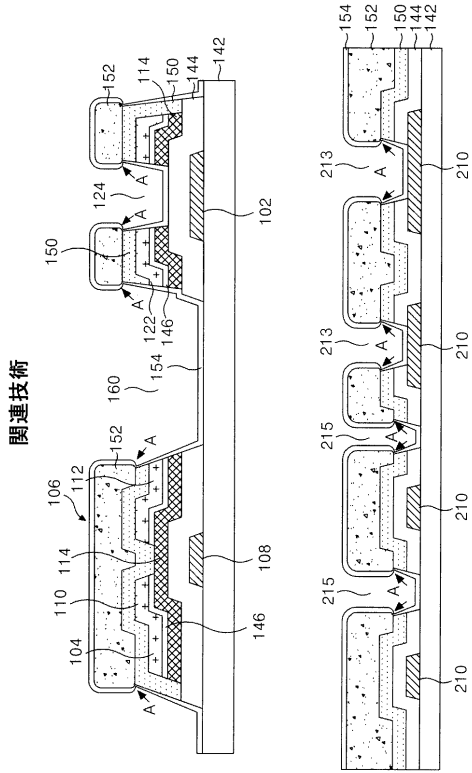


【図 5 B】

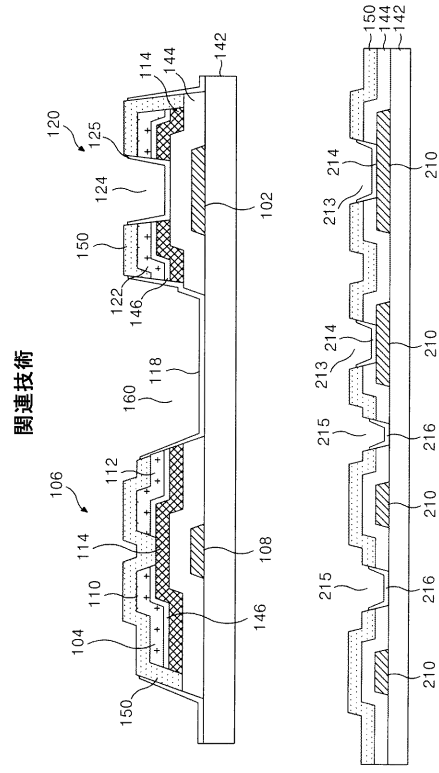
関連技術



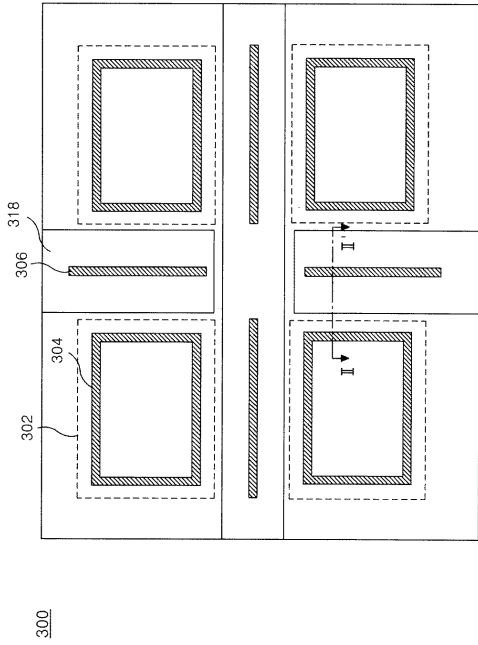
【図 5 C】



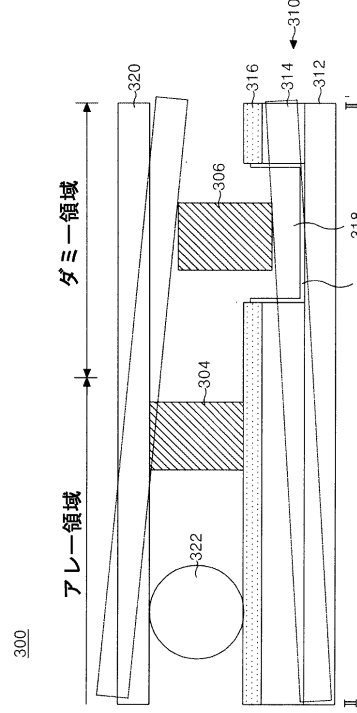
【図 5 D】



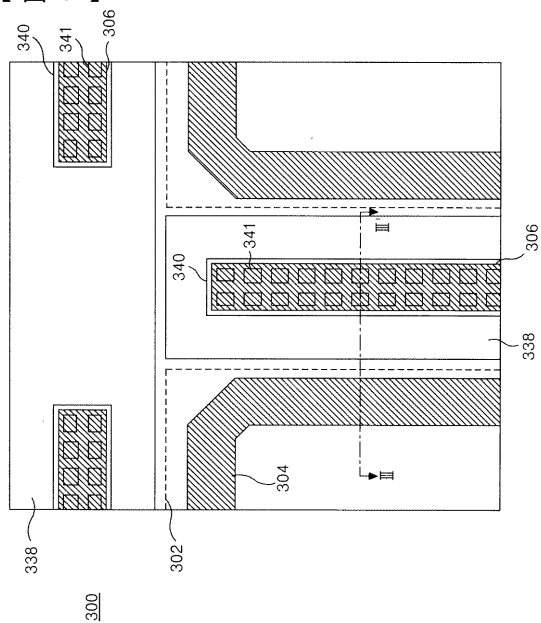
【図 6】



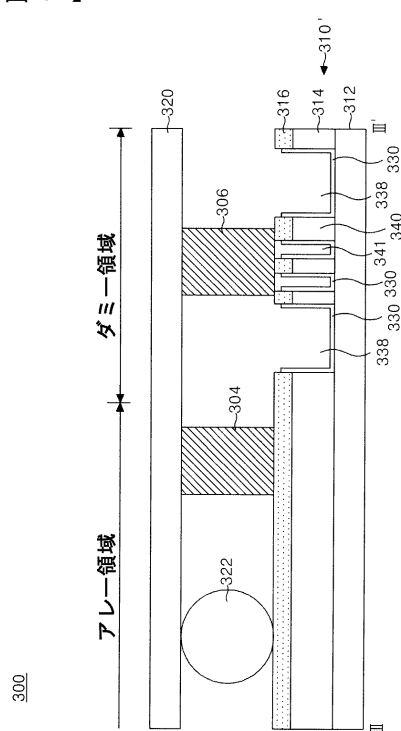
【図 7】



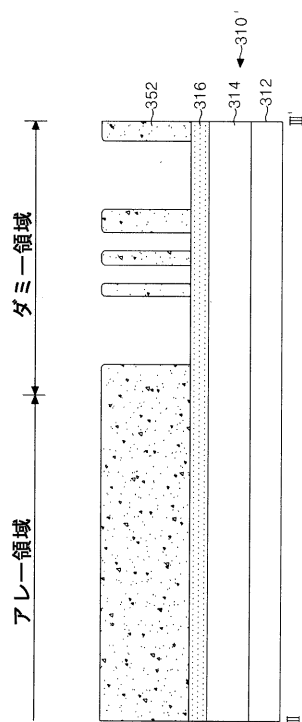
【図 8】



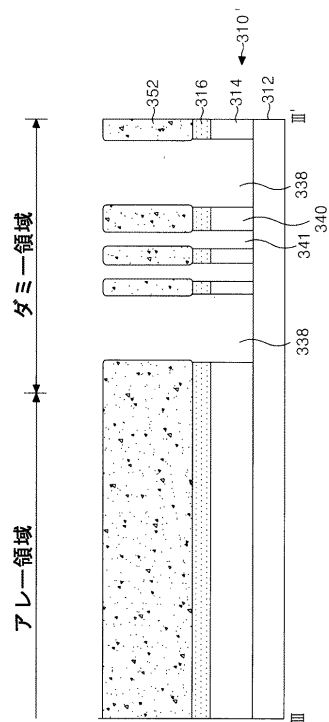
【図 9】



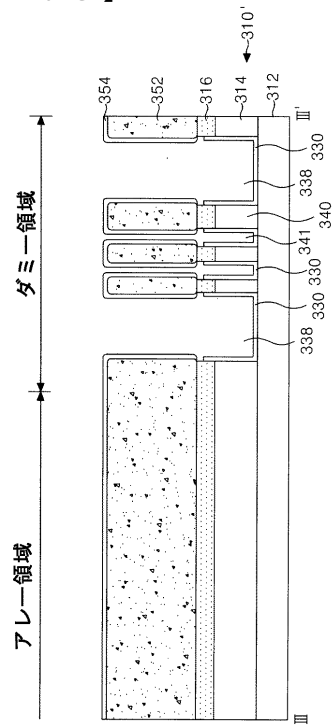
【図 10 A】



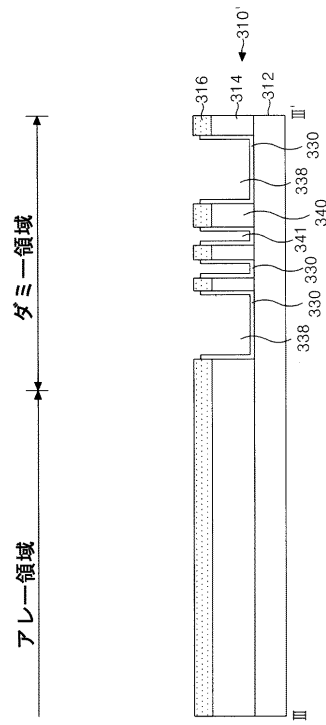
【図 10 B】



【 ㊦ 1 0 C 】



【 図 1 0 D 】



フロントページの続き

(74)代理人 100101498

弁理士 越智 隆夫

(74)代理人 100096688

弁理士 本宮 照久

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 鄭 泰 容

大韓民国 慶尚北道 龜尾市 九坪洞 プヨン アパート 204-303号

(72)発明者 李 志 ▲リ▼

大韓民国 京畿道 高陽市 徳陽區 土堂洞 850-11番地 ロイヤル 1次 アパート エ
ー - 201号

(72)発明者 郭 喜 榮

大韓民国 ソウル特別市 廣津區 紫陽洞 759-28番地

Fターム(参考) 2H092 GA11 JA24 JA34 JA37 JA41 JB22 JB31 MA13 MA15 NA25

PA01 PA08

5F110 AA16 BB01 CC07 HM18 NN02 NN72 NN73 QQ01 QQ14

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP2005346091A	公开(公告)日	2005-12-15
申请号	JP2005165603	申请日	2005-06-06
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司，有限公司		
[标]发明人	鄭泰容 李志リ 郭喜榮		
发明人	鄭泰容 李志 ▲リ▼ 郭喜榮		
IPC分类号	G02F1/1368 G02F1/1333 G02F1/136 G09G3/36 H01L21/336 H01L29/786		
CPC分类号	G02F1/1368 G02F2001/133388 G02F2001/136231		
FI分类号	G02F1/1368 H01L29/78.612.D		
F-TERM分类号	2H092/GA11 2H092/JA24 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JB22 2H092/JB31 2H092/MA13 2H092/MA15 2H092/NA25 2H092/PA01 2H092/PA08 5F110/AA16 5F110/BB01 5F110/CC07 5F110/HM18 5F110/NN02 5F110/NN72 5F110/NN73 5F110/QQ01 5F110/QQ14 2H192/AA24 2H192/BC31 2H192/CB05 2H192/DA02 2H192/DA42 2H192/EA43 2H192/FA35 2H192/FA65 2H192/FA76 2H192/GD25 2H192/HA70 2H192/HA93		
代理人(译)	臼井伸一 朝日 伸光		
优先权	1020040041137 2004-06-05 KR		
其他公开文献	JP4422648B2		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种用于显示装置的薄膜晶体管基板及其制造方法，其可以提高剥离工艺的效率。本发明的薄膜晶体管母板310是其中施加了形成有薄膜晶体管阵列的大量阵列区域，多个阵列区域之间的虚拟区域以及虚拟区域的虚拟密封材料306的虚拟。在密封区域中贯通绝缘膜而形成有贯通孔341，在虚拟区域中的虚设密封区域的外部区域中，贯通绝缘膜而形成有开口338。[选择图]图9

