

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-338758
(P2005-338758A)

(43) 公開日 平成17年12月8日(2005.12.8)

(51) Int.Cl.⁷

G09G 3/36
G02F 1/133
G09G 3/20
G11C 19/00

F 1

G09G 3/36
G02F 1/133 505
G09G 3/20 622E
G09G 3/20 670E
G11C 19/00 G

テーマコード(参考)

2H093

5C006

5C080

審査請求 有 請求項の数 10 O L (全 15 頁) 最終頁に続く

(21) 出願番号

特願2004-374584 (P2004-374584)

(22) 出願日

平成16年12月24日 (2004.12.24)

(31) 優先権主張番号

2004-037724

(32) 優先日

平成16年5月27日 (2004.5.27)

(33) 優先権主張国

韓国 (KR)

(71) 出願人

599127667

エルジー フィリップス エルシーティー
カンパニー リミテッド
大韓民国 ソウル, ヨンドンポーク,
ヨイドードン 20

(74) 代理人

100057874

弁理士 曽我 道照

(74) 代理人

100110423

弁理士 曽我 道治

(74) 代理人

100084010

弁理士 古川 秀利

(74) 代理人

100094695

弁理士 鈴木 憲七

(74) 代理人

100111648

弁理士 梶並 順

最終頁に続く

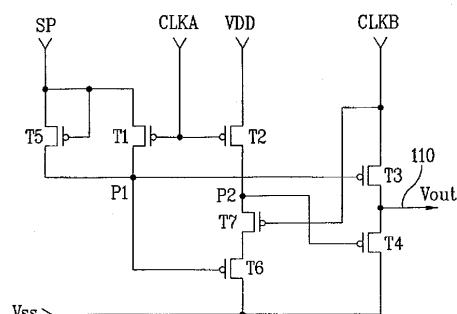
(54) 【発明の名称】シフトレジスタ及び液晶表示装置

(57) 【要約】

【課題】第1ステージに供給するスタートパルスとクロック信号が同期しなくてもゲート駆動パルスを出力することができるシフトレジスタ及びこれを用いた液晶表示装置を提供する。

【解決手段】ゲート駆動パルスを順次出力する複数のステージを具備したシフトレジスタにおいて、少なくとも1つのステージは第1クロック信号によりターンオンしてスタートパルスを第1ノードに印加する第1スイッチング素子と、前記第1クロック信号によりターンオンして第1供給電圧を第2ノードに印加する第2スイッチング素子と、前記第1ノードに印加したスタートパルスによりターンオンして第2クロック信号を出力する第3スイッチング素子と、前記第2ノードに印加した第1供給電圧によりターンオンして第2供給電圧を出力する第4スイッチング素子と、前記スタートパルスによりターンオンして前記スタートパルスを前記第1ノードに印加する第5スイッチング素子とを含んで構成されたものである。

【選択図】図5



【特許請求の範囲】

【請求項 1】

ゲート駆動パルスを順次出力する複数のステージを具備したシフトレジスタにおいて、少なくとも 1 つのステージは、
 第 1 クロック信号によりターンオンしてスタートパルスを第 1 ノードに印加する第 1 スイッチング素子と、
 前記第 1 クロック信号によりターンオンして第 1 供給電圧を第 2 ノードに印加する第 2 スイッチング素子と、
 前記第 1 ノードに印加したスタートパルスによりターンオンして第 2 クロック信号を出力する第 3 スイッチング素子と、
 前記第 2 ノードに印加した第 1 供給電圧によりターンオンして第 2 供給電圧を出力する第 4 スイッチング素子と、
 前記スタートパルスによりターンオンして前記スタートパルスを前記第 1 ノードに印加する第 5 スイッチング素子と
 を含んで構成することを特徴とするシフトレジスタ。
 10

【請求項 2】

前記少なくとも 1 つのステージは、
 前記第 1 ノードの充電状態によりターンオンして前記第 2 供給電圧を導通させる第 6 スイッチング素子と、
 前記第 2 クロック信号の論理によりターンオンして前記第 6 スイッチング素子を経由する第 2 供給電圧を前記第 2 ノードに充電させる第 7 スイッチング素子と
 をさらに具備することを特徴とする請求項 1 に記載のシフトレジスタ。
 20

【請求項 3】

前記第 1 乃至第 7 スイッチング素子は PMOS トランジスタまたは NMOS トランジスタのうち何れか 1 つである
 ことを特徴とする請求項 2 に記載のシフトレジスタ。

【請求項 4】

前記第 1 スイッチング素子と第 5 スイッチング素子とは互いに並列に接続する
 ことを特徴とする請求項 1 に記載のシフトレジスタ。

【請求項 5】

前記第 1 スイッチング素子のソースと前記第 5 スイッチング素子のソースとが互いに接続し、前記第 1 スイッチング素子のドレインと前記第 5 スイッチング素子のドレインとが互いに接続し、前記第 5 スイッチング素子のゲートは前記第 5 スイッチング素子のソースに接続する
 ことを特徴とする請求項 4 に記載のシフトレジスタ。
 30

【請求項 6】

前記少なくとも 1 つのステージは前記複数のステージの全てに該当する
 ことを特徴とする請求項 1 に記載のシフトレジスタ。

【請求項 7】

前記少なくとも 1 つのステージは最初のステージに該当する
 ことを特徴とする請求項 1 に記載のシフトレジスタ。
 40

【請求項 8】

互いに垂直交差する複数のゲートライン及びデータラインが具備された液晶パネルと、
 前記液晶パネルの各ゲートラインにゲート駆動パルスを順次供給するゲートドライバーと、
 前記各ゲートドライバーのシフトレジスタに具備された複数のステージを具備し、
 前記ステージは、第 1 クロック信号によりターンオンしてスタートパルスを第 1 ノードに印加する第 1 スイッチング素子と、
 前記第 1 クロック信号によりターンオンして第 1 供給電圧を第 2 ノードに印加する第 2 スイッチング素子と、
 前記第 1 クロック信号によりターンオンして第 1 供給電圧を第 2 ノードに印加する第 2
 50

前記第1ノードに印加したスタートパルスによりターンオンして第2クロック信号を出力する第3スイッチング素子と、

前記第2ノードに印加した第1供給電圧によりターンオンして第2供給電圧を出力する第4スイッチング素子と、

前記スタートパルスによりターンオンして前記スタートパルスを前記第1ノードに印加する第5スイッチング素子と

を含んで構成することを特徴とする液晶表示装置。

【請求項9】

前記少なくとも1つのステージは、前記第1ノードの充電状態によりターンオンして前記第2供給電圧を導通させる第6スイッチング素子と、

前記第2クロック信号の論理によりターンオンして前記第6スイッチング素子を経由する第2供給電圧を前記第2ノードに充電させる第7スイッチング素子をさらに具備することを特徴とする請求項8に記載の液晶表示装置。

【請求項10】

前記第5スイッチング素子は、前記複数のステージのうち、前記スタートパルスが印加される最初のステージにのみ具備する

ことを特徴とする請求項8に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関し、特にスタートパルスとクロック信号の同期化が不要なシフトレジスタ及びこれを用いた液晶表示装置に関する。

【背景技術】

【0002】

情報化社会が発展するにつれ、表示装置に対する要求も多様な形態に広がってきており、これに相応して、近来では、LCD、PDP、ELD、VFD等様々な平板表示装置が研究され、一部は既に様々な装備で表示装置として活用されている。そのうち、現在、画質が優れ、軽量、薄型、低消費電力の長所により移動型画像表示装置の用途としてCRTを代替してLCDが最も多く用いられており、ノートパソコンのモニターのような移動型の用途以外にも放送信号を受信してディスプレイするテレビ及びコンピュータのモニターなどに多様に開発されている。

【0003】

このように液晶表示装置が様々な分野で画面表示装置としての役割を果たすために色々な技術的な発展が成されたにもかかわらず、画面表示装置として画像の品質を高める作業は前記長所と相反する面が多々ある。したがって、液晶表示装置が一般的な画面表示装置として多様な部分に用いられるためには、軽量、薄型、低消費電力の特徴を維持しながらも、高精細、高輝度、大画面等、高品位画像をどの程度表すことができるかが発展の鍵になると言える。

【0004】

このような液晶表示装置は、画像を表示する液晶パネルと前記液晶パネルに駆動信号を印加するための駆動部とに大別することができ、前記液晶パネルは所定空間をもって貼り合わされた第1及び第2ガラス基板と、前記第1基板と第2ガラス基板間に注入された液晶層とで構成される。

【0005】

ここで、前記第1ガラス基板(TFTアレイ基板)には、所定間隔をもって一方向に配列される複数のゲートラインと、画素領域を定義するために前記各ゲートラインと垂直方向に一定の間隔をもって配列される複数のデータラインと、前記画素領域にマトリックス状に形成される複数の画素電極と、前記各ゲートラインとデータラインが交差する部分に形成されて前記ゲートラインのスキャン信号によりスイッチングされ、前記データラインのデータ信号を前記各画素電極に伝達する複数の薄膜トランジスタが形成される。また、

10

20

30

40

50

第2ガラス基板(カラーフィルター基板)には、前記画素領域を除外した部分の光を遮断するためのブラックマトリックス層と、カラー色相を表現するためのR、G、Bカラーフィルター層と、画像を表すための共通電極とが形成される。

【0006】

このような前記第1及び第2ガラス基板は、スペーサにより所定空間をもって液晶注入口を有するシール材により貼り合わされて前記2基板間に液晶が形成される。

【0007】

以下、添付された図面を参考として従来の液晶表示装置の駆動回路を説明すると次の通りである。

【0008】

図1は、一般的な液晶表示装置の駆動回路を示したブロック構成図である。図1に示したように、複数のゲートラインGとデータラインDが互いに垂直方向に配列されてマトリックス状の画素領域を有する液晶表示パネル21と、前記液晶表示パネル21にスキャン信号とデータ信号を供給する駆動回路部22と、前記液晶表示パネル21に一定の光源を提供するバックライト28とで区分される。

【0009】

ここで、前記駆動回路部22は、前記液晶表示パネル21の各データラインにデータ信号を入力するデータドライバー21bと、前記液晶表示パネル21の各ゲートラインGにスキャン信号を印加するゲートドライバー21aと、液晶表示パネルの駆動システム27から入力されるディスプレイデータR、G、Bと、垂直及び水平同期信号Vsync、Hsync、クロック信号DCLK等の制御信号が入力されて前記液晶表示パネル21の各データドライバー21bとゲートドライバー21aとが画面を再生するに適合するタイミングで各ディスプレイデータとクロック及び制御信号をフォーマットして出力するタイミングコントローラー23と、前記液晶表示パネル21及び各部に必要な電圧を供給する電源供給部24と、前記電源供給部24から電源が印加されて前記データドライバー21bが入力されるデジタルデータをアナログデータと変換する時、必要な基準電圧を前記データドライバー21bに供給するガンマ基準電圧部25と、前記電源供給部24から出力された電圧を用いて液晶表示パネル21に用いられる定電圧VDD、ゲート高電圧VGH、ゲート低電圧VGL、基準電圧Vref及び共通電圧Vcomなどを出力するDC/DC変換部26と、前記バックライト28を駆動するインバータ29とを具備して構成される。

【0010】

このように構成された一般的な液晶表示装置の駆動回路の動作は次の通りである。

すなわち、タイミングコントローラー23が液晶表示パネルの駆動システム27から入力されるディスプレイデータR、G、Bと垂直及び水平同期信号Vsync、Hsync、クロック信号DCLK等の制御信号が入力されて前記液晶表示パネル21の各データドライバー21bとゲートドライバー21aとが画面を再生するに適合するタイミングで各ディスプレイデータとクロック及び制御信号を提供するため、前記ゲートドライバー21aが前記液晶表示パネル21の各ゲートラインGにスキャン信号を印加し、これに同期して前記データドライバー21bが前記液晶表示パネル21の各データラインDにデータ信号を入力し、入力された映像信号をディスプレイする。ここで、前記ゲートドライバーは、前記各ゲートラインに順次スキャニング信号を供給するためのシフトレジスタを含む。

【0011】

以下、添付した図面を参照して従来のシフトレジスタを詳細に説明すると次の通りである。

【0012】

図2は、従来のシフトレジスタの概略的な構成図で、図3は、図2の各ステージに対する概略的な回路構成図である。従来のシフトレジスタは、図2に示したように、各種クロック信号CLKA、CLKB及び供給電圧VDD、VSSが印加されて各ゲートラインGを駆動するためのゲート駆動パルスを順次出力する複数のステージ51a、51b、51

c、51d、・・・、51nを具備している。

【0013】

ここで、第1ステージ51aは、スタートパルスSP、第1クロック信号CLKA、第2クロック信号CLKB、第1供給電圧VDD及び第2供給電圧VSSが印加されて第1ゲート駆動パルスVout1を出力し、前記第2ステージ51bは、前記第1ステージ51aの第1ゲート駆動パルスVout1、第1クロック信号CLKA、第2クロック信号CLKB、第1供給電圧VDD及び第2供給電圧VSSが印加されて前記第1ゲート駆動パルスVout1より一周期遅れた第2ゲート駆動パルスVout2を出力し、・・・、第nステージ51nは第n-1ステージ51n-1の第n-1ゲート駆動パルスVoutn-1、第1クロック信号CLKA、第2クロック信号CLKB、第1供給電圧VDD及び第2供給電圧VSSが印加されて前記第n-1ゲート駆動パルスVoutn-1より一周期遅れた第nゲート駆動パルスVoutnを出力する。

【0014】

要約すると、前記第1ステージ51aのみスタートパルスSPが供給されて、残りの第2乃至第nステージ(51b乃至51n)は各々その前段のステージの出力(ゲート駆動パルス(Vout1乃至Voutn-1))を入力として用いて、各前段の出力(ゲート駆動パルス(Vout1乃至Voutn-1))より一周期遅れたゲート駆動パルス(Vout2乃至Voutn)を出力する。したがって、前記各ステージ51a、51b、51c、51d、・・・、51nから出力される各ゲート駆動パルス(Vout1乃至Voutn)は前記各ゲートラインGに供給されて各ゲートラインGを順次スキャニングするようになる。このため、各ステージ51a、51b、51c、51d、・・・、51nには図3に示したような回路が構成されている。

【0015】

ここで、各ステージ51a、51b、51c、51d、・・・、51nの回路構成は全て同一で、単に第1、第2クロック信号CLKA、CLKBのみ奇数番目のステージ51a、51c、51e、・・・と偶数番目のステージ51b、51d、・・・と互いに異なるように印加するため、第1ステージ51aに構成された回路を例を挙げて説明する。

【0016】

すなわち、図3に示したように、前記第1ステージ51aは、第1クロック信号CLKAの論理によりターンオンまたはターンオフし、ターンオンの時、スタートパルスSPを導通させて第1ノードP1に充電させる第1PMOSトランジスタT1と、第1クロック信号CLKAの論理によりターンオンまたはターンオフし、ターンオンの時、第1供給電圧VDDを導通させて第2ノードP2に充電させる第2PMOSトランジスタT2と、前記第1ノードP1に充電した前記スタートパルスSPの論理によりターンオンまたはターンオフし、ターンオンの時、第2クロック信号CLKBを導通させて出力ライン50aに供給する第3PMOSトランジスタT3と、前記第2ノードP2の充電状態によりターンオンまたはターンオフし、ターンオンの時、第2供給電圧VSSを導通させて前記出力ライン50aに供給する第4PMOSトランジスタT4と、前記第1ノードP1に充電したスタートパルスSPの論理によりターンオンまたはターンオフし、ターンオンの時、前記第2供給電圧VSSを導通させる第5PMOSトランジスタT5と、前記第2クロック信号CLKBの論理によりターンオンまたはターンオフし、ターンオンの時、前記第5PMOSトランジスタT5を経由する第2供給電圧VSSを導通させて前記第2ノードP2を放電させる第6PMOSトランジスタT6をさらに具備する。

【0017】

ここで、前記第2ノードP2には、前記第1供給電圧VDDまたは第2供給電圧VSSを充電でき、前記第2ノードP2にロー論理を有する第2供給電圧VSSが充電された場合、前記第2ノードP2にゲートを通して連結した第4PMOSトランジスタT4はターンオンし、前記第2ノードP2にハイ論理を有する第1供給電圧VDDが充電された場合、前記第4PMOSトランジスタT4はターンオフする。一方、前記第3または第4PMOSトランジスタ(T3、T4)を経由して第1ステージ51aの出力ライン50aに供

10

20

30

40

50

給する第2クロック信号CLKBは、前記第1ゲート駆動パルスVout1として用いると同時に、次のステージ51bのスタートパルスSPとして用いる。

【0018】

そして、上述したように、奇数番目のステージ51a、51c、51e、…では前記第1、第2PMOSトランジスタ(T1、T2)のゲート端子に前記第1クロック信号CLKAが印加され、前記第3PMOSトランジスタT3のソース端子に第2クロック信号CLKBが印加される。そして、偶数番目のステージ51b、51d、…では前記第1、第2PMOSトランジスタ(T1、T2)のゲート端子に前記第2クロック信号CLKBが印加され、前記第3PMOSトランジスタT3のソース端子に第1クロック信号CLKAが印加される。このように構成された従来のシフトレジスタの動作を詳細に説明すると次の通りである。

【0019】

図4は、従来のシフトレジスタに供給される各種信号に対するタイミング図である。まず、第1周期(A)間に、前記シフトレジスタの動作を説明すると次の通りである。すなわち、図4に示したように、第1周期(A)間にスタートパルスSP及び第1クロック信号CLKAはロー論理状態を維持し、第2クロック信号CLKBはハイ論理状態を維持している。前記ロー論理の第1クロック信号CLKAは第1及び第2PMOSトランジスタ(T1、T2)のゲートに印加する。そして、前記第1及び第2PMOSトランジスタ(T1、T2)は前記ロー論理の第1クロック信号CLKAによりターンオンし、前記第1PMOSトランジスタT1のソースに印加したロー論理のスタートパルスSPは前記ターンオンした第1PMOSトランジスタT1を経由して第1ノードP1に充電し、前記第2PMOSトランジスタT2のソースに印加したハイ論理の第1供給電圧VDDは前記ターンオンした第2PMOSトランジスタT2を経由して第2ノードP2に充電する。

【0020】

その後、前記第1ノードP1に充電したロー論理のスタートパルスSPは前記第1ノードP1にゲートを通して連結した第3及び第5PMOSトランジスタ(T3、T5)をターンオンさせ、前記第2ノードP2に充電したハイ論理の第1供給電圧VDDは第4PMOSトランジスタT4をターンオフさせる。したがって、前記第3PMOSトランジスタT3のソースに印加したハイ論理の第2クロック信号CLKBは前記ターンオンした第3PMOSトランジスタT3を経由して出力ライン50aに供給される。

【0021】

この時、前記ハイ論理の第2クロック信号CLKBは第6PMOSトランジスタT6のゲートに印加して前記第6PMOSトランジスタT6をターンオフさせる。一方、前記第2ノードP2に充電されたハイ論理の第1供給電圧VDDは第4PMOSトランジスタT4のゲートに印加して前記第4PMOSトランジスタT4をターンオフさせる。結局、第1周期(A)間に、前記第3PMOSトランジスタT3はターンオンし、かつ前記第4PMOSトランジスタT4はターンオフし、前記出力ライン50aにはハイ論理の第2クロック信号CLKBが供給される。

【0022】

次に、第2周期(B)間のシフトレジスタの動作は次の通りである。第2周期(B)間には前記スタートパルスSP及び第1クロック信号CLKAが全てハイ論理状態に変化し、前記第2クロック信号CLKBはロー論理状態に変化する。したがって、前記ハイ論理の第1クロック信号CLKAが各ゲートを通して印加する前記第1及び第2PMOSトランジスタ(T1、T2)は全てターンオフし、前記第1ノードP1は第1周期(A)間充電されたロー論理のスタートパルスSPをそのまま維持するようになる。

【0023】

したがって、前記第1ノードP1に充電したロー論理のスタートパルスSPにより前記第3及び第5PMOSトランジスタ(T3、T5)は全てターンオン状態をそのまま維持する。そして、第2周期(B)間上述したように、前記第2クロック信号CLKBがロー論理に変化するにつれ、前記第6PMOSトランジスタT6がターンオンし、これにより

10

20

30

30

40

50

前記第2ノードP2には前記ターンオンした第5及び第6PMOSトランジスタ(T5、T6)を経由するハイ論理の第2供給電圧VSS(+V)が充電される。結局、前記第2ノードP2に充電されたハイ論理の第2供給電圧VSSにより前記第4PMOSトランジスタT4はターンオフするため、前記出力ライン50aには前記ターンオンした第3PMOSトランジスタT3を経由するロー論理の第2クロック信号CLKBが供給される。

【0024】

この時、前記第2周期(B)間に、前記第1及び第2PMOSトランジスタ(T1、T2)がターンオフして前記第1ノードP1はフローティング状態になり、前記第3PMOSトランジスタT3のゲートとドレイン間の寄生キャパシターにより前記第1ノードP1のスタートパルスSPは前記出力ライン50aに供給したロー論理の第2クロック信号CLKBだけさらに離れるようになる。したがって、前記第3PMOSトランジスタT3のゲートにはより高い電圧のスタートパルスSPが印加して前記第3PMOSトランジスタT3の閾値電圧が小さくなり、これにより前記出力ライン50aには前記ロー論理の第2クロック信号CLKBが殆ど損失無く供給される。

【0025】

次に、第3周期(C)間シフトレジスタの動作は次の通りである。第3周期(C)間にスタートパルスSPがハイ論理状態をそのまま維持し、前記第1クロック信号CLKAはロー論理状態に変化し、前記第2クロック信号CLKBはハイ論理状態に変化する。したがって、前記ロー論理の第1クロック信号CLKAにより前記第1及び第2PMOSトランジスタ(T1、T2)は再度ターンオンし、前記ハイ論理のスタートパルスSPが前記ターンオンした第1PMOSトランジスタT1を経由して第1ノードP1に充電され、前記ロー論理の第1供給電圧VDD(-V)が前記ターンオンした第2PMOSトランジスタT2を経由して前記第2ノードP2に充電する。

【0026】

その後、前記第1ノードP1に充電したハイ論理のスタートパルスSPは第3及び第5PMOSトランジスタ(T3、T5)をターンオフさせ、第2ノードP2に充電したロー論理の第1供給電圧VDDは第4PMOSトランジスタT4をターンオンさせる。また、ハイ論理の第2クロック信号CLKBは前記第6PMOSトランジスタT6のゲートに印加されて前記第6PMOSトランジスタT6をターンオフさせる。したがって、前記出力ライン50aには前記ターンオンした第4PMOSトランジスタT4を経由するハイ論理の第2供給電圧VSSが印加される。

【0027】

ここで、前記第2周期(B)間に第1ステージ51aの出力ライン50aに供給されたロー論理の第2クロック信号CLKBが上述したゲートラインGを駆動する第1ゲート駆動パルスVout1に該当する。そして、これと同時に、前記第1ステージ51aの出力ライン50aから出力した前記第1ゲート駆動パルスVout1は第2ステージ51bの第1PMOSトランジスタT1のソース端に印加され、前記第2クロック信号CLKBが前記第1、第2PMOSトランジスタ(T1、T2)のゲート端に印加するため、前記第2ステージ51bの出力ライン50bには前記第1ステージ51aのロー論理の第1クロック信号CLKAより一周期遅れた(シフトされた)ロー論理の第1クロック信号CLKAが第2ゲート駆動パルスVout2として出力される。したがって、前記のようなシフトレジスタにより前記ゲートラインGには順次第1乃至第nゲート駆動パルス(Vout1乃至Voutn)が供給される。

【0028】

一方、前記スタートパルスSPは前記第1クロック信号CLKAの論理によりその出力可否が決定されるため、特に第1ステージに供給されるスタートパルスSPは前記第1クロック信号CLKAと同期して出力しなければならない。すなわち、上述したように、前記第1クロック信号CLKAは前記第1PMOSトランジスタT1のゲートに供給され、前記第1PMOSトランジスタT1をターンオンまたはターンオフさせるようにするが、前記第1周期(A)間に、前記第1ノードP1に前記スタートパルスSPを充電させるため

10

20

30

40

50

には前記スタートパルス S P が導通されることができるよう前記第 1 P M O S トランジスタ T 1 がターンオン状態を維持しなければならず、このためには前記第 1 周期 (A) 間、前記第 1 P M O S トランジスタ T 1 のゲートに供給する第 1 クロック信号 C L K A は必ずロー論理を有さなければならない。

【発明の開示】

【発明が解決しようとする課題】

【0029】

したがって、従来のシフトレジスタが正常に動作するためには前記第 1 クロック信号 C L K A と前記スタートパルス S P が必ず同期化されなければならないという制約があった。

10

【0030】

本発明は上記の問題点を解決するためのもので、その目的は、第 1 ステージに供給するスタートパルスとクロック信号が同期しなくともゲート駆動パルスを出力することができるシフトレジスタ及びこれを用いた液晶表示装置を提供することにある。

【課題を解決するための手段】

【0031】

上記目的を達成するために、本発明に係るシフトレジスタは、ゲート駆動パルスを順次出力する複数のステージを具備したシフトレジスタにおいて、少なくとも 1 つのステージは第 1 クロック信号によりターンオンしてスタートパルスを第 1 ノードに印加する第 1 スイッチング素子と、前記第 1 クロック信号によりターンオンして第 1 供給電圧を第 2 ノードに印加する第 2 スイッチング素子と、前記第 1 ノードに印加したスタートパルスによりターンオンして、第 2 クロック信号を出力ラインに印加する第 3 スイッチング素子と、前記第 2 ノードに印加した第 1 供給電圧によりターンオンして第 2 供給電圧を出力ラインに印加する第 4 スイッチング素子と、前記スタートパルスによりターンオンして前記スタートパルスを前記第 1 ノードに印加する第 5 スイッチング素子を含んで構成することにその特徴がある。

20

【発明の効果】

【0032】

本発明のシフトレジスタ及びこれを用いた液晶表示装置には次のような効果がある。本発明に係るシフトレジスタはスタートパルスの論理に拘わらず、前記スタートパルスの論理によりターンオンする別途のスイッチング素子をさらに具備するため、前記スタートパルスとクロック信号が同期して出力しなくとも前記スタートパルスが正常にノードに充電する。

30

【発明を実施するための最良の形態】

【0033】

以下、本発明に係るシフトレジスタの好適な実施の形態について、添付の図面に基づいて詳細に説明する。

【0034】

図 5 は、本発明の実施の形態に係るシフトレジスタのステージの概略的な回路構成図で、図 6 は、本発明の実施の形態に係るスタートパルスと第 1 クロック信号が互いに同期していない状態を説明するための各種信号のタイミング図で、図 7 は本発明の実施の形態に係るスタートパルスのタイミングがずれた状態を説明するための各種信号のタイミング図である。また、図 8 は本発明の実施の形態に係るシフトレジスタを用いた液晶表示装置の概略的な要部構成図である。

40

【0035】

本発明の実施の形態に係るシフトレジスタは各種クロック信号 C L K A 、 C L K B 及び供給電圧 V D D 、 V S S が印加されて各ゲートライン G を駆動するためのゲート駆動パルスを順次出力する複数のステージを具備している。

【0036】

各ステージは、図 5 に示したように、第 1 クロック信号 C L K A (または第 2 クロック

50

信号 C L K B) の論理によりターンオンまたはターンオフし、ターンオン時、スタートパルス S P (または以前のステージの出力) を導通させて第 1 ノード P 1 に充電させる第 1 PMOS トランジスタ T 1 と、前記第 1 クロック信号 C L K A (または第 2 クロック信号 C L K B) の論理によりターンオンまたはターンオフし、ターンオン時、第 1 供給電圧 V D D を導通させて第 2 ノード P 2 に充電させる第 2 PMOS トランジスタ T 2 と、前記第 1 ノード P 1 の充電状態によりターンオンまたはターンオフし、ターンオン時、第 2 クロック信号 C L K B (または第 1 クロック信号 C L K A) を導通させて出力ライン 110 に供給する第 3 PMOS トランジスタ T 3 と、前記第 2 ノード P 2 の充電状態によりターンオンまたはターンオフして第 2 供給電圧 V S S を前記出力ライン 110 に供給する第 4 PMOS トランジスタ T 4 と、前記スタートパルス S P (または以前のステージの出力) の論理によりターンオンまたはターンオフし、ターンオン時、前記スタートパルス S P (または以前のステージの出力) を前記第 1 ノード P 1 に充電させる第 5 PMOS トランジスタ T 5 と、前記第 1 ノード P 1 の充電状態によりターンオンまたはターンオフし、ターンオン時、前記第 2 供給電圧 V S S を導通させる第 6 PMOS トランジスタ T 6 と、前記第 2 クロック信号 C L K B (または第 1 クロック信号 C L K A) の論理によりターンオンまたはターンオフし、ターンオン時、前記第 6 PMOS トランジスタ T 6 を経由する第 2 供給電圧 V S S を前記第 2 ノード P 2 に充電させる第 7 PMOS トランジスタ T 7 を具備して構成する。
10

【 0037 】

ここで、前記第 2 ノード P 2 には前記第 1 供給電圧 V D D または第 2 供給電圧 V S S を充電することができ、前記第 2 ノード P 2 にロー論理を有する第 1 供給電圧 V D D が充電された場合、前記第 2 ノード P 2 にゲートが連結した第 6 PMOS トランジスタ T 6 はターンオンし、前記第 2 ノード P 2 にハイ論理を有する第 2 供給電圧 V S S が充電された場合、前記第 6 PMOS トランジスタ T 6 はターンオフする。
20

【 0038 】

そして、上述した通り、奇数番目のステージ 51a、51c、51e、…では前記第 1 、第 2 PMOS トランジスタ (T 1 、 T 2) のゲート端子に前記第 1 クロック信号 C L K A が印加され、前記第 3 PMOS トランジスタ T 3 のソース端子に第 2 クロック信号 C L K B が印加される。そして、偶数番目のステージ 51b、51d、…では前記第 1 、第 2 PMOS トランジスタ (T 1 、 T 2) のゲート端子に前記第 2 クロック信号 C L K B が印加し、前記第 3 PMOS トランジスタ T 3 のソース端子に第 1 クロック信号 C L K A が印加する。ここで、前記第 5 PMOS トランジスタ T 5 のソース及びゲートには共通して前記スタートパルスまたは以前のステージの出力信号が印加される。
30

【 0039 】

このように前記第 5 PMOS トランジスタ T 5 と前記第 1 PMOS トランジスタ T 1 が互いに並列に連結されることにより、前記スタートパルス S P と前記第 1 クロック信号 C L K A が同期しない時、前記スタートパルス S P が出力されないという従来の問題点を解決できる。

【 0040 】

すなわち、従来技術で前記スタートパルス S P を導通させる第 1 PMOS トランジスタ T 1 は、第 1 クロック信号 C L K A の論理により制御されるため、前記スタートパルス S P とロー論理の第 1 クロック信号 C L K A が同時に印加されなければならないという制約があったが、本発明のシフトレジスタは前記第 1 クロック信号 C L K A の論理に拘わらず前記スタートパルス S P 自体によりターンオンする第 5 PMOS トランジスタ T 5 をさらに具備しているため、上述したような従来の問題点を解決できる。
40

【 0041 】

これを上記のように構成した本発明の実施の形態に係るシフトレジスタの動作と連関してさらに具体的に説明すると次の通りである。

【 0042 】

まず、図 5 のように構成した本発明のシフトレジスタの回路でスタートパルスと第 1 ク

ロック信号 C L K A が同期して入力された場合を説明すると次の通りである。すなわち、前記本発明のシフトレジスタに供給される各種クロック信号 C L K A、C L K B 及び供給電圧 V D D、V S S とスタートパルス S P が図 4 に示した従来のタイミング図と同様であると仮定すると次の通りである。

【 0 0 4 3 】

まず、第 1 周期 (A) 間、前記シフトレジスタの動作を説明すると次の通りである。すなわち、図 4 に示したように、第 1 周期 (A) 間にスタートパルス S P 及び第 1 クロック信号 C L K A はロー論理状態を維持し、第 2 クロック信号 C L K B はハイ論理状態を維持している。前記ロー論理のスタートパルス S P は前記第 5 PMOS トランジスタ T 5 のソース及びゲートに印加する。すると、前記第 5 PMOS トランジスタ T 5 は前記ロー論理のスタートパルス S P によりターンオンし、前記第 5 PMOS トランジスタ T 5 のソースに印加した前記ロー論理のスタートパルス S P は前記ターンオンした第 5 PMOS トランジスタ T 5 を経由して第 1 ノード P 1 に充電する。

【 0 0 4 4 】

また、前記第 1 周期 (A) 間、ロー論理の第 1 クロック信号 C L K A が第 1 PMOS トランジスタ T 1 及び第 2 PMOS トランジスタ T 2 のゲートに同時に印加され、前記第 1 PMOS トランジスタ T 1 及び第 2 PMOS トランジスタ T 2 を全てターンオンさせる。したがって、前記ロー論理のスタートパルス S P は前記ターンオンした第 1 PMOS トランジスタ T 1 を経由して前記第 1 ノード P 1 に充電され、前記ロー論理の第 1 供給電圧 V D D は前記ターンオンした第 2 PMOS トランジスタ T 2 を経由して第 2 ノード P 2 に充電される。したがって、従来技術で説明したような動作で各ゲートラインにゲート駆動パルスを印加するようになる。

【 0 0 4 5 】

次に、スタートパルス S P とクロック信号が同期しない状態を説明すると次の通りである。図 6 に示したように、前記第 1 周期 (A) 間、ロー論理ではないハイ論理の第 1 クロック信号 C L K A が前記第 1 PMOS トランジスタ T 1 のゲートに印加されたり、図 7 に示したように、スタートパルス S P のタイミングとずれたクロック信号が前記第 1 PMOS トランジスタ T 1 のゲートに印加すると、前記第 1 PMOS トランジスタ T 1 はターンオフして前記スタートパルス S P を導通させることができなくなる。

【 0 0 4 6 】

しかし、前記第 5 PMOS トランジスタ T 5 は前記第 1 クロック信号 C L K A の論理に影響を受けず、前記スタートパルス S P の論理により、ターンオンしたり、ターンオフするため、前記第 1 PMOS トランジスタ T 1 がターンオフしても、前記スタートパルス S P は前記スタートパルス S P 自体によりターンオンした第 5 PMOS トランジスタ T 5 を経由して前記第 1 ノード P 1 に充電する。したがって、前記ロー論理の第 1 クロック信号 C L K A が必ず前記スタートパルス S P と同期して出力される必要がない。

【 0 0 4 7 】

続いて、前記第 1 ノード P 1 に充電したロー論理のスタートパルス S P は第 3 及び第 6 PMOS トランジスタ (T 3、T 6) のゲートに印加して前記第 3 及び第 6 PMOS トランジスタ (T 3、T 6) をターンオンさせる。また、前記第 2 ノード P 2 に充電したロー論理の第 1 供給電圧 V D D は、第 4 PMOS トランジスタ T 4 のゲートに印加して前記第 4 PMOS トランジスタ T 4 をターンオンさせる。

【 0 0 4 8 】

したがって、前記出力ライン 110 には前記ターンオンした第 3 PMOS トランジスタ T 3 を経由するハイ論理の第 2 クロック信号 C L K B 及び前記ターンオンした第 4 PMOS トランジスタ T 4 を経由するハイ論理の第 2 供給電圧 V S S が同時に供給される。結局、前記出力ライン 110 にはハイ論理の第 2 クロック信号 C L K B が供給される。一方、前記ハイ論理の第 2 クロック信号 C L K B は第 7 PMOS トランジスタ T 7 に印加して前記第 7 PMOS トランジスタ T 7 をターンオフさせる。

【 0 0 4 9 】

10

20

30

40

50

次に、第2周期(B)間のシフトレジスタの動作を説明すると次の通りである。第2周期(B)間には前記スタートパルス S P 及び第1クロック信号 C L K A が全てハイ論理状態に変化し、前記第2クロック信号 C L K B はロー論理状態に変化する。したがって、前記ハイ論理の第1クロック信号 C L K A 及びハイ論理のスタートパルス S P により、前記第1、第2及び第5 PMOSトランジスタ(T 1、T 2、T 5)が全てターンオフして、前記第1ノード P 1 は第1周期(A)間の充電したロー論理のスタートパルス S P をそのまま維持するようになり、前記第1ノード P 1 のロー論理のスタートパルス S P がゲートを通して印加する第3及び第6 PMOSトランジスタ(T 3、T 6)はターンオン状態を維持するようになる。

【 0 0 5 0 】

10

これに反して、第2周期(B)間、上述したように前記第2クロック信号 C L K B がロー論理に変化することにより、前記ロー論理の第2クロック信号 C L K B がゲートを通して印加する前記第7 PMOSトランジスタ T 7 がターンオンし、これにより前記第2ノード P 2 には前記ターンオンした第6及び第7 PMOSトランジスタ(T 6、T 7)を経由するハイ論理の第2供給電圧 V S S が充電される。したがって、前記第2ノード P 2 に充電したハイ論理の第2供給電圧 V S S により前記第4 PMOSトランジスタ T 4 はターンオフする。結局、前記出力ライン 1 1 0 には、前記ターンオンした第3 PMOSトランジスタ T 3 を経由するロー論理の第2クロック信号 C L K B が供給される。

【 0 0 5 1 】

20

この時、前記第2周期(B)間、前記第1、第2及び第7 PMOSトランジスタ(T 1、T 2、T 7)が遮断されて、前記第1ノード P 1 はフローティング状態になり、前記第3 PMOSトランジスタ T 3 のゲートとドレイン間の寄生キャパシターにより、図6に示したように、前記第1ノード P 1 のスタートパルス S P は前記出力ライン 1 1 0 に供給したロー論理の第2クロック信号 C L K B 程度さらに離れるようになる。したがって、前記第3 PMOSトランジスタ T 3 のゲートにはさらに高い電圧のスタートパルス S P が印加されて前記第3 PMOSトランジスタ T 3 の閾値電圧が小さくなり、これにより前記出力ライン 1 1 0 には前記ロー論理の第2クロック信号 C L K B が殆ど損失無く供給される。

【 0 0 5 2 】

30

次に、第3周期(C)間シフトレジスタの動作を説明すると次の通りである。第3周期(C)間にはスタートパルス S P がハイ論理状態をそのまま維持し、前記第1クロック信号 C L K A はロー論理状態に変化し、前記第2クロック信号 C L K B はハイ論理状態に変化する。したがって、前記ハイ論理のスタートパルス S P がゲートを通して印加する前記第5 PMOSトランジスタ T 5 はターンオフし、ロー論理の第1クロック信号 C L K A がゲートを通して印加する前記第1及び第2 PMOSトランジスタ(T 1、T 2)は再度ターンオンする。

【 0 0 5 3 】

40

すると、前記ハイ論理のスタートパルス S P は前記ターンオンした第1 PMOSトランジスタ T 1 を経由して前記第1ノード P 1 に充電され、ロー論理の第1供給電圧 V D D が前記ターンオンした第2 PMOSトランジスタ T 2 を経由して前記第2ノード P 2 に充電される。そして、前記第1ノード P 1 に充電したハイ論理のスタートパルス S P により第3及び第6 PMOSトランジスタ(T 3、T 6)がターンオフし、前記第2ノード P 2 に充電したロー論理の第1供給電圧 V D D により第4 PMOSトランジスタ T 4 がターンオンする。したがって、前記出力ライン 1 1 0 には前記ターンオンした第4 PMOSトランジスタ T 4 を経由するハイ論理の第2供給電圧 V S S が供給される。

【 0 0 5 4 】

50

このように本発明に係るシフトレジスタは上述したように、前記第1クロック信号 C L K A の論理に拘わらずスタートパルス S P を出力することができる第5 PMOSトランジスタ T 5 をさらに具備し、前記第1クロック信号 C L K A とスタートパルス S P が互いに同期しない時の問題点を解決している。図7のように、スタートパルスとクロック信号のタイミングがずれた場合にも、前記第1 PMOSトランジスタ T 1 がターンオフしても、

前記スタートパルス S P は前記スタートパルス S P 自体によりターンオンした第 5 P M O S トランジスタ T 5 を経由して前記第 1 ノード P 1 に充電する。そして、第 1 ノード P 1 にロー論理が充電された状態では前記第 3 P M O S トランジスタのソース端に印加した第 2 クロック信号 C L K B を出力端に出力するため、前記第 2 クロック信号 C L K B のロー論理状態が出力端に出力される。

【 0 0 5 5 】

また、このように構成したシフトレジスタを用いた液晶表示装置は、図 8 に示したように、互いに垂直交差する複数のゲートライン (G 1, G 2, . . .) 及びデータライン (図示せず) により定義される複数の画素領域を有する液晶パネル (図示せず) と、前記液晶パネルの各ゲートライン (G 1, G 2, . . .) に順にゲート駆動パルスを供給するための複数のステージ (1 5 0 a, 1 5 0 b, . . .) とで構成される。この時、前記複数のステージ (1 5 0 a, 1 5 0 b, . . .) が全て前記図 5 で説明したような構成を有することができ、複数のステージのうち最初の第 1 ステージ 1 5 0 a のみ前記図 5 のような構成を有し、残りのステージは従来技術で説明した図 3 と同様の構成を有することが可能である。

【 0 0 5 6 】

すなわち、前記第 1 ステージ 1 5 0 a にのみスタートパルス S P が印加され、残りの第 2 乃至第 n ステージ (1 5 0 b, . . .) はその前段のステージの出力信号が入力される。そして、前記第 1 ステージ 1 5 0 a のみ前記第 5 P M O S トランジスタ T 5 を具備し、第 2 ステージ 1 5 0 b 乃至第 n ステージ 1 5 0 n は前記第 1 ステージ 1 5 0 a の出力を入力として用いるようになるため、前記第 5 P M O S トランジスタ T 5 が不要である。すなわち、前記第 1 ステージ 1 5 0 a のみスタートパルス S P が印加され、残りの第 2 乃至第 n ステージ (1 5 0 b, . . .) は各々その前の段のステージの出力 (ゲート駆動パルス) を入力として用いて各その前の段の出力 (ゲート駆動パルス) より一周期遅れたゲート駆動パルスを出力する。

【 0 0 5 7 】

したがって、前記各ステージ (1 5 0 a, 1 5 0 b, . . .) から出力する各ゲート駆動パルスは前記液晶パネルの各ゲートライン (G 1, G 2, . . .) に供給されて各ゲートライン (G 1, G 2, . . .) を順次スキャニングするようになる。一方、本発明では各スイッチング素子として P M O S トランジスタを用いたが、前記 P M O S トランジスタ代りに N M O S トランジスタを用いても構わない。

【 0 0 5 8 】

以上で説明した本発明は上述した実施の形態及び添付した図面に限定されるものではなく、本発明の技術的思想を逸脱しない範囲内で様々な置換、変形及び変更が可能であるということが本発明が属する技術分野で通常の知識を有する者にとって明白である。

【 図面の簡単な説明 】

【 0 0 5 9 】

【 図 1 】一般的な液晶表示装置の駆動回路を示したブロック構成図である。

【 図 2 】従来のシフトレジスタの概略的な構成図である。

【 図 3 】図 2 のステージに対する概略的な回路構成図である。

【 図 4 】従来のシフトレジスタに供給される各種信号に対するタイミング図である。

【 図 5 】本発明の実施の形態に係るシフトレジスタのステージの概略的な回路構成図である。

【 図 6 】本発明の実施の形態に係るスタートパルスと第 1 クロック信号とが互いに同期されない状態を説明するための各種信号のタイミング図である。

【 図 7 】本発明の実施の形態に係るスタートパルスのタイミングがずれた状態を説明するための各種信号のタイミング図である。

【 図 8 】本発明の実施の形態に係るシフトレジスタを用いた液晶表示装置の概略的な要部構成図である。

【 符号の説明 】

10

20

30

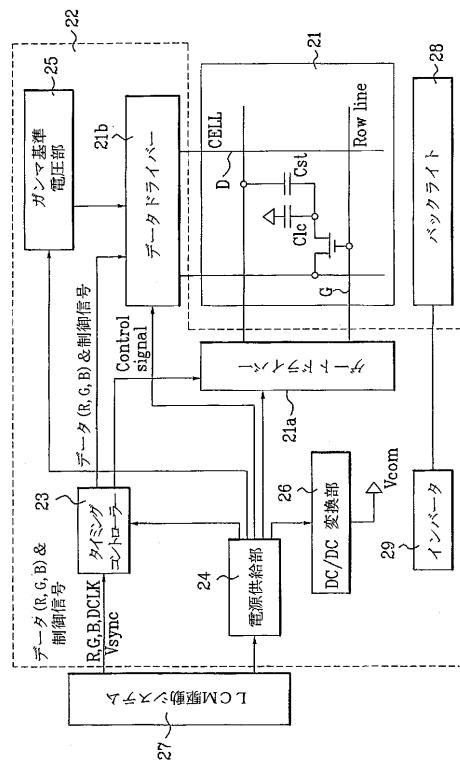
40

50

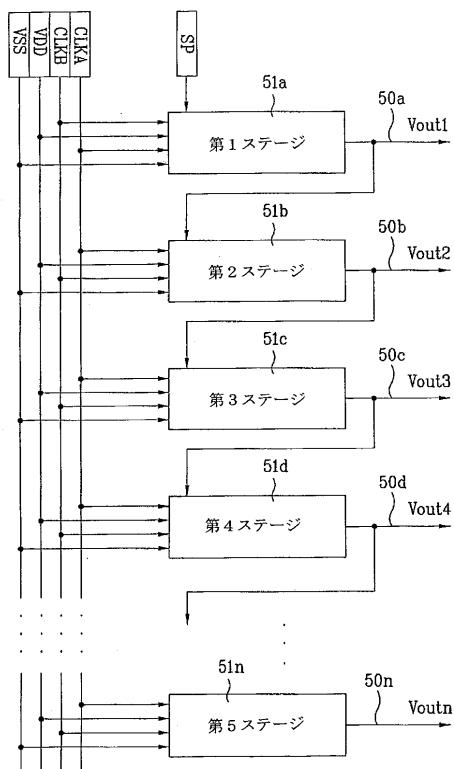
【 0 0 6 0 】

T 1 第1PMOSトランジスタ、T 2 第2PMOSトランジスタ、T 3 第3PMOSトランジスタ、T 4 第4PMOSトランジスタ、T 5 第5PMOSトランジスタ、T 6 第6PMOSトランジスタ、T 7 第7PMOSトランジスタ、S P スタートパルス、C L K A 第1クロック信号、C L K B 第2クロック信号、V D D 第1供給電圧、V S S 第2供給電圧、P 1 第1ノード、P 2 第2ノード。

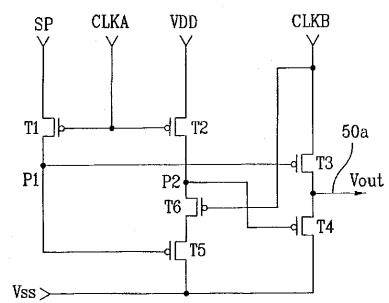
【 図 1 】



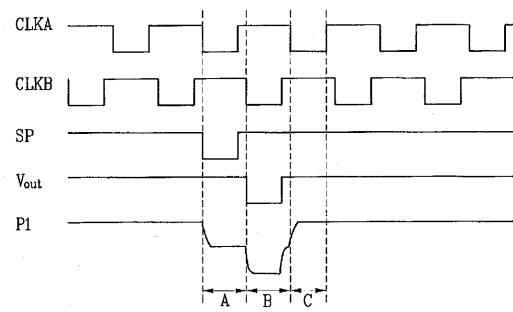
【 図 2 】



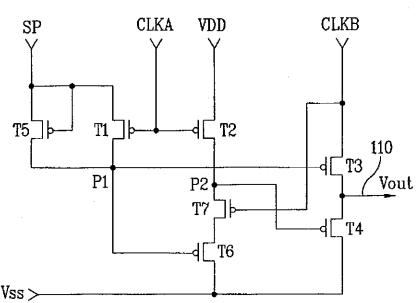
【図3】



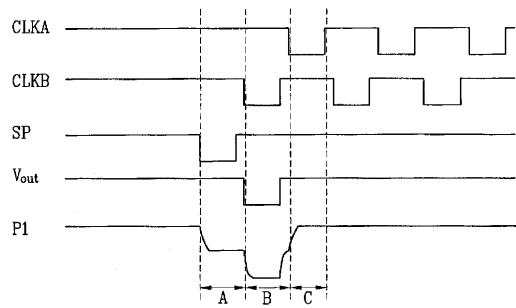
【図4】



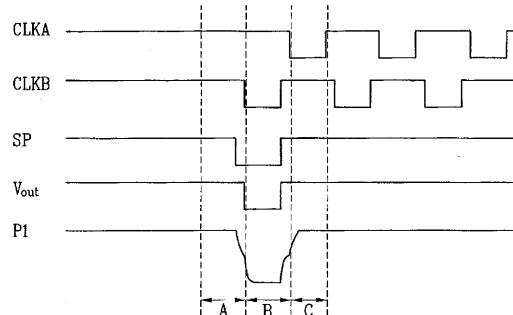
【図5】



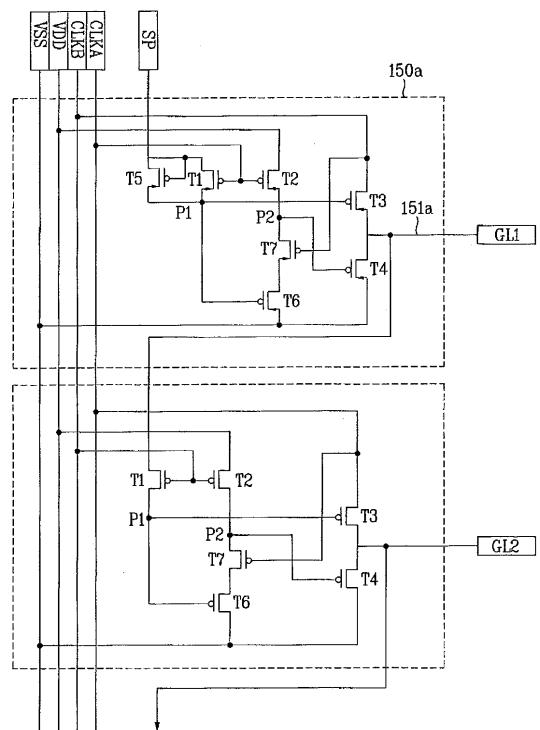
【図6】



【図7】



【図8】



フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

G 1 1 C 19/00

J

(72)発明者 金 性均

大韓民国ソウル冠岳區新林1洞1615-12

F ターム(参考) 2H093 NA16 NA43 NA53 NC03 NC10 NC12 NC22 NC34 NC35 NC49
ND06 ND37 ND60
5C006 AA16 AA22 AF46 AF72 AF83 BB16 BC03 BC12 BF03 BF34
BF43 BF46 EB05 FA16 FA20
5C080 AA10 BB05 CC03 DD09 DD25 EE29 FF11 JJ02 JJ03 JJ04

【要約の続き】

专利名称(译)	移位寄存器和液晶显示器件		
公开(公告)号	JP2005338758A	公开(公告)日	2005-12-08
申请号	JP2004374584	申请日	2004-12-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
[标]发明人	金性均		
发明人	金 性均		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 G11C19/00 G11C19/28		
CPC分类号	G09G3/3677 G11C19/00 G11C19/28		
FI分类号	G09G3/36 G02F1/133.505 G09G3/20.622.E G09G3/20.670.E G11C19/00.G G11C19/00.J G11C19/00 G11C19/00.K G11C19/28.D G11C19/28.230		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NA53 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC22 2H093 /NC34 2H093/NC35 2H093/NC49 2H093/ND06 2H093/ND37 2H093/ND60 5C006/AA16 5C006/AA22 5C006/AF46 5C006/AF72 5C006/AF83 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BF03 5C006 /BF34 5C006/BF43 5C006/BF46 5C006/EB05 5C006/FA16 5C006/FA20 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD09 5C080/DD25 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080 /JJ04 2H193/ZA04 2H193/ZD23 2H193/ZF03 2H193/ZF22 2H193/ZF36 5B074/AA01 5B074/CA01 5B074/DA01 5B074/DB01		
代理人(译)	英年古河 Kajinami秩序		
优先权	1020040037724 2004-05-27 KR		
其他公开文献	JP4154611B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供即使提供给第一级的起始脉冲不与时钟信号同步也能输出栅极驱动脉冲的移位寄存器，并提供使用该移位寄存器的液晶显示装置。ΣSOLUTION：在具有多个阶段的移位寄存器中，顺序输出栅极驱动脉冲，至少一个阶段包括：第一开关装置，由第一时钟信号导通，以将起始脉冲施加到第一节点;第二开关装置，其由第一时钟信号导通，以将第一电源电压施加到第二节点;第三开关装置，其通过施加到第一节点的起始脉冲导通，以输出第二时钟信号;第四开关器件，其通过施加到第二节点的第一电源电压导通，以输出第二电源电压;第五开关装置，其通过起始脉冲导通，以将起始脉冲施加到第一节点。Σ

