

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-110065
(P2005-110065A)

(43) 公開日 平成17年4月21日(2005.4.21)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H03F 3/45	H03F 3/45 B	2H093
G02F 1/133	G02F 1/133 550	5C006
G09G 3/20	G09G 3/20 611H	5C080
G09G 3/36	G09G 3/20 612F	5J500
	G09G 3/20 623B	
審査請求 未請求 請求項の数 11 O L (全 21 頁) 最終頁に続く		

(21) 出願番号 特願2003-342745 (P2003-342745)
(22) 出願日 平成15年10月1日 (2003. 10. 1)

(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(71) 出願人 302062931
NECエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753番地
(74) 代理人 100088812
弁理士 ▲柳▼川 信
(72) 発明者 中平 吉彦
東京都港区芝五丁目7番1号 日本電気株式会社内
Fターム(参考) 2H093 NA16 NA53 NC13 NC24 NC34
ND06
5C006 AF83 BB16 BC12 BC20 BF25
BF33 BF37 BF43 FA26
最終頁に続く

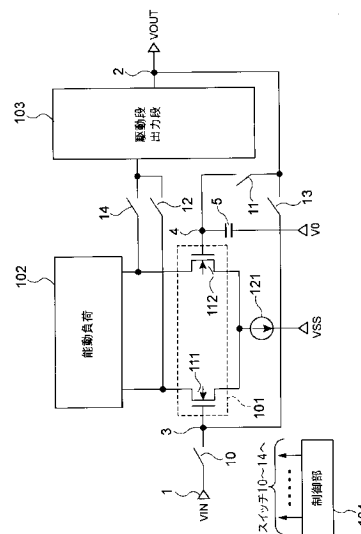
(54) 【発明の名称】 差動増幅回路及びそれを用いた液晶表示装置の駆動回路

(57) 【要約】

【課題】 電流供給能力が小なる入力であっても、オフセット補正された高精度な電圧出力を可能とする差動増幅回路を得る。

【解決手段】 第1及び第2の入力端子3、4と出力端子2とを有する差動増幅器において、第1の入力端子を正相入力端子とし、第2の入力端子を逆相入力端子とする第1の状態と、第1の入力端子を逆相入力端子とし、第2の入力端子を正相入力端子とする第2の状態とを切替制御し、また一端が所定の電源端子に接続された容量素子5を設け、第1の状態において第1の入力端子に入力電圧を供給し、容量の他端を第2の入力端子及び出力端子と接続し、第2の状態において、第1の入力端子と出力端子を接続し、容量の他端を第2の入力端子と接続するように制御する。これにより、入力電圧が容量に接続されることなく、第1の状態において、オフセット検出動作が行われ、第2の状態において、オフセット補正動作が行われる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 及び第 2 の入力端子と出力端子とを有する差動増幅手段と、
一端が所定の電源端子に接続され、他端が前記第 2 の入力端子に接続された容量素子と

、
前記第 1 の入力端子を正相入力端子とすると共に、前記第 2 の入力端子を逆相入力端子とし、かつ前記第 1 の入力端子に入力電圧を供給すると共に、前記第 2 の入力端子と前記出力端子とを接続する第 1 の状態と、前記第 1 の入力端子を逆相入力端子とすると共に、前記第 2 の入力端子を正相入力端子とし、かつ前記第 1 の入力端子と前記出力端子とを接続する第 2 の状態とに切替え制御する制御手段とを含むことを特徴とする差動増幅回路。

10

【請求項 2】

前記第 1 の状態において、前記第 1 の入力端子に供給される入力電圧を増幅した電圧を前記容量素子に蓄積し、前記第 2 の状態において、前記第 2 の入力端子に供給される前記容量素子に蓄積した電圧を増幅した電圧を前記出力端子に出力するようにしたことを特徴とする請求項 1 記載の差動増幅回路。

【請求項 3】

前記出力端子と負荷との間に設けられたスイッチを更に含み、

前記制御手段は、前記第 1 の状態において、前記スイッチをオフとすることを特徴とする請求項 1 または 2 記載の差動増幅回路。

【請求項 4】

20

回路入力端子及び回路出力端子と、

第 1 及び第 2 のトランジスタからなる差動トランジスタ対と、前記差動トランジスタ対を駆動する定電流源と、前記差動トランジスタ対の出力対と接続された能動負荷と、前記出力対の信号に基づいて前記回路出力端子に信号を出力する出力回路とを有する差動増幅手段と、

前記差動トランジスタ対の入力対の一方と前記回路入力端子及び前記回路出力端子のそれぞれとを接続する第 1 及び第 2 のスイッチと、

前記入力対の他方と前記回路出力端子とを接続する第 3 のスイッチと、

前記出力対のそれぞれを前記出力回路と接続する第 4 及び第 5 のスイッチと、

一端が所定の電源端子に接続され、他端が前記入力対の他方と接続された容量素子とを含むことを特徴とする差動増幅回路。

30

【請求項 5】

前記第 1 のスイッチ、前記第 3 のスイッチ、前記第 4 のスイッチがオン、前記第 2 のスイッチ、前記第 5 のスイッチをオフとする第 1 の状態と、前記第 1 のスイッチ、前記第 3 のスイッチ、前記第 4 のスイッチがオフ、前記第 2 のスイッチ、前記第 5 のスイッチがオンとする第 2 の状態とを切替え制御する制御手段を更に含むことを特徴とする請求項 4 記載の差動増幅回路。

【請求項 6】

前記第 1 の状態において、前記入力対の一方に前記回路入力端子から供給される入力電圧に基づいて増幅された電圧を前記容量素子に保持し、前記第 2 の状態において、前記入力対の他方に供給される前記容量素子に保持した電圧に基づいて増幅された電圧を前記回路出力端子に出力することを特徴とする請求項 5 記載の差動増幅回路。

40

【請求項 7】

前記能動負荷は、ゲート及びソースがそれぞれ共通接続された第 3 及び第 4 のトランジスタからなるトランジスタ対と、前記出力対の一方と接続された前記第 3 のトランジスタのドレインと前記トランジスタ対のゲートとを接続する第 6 のスイッチと、前記出力対の他方と接続された前記第 4 のトランジスタのドレインと前記トランジスタ対のゲートとを接続する第 7 のスイッチとを有し、

前記制御手段は、前記第 1 の状態において、少なくとも前記第 6 のスイッチがオフ、前記第 7 のスイッチがオンとなるよう制御するとともに、前記第 2 の状態において、少なく

50

とも前記第 6 のスイッチがオン、前記第 7 のスイッチがオフとなるよう制御することを特徴とする請求項 5 または 6 記載の差動増幅回路。

【請求項 8】

前記回路出力端子と負荷との間に設けられたスイッチを更に含み、

前記制御手段は、前記第 1 の状態において、前記スイッチをオフとすることを特徴とする請求項 5 ~ 7 いずれか記載の差動増幅回路。

【請求項 9】

前記第 2 の状態において、次に続く前記第 1 の状態における回路の入力電圧を生成する手段を更に含むことを特徴とする請求項 1 ~ 8 いずれか記載の差動増幅回路。

【請求項 10】

第 1 及び第 2 の参照電圧間に直列接続された複数の抵抗を有し、前記複数の抵抗の接続点から導出された各タップから階調電圧を生成する階調発生手段と、デジタル信号を入力とし前記階調発生手段の出力電圧から対応する電圧を選択出力するデコード手段とを含み、前記デコード手段の出力を入力とし、複数本のデータ線をそれぞれ駆動する液晶表示装置の駆動回路であって、前記複数本のデータ線に対応して請求項 1 ~ 8 いずれか記載の差動増幅回路を複数備えていることを特徴とする駆動回路。

10

【請求項 11】

複数の基準電圧を入力するための複数の各基準電圧入力端子と、映像デジタル信号に従って近接した 2 つの基準電圧を選択出力するデコード手段と、このデコード手段により選択された 2 つの基準電圧の中間レベルのアナログ電圧を補間して出力する D / A 変換手段とを含み、前記 D / A 変換手段の出力を入力とし、複数本のデータ線をそれぞれ駆動する液晶表示装置の駆動回路であって、前記複数本のデータ線に対応して請求項 1 ~ 8 いずれか記載の差動増幅回路を複数備えていることを特徴とする駆動回路。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は差動増幅回路及びそれを用いた液晶表示装置の駆動回路に関し、特に負荷を高精度で駆動するためにオフセットを除去した差動増幅回路の改良に関するものである。

【背景技術】

【0002】

従来、負荷を駆動する差動増幅回路は、差動増幅回路を構成する能動素子の特性ばらつきにより、出力オフセットが生じるという問題がある。この問題を解決するため、これまで出力オフセットを補正する様々な方法が用いられてきた。その中で、容量を用いた出力オフセット補正手段を有する第 1 の従来例の差動増幅回路の例として、特許文献 1 に記載されている差動増幅回路が挙げられる。

30

【0003】

図 19 はこの特許文献 1 に記載されている出力オフセット補正手段を有する第 1 の従来例の差動増幅回路を示す図である。図 19 の差動増幅回路は、演算増幅回路 503 とオフセット補正回路 504 とを備えている。オフセット補正回路 504 は、演算増幅回路 503 の正相入力端子と演算増幅回路 503 の出力端子 502 との間に直列に接続されたスイッチ 506、507 と、スイッチ 506 及び 507 相互の接続点と演算増幅回路 503 の逆相入力端子との間に接続されたキャパシタ 505 と、演算増幅回路 503 の逆相入力端子と演算増幅回路 503 の出力端子 502 との間に接続されたスイッチ 508 とを備えている。

40

【0004】

図 20 は図 19 の差動増幅回路の動作タイミングチャートを示した図である。以下に、図 19 の差動増幅回路の動作について図 20 のタイミングチャートを参照して説明する。まず、前回の状態である期間 T1 においては、スイッチ 507 のみをオン状態とし、他のスイッチ 506 及び 508 をオフ状態にしている。これにより、演算増幅回路 503 の出力端子 502 と逆相入力端子とがキャパシタ 505 を介して接続される。この状態では、

50

出力電圧 V_{out} の電圧レベルは前回の出力電圧が継続している。

【0005】

次の期間 T_2 では、スイッチ 507 に加えて、スイッチ 508 がオンとなる。入力電圧 V_{in} の電圧レベルが変わると、それに応じて出力電圧 V_{out} は変化し、出力オフセット V_{off} を含んだ ($V_{in} + V_{off}$) となる。このとき、キャパシタ 505 は短絡され、キャパシタ 505 の両端は同電位となる。また、スイッチ 507 及び 508 をオンすることにより、キャパシタ 505 の両端は演算増幅回路の出力端子 502 に接続されるので、キャパシタ 505 の両端の電位は共に演算増幅回路の出力によって V_{out} ($= V_{in} + V_{off}$) となる。

【0006】

次の期間 T_3 において、スイッチ 508 をオンのままでスイッチ 507 をオフにし、その後スイッチ 506 をオンにする。これにより、キャパシタ 505 の一端は入力端子 501 に接続され、 V_{out} から V_{in} に変化する。スイッチ 508 がオンであるため、キャパシタ 505 の他方の端子は出力電圧 V_{out} のままである。よって、キャパシタ 505 に印加される電圧は、

$$V_{out} - V_{in} = V_{in} + V_{off} - V_{in} = V_{off}$$

となり、キャパシタ 505 にオフセット電圧 V_{off} に相当する電荷が充電される。

【0007】

次の期間 T_4 では、スイッチ 506 及び 508 をオフにし、その後スイッチ 507 をオンにする。スイッチ 506 及び 508 をオフにすることにより、キャパシタ 505 が演算増幅回路 503 の逆相入力端子及び出力端子 502 間に直接接続され、キャパシタ 505 に出力オフセット V_{off} が保持される。スイッチ 507 をオンにすることにより、演算増幅回路 503 の逆相入力端子に出力端子 502 の電位を基準として出力オフセット V_{off} が印加される。この結果、出力電圧 V_{out} は、

$$V_{out} = V_{in} + V_{off} - V_{off} = V_{in}$$

となるため出力オフセットは相殺され、高精度な電圧を出力することができることになる。

【0008】

次に、出力オフセットを補正する第 2 の従来例として特許文献 2 及び 3 に記載されているアンプ回路が挙げられる。図 2 1 は、特許文献 2 に示される低電圧用アンプ回路の基本回路構成を示す回路図であり、図 2 2 は、同じく特許文献 2 に示される高電圧用アンプ回路の基本回路構成を示す回路図である。

【0009】

図 2 1 に示す低電圧用アンプ回路は、入力段の P チャンネル (以下単に P と記す) MOS トランジスタ PM 5 1 のゲート電極 (制御電極) を、(+) 入力端子あるいは (-) 入力端子に接続するスイッチングトランジスタ NA 1, NB 1 と、入力段の PMOS トランジスタ PM 5 2 のゲート電極を、(+) 入力端子あるいは (-) 入力端子に接続するスイッチングトランジスタ NA 2, NB 2 と、出力段の N チャンネル (以下単に N と記す) MOS トランジスタ NM 6 5 のゲート電極を、入力段の PMOS トランジスタ PM 5 1 のドレイン電極 (第 2 の電極)、あるいは入力段の PMOS トランジスタ PM 5 2 のドレイン電極に接続するスイッチングトランジスタ NA 3, NB 3 と、能動負荷回路を構成する NMOS トランジスタ NM 6 3, NM 6 4 のゲート電極を、入力段の PMOS トランジスタ PM 5 1 のドレイン電極、あるいは入力段の PMOS トランジスタ PM 5 2 のドレイン電極に接続するスイッチングトランジスタ NA 4, NB 4 が設けられている。

【0010】

図 2 2 に示す高電圧用アンプ回路は、図 2 1 に示す低電圧用アンプ回路と同様、スイッチングトランジスタ PA 1 ~ PA 4, PB 1 ~ PB 4 が設けられている。ここで、スイッチングトランジスタ NA 1 ~ NA 4, PA 1 ~ PA 4 のゲート電極には、制御信号 A が印加され、またスイッチングトランジスタ NB 1 ~ NB 4, PB 1 ~ PB 4 のゲート電極には、制御信号 B が印加される。

10

20

30

40

50

【0011】

図21に示す低電圧用アンプ回路において、制御信号AがH(ハイ)レベル、制御信号BがLレベルの場合の回路構成を図21に、また、制御信号AがL(ロー)レベル、制御信号BがHレベルの場合の回路構成を図24に示す。これら図23および図24から理解できるように、低電圧用アンプ回路では、入力電圧 V_{in} が印加される入力段のMOSトランジスタと、出力電圧 V_{out} が帰還される入力段のMOSトランジスタとを交互に切替えるようにしたものである。それにより、図23の回路構成の場合と、図24の回路構成の場合では、アンプ回路には符号が互いに逆で絶対値が等しい出力オフセットが生じる。

【0012】

また、図22に示す低電圧用アンプ回路においても、制御信号AがHレベル、制御信号BがLレベルの場合の回路構成と、制御信号AがLレベル、制御信号BがHレベルの場合の回路構成の場合では、アンプ回路には符号が互いに逆で絶対値が等しい出力オフセットが生じる。

10

【0013】

特許文献2の回路構成では、ドット反転駆動を行う液晶表示装置の映像信号線駆動手段において、1つの画素への階調電圧の印加を行うべく、正極性の階調電圧を出力する高電圧側アンプ回路と、負極性の階調電圧を出力する低電圧側アンプ回路とを極性に応じてフレーム毎に交互に動作させ、2フレーム毎にアンプ回路の入力電圧が印加される入力段のMOSトランジスタと、出力電圧が帰還される入力段のMOSトランジスタとを交互に切替える動作を行うことにより、それぞれのアンプ回路に生じる出力オフセットを4フレーム毎に時間的に平均化することが記載されている。これにより、出力オフセットによる画素へ印加される電圧のばらつきにより生じる輝度の上昇及び減少を防止している。

20

【0014】

【特許文献1】特許第3352876号公報(特開平9-244590号公報)

【特許文献2】特開平11-249624号公報

【特許文献3】特開平11-305735号公報

【発明の開示】

【発明が解決しようとする課題】

【0015】

差動増幅回路を、例えば、素子ばらつきの大い多結晶シリコン薄膜トランジスタを用いて構成した場合には、大きい出力オフセットが生じる。特許文献1に示される図19の従来例では、差動増幅回路の出力オフセットが大きく、また、入力端子に供給される入力電圧 V_{IN} の電流供給能力が低い場合には、期間 T_3 において、入力端子と出力端子がキャパシタを介して接続されると正帰還を形成することにより発振状態となる場合があり、出力オフセットを正確に検出できなくなる。また、特許文献2に示される第2の従来例では、出力オフセット自体を小さくすることができない。

30

【0016】

本発明は、上記問題点に鑑みなされたものであり、その目的とするところは、オフセット補正された高精度な電圧出力を実現する差動増幅回路及びそれを用いた液晶表示装置の駆動回路を提供することにある。

40

【課題を解決するための手段】

【0017】

本発明による差動増幅回路は、第1及び第2の入力端子と出力端子とを有する差動増幅手段と、一端が所定の電源端子に接続され、他端が前記第2の入力端子に接続された容量素子と、前記第1の入力端子を正相入力端子とすると共に、前記第2の入力端子を逆相入力端子とし、かつ前記第1の入力端子に入力電圧を供給すると共に、前記第2の入力端子と前記出力端子とを接続する第1の状態と、前記第1の入力端子を逆相入力端子とすると共に、前記第2の入力端子を正相入力端子とし、かつ前記第1の入力端子と前記出力端子とを接続する第2の状態とに切替え制御する制御手段とを含むことを特徴とする。

【0018】

50

本発明による他の差動増幅回路は、回路入力端子及び回路出力端子と、第1及び第2のトランジスタからなる差動トランジスタ対と、前記差動トランジスタ対を駆動する定電流源と、前記差動トランジスタ対の出力対と接続された能動負荷と、前記出力対の信号に基づいて前記回路出力端子に信号を出力する出力回路とを有する差動増幅手段と、前記差動トランジスタ対の入力対の一方と前記回路入力端子及び前記回路出力端子のそれぞれとを接続する第1及び第2のスイッチと、前記入力対の他方と前記回路出力端子とを接続する第3のスイッチと、前記出力対のそれぞれを前記出力回路と接続する第4及び第5のスイッチと、一端が所定の電源端子に接続され、他端が前記入力対の他方と接続された容量素子とを含むことを特徴とする。

【0019】

10

更に、前記第1のスイッチ、前記第3のスイッチ、前記第4のスイッチがオン、前記第2のスイッチ、前記第5のスイッチをオフとする第1の状態と、前記第1のスイッチ、前記第3のスイッチ、前記第4のスイッチがオフ、前記第2のスイッチ、前記第5のスイッチがオンとする第2の状態とを切替え制御する制御手段を含むことを特徴とする。

【0020】

本発明による液晶表示装置の駆動回路は、第1及び第2の参照電圧間に直列接続された複数の抵抗を有し、これ等複数の抵抗の接続点から導出された各タップから階調電圧を生成する階調発生手段と、デジタル信号を入力とし前記階調発生手段の出力電圧から対応する電圧を選択出力するデコード手段とを含み、前記デコード手段の出力を入力とし、複数のデータ線をそれぞれ駆動する液晶表示装置の駆動回路であって、前記複数のデータ線に対応して上記記載の差動増幅回路を複数備えていることを特徴とする。

20

【0021】

本発明による他の液晶表示装置の駆動回路は、複数の基準電圧を入力するための複数の各基準電圧入力端子と、映像デジタル信号に従って近接した2つの基準電圧を選択出力するデコード手段と、このデコード手段により選択された2つの基準電圧の中間レベルのアナログ電圧を補間して出力するD/A変換手段とを含み、前記D/A変換手段の出力を入力とし、複数のデータ線をそれぞれ駆動する液晶表示装置の駆動回路であって、前記複数のデータ線に対応して上記差動増幅回路を複数備えていることを特徴とする。

【0022】

本発明の作用を述べる。第1及び第2の入力端子と出力端子とを有する差動増幅器において、第1の入力端子を正相入力端子とし、第2の入力端子を逆相入力端子とする第1の状態と、第1の入力端子を逆相入力端子とし、第2の入力端子を正相入力端子とする第2の状態とを切替え制御し、また一端が所定の電源端子に接続された容量素子を設け、第1の状態において第1の入力端子に入力電圧を供給し、容量の他端を第2の入力端子及び出力端子と接続し、第2の状態において、第1の入力端子と出力端子を接続し、容量の他端を第2の入力端子と接続するよう制御する。

30

【0023】

こうすることにより、入力電圧が容量に接続されることなく、第1の状態において、オフセット検出動作が行われ、第2の状態において、オフセット補正動作が行われて、オフセット除去した正確な増幅出力が得られることになる。

40

【発明の効果】**【0024】**

本発明によれば、入力電圧が容量に接続されることなく、第1の状態において、オフセット検出動作が行われ、第2の状態において、オフセット補正動作が行われるので、入力の電流供給能力が小さい場合にも、オフセット除去した高精度の増幅出力が得られるという効果がある。

【発明を実施するための最良の形態】**【0025】**

以下に、図面を参照しつつ本発明の実施の形態について詳述する。なお、本発明の実施の形態を説明するための図面において、同一機能を有するものには同一符号を付け、これ

50

についての詳細な説明は省略する。

【0026】

[実施の形態1]

図1は本発明の第1の実施形態による差動増幅回路の構成を示す図である。図1の差動増幅回路は、NMOS差動入力部を有する帰還型演算増幅回路に、正相入力端子と逆相入力端子とを切替えるスイッチ10～14と、容量素子5が付加されている。そして、スイッチ10～14を制御するための制御部104が設けられている。

【0027】

図1を参照すると、本発明の第1の実施形態による差動増幅回路は、ソースが共通接続された入力トランジスタ111、112からなる差動入力部101と、共通接続された入力トランジスタ111、112のソースと低位電源VSS間に接続された定電流源121と、入力トランジスタ111及び112のドレインと接続された能動負荷102と、入力端子1と入力トランジスタ111のゲートを接続するスイッチ10と、入力トランジスタ112のゲートと電源V0（V0は任意の電源）間に接続された容量素子5と、出力端子2に接続された駆動段及び出力段103と、出力端子2と入力トランジスタ112のゲートを接続するスイッチ11と、出力端子2と入力トランジスタ111のゲートを接続するスイッチ13と、入力トランジスタ111のドレインと駆動段及び出力段103とを接続するスイッチ12と、入力トランジスタ112のドレインと駆動段及び出力段103とを接続するスイッチ14とを有している。

【0028】

次に、図1の差動増幅回路の動作について説明する。図2は、図1の差動増幅回路の動作を説明するためのタイミングチャートであり、1出力期間における各スイッチのオン、オフの状態を示している。1出力期間は、1つの信号を出力する期間であり、図2では、出力オフセットを含んだ出力電圧の検出を行う第1の期間T01（オフセット検出期間）及びオフセット補正された電圧を出力する第2の期間T02（補正電圧出力期間）の2つの期間から構成される場合について示している。これら期間における各スイッチの制御は制御部104にて行われる。

【0029】

図2を参照すると、オフセット検出期間T01では、スイッチ10～12がオンとなり、スイッチ13、14がオフとなる。これにより、入力端子1は入力トランジスタ111のゲート（端子3）と接続され、出力端子2は入力トランジスタ112のゲート（端子4）と接続され、入力トランジスタ111のドレインと駆動段及び出力段103とが接続され、端子3、4がそれぞれ正相入力端子、逆相入力端子となる。

【0030】

図3はこのときの回路構成をアンプ記号を用いて示した図である。入力電圧VINに対してV1の出力オフセットが生じる場合、端子4に接続されている容量素子5はオフセットが加算された電圧VOUT（ $= V_{IN} + V_1$ ）で充電される。次に、補正電圧出力期間T02では、スイッチ10～12をオフに切替えると同時に、スイッチ13、14をオンに切替える。これにより、出力端子2は入力トランジスタ111のゲート（端子3）と接続され、トランジスタ112のドレインは駆動段及び出力段103と接続され、端子3、4はそれぞれ逆相入力端子、正相入力端子となる。

【0031】

図4は、このときの回路構成をアンプ記号を用いて示した図である。期間T02では、スイッチ11がオフとなるため、端子4の電圧は期間T01において容量素子5に保持された電圧（ $= V_{IN} + V_1$ ）となる。T01における出力オフセットが入力電圧VINに対してV1（出力電圧VOUT $= V_{IN} + V_1$ ）である場合には、T02における出力オフセットは端子4の電圧に対して $-V_1$ となるため、T02における出力電圧は入力電圧VINと等しくなる。

【0032】

以上説明したように、本発明の第1の実施形態の差動増幅回路では、オフセット検出期

10

20

30

40

50

間 T 0 1 において端子 3、4 をそれぞれ正相入力端子、逆相入力端子とし、補正電圧出力期間 T 0 2 において端子 3、4 をそれぞれ逆相入力端子、正相入力端子となるように切替えを行う。さらに、期間 T 0 1 において入力電圧 V_{IN} を端子 3 に印加したときの出力電圧を容量素子に蓄積し、期間 T 0 2 では期間 T 0 1 において容量素子 5 に蓄積した電圧を端子 4 の電圧として用いる。これにより、T 0 1 における出力オフセットが端子 3 の電圧（入力電圧 V_{IN} ）に対して V_1 である場合には、T 0 2 における出力オフセットは端子 4 の電圧（ $= V_{IN} + V_1$ ）に対して $-V_1$ となるため、T 0 2 において入力電圧 V_{IN} と等しい出力電圧を得ることができる。

【0033】

また、本実施形態の差動増幅回路は、入力電圧 V_{IN} が期間 T 0 1 において入力トランジスタのゲートにのみ接続されるため、図 17 の第 1 の従来例の差動増幅回路のように入力電圧 V_{IN} が出力の影響を受けることはなく、入力電圧 V_{IN} の電流供給能力に係わらずオフセット補正された高精度の出力電圧を得ることができる。

10

【0034】

[実施の形態 2]

次に、本発明の第 2 の実施形態について説明する。図 5 は本発明の第 2 の実施形態による差動増幅回路の構成を示す図である。図 5 の差動増幅回路は、PMOS 差動入力部を有する帰還型演算増幅回路に、正相入力端子と逆相入力端子とを切替えるスイッチ 20 ~ 24 と、容量素子 5 が付加されている。また、スイッチ 20 ~ 24 を制御する制御部 104 が設けられている。

20

【0035】

図 5 を参照すると、本発明の第 2 の実施形態の差動増幅回路は、ソースが共通接続された入力トランジスタ 211、212 からなる差動入力部 201 と、共通接続された入力トランジスタ 211、212 のソースと高位電源 V_{DD} 間に接続された定電流源 221 と、入力トランジスタ 211 及び 212 のドレインと接続された能動負荷 202 と、入力端子 1 と入力トランジスタ 211 のゲートを接続するスイッチ 20 と、入力トランジスタ 212 のゲートと電源 V_0 （ V_0 は任意の電源）間に接続された容量素子 5 と、出力端子 2 と接続された駆動段及び出力段 203 と、出力端子 2 と入力トランジスタ 212 のゲートを接続するスイッチ 21 と、出力端子 2 と入力トランジスタ 211 のゲートを接続するスイッチ 23 と、入力トランジスタ 211 のドレインと駆動段及び出力段 203 とを接続するスイッチ 22 と、入力トランジスタ 212 のドレインと駆動段及び出力段 203 とを接続するスイッチ 24 とを有している。

30

【0036】

次に、図 5 の差動増幅回路の動作について説明する。図 6 は、図 5 の差動増幅回路の動作を説明するためのタイミングチャートである。図 6 を参照すると、オフセット検出期間 T 0 1 では、スイッチ 20 ~ 22 がオンとなり、スイッチ 23、24 がオフとなる。これにより、入力端子 1 は入力トランジスタ 211 のゲート（端子 3）と接続され、出力端子 2 は入力トランジスタ 212 のゲート（端子 4）と接続され、入力トランジスタ 211 のドレインと駆動段及び出力段 203 とが接続され、端子 3、4 はそれぞれ正相入力端子、逆相入力端子となる。入力電圧に対して V_2 のオフセットが生じる場合、端子 4 に接続されている容量素子 5 はオフセットが加算された電圧 V_{OUT} （ $= V_{IN} + V_2$ ）で充電される。

40

【0037】

次に、補正電圧出力期間 T 0 2 では、スイッチ 20 ~ 22 をオフに切替えると共に、スイッチ 23、24 をオンに切替える。これにより、出力端子 2 は入力トランジスタ 211 のゲート（端子 3）と接続され、トランジスタ 212 のドレインは駆動段及び出力段 203 と接続され、端子 3、4 はそれぞれ逆相入力端子、正相入力端子となる。

【0038】

期間 T 0 2 では、スイッチ 11 がオフとなるため、端子 4 の電圧は期間 T 0 1 において容量素子 5 に保持された電圧（ $= V_{IN} + V_2$ ）となる。T 0 1 における出力オフセット

50

が入力電圧 V_{IN} に対して V_2 (出力電圧 $V_{OUT} = V_{IN} + V_2$) である場合には、 T_{02} における出力オフセットは端子 4 の電圧に対して $-V_2$ となるため、 T_{02} における出力電圧は入力電圧 V_{IN} と等しくなる。

【0039】

以上説明したように、本発明の第 2 の実施形態の差動増幅回路は、図 1 の差動増幅回路と同様に、オフセット検出期間 T_{01} において端子 3、4 をそれぞれ正相入力端子、逆相入力端子とし、補正電圧出力期間 T_{02} において端子 3、4 をそれぞれ逆相入力端子、正相入力端子となるように切替えを行う。さらに、期間 T_{01} において入力電圧 V_{IN} を端子 3 に印加したときの出力電圧を容量素子に蓄積し、期間 T_{02} では期間 T_{01} において容量素子 5 に蓄積した電圧を端子 4 の電圧として用いる。これにより、 T_{01} における出力オフセットが端子 3 の電圧 (入力電圧 V_{IN}) に対して V_2 である場合には、 T_{02} における出力オフセットは端子 4 の電圧 ($= V_{IN} + V_2$) に対して $-V_2$ となるため、 T_{02} において入力電圧 V_{IN} と等しい出力電圧を得ることができる。

10

【0040】

また、本実施形態の差動増幅回路は、入力電圧 V_{IN} が期間 T_{01} において入力トランジスタのゲートにのみ接続されるため、入力電圧 V_{IN} の電流供給能力に係わらずオフセット補正された高精度の出力電圧を得ることができる。

【0041】

[実施の形態 3]

次に、本発明の第 3 の実施形態について説明する。図 7 は本発明の第 3 の実施形態による差動増幅回路の構成を示す図である。図 7 の差動増幅回路は、NMOS 差動入力部及び PMOS 差動入力部を有する帰還型演算増幅回路に、正相入力端子と逆相入力端子とを切替えるスイッチ 30 ~ 35, 41 ~ 45 と、容量素子 5 が付加されている。また、スイッチ 30 ~ 35, 41 ~ 45 を制御する制御部 304 が設けられている。

20

【0042】

図 7 を参照すると、本発明の第 3 の実施形態の差動増幅回路は、ソースが共通接続された入力トランジスタ 311、312 からなる NMOS 差動入力部と、共通接続された入力トランジスタ 311、312 のソースと低位電源 V_{SS} 間に接続された定電流源 321 と、入力トランジスタ 313、313 からなる PMOS 差動入力部と、共通接続された入力トランジスタ 313、314 のソースと高位電源 V_{DD} 間に接続された定電流源 322 と、共通接続された入力トランジスタ 311、313 のゲートと入力端子 1 とを接続するスイッチ 30 と、共通接続された入力トランジスタ 312、314 のゲートと電源 V_O (V_O は任意の電源) 間に接続された容量素子 5 とを含む。

30

【0043】

本発明の第 3 の実施形態の差動増幅回路は、更に、出力端子 2 と接続された駆動段及び出力段 303 と、出力端子 2 と共通接続された入力トランジスタ 312、314 のゲートを接続するスイッチ 31 と、出力端子 2 と共通接続された入力トランジスタ 311、313 のゲートを接続するスイッチ 41 と、入力トランジスタ 311 のドレインと駆動段及び出力段 303 とを接続するスイッチ 32、42 と、入力トランジスタ 312 のドレインと駆動段及び出力段 303 とを接続するスイッチ 33、43 と、入力トランジスタ 313 のドレインと駆動段及び出力段 303 とを接続するスイッチ 34、44 と、入力トランジスタ 314 のドレインと駆動段及び出力段 303 とを接続するスイッチ 35、45 とを有している。

40

【0044】

次に、図 7 に示される差動増幅回路の動作について説明する。図 8 は本実施形態による差動増幅回路の動作を説明するためのタイミングチャートである。図 8 を参照すると、オフセット検出期間 T_{01} では、スイッチ 30 ~ 35 がオンとなり、スイッチ 41 ~ 45 がオフとなる。

【0045】

次に、補正電圧出力期間 T_{02} では、スイッチ 30 ~ 35 をオフに切り替えるとともに

50

、スイッチ 41 ~ 45 はオンに切替えられる。このようにスイッチのオン、オフの制御が行われることで、図 7 の差動増幅回路においても図 1 の差動増幅回路と同様に、オフセット検出期間 T01 において端子 3、4 をそれぞれ正相入力端子、逆相入力端子とし、補正電圧出力期間 T02 において端子 3、4 をそれぞれ逆相入力端子、正相入力端子となるように切替えを行い、さらに、期間 T01 において入力電圧 V_{IN} を端子 3 に印加したときの出力電圧を容量素子に蓄積し、期間 T02 では期間 T01 において容量素子 5 に蓄積した電圧を端子 4 の電圧として用いる。

【0046】

これにより、T01 における出力オフセットが端子 3 の電圧（入力電圧 V_{IN}）に対して V₃ である場合には、T02 における出力オフセットは端子 4 の電圧（= V_{IN} + V₃）に対して - V₃ となるため、T02 において入力電圧 V_{IN} と等しい出力電圧を得ることができる。

10

【0047】

また、本実施形態の差動増幅回路は、入力電圧 V_{IN} が期間 T01 において入力トランジスタのゲートにのみ接続されるため、図 19 の第 1 の従来例の差動増幅回路のように入力電圧 V_{IN} が出力の影響を受けることはなく、入力電圧 V_{IN} の電流供給能力に係わらずオフセットを補正された高精度の出力電圧を得ることができる。

【0048】

[実施の形態 4]

次に、本発明の第 4 の実施形態について説明する。図 9 は本発明の第 4 の実施形態による差動増幅回路の構成を示す図である。図 9 に示す第 4 の実施形態による差動増幅回路は、図 1 に示した回路に対して差動増幅回路の出力端子 2 と負荷との間にスイッチ 9 が追加されている。図 10 は、本実施形態による差動増幅回路の動作を説明するためのタイミングチャートである。図 10 を参照すると、スイッチ 10 ~ 16 は、図 1 の差動増幅回路と同様に、オフセット検出期間 T01 ではスイッチ 10 ~ 13 がオン、スイッチ 14 ~ 16 がオフとなり、補正電圧出力期間 T02 では、スイッチ 10 ~ 13 をオフに切替えると共に、スイッチ 14 ~ 16 はオンに切替えられる。新たに追加したスイッチ 9 は、オフセット検出期間 T01 においてオフとなり、補正電圧出力期間 T02 においてオンに切替えられる。

20

【0049】

図 1 の差動増幅回路は、大きい容量性負荷を駆動する場合、期間 T01 を差動増幅回路の出力が安定する十分長い期間に設定する必要がある。一方、図 9 に示した差動増幅回路では、期間 T01 においてスイッチ 9 がオフとなるため、差動増幅回路と負荷が切離され、期間 T01 における差動増幅回路の実質上の負荷は容量素子 5 だけとなる。このため、図 9 の差動増幅回路は期間 T01 において図 1 の差動増幅回路よりも短い期間で出力を安定化させることができる。以上のことから、大きい容量性負荷を駆動する場合には、図 1 の差動増幅回路よりも期間 T01 を短くすることが可能となり、1 出力期間の短縮を図ることができる。

30

【0050】

なお、本実施形態では、図 1 に示した第 1 の実施形態による差動増幅回路にスイッチ 9 を設けた構成について説明したが、その他の実施形態の差動増幅回路においても、差動増幅回路の出力端子と負荷を接続するスイッチを設けることにより同様の効果を実現することができる。

40

【0051】

[実施の形態 5]

次に、本発明の第 5 の実施形態による差動増幅回路について説明する。図 11 は本発明の第 5 の実施形態による差動増幅回路の構成を示す図である。図 11 に示す第 5 の実施形態による差動増幅回路では、図 1 に示した回路に対して、差動増幅回路の入力部に電荷再分配型 D/A コンバータ 105 を用いており、D/A 変換後の電圧が入力電圧 V_{IN} として差動増幅回路に入力される。

50

【 0 0 5 2 】

電荷再分配型 D / A コンバータ 1 0 5 は、等しい容量値の 2 個の容量素子 6、7 とスイッチ 1 3 1 ~ 1 3 3 から構成されており、容量素子 6、7 の一端はスイッチ 1 3 3 を介して接続され、他端は基準電位 V_b に共通接続されている。また、容量素子 6 の一端はスイッチ 1 3 1 及びスイッチ 1 3 2 を介してそれぞれ基準電位 V_a 、基準電位 V_b に接続されている。制御部 1 0 4 はこれらスイッチを制御するものである。

【 0 0 5 3 】

次に、電荷再分配型 D / A コンバータ 1 0 5 の動作について説明する。電荷再分配型 D / A コンバータ 1 0 5 は、まず、スイッチ 1 3 1 がオフ、スイッチ 1 3 2、1 3 3 がオンになり基準電位 V_b で容量素子 6、7 はリセットされる。次に、デジタルデータ信号の最下位ビットが 1 (0) の場合、スイッチ 1 3 1 (1 3 2) がオン、スイッチ 1 3 2 (1 3 1) がオフ、スイッチ 1 3 3 がオフになり、容量素子 6 が基準電位 V_a (V_b) で充電され、その後、スイッチ 1 3 1 (1 3 2) はオフになる。次に、スイッチ 1 3 3 がオンになり、容量素子 6、7 間において電荷の再分配が行われ、その後、スイッチ 1 3 3 はオフになる。この 2 つの容量素子間における電荷の再分配をデジタルデータの最上位ビットまで繰り返し行うことで、デジタル信号から入力電圧 V_{IN} が生成される。

【 0 0 5 4 】

次に、本実施形態と図 1 9 の第 1 の従来例の差動増幅回路の入力部に電荷再分配型 D / A コンバータ 1 0 5 を用いた場合の違いについて説明する。図 1 9 の第 1 の従来例の差動増幅回路の入力部に電荷再分配型 D / A コンバータ 1 0 5 を用いる場合、図 2 0 を参照すると、前の出力が行われる期間 T_1 の後に D / A 変換を行う期間を設け、D / A 変換後に期間 T_2 の動作を行うようにする必要がある。一方、本実施形態では、入力電圧 V_{IN} はオフセット検出期間 T_{01} にのみ差動増幅回路に供給されるため、補正電圧出力期間 T_{02} において電荷再分配型 D / A コンバータ 1 0 5 による D / A 変換により次の出力期間の入力電圧 V_{IN} の生成を行うことが可能であるため、D / A 変換を行う期間を別に設ける必要がなく、第 1 の従来例の差動増幅回路よりもデータ処理の高速化を図ることができる。

【 実施例 1 】

【 0 0 5 5 】

上記した本発明の実施形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。なお、本発明の実施形態の説明で示した図面と同一機能を有するものには同一符号を付け、これについての詳細な説明は省略する。図 1 2 は本発明の第 1 の実施例の差動増幅回路を示す図である。図 1 2 の差動増幅回路は、図 1 の本発明の第 1 の実施形態の差動増幅回路の具体例を示した図であり、N M O S 差動入力部を有する帰還型演算増幅回路に、正相入力端子と逆相入力端子とを切替えるスイッチ 1 0 ~ 1 6 と、容量素子 5 が付加されている。

【 0 0 5 6 】

図 1 2 を参照すると、本発明の第 1 の実施例の差動増幅回路は、ソースが共通接続された入力トランジスタ 1 1 1、1 1 2 からなる差動入力部 1 0 1 と、共通接続された入力トランジスタ 1 1 1、1 1 2 のソースと低位電源 V_{SS} 間に接続された定電流源 1 2 1 と、ソースが高位電源 V_{DD} と接続され、ドレインが入力トランジスタ 1 1 1 のドレインと接続されたトランジスタ 1 1 3 と、ソースが高位電源 V_{DD} と接続され、ゲートがトランジスタ 1 1 3 のゲートと接続され、ドレインが入力トランジスタ 1 1 2 のドレインと接続されたトランジスタ 1 1 4 と、共通接続されたトランジスタ 1 1 3、1 1 4 のゲートをトランジスタ 1 1 4 あるいはトランジスタ 1 1 3 のドレインに接続するスイッチ 1 5、1 6 と、入力端子 1 と入力トランジスタ 1 1 1 のゲートとを接続するスイッチ 1 0 と、入力トランジスタ 1 1 2 のゲートと電源 V_0 (V_0 は任意の電源) 間に接続された容量素子 5 とを有している。

【 0 0 5 7 】

さらに、差動増幅回路は、ソースが高位電源 V_{DD} と接続され、ドレインが出力端子 2 に接続された出力トランジスタ 1 1 5 と、出力端子 2 と入力トランジスタ 1 1 2 のゲート

10

20

30

40

50

を接続するスイッチ 11 と、出力端子 2 と入力トランジスタ 111 のゲートを接続するスイッチ 13 と、出力トランジスタ 115 のゲートと入力トランジスタ 111 あるいは入力トランジスタ 112 のドレインと接続するスイッチ 12、14 と、出力端子 2 と低位電源 VSS 間に接続された低電流源 122 と、出力端子 2 と出力トランジスタ 115 のゲートに接続された位相補償容量 116 とを有している。

【0058】

次に、図 12 に示される差動増幅回路の動作について説明する。図 13 は第 1 の実施例による差動増幅回路の動作を説明するためのタイミングチャートである。また、図 14 は図 13 のタイミングチャートに従った動作による出力電圧波形を示す図である。

【0059】

図 13 を参照すると、オフセット検出期間 T01 では、スイッチ 10 ~ 12、15 がオンとなり、スイッチ 13、14、16 がオフとなる。これにより、入力端子 1 は入力トランジスタ 111 のゲート（端子 3）と接続され、出力端子 2 は入力トランジスタ 112 のゲート（端子 4）と接続され、共通接続されたトランジスタ 113、114 のゲートはトランジスタ 114 のドレインに接続され、出力トランジスタ 115 のゲートはトランジスタ 113 のドレインと接続される。このとき、端子 3、4 はそれぞれ正相入力端子、逆相入力端子となり、端子 4 に接続されている容量素子 5 は、オフセットが加算された電圧により充電される。

【0060】

次に、補正電圧出力期間 T02 では、スイッチ 10 ~ 12、15 をオフに切替えると共に、スイッチ 13、14、16 をオンに切替える。これにより、出力端子 2 は入力トランジスタ 111 のゲート（端子 3）と接続され、共通接続されたトランジスタ 113、114 のゲートはトランジスタ 113 のドレインに接続され、出力トランジスタ 115 のゲートはトランジスタ 114 のドレインと接続され、端子 3、4 はそれぞれ逆相入力端子、正相入力端子となる。期間 T02 では、スイッチ 11 がオフとなるため、端子 4 の電圧は期間 T01 において容量素子 5 に保持された電圧（ $= V_{IN} + V_4$ ）となる。T01 における出力オフセットが入力電圧 V_{IN} に対して V_4 （出力電圧 $V_{OUT} = V_{IN} + V_4$ ）である場合には、T02 における出力オフセットは端子 4 の電圧に対して $-V_4$ となるため、T02 における出力電圧は入力電圧 V_{IN} と等しくなる。

【0061】

以上説明したように、本発明の第 1 の実施例の差動増幅回路では、オフセット検出期間 T01 において端子 3、4 をそれぞれ正相入力端子、逆相入力端子とし、補正電圧出力期間 T02 において端子 3、4 をそれぞれ逆相入力端子、正相入力端子となるように切替えを行う。さらに、期間 T01 において入力電圧 V_{IN} を端子 3 に印加したときの出力電圧を容量素子に蓄積し、期間 T02 では期間 T01 において容量素子 5 に蓄積した電圧を端子 4 の電圧として用いる。これにより、T01 における出力オフセットが端子 3 の電圧（入力電圧 V_{IN} ）に対して V_4 である場合には、T02 における出力オフセットは端子 4 の電圧（ $= V_{IN} + V_4$ ）に対して $-V_4$ となるため、T02 において入力電圧 V_{IN} と等しい出力電圧を得ることができる。

【0062】

また、入力電圧 V_{IN} が期間 T01 において入力トランジスタのゲートにのみ接続されるため、図 17 の第 1 の従来例の差動増幅回路のように入力電圧 V_{IN} が出力の影響を受けることはなく、入力電圧 V_{IN} の電流供給能力にかかわらずオフセット補正された高精度の出力電圧を得ることができる。

【実施例 2】

【0063】

図 15 は本発明の第 2 の実施例の構成を示す図である。図 15 の差動増幅回路は、図 5 の本発明の第 2 の実施形態の差動増幅回路の具体例を示した図であり、PMOS 差動入力部を有する帰還型演算増幅回路に、正相入力端子と逆相入力端子とを切替えるスイッチ 20 ~ 26 と、容量素子 5 が付加されている。

10

20

30

40

50

【0064】

図15を参照すると、本発明の第2の実施例の差動増幅回路は、ソースが共通接続された入力トランジスタ211、212からなる差動入力部201と、共通接続された入力トランジスタ211、212のソースと高位電源VDD間に接続された定電流源221と、ソースが低位電源VSSと接続され、ドレインが入力トランジスタ211のドレインと接続されたトランジスタ213と、ソースが低位電源VSSと接続され、ゲートがトランジスタ213のゲートと接続され、ドレインが入力トランジスタ212のドレインと接続されたトランジスタ214と、共通接続されたトランジスタ213、214のゲートをトランジスタ214あるいはトランジスタ213のドレインに接続するスイッチ25、26と、入力端子1と入力トランジスタ211のゲートとを接続するスイッチ10と、入力トランジスタ212のゲートと電源VO(VOは任意の電源)間に接続された容量素子5とを有している。

10

【0065】

さらに、差動増幅回路は、ソースが低位電源VSSと接続され、ドレインが出力端子2に接続された出力トランジスタ215と、出力端子2と入力トランジスタ212のゲートを接続するスイッチ21と、出力端子2と入力トランジスタ211のゲートを接続するスイッチ23と、出力トランジスタ215のゲートと入力トランジスタ211あるいは入力トランジスタ212のドレインと接続するスイッチ22、24と、出力端子2と高位電源VDD間に接続された低電流源222と、出力端子2と出力トランジスタ215のゲートに接続された位相補償容量素子216とを有している。

20

【0066】

次に、図15に示される差動増幅回路の動作について説明する。図16は第2の実施例による差動増幅回路の動作を説明するためのタイミングチャートである。図16を参照すると、オフセット検出期間T01では、スイッチ20~22、25がオンとなり、スイッチ23、24、26がオフとなる。これにより、入力端子1は入力トランジスタ211のゲート(端子3)と接続され、出力端子2は入力トランジスタ212のゲート(端子4)と接続され、トランジスタ213、214のゲートはトランジスタ214のドレインに接続され、出力トランジスタ215のゲートはトランジスタ213のドレインと接続される。このとき、端子3、4がそれぞれ正相入力端子、逆相入力端子となり、端子4に接続されている容量素子5は、オフセットが加算された電圧により充電される。

30

【0067】

次に、補正電圧出力期間T02では、スイッチ20~22、25をオフに切替えると共に、スイッチ23、24、26をオンに切替える。これにより、出力端子2は入力トランジスタ211のゲート(端子3)と接続され、トランジスタ213、214のゲートはトランジスタ213のドレインに接続され、出力トランジスタ215のゲートはトランジスタ214のドレインと接続され、端子3、4はそれぞれ逆相入力端子、正相入力端子となる。期間T02では、スイッチ11がオフとなるため、端子4の電圧は期間T01において容量素子5に保持された電圧($=V_{IN} + V_5$)となる。T01における出力オフセットが入力電圧 V_{IN} に対して V_5 (出力電圧 $V_{OUT} = V_{IN} + V_5$)である場合には、T02における出力オフセットは端子4の電圧に対して $-V_5$ となるため、T02における出力電圧は入力電圧 V_{IN} と等しくなる。

40

【0068】

以上説明したように、本発明の第2の実施例における差動増幅回路においても、図12の差動増幅回路と同様に、オフセット検出期間T01において端子3、4をそれぞれ正相入力端子、逆相入力端子とし、補正電圧出力期間T02において端子3、4をそれぞれ逆相入力端子、正相入力端子となるように切替えを行う。さらに、期間T01において入力電圧 V_{IN} を端子3に印加したときの出力電圧を容量素子に蓄積し、期間T02では期間T01において容量素子5に蓄積した電圧を端子4の電圧として用いる。これにより、T01における出力オフセットが端子3の電圧(入力電圧 V_{IN})に対して V_5 である場合には、T02における出力オフセットは端子4の電圧($=V_{IN} + V_5$)に対して $-V_5$

50

となるため、T 0 2 において入力電圧 V_{IN} と等しい出力電圧を得ることができる。

【0069】

また、入力電圧 V_{IN} は T 0 1 に入力トランジスタのゲートにのみ接続される。そのため、入力電圧 V_{IN} の電流供給能力が小さい場合でも差動増幅回路のオフセットを補正することが可能であり、高精度の出力電圧を得ることができる。

【0070】

〔応用例1〕

次に、本発明の第5の実施例について説明する。図17は、本発明の第1の応用例を説明するための図である。本応用例では、アクティブマトリクス型表示装置に用いられる多出力の駆動回路に本発明の差動増幅回路を適用する例を示す。図17を参照すると、アクティブマトリクス型表示装置の駆動回路は、参照電圧 V_H と V_L 間に設けられた抵抗ストリング411の各端子(タップ)から生成された複数の階調電圧の中から、各出力毎に、映像デジタル信号に応じてデコーダ412a~412nで階調電圧を選択し、出力回路413a~413nで増幅して、出力端子414に接続されたデータ線を駆動する。制御信号は出力回路413a~413nを構成する本発明の差動増幅回路のスイッチを制御する。

10

【0071】

本発明の差動増幅回路は、図17に示される出力回路413a~413nとして用いることができる。本発明の差動増幅回路を用いた出力回路413a~413nは、デコーダ412a~412nから選択入力される階調電圧の電流供給能力にかかわらず、高精度な電圧でデータ線を駆動することができる。

20

【0072】

〔応用例2〕

次に、本発明の第2の応用例について説明する。図18は本応用例を説明するための図である。本例では、アクティブマトリクス型表示装置に用いられる多出力の駆動回路の階調電圧生成手段として、抵抗ストリングを用いる場合について示した。本例では、アクティブマトリクス型表示装置に用いられる多出力の駆動回路の階調電圧生成手段として電荷再分配型D/Aコンバータを用いた駆動回路に、本発明の差動増幅回路を適用する例を示す。

【0073】

図18を参照すると、本例のアクティブマトリクス型表示装置の駆動回路は、各出力毎に、ガンマ電圧入力部421からデコーダ422a~422nに入力される液晶の透過率-電圧特性に対応したガンマ電圧 V_{R1} ~ V_{RN} の中から、映像デジタル信号に応じて近接した2つのガンマ電圧が電荷再分配型D/Aコンバータ423に入力される。電荷再分配型D/Aコンバータ423は、入力された2つのガンマ電圧から映像デジタル信号に応じて階調電圧を生成し、出力回路424a~424nで増幅して、出力端子414に接続されたデータ線を駆動する。制御信号は出力回路424a~424nを構成する本発明の差動増幅回路のスイッチを制御する。

30

【0074】

本発明の差動増幅回路は、図18に示される出力回路424a~424nとして用いることができる。電荷再分配型D/Aコンバータ423により生成される電圧は電流供給能力がないが、本発明の差動増幅回路を用いた出力回路424a~424nは、入力電圧の電流供給能力にかかわらず高精度な電圧でデータ線を駆動することができる。

40

【図面の簡単な説明】

【0075】

【図1】本発明の第1の実施形態の差動増幅回路の構成図である。

【図2】図1の差動増幅回路の動作を示すためのスイッチのタイミングチャートである。

【図3】オフセット検出期間T01における図1の差動増幅回路の構成をアンプ記号を用いて示した図である。

【図4】補正電圧出力期間T02における図1の差動増幅回路の構成をアンプ記号を用い

50

て示した図である。

【図 5】本発明の第 2 の実施形態の差動増幅回路の構成図である。

【図 6】図 5 の差動増幅回路の動作を示すためのスイッチのタイミングチャートである。

【図 7】本発明の第 3 の実施形態の差動増幅回路の構成図である。

【図 8】図 7 の差動増幅回路の動作を示すためのスイッチのタイミングチャートである。

【図 9】本発明の第 4 の実施形態の差動増幅回路の構成図である。

【図 10】図 9 の差動増幅回路の動作を示すためのスイッチのタイミングチャートである。

【図 11】本発明の第 5 の実施形態の差動増幅回路の構成図である。

【図 12】本発明の第 1 の実施例の差動増幅回路の構成図である。

10

【図 13】図 12 の差動増幅回路の動作を示すためのスイッチのタイミングチャートである。

【図 14】図 12 の差動増幅回路の出力電圧波形例である。

【図 15】本発明の第 2 の実施例の差動増幅回路の構成図である。

【図 16】図 14 の差動増幅回路の動作を示すためのスイッチのタイミングチャートである。

【図 17】本発明の第 1 の応用例を示す図である。

【図 18】本発明の第 2 の応用例を示す図である。

【図 19】第 1 の従来例の差動増幅回路を示す構成図である。

【図 20】第 1 の従来例の差動増幅回路の動作を示すタイミングチャートである。

20

【図 21】第 2 の従来例の低電圧用アンプ回路の構成図である。

【図 22】第 2 の従来例の高電圧用アンプ回路の構成図である。

【図 23】第 2 の従来例の低電圧用アンプ回路において制御信号 (A) が H レベルの場合の回路構成を示す図である。

【図 24】第 2 の従来例の低電圧用アンプ回路において制御信号 (B) が H レベルの場合の回路構成を示す図である。

【符号の説明】

【 0 0 7 6 】

1 入力端子

2 出力端子

30

3、4 端子

5 ~ 7、1 1 6、2 1 6 容量素子

9 ~ 1 6、2 0 ~ 2 6、3 0 ~ 3 6、1 3 1 ~ 1 3 3 スイッチ

1 0 1、1 0 2 差動入力部

1 0 4 電荷再分配型 D / A コンバータ

1 0 2、2 0 2 能動負荷

1 0 3、2 0 3、3 0 3 駆動段及び出力段

1 1 1、1 1 2、2 1 3 ~ 2 1 5、3 1 1、3 1 2 NMOS トランジスタ

1 1 3 ~ 1 1 5、2 1 1、2 1 2、3 1 3、3 1 4 PMOS トランジスタ

1 2 1、1 2 2、2 2 1、2 2 2、3 2 1、3 2 2 定電流源

40

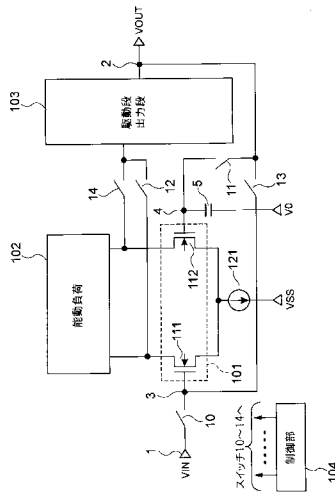
4 1 1 抵抗ストリング

4 1 2、4 2 2 デコーダ

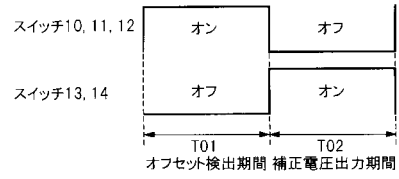
4 1 3、4 2 4 出力回路

4 2 1 ガンマ電圧入力部

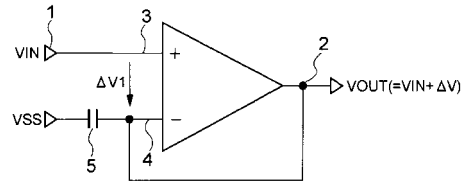
【 図 1 】



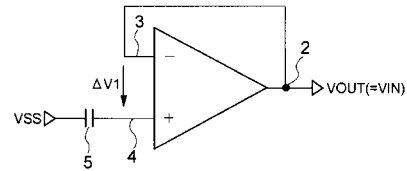
【 図 2 】



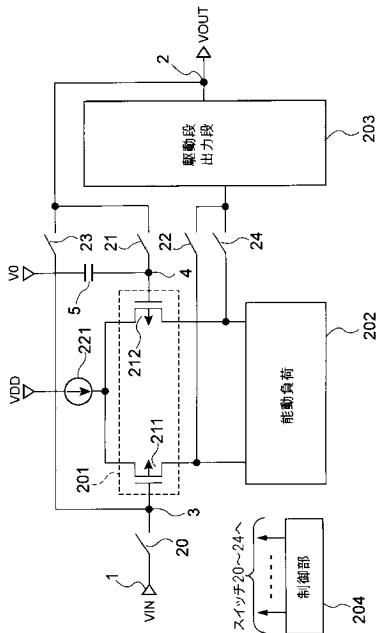
【 図 3 】



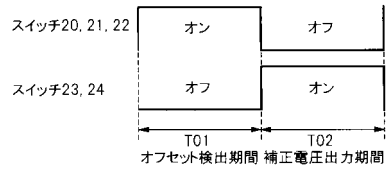
【 図 4 】



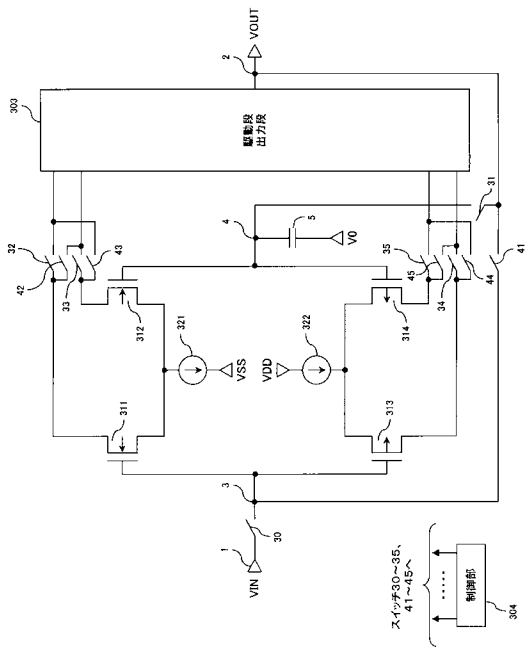
【 図 5 】



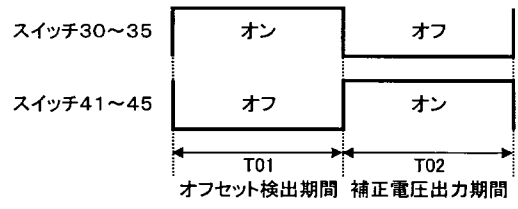
【 図 6 】



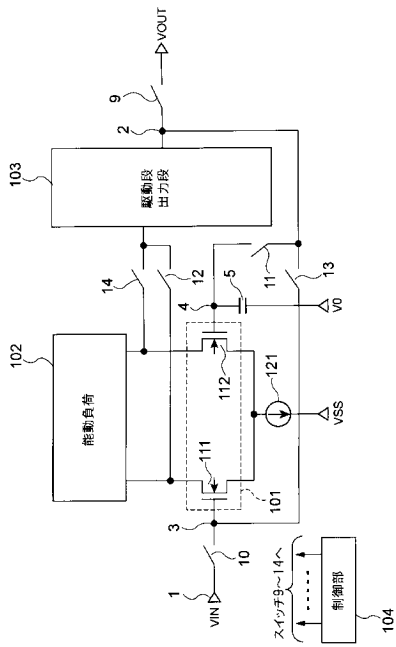
【図7】



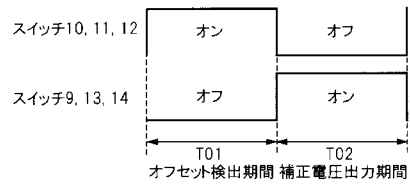
【図8】



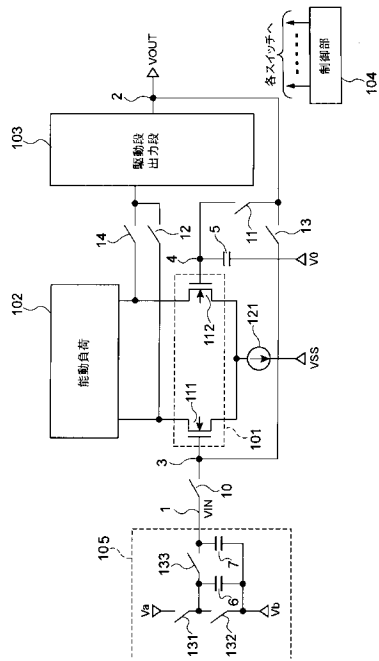
【図9】



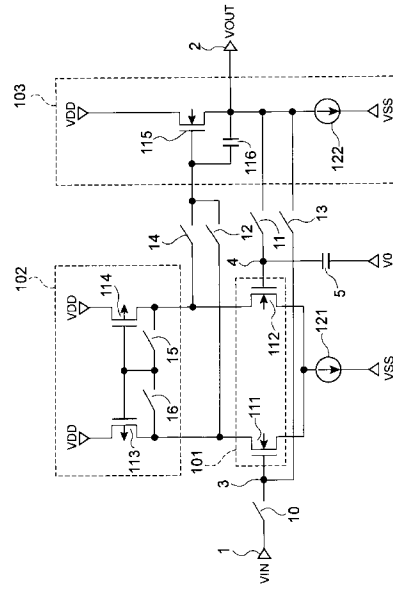
【図10】



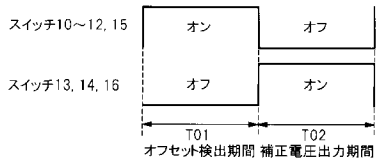
【図 1 1】



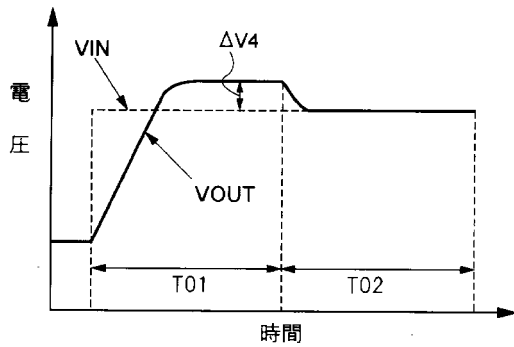
【図 1 2】



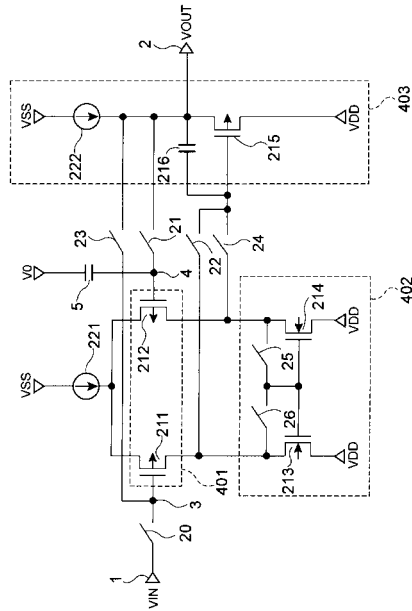
【図 1 3】



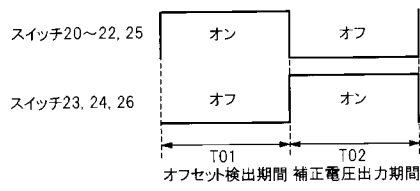
【図 1 4】



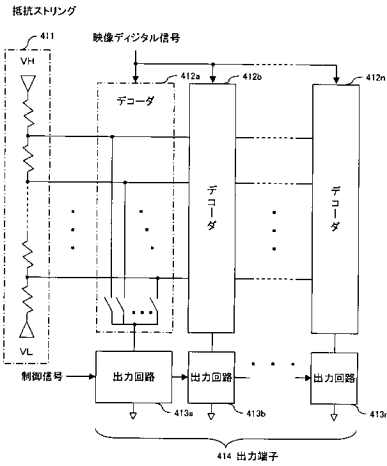
【図 1 5】



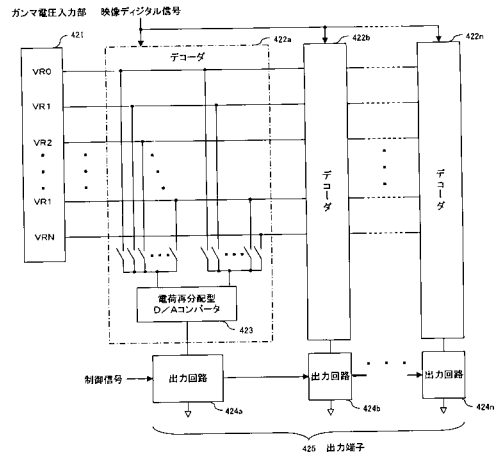
【図16】



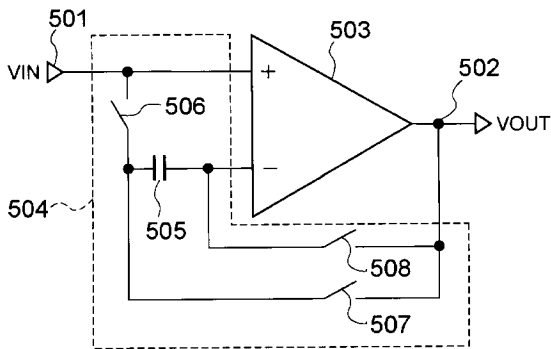
【図17】



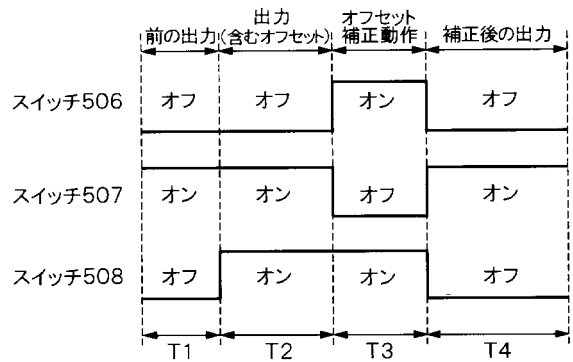
【図18】



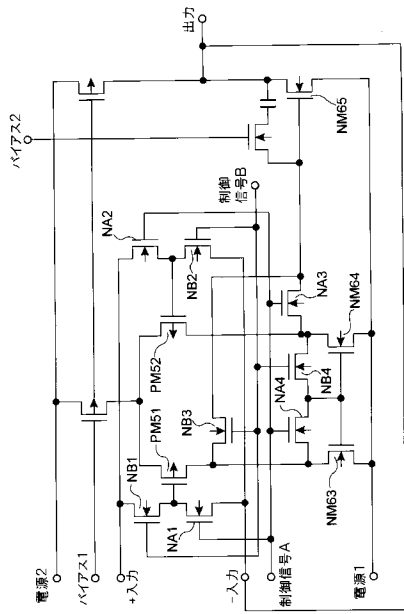
【図19】



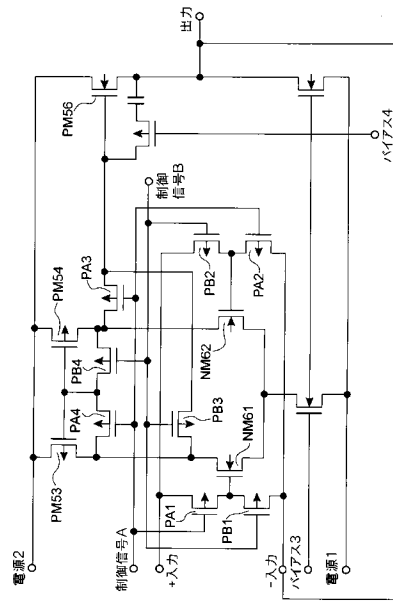
【図20】



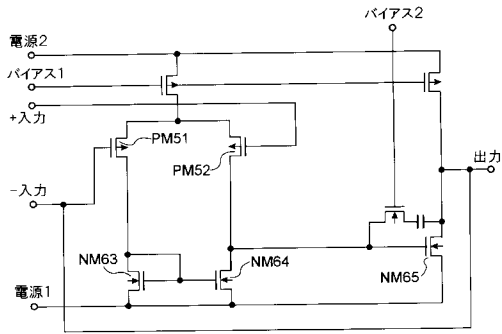
【 図 2 1 】



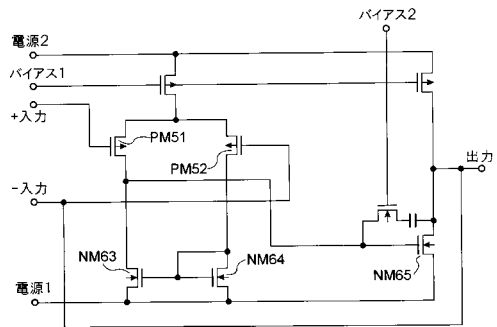
【 図 2 2 】



【 図 2 3 】



【 図 2 4 】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 3 F

G 0 9 G 3/36

Fターム(参考) 5C080 AA10 BB05 DD30 EE29 FF01 FF11 JJ02 JJ03 JJ04

5J500 AA01 AA12 AA51 AC13 AF18 AH10 AH29 AH38 AK02 AK34

AS08 AT06

专利名称(译)	差分放大器电路和用于使用其的液晶显示器件的驱动电路		
公开(公告)号	JP2005110065A	公开(公告)日	2005-04-21
申请号	JP2003342745	申请日	2003-10-01
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	NEC公司 NEC电子公司		
[标]发明人	中平吉彦		
发明人	中平 吉彦		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 H03F1/02 H03F3/45		
CPC分类号	H03F3/45775 H03F3/4521 H03F2203/45724		
FI分类号	H03F3/45.B G02F1/133.550 G09G3/20.611.H G09G3/20.612.F G09G3/20.623.B G09G3/20.623.F G09G3/36 H03F3/45.220		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NC13 2H093/NC24 2H093/NC34 2H093/ND06 5C006/AF83 5C006/BB16 5C006/BC12 5C006/BC20 5C006/BF25 5C006/BF33 5C006/BF37 5C006/BF43 5C006/FA26 5C080/AA10 5C080/BB05 5C080/DD30 5C080/EE29 5C080/FF01 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5J500/AA01 5J500/AA12 5J500/AA51 5J500/AC13 5J500/AF18 5J500/AH10 5J500/AH29 5J500/AH38 5J500/AK02 5J500/AK34 5J500/AS08 5J500/AT06 2H193/ZA04 2H193/ZD23		
其他公开文献	JP4291100B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供差分放大电路，用于输出高精度电压，即使输入低电流供电能力也可校正偏移。解决方案：差分放大器包括第一和第二输入端子3和4以及输出端子2。第一输入端子是正相输入端子而第二输入端子是反相输入端子的第一状态和第二状态第一输入端子是反相输入端子，而第二输入端子是正相输入端子，被控制用于切换。如此执行控制，使得电容元件5的一端连接到设置的规定电源端子，第一输入端子在第一状态下被提供输入电压而另一端子被连接到第二输入端子。输入端子和输出端子，在第二状态，第一输入端子连接到输出端子，而容量的另一端连接到第二输入端子。由此，在没有输入电压连接到容量的第一状态下操作偏移检测，并且在第二状态下执行偏移校正。Ž

