

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-33653

(P2005-33653A)

(43) 公開日 平成17年2月3日(2005.2.3)

(51) Int.Cl.⁷

H03K 17/00
G02F 1/133
G02F 1/1345
G09G 3/20
G09G 3/36

F I

H03K 17/00 D
H03K 17/00 M
G02F 1/133 505
G02F 1/133 525
G02F 1/133 550

テーマコード (参考)

2H092
2H093
3K007
5C006
5C080

審査請求 未請求 請求項の数 4 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願2003-272443 (P2003-272443)

(22) 出願日 平成15年7月9日(2003.7.9)

(71) 出願人 000002185

ソニー株式会社
東京都品川区北品川6丁目7番35号

(74) 代理人 100102185

弁理士 多田 繁範

(72) 発明者 木田 芳利

東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内

(72) 発明者 仲島 義晴

東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内

Fターム(参考) 2H092 GA59 JA24 NA01 NA24 PA06

最終頁に続く

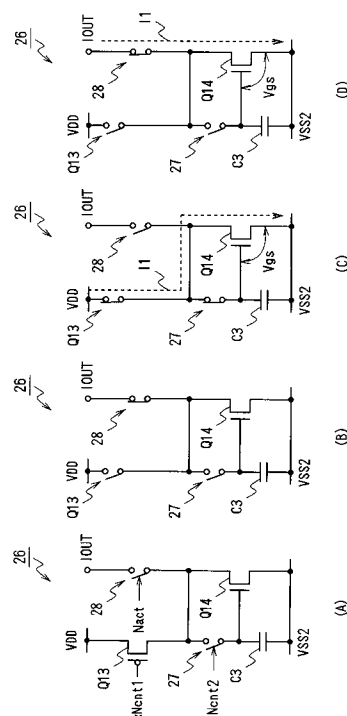
(54) 【発明の名称】 定電流回路及びフラットディスプレイ装置

(57) 【要約】

【課題】 本発明は、定電流回路及びフラットディスプレイ装置に関し、例えば絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用して、従来に比してばらつきを小さくすることができるようにする。

【解決手段】 本発明は、基準電流 I_1 によりサンプリング用コンデンサ C_3 を充電してこの基準電流 I_1 によるトランジスタ Q_{14} のゲート・ソース間電圧 V_{gs} をサンプリング用コンデンサ C_3 に設定した後、このサンプリング用コンデンサ C_3 の電圧 V_{gs} によりトランジスタ Q_{14} を駆動して定電流回路として機能させる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

トランジスタのゲート - ソース間に接続されたサンプリング用コンデンサと、前記トランジスタのドレインとを基準電流源に接続し、前記トランジスタを前記基準電流源の基準電流により駆動した際の前記ゲート - ソース間の電圧に前記サンプリング用コンデンサの両端電圧を設定した後、

前記サンプリング用コンデンサ、前記トランジスタと前記基準電流源との接続を遮断すると共に、前記トランジスタのドレインを駆動対象に接続し、前記サンプリング用コンデンサに設定された前記ゲート - ソース間の電圧による前記トランジスタの電流で前記駆動対象を駆動する

10

ことを特徴とする定電流回路。

【請求項 2】

前記サンプリング用コンデンサの両端電圧を設定する期間と、前記駆動対象を駆動する期間とを繰り返す

ことを特徴とする請求項 1 に記載の定電流回路。

【請求項 3】

マトリックス状に画素を配置してなる表示部と、前記表示部の画素をゲート線により順次選択する垂直駆動回路と、前記ゲート線により選択された画素を前記表示部の信号線により駆動する水平駆動回路とを一体に基板上に形成してなるフラットディスプレイ装置において、

20

前記水平駆動回路は、

前記画素の階調を示す階調データをディジタルアナログ変換処理するディジタルアナログ変換回路と、

前記ディジタルアナログ変換回路の出力信号により前記信号線を駆動するバッファ回路とを有し、

前記バッファ回路は、

トランジスタのソースに定電流回路を接続してなるソースフォロア回路により前記信号線を駆動し、

前記定電流回路は、

トランジスタのゲート - ソース間に接続されたサンプリング用コンデンサと、前記トランジスタのドレインとを基準電流源に接続し、前記トランジスタを前記基準電流源の基準電流により駆動した際の前記ゲート - ソース間の電圧に前記サンプリング用コンデンサの両端電圧を設定した後、

30

前記サンプリング用コンデンサ、前記トランジスタと前記基準電流源との接続を遮断すると共に、前記トランジスタのドレインを駆動対象に接続し、前記サンプリング用コンデンサに設定された前記ゲート - ソース間の電圧による前記トランジスタの電流で前記駆動対象を駆動する

ことを特徴とするフラットディスプレイ装置。

【請求項 4】

前記定電流回路は、

40

前記サンプリング用コンデンサの両端電圧を設定する期間と、前記駆動対象を駆動する期間とを繰り返す、

前記サンプリング用コンデンサの両端電圧を設定する期間が、前記表示部のプリチャージの期間に設定された

ことを特徴とする請求項 3 に記載のフラットディスプレイ装置。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、定電流回路及びフラットディスプレイ装置に関し、例えば絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用することができる。本発明は、基準電流によりサンプリング用コンデンサを充電してこの基準電流によるトランジスタのゲート・ソース間電圧をサンプリング用コンデンサに設定した後、このサンプリング用コンデンサの電圧によりトランジスタを駆動して定電流回路として機能させることにより、従来に比してばらつきを小さくすることができるようにする。

【背景技術】

【0002】

従来、各種集積回路においては、カレントミラー回路により定電流回路を構成して、各部の動作に必要な電流を供給するようになされている。すなわち図19及び図20は、それぞれカレントミラー回路による定電流回路を示す接続図である。図19に示す定電流回路は、PチャンネルMOS（以下、PMOSと呼ぶ）Q1による基準電流を、カレントミラー回路構成によるNチャンネルMOS（以下、NMOSと呼ぶ）トランジスタQ2及びQ3により折り返すことにより、所望する回路ブロックより基準電流に対応する一定電流を流出させるのに対し、図20に示す定電流回路は、NMOSTランジスタQ4による基準電流を、カレントミラー回路構成によるPMOSTランジスタQ5及びQ6により折り返すことにより、所望する回路ブロックに基準電流に対応する一定電流を流入させるようになされている。

10

【0003】

近年、例えばPDA、携帯電話等の携帯端末装置に適用されるフラットディスプレイ装置である液晶表示装置においては、液晶表示パネルを構成する絶縁基板であるガラス基板上に、液晶表示パネルの駆動回路を一体に集積化して構成するものが提供されるようになされており、このようなフラットディスプレイ装置においても、駆動回路は、図19及び図20について上述した定電流回路が使用されるようになされている。

20

【0004】

具体的に、この種の液晶表示装置は、液晶セル、この液晶セルのスイッチング素子であるポリシリコンTFT（Thin Film Transistor；薄膜トランジスタ）、保持容量とによる画素をマトリックス状に配置して表示部が形成され、この表示部の周囲に配置した各種の駆動回路により表示部を駆動して各種の画像を表示するようになされている。液晶表示装置においては、特開平7-295521号公報等が開示されているように、プリチャージの処理により、例えば1ライン毎に、各画素の信号線を所定電位に設定して保持容量を充放電した後、各画素の階調を示す階調データによるアナログ信号により各画素を駆動するようになされ、このアナログ信号による駆動に係る回路ブロック等に、このような定電流回路が設けられるようになされている。

30

【0005】

しかしながらこの種の液晶表示装置に適用されるアクティブ素子であるTFTは、特性のばらつきが大きい欠点があり、これによりこのようなアクティブ素子によるトランジスタを用いて図19及び図20に示す定電流回路を構成した場合、トランジスタQ1、Q5で設定される基準電流がばらつき、さらにこの基準電流に対してトランジスタQ3に流入させる電流、トランジスタQ6より流出させる電流がばらつく問題がある。

40

【0006】

このようなばらつきによる各回路ブロックの影響を少なくするため、従来、この種のアクティブ素子により定電流回路においては、比較的大きな電流を流すように設計されるようになされているが、このようにするとその分、消費電力が大きくなる欠点がある。

【特許文献1】特開平7-295521号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明は以上の点を考慮してなされたもので、従来に比してばらつきを小さくすることができる定電流回路、このような定電流回路を用いたフラットディスプレイ装置を提案し

50

ようとするものである。

【課題を解決するための手段】

【0008】

係る課題を解決するため請求項1の発明においては、定電流回路に適用して、トランジスタのゲート・ソース間に接続されたサンプリング用コンデンサと、トランジスタのドレインとを基準電流源に接続し、トランジスタを基準電流源の基準電流により駆動した際のゲート・ソース間の電圧にサンプリング用コンデンサの両端電圧を設定した後、サンプリング用コンデンサ、トランジスタと基準電流源との接続を遮断すると共に、トランジスタのドレインを駆動対象に接続し、サンプリング用コンデンサに設定されたゲート・ソース間の電圧によるトランジスタの電流で駆動対象を駆動する。

10

【0009】

また請求項3の発明においては、フラットディスプレイ装置に適用して、水平駆動回路に設けられたバッファ回路の定電流回路が、トランジスタのゲート・ソース間に接続されたサンプリング用コンデンサと、トランジスタのドレインとを基準電流源に接続し、トランジスタを基準電流源の基準電流により駆動した際のゲート・ソース間の電圧にサンプリング用コンデンサの両端電圧を設定した後、サンプリング用コンデンサ、トランジスタと基準電流源との接続を遮断すると共に、トランジスタのドレインを駆動対象に接続し、サンプリング用コンデンサに設定されたゲート・ソース間の電圧によるトランジスタの電流で駆動対象を駆動するようにする。

【0010】

20

請求項1の構成により、定電流回路に適用して、トランジスタのゲート・ソース間に接続されたサンプリング用コンデンサと、トランジスタのドレインとを基準電流源に接続し、トランジスタを基準電流源の基準電流により駆動した際のゲート・ソース間の電圧にサンプリング用コンデンサの両端電圧を設定した後、サンプリング用コンデンサ、トランジスタと基準電流源との接続を遮断すると共に、トランジスタのドレインを駆動対象に接続し、サンプリング用コンデンサに設定されたゲート・ソース間の電圧によるトランジスタの電流で駆動対象を駆動すれば、このトランジスタにおいては、特性がばらついている場合でも、基準電流による駆動時の条件により動作して駆動対象を駆動し得、これにより駆動対象の駆動に供する定電流のばらつきを格段的に小さくすることができる。

【0011】

30

これにより請求項3の構成によれば、従来に比してばらつきを小さくしてなる定電流回路を用いて、各信号線の駆動に係る特性のばらつきを小さくすることができるフラットディスプレイ装置を提供することができる。

【発明の効果】

【0012】

本発明によれば、基準電流によりサンプリング用コンデンサを充電してこの基準電流によるトランジスタのゲート・ソース間電圧をサンプリング用コンデンサに設定した後、このサンプリング用コンデンサの電圧によりトランジスタを駆動して定電流回路として機能させることにより、従来に比して定電流回路におけるばらつきを小さくすることができる。

40

【0013】

またこのような定電流回路によりフラットディスプレイ装置を構成することにより、各信号線の駆動に係る特性のばらつきを小さくし得、またその分、定電流による定電流値を小さくして全体の消費電力を少なくすることができる。

【発明を実施するための最良の形態】

【0014】

以下、適宜図面を参照しながら本発明の実施例を詳述する。

【実施例1】

【0015】

(1) 実施例1の構成

50

図 2 は、本発明の実施例 1 に係る液晶表示装置を示すブロック図である。この液晶表示装置 1 においては、液晶セル 2、この液晶セル 2 のスイッチング素子であるポリシリコン TFT 3、保持容量 4 とによる画素が形成され、この画素をマトリックス状に配置して表示部 6 が形成される。液晶表示装置 1 は、この表示部 6 を形成する各画素が、信号線 LS 及びゲート線 LG によりそれぞれ水平駆動回路 7 及び垂直駆動回路 8 に接続され、垂直駆動回路 8 により順次画素を選択して水平駆動回路 7 からの駆動信号により各画素の階調を設定することにより、所望する画像を表示するようになされている。

【 0 0 1 6 】

このため垂直駆動回路 8 は、図示しないタイミング発生回路から出力されるタイミング信号により各ゲート線 LG を駆動することにより、水平駆動回路 7 における処理に連動して順次ライン単位で画素を選択する。 10

【 0 0 1 7 】

水平駆動回路 7 は、各画素の階調を示す階調データ D 1 を順次循環的に取り込んで各信号線 LS の駆動信号を生成する。すなわち水平駆動回路 7 において、シフトレジスタ 9 は、階調データ D 1 を順次循環的にサンプリングすることにより、階調データ D 1 をライン単位でまとめ、1 ライン分の階調データ D 1 を水平ブランキング期間の所定のタイミングでデジタルアナログ変換回路 (DAC) 10 に出力する。

【 0 0 1 8 】

デジタルアナログ変換回路 10 は、シフトレジスタ 9 から出力される階調データ D 1 をそれぞれデジタルアナログ変換処理して出力する。バッファ回路部 11 は、このデジタルアナログ変換回路 10 の出力信号により各信号線 LS を駆動し、これにより水平駆動回路 7 においては、階調データ D 1 に応じた階調により表示部 6 の各画素を駆動して所望の画像を表示できるようになされている。バッファ回路部 11 は、このようにしてデジタルアナログ変換回路 10 の出力信号により各信号線 LS を駆動し、またこのときいわゆるプリチャージの処理に供するように各信号線 LS を駆動する。 20

【 0 0 1 9 】

図 3 は、水平駆動回路 7 のデジタルアナログ変換回路 10、バッファ回路部 11 を詳細に示すブロック図である。デジタルアナログ変換回路 10 において、基準電圧発生回路 15 は、例えば所定の生成基準電圧を抵抗分圧することにより、階調データ D 1 による階調に対応する複数の基準電圧 V0 ~ V63 を生成して出力する。基準電圧セレクタ 16 は、それぞれこれら複数の基準電圧 V0 ~ V63 を受け、シフトレジスタ 9 から出力される階調データ D 1 に応じて、何れかの基準電圧を選択出力する。これによりデジタルアナログ変換回路 10 は、階調データ D 1 に対応する基準電圧の選択により、階調データ D 1 をデジタルアナログ変換処理するようになされている。 30

【 0 0 2 0 】

バッファ回路部 11 は、タイミング発生回路 17 から出力される各種タイミング信号により動作する各バッファ回路 18 により基準電圧セレクタ 16 の出力信号を処理し、各信号線 LS に出力する。なおこの図 3 において、それぞれ符号 R、G、B は、赤色、緑色、青色の画素に対応する系であることを示すものである。

【 0 0 2 1 】

図 4 は、このバッファ回路 18 の構成を詳細に示す接続図である。バッファ回路 18 は、アナログバッファ回路 20 に基準電圧セレクタ 16 の出力信号 (符号 Vin により示す) が入力され、この入力信号 Vin により対応する信号線 LS を駆動する。また水平ブランキング期間の間で、1 ライン毎に、図示しない CS 駆動回路と共に信号線 LS の電位を切り換えてプリチャージの処理を実行する。このためバッファ回路 18 においては、入力信号 Vin による画素の階調設定に係る処理を実行するアナログバッファ回路 20 と、プリチャージの処理に係るプリチャージ回路 21 とにより構成される。なお、以下の説明において、スイッチ回路は、PMOS トランジスタ又は NMOS トランジスタにより構成され、タイミング発生回路 17 から出力されるタイミング信号の符号を各スイッチ回路等に付して、各スイッチ回路等の制御に係るタイミング信号を示す。 40

【 0 0 2 2 】

すなわちこの液晶表示装置 1 では、図 5 に示すように、いわゆるライン反転により表示部 6 を駆動して、水平ブランキング期間の間でプリチャージの処理を実行し、このため図示しない C S 駆動回路により、保持容量 4 のトランジスタ 3 が設けられていない側の端子電圧（図 2 参照、図 5 においては、符号 C S によるこの端子側の配線である C S 線の電位により示す）が水平走査期間毎に、グラウンドレベルと正側所定電位との間で切り換える（図 5（A））。このためアナログバッファ回路 20 は、出力段に設けられたスイッチ回路 22 により、このプリチャージの処理を実行する期間（以下プリチャージ期間と呼ぶ）T1 の間、信号線 L S より切り離される（図 5（F）及び（G））。

【 0 0 2 3 】

プリチャージ回路 21 は、プリチャージ期間 T1 のほぼ前半の期間の間、それぞれタイミング発生回路 17 から出力されるタイミング信号 P C G 1、P C G 2 により、信号線 L S に接続されたスイッチ回路 23 及び 24 がそれぞれオフ状態及びオン状態に設定し（図 5（B）～（E））、これにより C S 線 C S を信号線 L S に接続して C S 駆動回路により C S 線 C S の電位を切り換える（図 5（H））。これによりプリチャージ回路 21 は、信号線 L S と保持容量 4 とに蓄積された電荷を有効に利用して C S 線 C S の電位を切り換え、その分、全体の消費電力を少なくするようになされている。

【 0 0 2 4 】

また続いてタイミング信号 P C G 1、P C G 2 により、スイッチ回路 23 及び 24 がそれぞれオン状態及びオフ状態に設定され（図 5（B）～（E））、これにより信号線 L S を C S 線 C S から切り離して、信号線 L S の電位をグラウンドレベルに設定する（図 5（H））。これによりこの実施の形態では、グラウンドレベルと正側所定電位とで C S 線 C S の電位を切り換えて、信号線 L S については、グラウンドレベルを基準にして駆動できるようになされ、その分、後述するように、信号線 L S の駆動に係るアナログバッファ回路 20 の構成を簡略化できるようになされている。

【 0 0 2 5 】

アナログバッファ回路 20 は、N M O S トランジスタ Q 11 によるソースフォロワにより構成され、この N M O S トランジスタ Q 11 のソースに図 1（A）に示す定電流回路 26 が接続される。ここでこの定電流回路 26 は、タイミング信号 x N c n t 1 をゲートに入力してなる P M O S トランジスタ Q 13 により基準電流源が形成され、この P M O S トランジスタ Q 13 に直列に N M O S トランジスタ Q 14 が接続されて、この N M O S トランジスタ Q 14 に P M O S トランジスタ Q 13 による基準電流が流入するように形成される。

【 0 0 2 6 】

またこの定電流回路 26 は、N M O S トランジスタ Q 14 のゲート - ソース間に、サンプリング用コンデンサ C 3 が設けられ、P M O S トランジスタ Q 13 による基準電流をこのサンプリング用コンデンサ C 3 に流入させるスイッチ回路 22 が設けられるようになされている。定電流回路 26 において、このスイッチ回路 22 は、所定のタイミング信号 N c n t 2 によりオン動作し、P M O S トランジスタ Q 13 による基準電流を N M O S トランジスタ Q 14 に流している状態の、N M O S トランジスタ Q 14 のゲート - ソース間電圧 V g s をサンプリング用コンデンサ C 3 にサンプリングするようになされ、またその後、オフ状態に切り換わって、このサンプリング用コンデンサ C 3 にサンプリングしてなるゲート - ソース間電圧 V g s を保持するようになされている。

【 0 0 2 7 】

この定電流回路 26 は、スイッチ回路 23 を介して、この N M O S トランジスタ Q 14 のドレインが、バッファ回路を構成する N M O S トランジスタ Q 11 のソースに接続され、このスイッチ回路 23 は、所定のタイミング信号 N a c t により、サンプリング用コンデンサ C 3 で N M O S トランジスタ Q 14 のゲート - ソース間電圧 V g s をサンプリングし、さらにタイミング信号 x N c n t 1 により P M O S トランジスタ Q 13 から基準電流が出力されなくなった後、オン状態に切り換わるように設定され、これによりサンプリン

10

20

30

40

50

グ用コンデンサC3でサンプリングしたゲート - ソース間電圧 V_{gs} による電流をトランジスタQ11より流出させるようになされている。

【0028】

しかして図6は、この定電流回路26の制御に係るタイミング信号 $xNcnt1$ 、 $Nact$ 、 $Ncnt2$ と各スイッチ回路22、23、トランジスタQ13の遷移を示すタイムチャートである。この定電流回路26は、初期状態である動作を開始した直後においては、図1(B)に示すように、タイミング信号 $xNcnt1$ がLレベルに保持されてトランジスタQ13がオフ状態に保持され(図6(A)及び(B))、またタイミング信号 $Nact$ 、 $Ncnt2$ がそれぞれHレベル、Lレベルに保持され、これによりスイッチ回路22、23がそれぞれオフ状態、オン状態に保持される(図6(C)~(F))。これにより定電流回路26は、この場合、何らトランジスタQ11から電流を流出させない状態に保持される。

10

【0029】

定電流回路26は、所定のタイミングでこれらタイミング信号 $xNcnt1$ 、 $Nact$ 、 $Ncnt2$ の論理値が同時に切り換わり、これにより図1(C)に示すように、スイッチ回路22、23がそれぞれオン状態、オフ状態に動作を切り換え、またトランジスタQ13が動作を開始して基準電流の出力を開始する。これにより定電流回路26は、トランジスタQ13による基準電流 I_1 がサンプリング用コンデンサC3を充電すると共に、トランジスタQ14を介して流出する。このサンプリング用コンデンサC3の充電電流においては、充電によりサンプリング用コンデンサC3の両端電圧が上昇するに従って徐々に減少し、トランジスタQ14から基準電流 I_1 を流出させるに必要な、トランジスタQ14のゲート - ソース間電圧 V_{gs} となると、サンプリング用コンデンサC3に充電電流が流入しなくなり、この状態ではトランジスタQ13による基準電流 I_1 のその全てがトランジスタQ14に流入することになる。これにより定電流回路26では、基準電流 I_1 をトランジスタQ14に流入させながら、このトランジスタQ14のゲート - ソース間に接続されたサンプリング用コンデンサC3を基準電流 I_1 により充電することにより、トランジスタQ14に基準電流 I_1 を流入させるに必要なトランジスタQ14のゲート - ソース間電圧 V_{gs} をサンプリング用コンデンサC3に設定するようになされている。

20

【0030】

定電流回路26は、このようにタイミング信号 $xNcnt1$ 、 $Nact$ 、 $Ncnt2$ の論理値を切り換えて、トランジスタQ14のゲート - ソース間電圧 V_{gs} をサンプリング用コンデンサC3に保持するに十分な期間が経過すると、タイミング信号 $Nact$ 、 $Ncnt2$ が元の論理値に戻り、これにより基準電流 I_1 の供給が停止され、またサンプリング用コンデンサC3がトランジスタQ14のドレインから切り離される。また続いてタイミング信号 $xNcnt1$ が元の論理値に戻り、トランジスタQ14のドレインがこの定電流回路26の駆動対象であるトランジスタQ11に接続される。これにより定電流回路26は、図1(D)に示すように、サンプリング用コンデンサC3に設定されてなる基準電流 I_1 によるトランジスタQ14のゲート - ソース間電圧 V_{gs} により、トランジスタQ11から電流を流出させ、定電流回路として機能するようになされている。

30

【0031】

しかして図5について上述したように、この液晶表示装置1においては、水平ブランキング期間に設けられたプリチャージ期間T1よりプリチャージの処理を実行することにより、定電流回路として機能させるに必要な基準電流 I_1 によるトランジスタQ14のゲート - ソース間電圧 V_{gs} をサンプリング用コンデンサC3に設定する期間T3をこのプリチャージ期間T1に割り当て、このゲート - ソース間電圧 V_{gs} を設定する期間T3と定電流回路として機能する期間T4との繰り返しにより動作するように各タイミング信号 $xNcnt1$ 、 $Nact$ 、 $Ncnt2$ が供給されるようになされている。

40

【0032】

アナログバッファ回路20は(図4)、トランジスタQ11のゲート - ソース間に、それぞれソース側にスイッチ回路31及び32を設けてなるコンデンサC1、C2が設けら

50

れる。またトランジスタQ 1 1のゲート、コンデンサC 1、C 2の各スイッチ回路3 1、3 2側にそれぞれスイッチ回路3 3、3 4、3 5が設けられ、これらスイッチ回路3 3、3 4、3 5の他端に基準電圧セレクタ1 6からの信号V i nが入力されるようになされている。アナログバッファ回路2 0は、これらスイッチ回路3 1～3 5の切り換えによりトランジスタQ 1 1のばらつきをキャンセルして入力信号V i nにより信号線L Sを駆動するようになされている。

【0033】

すなわち図5、図6について上述したプリチャージに係る処理、定電流回路2 6に係る処理との対比により図7に示すように、バッファ回路1 8においては、プリチャージ回路2 1におけるプリチャージ期間T 1の開始に対応して(図7(A)、(J)～(L))、
定電流回路2 6でトランジスタQ 1 3に係るサンプリング処理が開始する(図7(C)～(E))。アナログバッファ回路2 0においては、これらの処理が開始されると、全ての
スイッチ回路2 2、3 1～3 5がオフ状態に設定される。

10

【0034】

またその後、期間T 3だけ経過して定電流回路2 6が定電流回路としての機能を開始すると、図8に示すように、スイッチ回路3 1、3 2、3 3がオン状態に切り換わる。なお図7においては、各スイッチ回路2 2、3 1～3 5を制御するタイミング信号N 1～N 5の立ち上がりにより、オン状態を示す。これによりアナログバッファ回路2 0では、この状態でのトランジスタQ 1 1のゲート-ソース間電圧V o s AをコンデンサC 1、C 2でサンプリングし、ソースフォロワによる動作する際のオフセットを検出するようになされ
ている。

20

【0035】

また続いて図9に示すように、スイッチ回路3 3がオフ状態に切り換えられ、スイッチ回路3 5がオン状態に切り換えられる。これによりアナログバッファ回路2 0では、入力
で電圧V i nに対して、コンデンサC 1にサンプリングされている電圧V o s Aの分、トランジスタQ 1 1のゲート電圧をオフセットさせた状態にて定電流回路2 6による電流でトランジスタQ 1 1が動作し、この状態におけるトランジスタQ 1 1のゲート-ソース間電圧V o s BをC 2でサンプリングする。これによりトランジスタQ 1 1のソース電圧は、
V i n + (V o s A - V o s B)となる。これによりこのアナログバッファ回路2 0は、コンデンサC 1で先に検出したオフセット電圧をキャンセルするようにした状態で、さら
にソースフォロワにより動作する際のオフセットをコンデンサC 2により検出するよう
になされている。

30

【0036】

続いてアナログバッファ回路2 0は、図10に示すように、全てのスイッチ回路2 2、3 1～3 5がオフ状態となった後、図11に示すように、スイッチ回路2 2、3 4がオン
状態に設定される。これによりバッファ回路2 0は、コンデンサC 2で検出したオフセット電圧により入力電圧V i nをオフセットしてソースフォロワにより信号線L Sを駆動する
ようになされ、2回のオフセット検出を繰り返したことにより、その分、高い精度により入力電圧V i nに対するオフセット電圧を小さくして信号線L Sを駆動し、トランジスタQ 1 1のばらつきによる影響を十分小さなものとするようになされている。

40

【0037】

しかして図11による示す状態において、アナログバッファ回路2 0は、トランジスタQ 1 1より定電流回路2 6及び信号線L Sにソース電流を出力し、このソース電流の出力により保持容量4を充電する。またこの保持容量4の充電によりソース電位が上昇すると、その分、トランジスタQ 1 1からのソース電流出力を徐々に低下させ、ソース電位が入力電位V i nと等しくなると、ソース電流の信号線L Sの出力が停止され、ソース電流を定電流回路2 6にだけ出力するようになされ、これにより入力信号V i nに応じて対応する信号線L Sを駆動するようになされている。

【0038】

アナログバッファ回路2 0においては、この図11に示す状態により信号線L Sを駆動

50

する期間が、プリチャージ期間 T 1 以降の期間に設定されるようになされている。

【 0 0 3 9 】

(2) 実施例 1 の動作

以上の構成において、この液晶表示装置 1 では (図 2)、描画に係るコントローラ等から各画素の階調を指示する階調データ D 1 がラスタ走査順に入力され、この階調データ D 1 が水平駆動回路 7 のシフトレジスタ 9 により順次サンプリングされてライン単位でまとめられ、ディジタルアナログ変換回路 1 0 に転送される。階調データ D 1 は、このディジタルアナログ変換回路 1 0 において、アナログ信号に変換され、このアナログ信号により表示部 6 の各信号線 L S が駆動される。これにより液晶表示装置 1 では、垂直駆動回路 8 によるゲート線 L G の制御により順次選択されてなる表示部 6 の各画素が、水平駆動回路 7 により駆動されて階調データ D 1 による画像が表示部 6 に表示される。 10

【 0 0 4 0 】

このようにして表示部 6 の信号線 L S を駆動する水平駆動回路 7 においては (図 3)、基準電圧発生回路 1 5 により階調データ D 1 の各階調に対応する基準信号 V 0 ~ V 6 3 が生成され、基準電圧セレクタ 1 6 において、各階調データ D 1 に応じてこの基準信号 V 0 ~ V 6 3 が選択されることにより、階調データ D 1 がディジタルアナログ変換処理され、このディジタルアナログ変換処理結果がバッファ回路 1 8 に入力されて各信号線 L S が駆動される。

【 0 0 4 1 】

このバッファ回路 1 8 では (図 4、図 5)、水平ブランキング期間の間で、アナログバッファ回路 2 0 が信号線 L S より切り離されて、スイッチ回路 2 3 の設定により、保持容量 4 のトランジスタ 3 とは逆側の C S 線 C S が信号線 L S に接続された状態で、水平走査周期毎に、この C S 線 C S が正側所定電位又はグランド電位に設定される。またその後、C S 線 C S が信号線 L S から切り離され、スイッチ回路 2 4 の設定により、信号線 L S がグランド電位に保持される。 20

【 0 0 4 2 】

すなわち所定のタイミングでゲート線 L G により選択された所定のラインにおいては、C S 線 C S 及び信号線 L S が接続されて、このラインに係る保持容量 4 の両端電極がグランドレベルに設定された後、この信号線 L S がグランドレベルに設定されて基準電圧セレクタ 1 6 から出力されるアナログ信号により駆動されるのに対し、続くラインにおいては、この保持容量 4 の両端電極が正側所定電位に設定された後、信号線 L S がグランドレベルに設定されて基準電圧セレクタ 1 6 から出力されるアナログ信号により駆動され、これらによりこの液晶表示装置 1 では、いわゆるライン反転に係る駆動によるプリチャージの処理が実行され、液晶セル 2 の劣化が防止される。 30

【 0 0 4 3 】

しかしてこのように C S 線 C S を信号線 L S に接続して、水平走査周期に正側所定電位又はグランド電位に交互に設定した後、信号線 L S をグランド電位に設定することにより、液晶表示装置 1 では、グランド電位を基準にした片側電源側だけで各画素を駆動するようになされ、その分、アナログバッファ回路 2 0 の構成を簡略化するようになされている。すなわちこのように構成すれば、アナログバッファ回路 2 0 においては、グランド電位からこの正側所定電位間で信号線 L S を駆動すれば足り、N M O S ソースフォロウ回路構成により構成して、グランド電位から負側電源側の駆動に係る構成を省略することができる。 40

【 0 0 4 4 】

従って液晶表示装置 1 では、その分、表示部 6 の周辺構成を簡略化して狭額縁化することができ、また消費電力を低減することができる。

【 0 0 4 5 】

しかしてこのようにしてプリチャージの処理を完了すると、液晶表示装置 1 では、アナログバッファ回路 2 0 により対応する信号線 L S が駆動され、階調データ D 1 に対応する階調に対応する画素の階調が設定される。 50

【 0 0 4 6 】

この信号線 L S の駆動において、アナログバッファ回路 2 0 では (図 7 ~ 図 1 1) 、プリチャージの処理期間の間でオフセットを補正する処理が実行され、この処理によりオフセットを補正して信号線 L S が駆動される。すなわちアナログバッファ回路 2 0 では (図 7 及び図 8) 、始めに、定電流回路 2 6 による定電流によりトランジスタ Q 1 1 を駆動した状態で、スイッチ回路 3 1 、 3 2 の設定によりトランジスタ Q 1 1 のゲート - ソース間に並列にコンデンサ C 1 、 C 2 が配置され、この状態でディジタルアナログ変換回路出力 V i n がトランジスタ Q 1 1 に供給され、これによりこの駆動に係るトランジスタ Q 1 1 のゲート - ソース間電圧がコンデンサ C 1 、 C 2 に設定される。

【 0 0 4 7 】

またスイッチ回路 3 1 、 3 3 、 3 5 の設定により、このようにしてゲート - ソース間電圧を保持してなるコンデンサ C 2 を介して、トランジスタ Q 1 1 のゲートにディジタルアナログ変換回路出力 V i n が供給され、これによりコンデンサ C 2 に保持した電圧によりオフセットをキャンセルした状態によるトランジスタ Q 1 1 のゲート - ソース間電圧がコンデンサ C 1 に設定される。

【 0 0 4 8 】

アナログバッファ回路 2 0 では (図 1 0 、 図 1 1) 、プリチャージの処理が完了すると、このようにしてコンデンサ C 1 に保持されてなる電圧によりディジタルアナログ変換回路出力 V i n がオフセットされてトランジスタ Q 1 1 のゲートに供給され、これによりトランジスタ Q 1 1 のばらつきによる影響を十分に抑圧して、各信号線 L S を駆動することができるようになされている。

【 0 0 4 9 】

これらによりこの液晶表示装置 1 では、N M O S ソースフォロワ回路による簡易な構成によりアナログバッファ回路 2 0 を構成して、その分、狭額縁化し、また消費電力を少なくするようになされている。

【 0 0 5 0 】

このようにして信号線 L S を駆動するにつき、アナログバッファ回路 2 0 の定電流回路 2 6 では (図 1) 、プリチャージの期間であって、かつアナログバッファ回路 2 0 における動作開始の期間で、トランジスタ Q 1 4 のゲート - ソース間に接続されたサンプリング用コンデンサ C 3 と、このトランジスタ Q 1 4 のドレインとを基準電流源 Q 1 3 に接続し、トランジスタ Q 1 4 を基準電流 I 1 により駆動した際のゲート - ソース間の電圧にサンプリング用コンデンサ C 3 の両端電圧を設定した後、このサンプリング用コンデンサ C 3 、トランジスタ Q 1 4 と基準電流源 Q 1 3 との接続を遮断すると共に、トランジスタ Q 1 4 のドレインを駆動対象に接続し、サンプリング用コンデンサ C 3 に設定されたゲート - ソース間の電圧によるトランジスタ Q 1 4 の電流で駆動対象を駆動する。

【 0 0 5 1 】

これによりこの定電流回路 2 6 では、トランジスタ Q 1 4 の特性がばらついている場合でも、このばらつきの影響を受けることなく、基準電流 I 1 により駆動対象を駆動することができる。實際上、図 1 9 、図 2 0 の構成による定電流回路においては、それぞれトランジスタ Q 1 ~ Q 3 、 Q 4 ~ Q 6 のばらつきにより出力電流がばらつくのに対し、この定電流回路 2 6 では、基準電流源のトランジスタ Q 1 3 のばらつきだけが出力電流に影響を与えることにより、出力電流のばらつきを図 1 9 、図 2 0 に示す構成に比して 1 / 3 に低減することができる。

【 0 0 5 2 】

またばらつきを少なくするために基準電流値を増大させるような設定を回避し得ることにより、その分、全体の消費電力も少なくすることができる。

【 0 0 5 3 】

(3) 実施例 1 の効果

以上の構成によれば、基準電流によりサンプリング用コンデンサを充電してこの基準電流によるトランジスタのゲート - ソース間電圧をサンプリング用コンデンサに設定した後

10

20

30

40

50

、このサンプリング用コンデンサの電圧によりトランジスタを駆動して定電流回路として機能させることにより、従来に比してばらつきを小さくすることができる。

【 0 0 5 4 】

またこのようなサンプリングに係る処理と、定電流回路として機能する処理とを繰り返すことにより、サンプリング用コンデンサに保持した電圧変化による出力電流の変化を有効に回避することができる。

【 0 0 5 5 】

またフラットディスプレイ装置である液晶表示装置に適用して、このサンプリング用コンデンサの電圧設定に係る処理をプリチャージの期間に設定することにより、このようにサンプリング用コンデンサの電圧を設定して定電流回路に係る処理を実行するようにして、何らこのサンプリング用コンデンサの電圧設定に係る処理を他の回路ブロックの処理に影響を与えないようにすることができる。

10

【実施例 2】

【 0 0 5 6 】

図 1 2 は、本発明の実施例 2 に係る液晶表示装置に適用されるアナログバッファ回路の構成を示すブロック図である。このアナログバッファ回路 4 0 は、実施例 1 に係る N M O S ソースフォロワ回路によるアナログバッファに代えて、P M O S ソースフォロワ回路により構成される。このためこの実施例 2 に係る液晶表示装置では、実施例 1 に係る液晶表示装置 1 におけるグランド電位と正側所定電位との間の切り換えに係るプリチャージの処理に代えて、グランド電位と負側所定電位との間の切り換えに係るプリチャージの処理を実行する。

20

【 0 0 5 7 】

アナログバッファ回路 4 0 においては、N M O S トランジスタに代えて P M O S トランジスタにより構成する点、この構成に対応して正側電源及び負側電源に対する各部の接続が異なる点を除いて、実施例 1 のアナログバッファ回路 2 0 と同一に構成される。また図 1 3 に示すように、定電流回路 4 6 においても、N M O S トランジスタに代えて P M O S トランジスタが適用され、これに対応して正側電源及び負側電源に対する各部の接続が異なる点を除いて、実施例 1 の定電流回路 2 6 と同一に構成される。

【 0 0 5 8 】

なおこのアナログバッファ回路に係るタイムチャートを図 7 との対比により図 1 4 に示す。また図 1 2 においては、プリチャージ回路の記載を省略して保持容量等に係る接続を符号 C s i g 等により示す。

30

【 0 0 5 9 】

この実施の形態のように P M O S により定電流回路を構成する場合でも、実施例 1 と同一の構成を得ることができる。

【実施例 3】

【 0 0 6 0 】

図 1 5 は、本発明の実施例 3 に係る液晶表示装置に適用されるアナログバッファ回路の構成を示すブロック図である。このアナログバッファ回路 5 0 は、実施例 1 に係る N M O S ソースフォロワ回路によるアナログバッファに代えて、この N M O S ソースフォロワ回路と P M O S ソースフォロワ回路との組み合わせにより構成される。このためこの実施例 3 に係る液晶表示装置では、実施例 1 に係る液晶表示装置 1 におけるグランド電位と正側所定電位との間の切り換えに係るプリチャージの処理に代えて、正側所定電位と負側所定電位との間の切り換えに係るプリチャージの処理を実行する。

40

【 0 0 6 1 】

このアナログバッファ回路においては、図 1 6 に示すように、実施例 1 に係る N M O S トランジスタによりソースフォロワ回路と、実施例 2 に係る P M O S トランジスタによりソースフォロワ回路との組み合わせにより構成され、プリチャージの処理に係る電位の正側又は負側の設定に対応して N M O S トランジスタによるソースフォロワ回路と、P M O S トランジスタによるソースフォロワ回路とが交互に動作するようになされている。

50

【 0 0 6 2 】

この実施例のように、N M O S ソースフォロワ回路と、P M O S ソースフォロワ回路との組み合わせにより構成され、アナログバッファ回路を構成する場合にも、定電流回路に関して、第 1 又は第 2 の実施例と同様の効果を得ることができる。

【 実施例 4 】

【 0 0 6 3 】

図 1 7 は、本発明の実施例 4 に係る液晶表示装置に適用されるアナログディジタル変換回路及びバッファ回路の構成を示すブロック図である。この実施例に係る液晶表示装置においては、基準電圧発生回路 1 5 から出力される基準電圧 $V_0 \sim V_{63}$ を実施例 1 ~ 3 について上述したアナログバッファ回路 5 7 により処理した後、各基準電圧セクタ 1 6 により選択する。なおプリチャージ回路においては、各基準電圧セクタ 1 6 の出力に設けられる。

10

【 0 0 6 4 】

この実施例のように、基準電圧発生回路 1 5 で生成される基準電圧をアナログバッファ回路により処理する場合に適用しても、上述の実施例と同様の効果を得ることができる。

【 実施例 5 】

【 0 0 6 5 】

図 1 8 は、本発明の実施例 5 に係る定電流回路を示す接続図である。この定電流回路 6 6 は、T F T による各種集積回路に適用される。この定電流回路 6 6 は、トランジスタ Q 1 4 A 及びサンプリング用コンデンサ C 3 A、トランジスタ Q 1 4 B 及びサンプリング用コンデンサ C 3 B、トランジスタ Q 1 4 C 及びサンプリング用コンデンサ C 3 C に順次トランジスタ Q 1 3 による基準電流を供給し、各サンプリング用コンデンサ C 3 A、C 3 B、C 3 C にそれぞれトランジスタ Q 1 4 A、Q 1 4 B、Q 1 4 C を基準電流により駆動するのに必要なゲート - ソース間電圧を設定し、各トランジスタ Q 1 4 A、Q 1 4 B、Q 1 4 C においては、このサンプリング用コンデンサ C 3 A、C 3 B、C 3 C に設定されたゲート - ソース間電圧により対応する駆動対象より定電流を流出させる。

20

【 0 0 6 6 】

この実施例のように、1 つの基準電流より複数の駆動対象を駆動する場合であっても、時分割により各トランジスタのゲート - ソース間電圧をサンプリング用コンデンサに設定して上述した実施例と同様に処理することにより、実施例 1 と同様の効果を得ることができる。

30

【 0 0 6 7 】

なお上述の実施例においては、ライン反転により表示部を駆動する場合について述べたが本発明はこれに限らず、フィールド反転等により駆動する場合にも広く適用することができる。

【 0 0 6 8 】

また上述の実施例においては、ガラス基板上に表示部等を作成してなる T F T 液晶によるフラットディスプレイ装置に本発明を適用する場合について述べたが、本発明はこれに限らず、C G S (Continuous Grain Silicon) 液晶等、各種の液晶表示装置、さらには E L (Electro Luminescence) 表示装置等、種々のフラットディスプレイ装置に広く適用することができる。

40

【 0 0 6 9 】

また上述の実施例においては、液晶表示装置のアナログバッファ回路等に本発明に係る定電流回路を適用する場合について述べたが、本発明はこれに限らず、種々の集積回路に係る定電流回路に広く適用することができる。

【 産業上の利用可能性 】

【 0 0 7 0 】

本発明は、T F T、C G S 等によるアクティブ素子による定電流回路、このような定電流回路を用いたフラットディスプレイ装置に適用することができる。

【 図面の簡単な説明 】

50

【 0 0 7 1 】

【図 1】本発明の実施例 1 に適用される定電流回路を示す接続図である。

【図 2】本発明の実施例 1 に係る液晶表示装置を示すブロック図である。

【図 3】図 2 の液晶表示装置の水平駆動回路の一部を示すブロック図である。

【図 4】図 3 のバッファ回路を示す接続図である。

【図 5】図 4 のバッファ回路におけるプリチャージ回路の動作の説明に供するタイムチャートである。

【図 6】図 1 の定電流回路の動作の説明に供するタイムチャートである。

【図 7】図 4 のバッファ回路におけるアナログバッファ回路の動作の説明に供するタイムチャートである。

10

【図 8】図 4 のバッファ回路におけるアナログバッファ回路の動作の説明に供する接続図である。

【図 9】図 8 の続きの説明に供する接続図である。

【図 10】図 9 の続きの説明に供する接続図である。

【図 11】図 10 の続きの説明に供する接続図である。

【図 12】本発明の実施例 2 に適用されるアナログバッファ回路を示す接続図である。

【図 13】図 12 のアナログバッファ回路に適用される定電流回路を示す接続図である。

【図 14】図 12 のアナログバッファ回路の動作の説明に供するタイムチャートである。

【図 15】本発明の実施例 3 に適用されるアナログバッファ回路を示す接続図である。

【図 16】図 15 のアナログバッファ回路の動作の説明に供するタイムチャートである。

20

【図 17】本発明の実施例 4 に適用される水平駆動回路の一部構成を示すブロック図である。

【図 18】本発明の実施例 5 に係る定電流回路を示す接続図である。

【図 19】従来の定電流回路を示す接続図である。

【図 20】図 19 とは異なる例を示す接続図である。

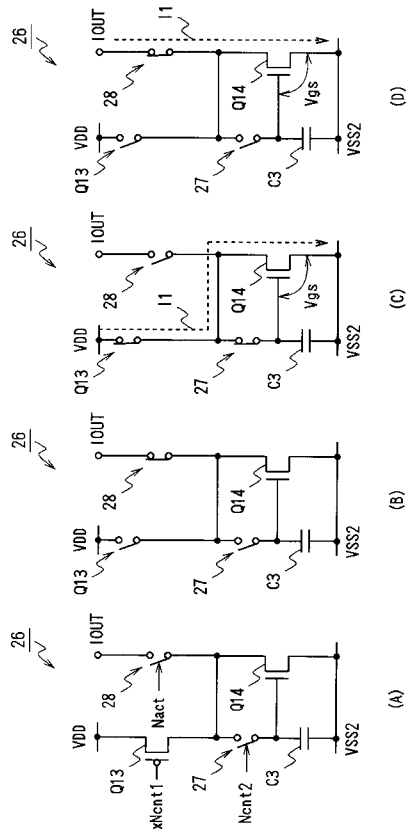
【符号の説明】

【 0 0 7 2 】

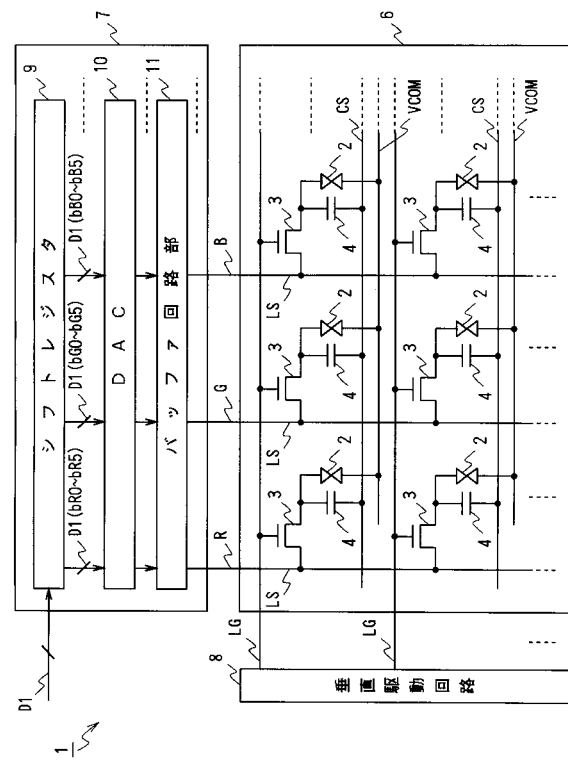
1 ... 液晶表示装置、2 ... 液晶セル、3、Q 1 ~ Q 1 4 C ... トランジスタ、4 ... 保持容量、6 ... 表示部、7 ... 水平駆動回路、8 ... 垂直駆動回路、9 ... シフトレジスタ、10 ... デジタルアナログ変換回路、11 ... バッファ回路部、15 ... 基準電圧発生回路、16 ... 基準電圧セレクタ、17 ... タイミング発生回路、18 ... バッファ回路、20、40、50、57 ... アナログバッファ回路、21 ... プリチャージ回路、22、23、24、31 ~ 35 ... スイッチ回路、26、46、66 ... 定電流回路、C 1 ~ C 3、C 3 A ~ C 3 C ... コンデンサ

30

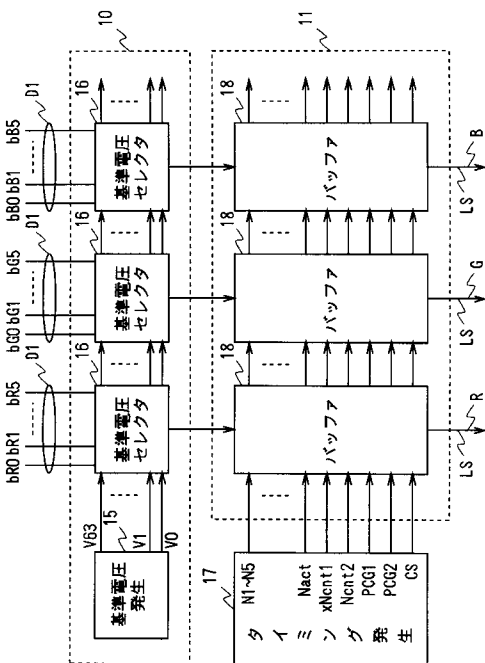
【図 1】



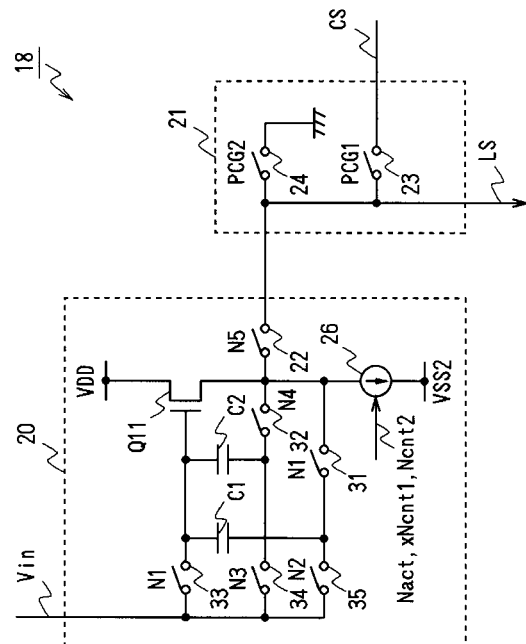
【図 2】



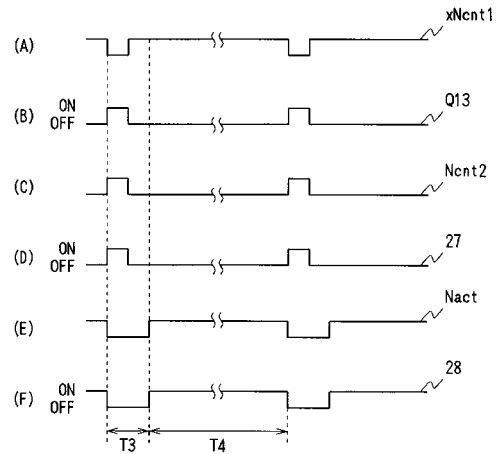
【図 3】



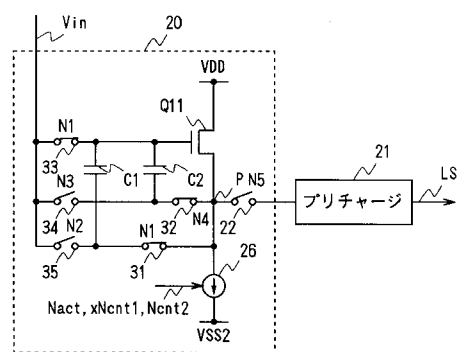
【図 4】



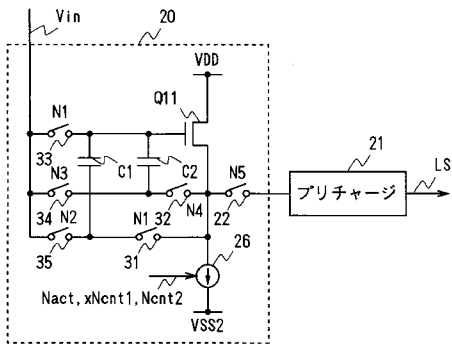
【 図 6 】



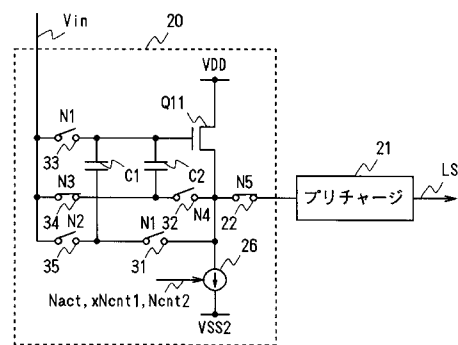
【 図 8 】

[illegible]

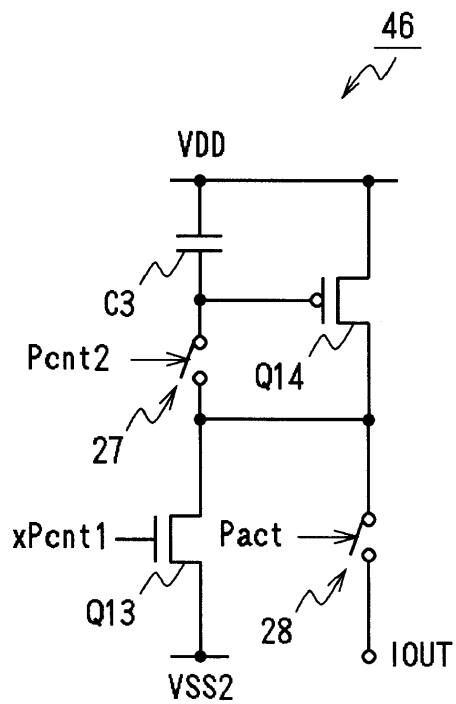
【図 10】



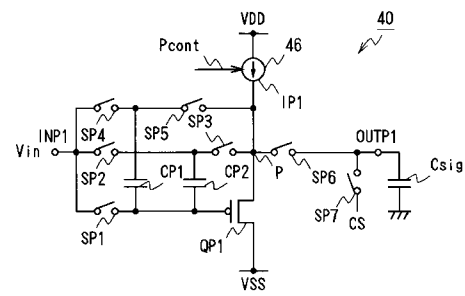
【図 11】



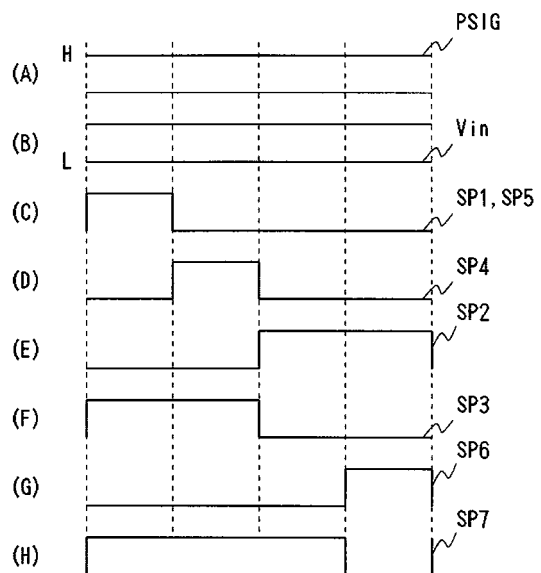
【図 13】



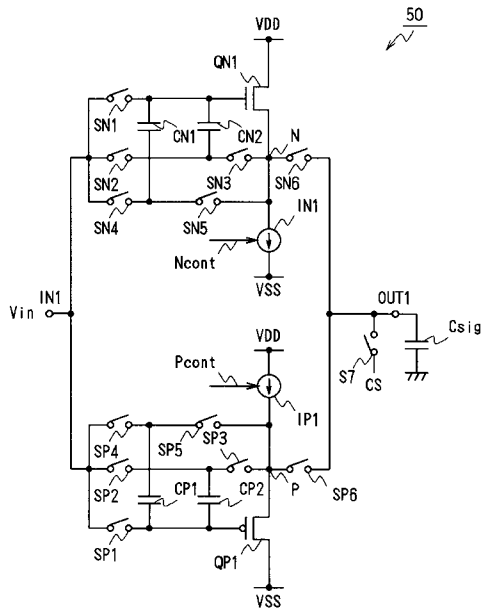
【図 12】



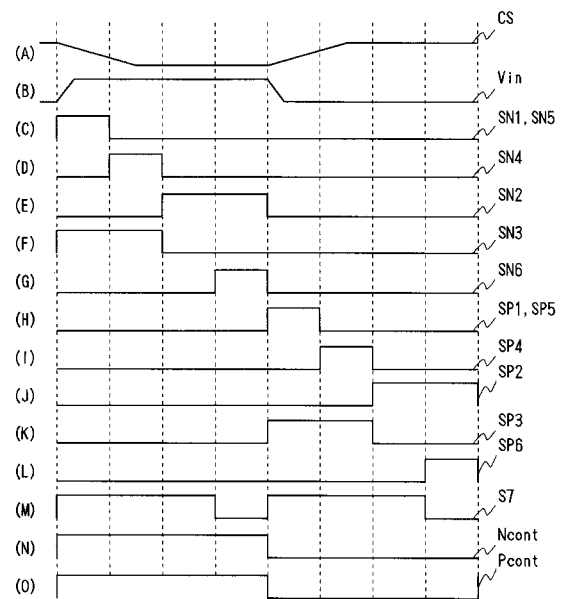
【図 14】



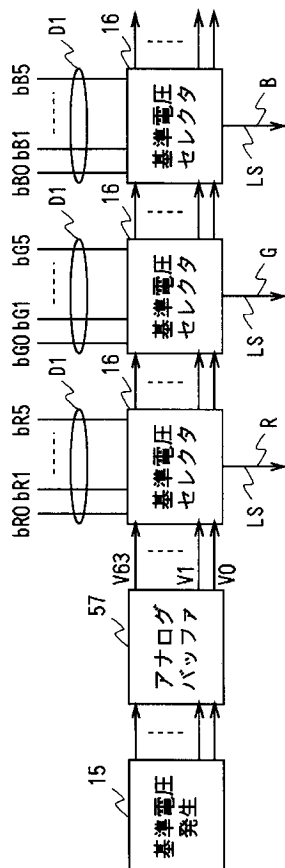
【図 15】



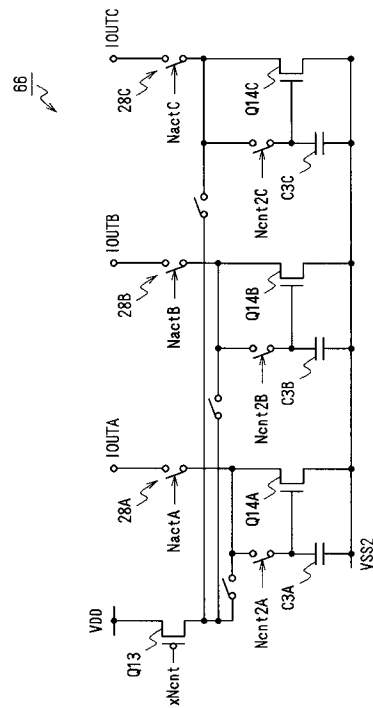
【図 16】



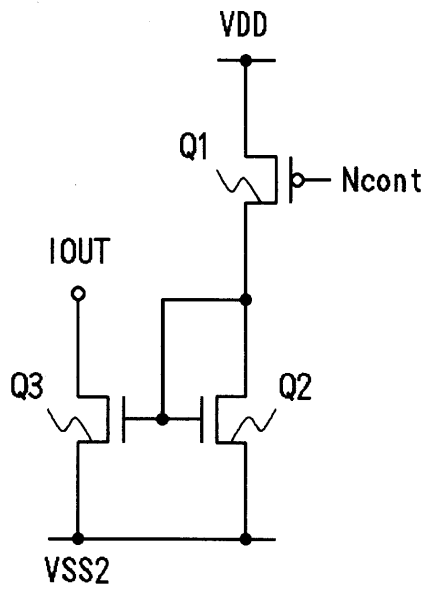
【図 17】



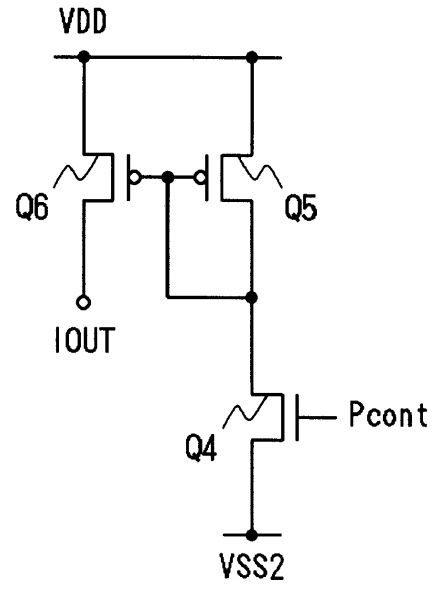
【図 18】



【図 19】



【図 20】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 3 K 17/687	G 0 2 F 1/1345	5 J 0 5 5
H 0 5 B 33/14	G 0 9 G 3/20	6 1 1 H
	G 0 9 G 3/20	6 1 2 E
	G 0 9 G 3/20	6 2 3 B
	G 0 9 G 3/20	6 2 3 F
	G 0 9 G 3/20	6 2 3 L
	G 0 9 G 3/36	
	H 0 5 B 33/14	A
	H 0 3 K 17/687	H

F ターム(参考)	2H093	NA16	NA32	NA43	NA53	NB30	NC15	NC22	NC23	NC24	NC34
		NC58	NC67	NC68	ND05	ND33	ND35	ND39	ND42	NE07	
	3K007	AB05	AB17	DB03	GA04						
	5C006	AA16	AA22	AF71	AF83	BB16	BC12	BC20	BF03	BF11	BF24
		BF25	BF37	BF42	BF43	EB05	FA20	FA47	FA56		
	5C080	AA06	AA10	BB05	CC03	DD05	DD25	DD26	EE29	EE30	FF11
		JJ02	JJ03	JJ04	KK07						
	5J055	AX49	AX55	BX09	BX16	BX17	CX30	DX12	DX53	DX72	DX73
		DX83	EX02	EY10	EY21	EZ03	EZ12	EZ19	FX04	FX18	FX37
		GX01	GX02	GX04	GX05						

专利名称(译)	恒流电路和平板显示装置		
公开(公告)号	JP2005033653A	公开(公告)日	2005-02-03
申请号	JP2003272443	申请日	2003-07-09
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	木田芳利 仲島義晴		
发明人	木田 芳利 仲島 義晴		
IPC分类号	G02F1/1345 G02F1/133 G09G3/20 G09G3/36 H01L51/50 H03K17/00 H03K17/687 H05B33/14		
CPC分类号	G09G3/3688 G09G3/3614 G09G2300/0408 G09G2300/0876 G09G2310/0248 G09G2310/027 G09G2310/0272 G09G2310/0291 G09G2310/08 G09G2330/021 G09G2330/023		
FI分类号	H03K17/00.D H03K17/00.M G02F1/133.505 G02F1/133.525 G02F1/133.550 G02F1/1345 G09G3/20. 611.H G09G3/20.612.E G09G3/20.623.B G09G3/20.623.F G09G3/20.623.L G09G3/36 H05B33/14.A H03K17/687.H		
F-TERM分类号	2H092/GA59 2H092/JA24 2H092/NA01 2H092/NA24 2H092/PA06 2H093/NA16 2H093/NA32 2H093 /NA43 2H093/NA53 2H093/NB30 2H093/NC15 2H093/NC22 2H093/NC23 2H093/NC24 2H093/NC34 2H093/NC58 2H093/NC67 2H093/NC68 2H093/ND05 2H093/ND33 2H093/ND35 2H093/ND39 2H093 /ND42 2H093/NE07 3K007/AB05 3K007/AB17 3K007/DB03 3K007/GA04 5C006/AA16 5C006/AA22 5C006/AF71 5C006/AF83 5C006/BB16 5C006/BC12 5C006/BC20 5C006/BF03 5C006/BF11 5C006 /BF24 5C006/BF25 5C006/BF37 5C006/BF42 5C006/BF43 5C006/EB05 5C006/FA20 5C006/FA47 5C006/FA56 5C080/AA06 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD25 5C080 /DD26 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK07 5J055/AX49 5J055/AX55 5J055/BX09 5J055/BX16 5J055/BX17 5J055/CX30 5J055/DX12 5J055/DX53 5J055/DX72 5J055/DX73 5J055/DX83 5J055/EX02 5J055/EY10 5J055/EY21 5J055/EZ03 5J055/EZ12 5J055/EZ19 5J055/FX04 5J055/FX18 5J055/FX37 5J055/GX01 5J055/GX02 5J055/GX04 5J055/GX05 2H193/ZA04 2H193/ZC02 2H193/ZD23 2H193/ZD34 2H193/ZH21 2H193/ZH40 2H193/ZH42 2H193 /ZH45 3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC33 3K107/EE03 3K107/HH00 3K107/HH02 3K107/HH05		
其他公开文献	JP2005033653A5 JP4235900B2		
外部链接	Espacenet		

摘要(译)

本发明涉及恒流电路和平面显示装置，并且例如应用于在绝缘基板上一体地形成有驱动电路的液晶显示装置，从而与现有技术相比能够减少偏差。要做。根据本发明，用参考电流I1对采样电容器C3充电，并且在采样电容器C3中设置具有参考电流I1的晶体管Q14的栅极-源极电压Vgs，然后对采样电容器C3充电。电压Vgs驱动晶体管Q14用作恒流电路。[选型图]图1

