

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-538524

(P2004-538524A)

(43) 公表日 平成16年12月24日(2004.12.24)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/36	G09G 3/36	2H093
G02F 1/133	G02F 1/133 550	5C006
G09G 3/20	G09G 3/20 622F	5C080

審査請求 未請求 予備審査請求 未請求 (全 30 頁)

(21) 出願番号 特願2003-519921 (P2003-519921)
 (86) (22) 出願日 平成14年7月31日 (2002. 7. 31)
 (85) 翻訳文提出日 平成16年1月22日 (2004. 1. 22)
 (86) 国際出願番号 PCT/IB2002/003237
 (87) 国際公開番号 W02003/015069
 (87) 国際公開日 平成15年2月20日 (2003. 2. 20)
 (31) 優先権主張番号 09/920, 826
 (32) 優先日 平成13年8月3日 (2001. 8. 3)
 (33) 優先権主張国 米国 (US)
 (81) 指定国 EP (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), CN, JP, KR

(71) 出願人 590000248
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
 Koninklijke Philips Electronics N. V.
 オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェッハ 1
 Groenewoudseweg 1, 5621 BA Eindhoven, The Netherlands
 (74) 代理人 100092048
 弁理士 沢田 雅男

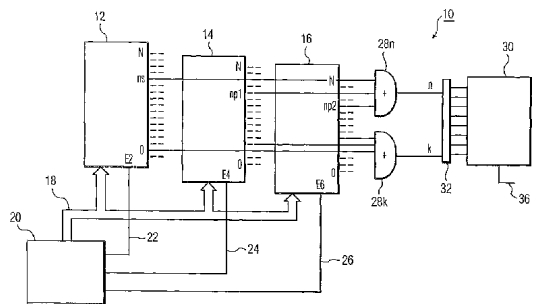
最終頁に続く

(54) 【発明の名称】 液晶ディスプレイ用の行アドレス指定回路

(57) 【要約】

【課題】 ディスプレイにおける、ランダムな行 (又は列) 選択を実行し、かつプリライトするデコーダを用いる新たな技術を提供すること。

【解決手段】 ランダムな行選択、プリライト及び双方向スクロールを実行するための行アドレス指定回路は、各々がアドレス指定バス(18)に接続されており、各々がデコーダ・イネーブル入力 (E2,E4,E6) を有しており、及び各々が画素アレイの行用の行イネーブル信号を作成する複数のデコーダ (12,14,16) を含む。各々のデコーダ (12,14,16) からの各々の行用の行イネーブル情報は、複合する行駆動情報を作成するために同時に論理的に組み合わせられる。各々のデコーダ (12,14,16) は、同じアドレス指定バス(18)に接続しており、各々のデコーダ・イネーブル信号は、共通コントローラ(20)により作成されるので有益である。行イネーブル信号を用いることにより、アドレス指定バス(18)上のアドレス指定情報に同期して、プリライト又は画像情報のような適切な行駆動情報が各々の画素に供与される。同じ画像情報を受け入れるために、2つの行をイネーブルすることによって



【特許請求の範囲】

【請求項 1】

N+1行の画素を有しているマトリックス・ディスプレイ装置用の行アドレス指定回路は、選択デコーダ・イネーブル信号及び第1のプレライト・デコーダ・イネーブル信号を選択的に活性化し、かつ、選択的に行アドレス指定を供与するためのコントローラと、当該選択的に活性化された選択デコーダ・イネーブル信号を受けるための選択デコーダ・イネーブル入力と、当該選択的に供与された行アドレス指定を受けるための選択アドレス指定入力と、N+1行の画素の1つ及び行アドレス指定の1つに各々関係しているN+1選択行出力とを有し、前記選択デコーダ・イネーブル信号が活性化されるときに、選択行イネーブル信号によって、供与された行アドレス指定に関係している前記選択行イネーブル出力の1つが作成される選択デコーダと、

10

当該選択的に活性化された第1のプレライト・デコーダ・イネーブル信号を受けるための第1のデコーダ・イネーブル入力と、当該選択的に供与された行アドレス指定を受けるための第1のプレライト・アドレス指定入力と、N+1行の画素の1つ及び行アドレス指定の1つに各々関係しているN+1第1のプレライト行イネーブル出力とを有し、第1プレライト行イネーブル信号が活性化されるときに、第1のプレライト行信号によって、供与された行アドレス指定に関係している前記第1行イネーブル出力の1つが作成される第1のプレライトデコーダと、

当該選択デコーダの対応する前記選択行イネーブル出力と、当該第1のプレライトデコーダの対応する第1のプレライト行イネーブル出力の1つとに各々接続され、当該N+1行の画素内の所定の画素行を選択するための行選択信号を作成するN+1論理結合回路とを含む行アドレス指定回路。

20

【請求項 2】

前記コントローラと前記選択デコーダと前記第1のプレライト・デコーダとの間で接続されたアドレス指定バスを更に含み、前記コントローラが、前記アドレス指定バス上へ行アドレス指定を供与する請求項1に記載の行アドレス指定回路。

【請求項 3】

当該コントローラは、前記選択デコーダ・イネーブル信号と前記第1のプレライト・デコーダ・イネーブル信号とを同時に活性化する請求項1に記載の行アドレス指定回路。

【請求項 4】

同時に、前記論理結合回路が、当該N+1行の画素内の所定の画素行を選択するための前記行選択信号を作成すると共に、前記論理結合回路が、当該N+1行の画素内の所定の第2の画素行を選択するための第2の行選択信号を作成する請求項1に記載の行アドレス指定回路。

30

【請求項 5】

各々の論理結合回路は、表示装置用の列駆動装置に、行選択信号を提供する請求項1に記載の行アドレス指定回路。

【請求項 6】

コントローラは、第2のプレライト・デコーダ・イネーブル信号をさらに選択的に活性化し、

前記回路は、当該選択的に活性化された第2のプレライト・デコーダ・イネーブル信号を受けるための第3のデコーダ・イネーブル入力と、当該選択的に供与された行アドレス指定を受けるための第2のプレライト・アドレス指定入力と、N+1行の画素の1つ及び行アドレス指定の1つに各々関係している第2のN+1プレライト行イネーブル出力とを有しており、前記第2のプレライト・デコーダ・イネーブル信号が活性化されるときに、第2のプレライト行イネーブル信号が、供与された行アドレス指定と関係している前記第2のプレライト行イネーブル出力の1つが作成される第2のプレライト・デコーダを更に含み、N+1論理結合回路の各々が、当該第2のプレライト・デコーダの対応する第2のプレライト行イネーブル出力の1つにも接続されている請求項1に記載の行アドレス指定回路。

40

【請求項 7】

当該コントローラは、前記選択デコーダ・イネーブル信号と、前記第1のプレライト・デ

50

コーダ・イネーブル信号と、前記第2のプレライト・デコーダ・イネーブル信号とを同時に活性化する請求項6に記載の行アドレス指定回路。

【請求項8】

デコーダ・イネーブル信号と、画素行の1つに対応するアドレス指定とを各々受け、それに応じて表示装置の行のための複数のイネーブル信号を提供する複数のデコーダと、データを供給すべき前記表示装置の画素行を選択するための行選択信号を作成すべく、複数のデコーダの行イネーブル信号を論理的に組み合わせるための手段とを含んでいる表示装置のN+1行の画素のアドレス指定を行うための装置。

【請求項9】

前記複数のデコーダの行イネーブル信号を論理的に組み合わせるための前記手段は、前記複数デコーダの各々からの複数の行イネーブル信号の対応する1つを受け複数の論理結合回路を含む請求項8に記載の装置。 10

【請求項10】

デコーダの全てが、共通接続されたアドレス指定バスを介して同じアドレス指定を受ける請求項8に記載の装置。

【請求項11】

前記デコーダに、前記デコーダ・イネーブル信号及び前記アドレス指定を供給しているコントローラを、更に含む請求項10に記載の装置。

【請求項12】

当該コントローラが、前記複数のデコーダの活性化を交錯させる請求項11に記載の装置。 20

【請求項13】

前記コントローラが、前記複数のデコーダの少なくとも2つに前記デコーダ・イネーブル信号を同時に供与する請求項11に記載の装置。

【請求項14】

前記複数のデコーダは、対応する画素行に第1のブランキング・データを書き込むために行イネーブル信号の1つを活性化している第1のプレライト・デコーダと、対応する画素行に画像データを書き込むために行イネーブル信号の1つを活性化している選択デコーダとを含む請求項8に記載の装置。

【請求項15】

前記複数のデコーダは、対応する画素行に第2のプレライト・データを書き込むために行イネーブル信号の1つを活性化している第2のプレライト・デコーダを更に含む。 30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電気光学カラー表示システムに関する。より詳しくは、双方向行走査及びプレライトを実行するデコーダを有する電気光学カラー表示システムに関する。

【背景技術】

【0002】

カラー画像を作成するために電気光学光パネルを横断して連続的にスクロールするカラーライトバーを有するディスプレイシステムは、周知である。このようなディスプレイシステムは、例えばカラーテレビジョンで、フレームによって連続的に更新されるカラー画像を表示する場合に特に有用である。一般的に、各々のフレームは、通常、赤、緑及び青のサブフレームから成る。 40

【0003】

このようなディスプレイシステムは、行列マトリックスで編成される個々の画素エレメントを含む電気光学光パネルを用いている。個々の画素エレメントは、画素画像情報に従って変調される。一般的に、画素画像情報は、各々のフレーム周期の間、行ごとに個々の画素エレメントに供与される。このような画素エレメントのマトリックス・アレーは、各々の画素エレメントが、スイッチング素子のマトリックス・アレーのアクティブ・スイッチング素子に接続される、「アクティブ」タイプであることが好ましい。 50

【0004】

各々のカラーサブフレームが、各々のフレーム周期の間、アドレス指定されなければならないので、サブフレームのアドレス指定速度は、フレーム速度よりも3倍早くなる。今のところ、好適な電気光学パネルは、シリコン基板に作成され、かつ、ねじれネマチック（TN）作用のある液晶を用いる反射型アクティブマトリクス液晶ディスプレイ（AMLCD）である。通常、アクティブ・スイッチング素子には、薄膜トランジスタ（TFT）が用いられている。このようなパネルは、複数のTFTとそれらの相互接続とをシリコン基板上へ集積化することができるので、高い画素密度を維持することができる。

【0005】

さらに、反射型アクティブマトリクス液晶ディスプレイは、透過型アクティブマトリクス液晶ディスプレイよりも、はるかに高速でアドレス指定を行うことができる。けれども、TN反射型アクティブマトリクス液晶ディスプレイで、画素エレメントを画像化するためには、約100マイクロ秒が必要となる。対照的に、画素行の画像情報を作成し、かつ、画素エレメントに供給するのに、約5マイクロ秒必要となる。今日の反射型TNアクティブマトリクス液晶ディスプレイの他方の課題は、画素キャパシタンスが給与電圧に従って変化するということである。

10

【0006】

画素エレメントを画像化する時間が増加するという一方の課題は、画素の画像精度が、その画素の残余状態、つまり、結局、以前画像化された情報に依存するということである。これは、特定の画素の輝度が、その画素によって表示される以前の画像の輝度に依存することを意味する。残余状態を修正するための新たな画素の画像用の修正値を提供するために、二次元のルック・アップ・テーブルを用いることができる。

20

【0007】

反射型TNアクティブマトリクス液晶ディスプレイにおける、応答時間が遅く、かつ、電圧に対する画素キャパシタンスが変化するという課題は、応答時間が速く、かつ、キャパシタンスの電圧依存が削減された電気光学材料を用いることにより削減させることができる。このような材料の1つに、強誘電性LCの類がある。しかしながら、すでに作成された画像（以前の画像）は、新たな画像によって置換されなければならないので、強誘電性LC材料はメモリー効果を有している。

【0008】

メモリー効果の課題は、新たな画素を画像化する前に画素をリセットする、補助「ブランキングパルス」によって、大きく削減させることができる。このようなブランキングパルスは、ライン選択周期の間、共通対向電極と共に行電極を介して供与させることができる。実際には、「プレライト」ブランキングパルスを使用する方が、「プレライト」ブランキングパルスを1つしか使用しない場合よりも効果があることが判明した。

30

【0009】

プレライト・ブランキングの構成は、通常、ブランキングパルスを生成するための特別な回路を必要とする。従来技術においては、その特別な回路を、通常デジタルの入力画素情報を、アクティブマトリクス液晶ディスプレイを駆動するのに適したアナログ信号に変換するドライバ回路に集積化することは容易でなかった。

40

【0010】

アクティブマトリクス液晶ディスプレイを駆動するための従来技術の回路には、通常、シフトレジスタが用いられていた。しかしながら、例えば、コンピュータディスプレイスクリーンを有するスクロールカラーの用途の場合、隣接していない行に対するアクセスの必要性は、頻繁には起こらない。したがって、平行に作動するマルチプルシフトレジスタが必要である。さらに、双方向走査が要求される場合には、尚更専用のシフトレジスタが必要となる。

【0011】

ある用途については、シフトレジスタに対する既知の代替品に、デコーダがある。デコーダは、行選択をランダムにイネーブルすることができる。しかしながら、行情報を与える

50

ためにデコーダを予め用いること、メモリー効果を補償するためにプリライトを作成すること、及び双方向スクロールを実行することは、実用的でないことが判明している。

【発明の開示】

【課題を解決するための手段】

【0012】

本発明の原理によって、ディスプレイにおける、ランダムな行（又は列）選択を実行し、かつプリライトするデコーダを用いる新たな技術が、提供される。それらの原理により、更に、双方向スクロールをイネーブルすることができる。本発明は、独立クレームによって規定されている。従属クレームは、好都合な実施例を規定している。

【0013】

本発明の原理に従う駆動回路によると、残余状態によって生じるカラーアーチファクトが、プレライト・ブランキングパルスによって削減され又は除去されるような、電気光学表示装置を作動させることができる。その駆動回路は、さらに双方向スクロールを実行することができる。このような駆動回路は、各々がアドレス指定バスに接続され、各々が行選択イネーブルを有し、さらに各々が画素アレーの行用の行選択信号を選択する、複数のデコーダを含む。

10

【0014】

画素駆動装置用の画素駆動情報を共に作成する画素アレーにおいて、各種デコーダからの選択信号が、各々の画素行用に組み合わせられる。各々のデコーダが、同じアドレス指定バスに接続されており、各々の行選択イネーブル信号が、共通のコントローラによって作成されているので、有益である。アドレス指定バス上のアドレス指定情報に同期する、行選択イネーブル・ラインを用いることにより、適切なプリライト及び画像情報が、各々の画素行用の画素駆動装置に供与される。

20

【0015】

本発明の原則によると、以前のアドレス指定データ信号による電気光学表示装置の画素の残余状態によって発生するカラーアーチファクトが、複数のデコーダの一方からの信号によって、かなり削減され又は除去される。それと共に、画像情報は、複数デコーダの他方によって作成される。

【0016】

共通コントローラが、所望の画像を作成するため、次の画像に備えて画素行をプレライトするため、更に双方向走査をイネーブルするために、必要に応じて、デコーダをイネーブルすることが好ましい。

30

【発明を実施するための最良の形態】

【0017】

本発明のこれらの及び他の態様は、以下に記載される実施例を参照して明らかになり、かつ、説明されるであろう。

【0018】

唯一の図には、本発明の原理と一致する、プリライトを実行する、液晶ディスプレイ（LCD）用行アドレス指定回路10に基づくデコーダの簡略平面図が示されている。図示されているように、アドレス指定回路10は、選択デコーダ12、第1のプレライト・デコーダ14及び好ましくは第2のプレライト・デコーダ16を含む。デコーダ12、14及び16を実行するために、1又は2以上の物理的なデコーダを、用いてもよいことは、理解されなければならない。

40

【0019】

コントローラ20は、個々のデコーダ・イネーブル・ラインを介して、デコーダ・イネーブル信号をデコーダに選択的に供与する。選択デコーダ・イネーブル・ライン22により、コントローラ20と選択デコーダ12のデコーダ・イネーブル入力E2が、接続されている。第1のプレライト・デコーダ・イネーブル・ライン24により、コントローラ20と第1のプレライト・デコーダ14のデコーダ・イネーブル入力E4が、接続されている。第2のプレライト・デコーダ・イネーブル・ライン26により、コントローラ20と第2のプレライト・デコー

50

ダ16のデコーダ・イネーブル入力E6が、接続されている。

【0020】

コントローラ20は、さらに、デコーダの全てによって共有されているアドレス指定バス18を介して、デコーダにアドレス指定情報を選択的に供給する。コントローラ20によって供給される各々のアドレス指定は、各々のデコーダの複数の行イネーブル出力のうちの1つに対応する。図示されているように、0~Nの画素のN+1本の走査線(行)を有するLCD30に対して、各々のデコーダ12、14及び16は、N+1の行イネーブル出力を有するであろう。ここで、各出力は、LCD 30がTFT-LCDである場合、薄膜トランジスタ(TFT)のゲートラインとしてもよい対応する走査線に対し、行イネーブル信号を供給する。

【0021】

各々の行nに対して、図1において論理積素子28n(nは、行選択信号を作成するための、0~Nの範囲の指標)によって示される組合せ論理回路が、各々のデコーダの対応する行イネーブル信号を、共同して、組み合わせる。このことは、選択デコーダ12の第n番目の選択行イネーブル信号、第1のプレライト・デコーダ14の第n番目の第1のプレライト行イネーブル信号、及び第2のプレライト・デコーダ16の第n番目の第2のプレライト行イネーブル信号の全てが、行n用の行選択信号を作成するために、論理積素子28nによって表わされる同じ組合せ論理回路に供与されることを意味する。

【0022】

好ましい実施例では、LCD 30の各々の行が、それぞれの組合せ論理回路(例えば、論理積素子28n)を有しているということを、理解すべきである。こうして図示されるように、N+1の走査線(行)を有するLCD30に対して、N+1の論理積素子がある。例示的に、行n、行kのための論理積素子28k、28nが示されている。その上、組合せ論理の機能としては、多数の手段、例えば、否定論理積素子、論理和素子等、又は、3ビットワイドのルック・アップ・テーブル或いはメモリデバイスによってさえ、実行できるということが理解される。

【0023】

各々の論理積素子28nによる行選択信号出力が、駆動装置32に供与され、それにより、結局、駆動装置32を介してLCD 30の対応する走査線(行)n用の行駆動信号が作成される。さらに、共通電極電位36が、LCDディスプレイ30の共通電極に供与されると理解されるべきである。このように、LCDディスプレイ30の各々の走査線(行)のアドレス指定が、論理積素子28nによる行選択信号に応答して生成される駆動装置32の行駆動信号を供与することによって実行される。各々の行駆動信号によって、対応する画素行のスイッチング素子(例えば、TFTデバイス)の全てのスイッチングを制御する。これにより、LCD30のデータ(列)ラインからスイッチング素子を通り、画素電極(図示せず)への映像又はランキング・データの転送が可能となる。

【0024】

動作中、LCD 30の表示されるべき各々の画素行について、その行が最初に選択され、画素行の全部がLCD 30のデータラインを介して供与される第1のランキング信号を用いてプレライトされる。所定の期間(例えば、25秒)の後、その行が再び選択され、画素行の全部が再びLCD30のデータラインを介して供与される第2のランキング信号を用いてプレライトされる。他の所定の期間(例えば、100秒)の後、その行が再び選択され、映像を表示するために、画像データがデータラインから画素電極まで転送される。

【0025】

したがって、LCD 30の画素行nに、第1のランキング信号を提供するために、第1のプレライト動作を実行すべく、コントローラ20が、アドレス指定バス18へ行n用の行アドレス指定を供与することによって、第1のプレライト・デコーダ14用の第1のプレライト・デコーダ・アドレス指定ストロブ信号を活性化させる。コントローラ20は、さらに第1のプレライト・デコーダ14に接続されている第1のプレライト・イネーブル・ライン24上の第1のプレライト・デコーダ・イネーブル信号を活性化させる。

【0026】

第1のプレライト・デコーダ14は、第1のプレライト・デコーダ・イネーブル信号に応じて

10

20

30

40

50

、供与された行アドレス指定をデコードすることによって、論理積素子28nの入力に接続されている、行イネーブル出力nの行n用の第1のプレライト行イネーブル信号を活性化する（例えば、アクティブ論理ロー信号にする）。この時に、選択デコーダ12の行イネーブル出力及び行n用の第2のプレライト・デコーダ16は、活性化しない（したがって、論理ハイである）。

【0027】

その後、論理積素子28nは、駆動装置32に供給する、行n用の行選択信号を活性化する（論理ローにする）。駆動装置32が、画素行nのスイッチングデバイス（例えばTFT）をオンすると、それと共に、適正なスイッチング素子を通して共通電極電位36と情報とが供与され、選択された画素行nをプレライトする第1のプレライト「ブランキングパルス」が生じる。第1のブランキング情報は、スイッチング素子を通り、図示されない列駆動装置回路を介して、個々の画素電極に供与される。

10

【0028】

行n用の第1のプレライト動作を実行した後に、コントローラ20は、第1のプレライト・イネーブル・ライン24上の第1のプレライト・デコーダ・イネーブル信号を不活性化し、さらに、それに応じて、第1のプレライト・デコーダ14が、行n用の第1のプレライト行イネーブル信号を不活性化する。これに応じて、駆動装置32は、画素行nのスイッチング素子（例えば、TFT）をオフするので、それ以上、列駆動装置回路からのデータがそこに格納されないようになる。

【0029】

その後（例えば、行nに対する第1のプレライトの25秒後）、LCD 30の画素行nに、第2のブランキング信号を提供すべく、コントローラ20は、アドレス指定バス18にもう一度行n用の行アドレス指定を供与する。しかしながら、今度は、コントローラ20が、第2のプレライト・デコーダ14用の第1のプレライト・デコーダ・アドレス指定ストロブ信号を活性化することによって、第2のプレライト・デコーダ16に接続されている第2のプレライト・デコーダ・イネーブル・ライン26上の第2のプレライト・デコーダ・イネーブル信号を活性化する。

20

【0030】

第2のプレライト・デコーダ16は、第2のプレライト・デコーダ・イネーブル信号に応じて、供与された行アドレス指定をデコードすることによって、対応する論理積素子28nの入力に接続されている、行イネーブル出力nの行n用の第2のプレライト行イネーブル信号を活性化する（例えば、アクティブ論理ローにする）。この時に、選択デコーダ12の行イネーブル出力及び行n用の第1のプレライト・デコーダ14は、活性化しない（したがって、これらは、論理ハイである）。

30

【0031】

その後、論理積素子28nは、駆動装置32に供給する、行n用の行選択信号を活性化する（論理ローにする）。駆動装置32が、画素行nのスイッチング素子（例えば、TFT）をオンすると、それと共に、適正なスイッチング素子を通して共通電極電位36と情報とが供与され、選択された画素行nをプレライトする第2のプレライト「ブランキングパルス」が生じる。第2のブランキング情報は、スイッチング素子を通り、図示されない列駆動装置回路を介して、個々の画素電極に供与される。

40

【0032】

行n用の第2のプレライト動作を実行した後に、コントローラ20は、第2のプレライト・イネーブル・ライン26上の第2のプレライト・デコーダ・イネーブル信号を不活性化し、さらに、それに応じて、第2のプレライト・デコーダ16が、行n用の第2のプレライト行イネーブル信号を不活性化する。これに応じて、駆動装置32は、画素行nのスイッチング素子（例えば、TFT）をオフするので、それ以上、列駆動装置回路からの更なるデータがそこに格納されないようになる。

【0033】

最後に、その後続く時間（例えば、第2のプレライトの100秒後）で、LCD 30の画素行n

50

に、画像データを書き込むために、コントローラ20は、アドレス指定バス18に行n用の行アドレス指定を供与する。今度は、コントローラ20が、第1のプレライト・デコーダ・アドレス指定ストロブ信号を活性化することによって、選択デコーダ12に接続されている選択デコーダ・イネーブル・ライン22上の選択デコーダ・イネーブル信号を活性化する。

【0034】

選択デコーダ12は、選択デコーダ・イネーブル信号に応じて、供与された行アドレス指定をデコードすることによって、対応する論理積素子28nの入力に接続されている、行イネーブル出力nの行用の選択行イネーブル信号を活性化する（例えば、能動論理ローにする）。この時に、第1のプレライト・デコーダ14の行イネーブル出力及び行n用の第2のプレライト・デコーダ16は、活性化しない（したがって、論理ハイである）。

10

【0035】

その後、論理積素子28nは、駆動装置32に供給する、行n用の行選択信号を活性化する（論理ローにする）。駆動装置32が、画素行nのスイッチング素子（例えば、TFT）をオンすると、それと共に、適正なスイッチング素子を通して共通電極電位36と情報とが供与され、選択された画素行nへの画像データの移送が生じる。画像データは、スイッチング素子を通り、図示されない列駆動装置回路を介して、個々の画素電極に供給される。

【0036】

この工程は、LCD 30の全行で、第1及び第2のデータ・プレライト動作と、画像データの書き込み動作とがイネーブルされるように、各々のフレームにおいて繰り返される。

【0037】

好ましい実施例では、プレライトと画像データの書き込み動作を、同じ走査（ライン）周期において、LCD 30の異なる行に対して発生させても良い。例えば、各ラインのインターバル間に列ラインに提供されるデータが、走査期間の最初のブランキングのインターバル間に提供される、最初のブランキング電圧を含み、その後、走査期間の画像データの書き込みインターバル間に提供される画像データ電圧が続く様にしても良い。この場合、走査周期の間、行nに対して第1のプレライト動作を実行し、その後、画像データの第1の部分の書き込み動作を、同じ走査周期の間に異なる行kに対して実行し、かつオプションとして、第2のプレライト動作を、最初のブランキングのインターバルの間、更に異なる行mに対して、実行させても良い。

20

【0038】

この構成の一実施例において、コントローラ20は、アドレス指定バス18上に第1のプレライト行アドレス指定を書き込むことによって、第1のプレライト・デコーダ14用の第1のプレライト・デコーダ・アドレス指定ストロブ信号を活性化する。これにより、以下で詳細に説明されるように、第1のプレライト・デコーダ14は、第1のプレライト動作のためのLCD30の対応する行（例えば、行n）をイネーブルする。

30

【0039】

次に、コントローラ20は、アドレス指定バス18上に第2のブランキング行アドレス指定を書き込むことによって、第2のプレライト・デコーダ16用の第2のプレライト・デコーダ・アドレス指定ストロブ信号を活性化する。その時、コントローラ20は、アドレス指定バス18上にディスプレイ行アドレス指定を書き込むことによって、選択デコーダ12用の選択デコーダ・アドレス指定ストロブ信号を活性化する。

40

【0040】

各種のデコーダのためのアドレス指定を書き込む順序は、いかなる便利な順序に差し替えてもよく、アドレス指定バス18が、充分多くのラインによって十分に幅が広い場合には同時に行ってもよい。さらに、アドレス指定バス18上の単一のアドレス指定が、各々のデコーダ用の異なる行イネーブル出力を活性化するため、各々のデコーダが異なるアドレス指定をオフセットさせてもよい。

【0041】

更に詳しくは、走査周期の最初のブランキングのインターバルの間、コントローラ20は、第1のプレライト・デコーダ・イネーブル・ライン24上の第1のプレライト・イネーブル信

50

号を活性化して、更に選択デコーダ・イネーブル・ライン22用の選択デコーダ・イネーブル信号を活性化する。それに応じて、上述したように、第1のプレライト・デコーダ14が、論理積素子28nに接続されている行イネーブル出力nのその行n用の第1のプレライト行イネーブル信号を活性化する。

【0042】

これにより、論理積素子28nは、駆動装置32に供給される行n用の行選択信号を活性化する。そして、駆動装置32が、画素行nのスイッチング素子をオンにする。同時に、選択デコーダ12は、論理積素子28kに接続されている行イネーブル出力kのその行k用の選択行イネーブル信号を活性化する。

【0043】

これにより、論理積素子28kは、駆動装置32に供給される行k用の行選択信号を活性化する。そして、駆動装置32が、画素行kのスイッチング素子を更にオンにする。オプションとして、同じ最初のブランキング・インターバルの間、それによって画素行mのスイッチング素子もオンにするために、コントローラ20が、第2のプレライト・デコーダ・イネーブル・ライン26上の第2のプレライト・デコーダ・イネーブル信号を活性化させてもよい。こうして、走査周期の最初のブランキング・インターバルの間、ブランキング電圧が、画素行n及び行k(かつオプションとして行m)に提供される。

【0044】

最初のブランキング・インターバルの完了後に、コントローラ20は、第1の(かつオプションとして第2の)プレライト・デコーダ・イネーブル信号を不活性化する。そして、駆動装置32が、画素行n(かつオプションとして、行m)のスイッチング素子(例えば、TFT)をオフし、それ以上、列駆動装置回路からの更なるデータがもうそこに格納されないようになる。一方、画素行k用のスイッチ素子は、所望の画像データをそこに格納すべく、走査周期(すなわち、画像データの書き込みインターバルの間)の残りのためにオンのままである。

【0045】

第1及び第2のプレライト・デコーダ14及び16が、行アドレス指定回路10に含まれるとき、及び、3つのデコーダが、同様の回路で実行されるときには、一方のデコーダが故障した場合に、まだデータ書き込みと一方のプレライトとの基本的な機能をサポート可能な2つのデコーダがあるので好ましい。

【0046】

第1及び第2のプレライト・ブランキングパルスの両方を作成することは有益であるが、本発明の原理は、さらに、双方向走査を提供する。このような形態では、コントローラ20は、アドレス指定バス18上に行アドレス指定情報を供与し、かつ、イネーブル・ライン22上にデコーダ・イネーブル信号を供与する。選択デコーダ12は、その後、アドレス指定情報をデコードし、かつ、行アドレス指定に関係している、適正な論理積素子(例えば、論理積素子28n)に、活性化された行イネーブル信号を供給する。駆動装置32は、その後、選択された画素行への画像データの書き込みをイネーブルする。

【0047】

続いて、又は同時に、コントローラ20は、例えば、デコーダ・イネーブル信号をイネーブル・ライン24に供与することによって、イネーブル信号を他のデコーダである第1のプレライト・デコーダ14に供与する。アドレス指定がされた行をオフセットすることによって(例えば、第1のプレライト・デコーダ14の選択行n+1以外の、選択デコーダ12の選択行nをアドレス指定nすることによって)、又は、コントローラ20により他の行アドレス指定(例えば、n+1)を第1のプレライト・デコーダ14に供与することによって、第1のプレライト・デコーダ14が、行アドレス指定をデコードすることにより、その選択された論理積素子28(n+1)用の行選択信号を活性化する。

【0048】

論理積素子28(n+1)は、その後、論理ローを駆動装置32に供与する。それにより、さらに隣接した行に同じ画像データを書き込む。こうして、ディスプレイの2つのラインに、同

10

20

30

40

50

じ情報を示すことができる。

【0049】

その後、論理積素子 $28n$ と関係しているラインをブランキングすると、ディスプレイはスクロールするように見えるだろう。さらに、行 $n+1$ の代わりに行 $n-1$ に供与することによって、スクリーンは、スクロールダウンのように見え、又は、例えば、行 $n+1$ の代わりに行 $n+3$ に供与することによって、急速なスクロールのように見える。このような複行形態は、別にも用いられ、このような急速なスクリーンは、特殊なカラーを備えている。これにより、予め書き込まれた行（例えば、行 n ）にブランキングすることなく、容易に達成される。

【0050】

上述した実施例は、本発明を制限するものではなく明示するものであり、かつ当業者が、添付の特許請求の範囲内で別の実施例を設計することが可能であることは、留意すべきである。請求項において、括弧の間に配置されているいかなる引用符号も、請求項を制限するものと解釈すべきではない。「含む」という語は、請求項に示されていない要素またはステップの存在を除外するものではない。ある要素の前の「1つの」という語は、そのような要素が複数存在することを除外するものではない。

【0051】

本発明は、複数の別個の要素を有するハードウェアと、適切にプログラムされたコンピュータとによって、実現可能である。複数の手段を列挙しているユニットに関する請求項の場合、これらの手段の幾つかを、同一のハードウェア部材によって実施することも可能である。

【図面の簡単な説明】

【0052】

【図1】本発明の原理と一致する、プレライトを実行する行アドレス指定回路に基づくデコーダの簡略平面図である。

【符号の説明】

【0053】

- 10 行アドレス指定回路
- 12 選択デコーダ
- 14 第1のプレライト・デコーダ
- 16 第2のプレライト・デコーダ
- 18 アドレス指定バス
- 20 コントローラ
- 22 選択デコーダ・イネーブル・ライン
- 24 第1のプレライト・デコーダ・イネーブル・ライン
- 26 第2のプレライト・デコーダ・イネーブル・ライン
- 28 論理積素子
- 30 LCD
- 32 駆動装置
- 36 共通電極電位

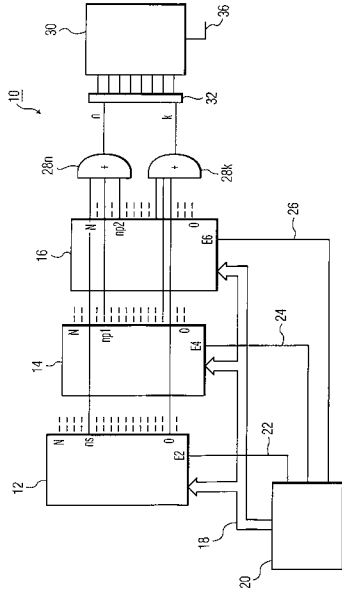
10

20

30

40

【 図 1 】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
20 February 2003 (20.02.2003)

PCT

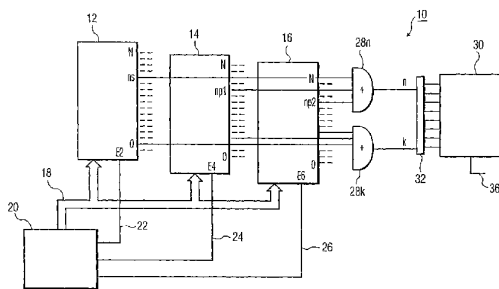
(10) International Publication Number
WO 03/015069 A2

- (51) International Patent Classification: G09G 3/36
- (74) Agent: DEGUELLE, Wilhelmus, H., G., Internationaal Octrooibureau B.V., Prof. Hoelstlaan 6, NL-5656 AA Eindhoven (NL).
- (21) International Application Number: PCT/IB02/03237
- (81) Designated States (national): CN, JP, KR.
- (22) International Filing Date: 31 July 2002 (31.07.2002)
- (84) Designated States (regional): European patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 09/920,826 3 August 2001 (03.08.2001) US
- Published: without international search report and to be republished upon receipt of that report
- (71) Applicant: KONINKLIJKE PHILIPS ELECTRONICS N.V. [NL/NL]; Groenewoudseweg 1, NL-5621 BA Eindhoven (NL).
- For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.
- (72) Inventors: JANSSEN, Peter; Prof. Hoelstlaan 6, NL-5656 AA Eindhoven (NL). ALBU, Lucian, R.; Prof. Hoelstlaan 6, NL-5656 AA Eindhoven (NL).



WO 03/015069 A2

(54) Title: ROW ADDRESSING CIRCUIT FOR LIQUID CRYSTAL DISPLAY



(57) Abstract: Row addressing circuitry for implementing random row selection, pre-writes, and bi-directional scrolling includes a plurality of decoders (12,14,16), each connected to an address bus (18), each having a decoder enable input (E2,E4,E6), and each producing row enable signals for rows of a pixel array. Row enable information for each row from each decoder (12,14,16) is logically combined together to produce composite row drive information. Beneficially, each decoder (12,14,16) is connected to the same address bus (18), and each decoder enable signal is produced from a common controller (20). By using the row enable signals, in synchronization with address information on the address bus (18), the correct row drive information, such as pre-writes or image information, is applied to each of the pixels. Bi-directional scrolling can be implemented by enabling two rows to accept the same image information.

ROW ADDRESSING CIRCUIT FOR LIQUID CRYSTAL DISPLAY

BACKGROUND OF THE INVENTION

Field of the Invention

This invention relates to electro-optic color display systems. More particularly, it relates to electro-optic color display systems with decoders that implement bi-directional row scanning and pre-writing.

Discussion of the Related Art

Display systems having colored light bars that sequentially scroll across an electro-optic light panel to produce a color image are well known. Such display systems are particularly useful for displaying color images that are continuously updated by frames, such as in color televisions. Typically, each frame is composed of color sub-frames, usually red, green and blue sub-frames.

Such display systems employ an electro-optic light panel that is comprised of individual pixel elements that are organized in a matrix of rows and columns. The individual pixel elements are modulated in accordance with pixel image information. Typically, the pixel image information is applied to the individual pixel elements by rows during each frame period. Such a matrix array of pixel elements is preferably "active" in that each pixel element is connected to an active switching element of a matrix array of switching elements.

Because each color sub-frame must be addressed during each frame period, the sub-frame addressing rate is three times faster than the frame rate. At present, a preferred electro-optic light panel is a reflective active-matrix liquid crystal display (AMLCD) that is produced on a silicon substrate and that employs a twisted nematic (TN) effect liquid crystal. Thin film transistors (TFTs) are usually used as the active switching elements. Such panels can support a high pixel density because the TFTs and their interconnections can be integrated onto the silicon substrate. Moreover, reflective active-matrix liquid crystal displays can be addressed at a much higher rate than transmissive active-matrix liquid crystal displays. However, a TN reflective active-matrix liquid crystal display requires about 100 microseconds to image a pixel element. In contrast, a row of pixel image information can be produced and applied to the pixel elements in about 5 microseconds. Another problem with

WO 03/015069

PCT/IB02/03237

2

current reflective TN active-matrix liquid crystal displays is that the pixel capacitance varies according to the applied voltage.

One problem which increases the time to image a pixel element is that the image accuracy of the pixel depends on that pixel's residual state, which in turn depends on previously imaged information. This means that the brightness of a particular pixel depends on the brightness of the previous image displayed by that pixel. Two-dimensional look-up tables can be used to provide correction values for new pixel image to correct for residual states.

The problems of slow response time and varying pixel capacitance versus voltage in reflective TN active-matrix liquid crystal displays can be reduced by using an electro-optic material having a faster response time and a reduced voltage-dependent capacitance. One class of such materials is the ferroelectric LC. However, ferroelectric LC materials have a memory effect in that the image that was produced (the prior image) must be overcome by a new image. Auxiliary "blanking pulses" that reset the pixels prior to imaging new pixels can significantly reduce the memory effect problem. Such blanking pulses can be applied during a line selection period via row electrodes in combination with a common counter-electrode. In practice, the use of two "pre-write" blanking pulses has proven more successful than using a single "pre-write" blanking pulse.

Pre-write blanking schemes usually require special circuitry for generating the blanking pulses. In the prior art, that special circuitry was not readily integrated into the driver circuitry that converted incoming pixel information, which is usually digital, into analog signals suitable for driving the active-matrix liquid crystal display.

Prior art circuitry for driving active-matrix liquid crystal displays usually used shift registers. However, in scrolling color applications (such as with a computer display screen), non-contiguous rows sometimes need to be accessed. Thus, multiple shift registers, operating in parallel, are required. Furthermore, if bi-directional scanning is desired, even more dedicated shift registers are required.

A known alternative to shift registers in some applications is the decoder. Decoders can enable random row selections. However, prior attempts to use decoders for presenting row information, producing pre-writes to compensate for memory effects, and to implement bi-directional scrolling proved impractical.

WO 03/015069

3

PCT/IB02/03237

SUMMARY OF THE INVENTION

The principles of the present invention provide a new technique of using decoders to implement random row (or column) selection and pre-writes in a display. Those principles can further enable bi-directional scrolling. The invention is defined by the independent claims. The dependent claims define advantageous embodiments.

Drive circuitry according to the principles of the present invention can operate an electro-optic display device such that color artifacts caused by residual states are reduced or eliminated by pre-write blanking pulses. That drive circuitry can also implement bi-directional scrolling. Such drive circuitry includes a plurality of decoders, each connected to an address bus, each having a row select enable, and each producing a row select signal for a row of a pixel array. Select signals from the various decoders are combined for each row of pixel, in the pixel array together to produce pixel drive information for a pixel driver. Beneficially, each decoder is connected to the same address bus, and each row select enable signal is produced by a common controller. By using the row select enable lines, in synchronization with address information on the address bus, the correct pre-writes and image information is applied to a pixel driver for each row of pixels.

In accordance with the principles of the present invention, color artifacts caused by the residual states of the pixels in an electro-optic display device from previously addressed data signals are substantially reduced or eliminated by signals from at least one of the plurality of decoders, while image information is produced by another of the plurality of decoders.

Preferably, the common controller enables the decoders, as required, to produce a desired image, to pre-write a row of pixels to prepare for the next image, and to enable bi-directional scanning.

These and other aspects of the invention will be apparent from and elucidated with reference to the embodiments described hereinafter.

BRIEF DESCRIPTION OF THE DRAWING

The sole figure is a simplified plan view of decoder based row addressing circuitry that implements pre-writes and that is in accord with the principles of the present invention.

WO 03/015069

PCT/IB02/03237

4

DESCRIPTION OF THE PREFERRED EMBODIMENTS

In the sole figure, there is shown a simplified plan view of decoder based row addressing circuitry 10 for a liquid crystal display (LCD) 30 that implements pre-writes and that is in accord with the principles of the present invention. As shown, the addressing circuitry 10 includes a select decoder 12, a first pre-write decoder 14, and preferably a second pre-write decoder 16. It should be understood that one or more physical decoders may be used to implement the decoders 12, 14, and 16.

A controller 20 selectively applies decoder enable signals to the decoders via individual decoder enable lines. A select decoder enable line 22 connects a decoder enable input E2 of the select decoder 12 to the controller 20. A first pre-write decoder enable line 24 connects a decoder enable input E4 of the first pre-write decoder 14 to the controller 20. A second pre-write decoder enable line 26 connects a decoder enable input E6 of the second pre-write decoder 16 to the controller 20. The controller 20 also selectively supplies address information to the decoders via an address bus 18 shared by all of the decoders. Each address supplied by the controller 20 corresponds to one of a plurality of row enable outputs of each decoder. As shown, for an LCD 30 with N+1 scanning lines (rows) of pixels, 0 to N, each of the decoders 12, 14, and 16 will have N+1 row enable outputs each providing a row enable signal for a corresponding scanning line (which may be a gate line of a thin film transistor (TFT) if the LCD 30 is a TFT-LCD).

For each row n corresponding row enable signals of each of the decoders are combined together by a combinational logic circuit represented in Fig. 1 by AND gate 28n (where n is an index with a range from 0 to N to produce row select signals. By that, it is meant that the nth select row enable signal of the select decoder 12, the nth first pre-write row enable signal of the first pre-write decoder 14, and the nth second pre-write row enable signal of the second pre-write decoder 16 are all applied to the same combinational logic circuit, represented by AND gate 28n, to produce a row select signal for row n. It should be understood that in the preferred embodiment, that each row of the LCD 30 has its own combinational logic circuitry (e.g., AND gate 28n). Thus, as shown, for an LCD 30 with N+1 scanning lines (rows), there are N+1 AND gates. Exemplary AND gates 28n and 28k for rows n and k are shown. Additionally, it is understood that the combinational logic function can be implemented in numerous ways, such as by using NAND gates, OR gates, etc., or even by a three-bit-wide look-up table or memory device.

A row select signal output by each AND gate 28n is applied to a driver 32, which in turn produces a row drive signal for the corresponding scanning line (row) n of the

WO 03/015069

PCT/IB02/03237

5

LCD 30 via a driver 32. Furthermore, it should be understood that a common electrode potential 36 is applied to a common electrode of the LCD display 30. Thus, the addressing of each scanning line (row) of the LCD display 30 is performed by applying the row drive signals of the driver 32 generated in response to the row select signals of the AND gates 28n.

5 Each row drive signal controls the switching of all of the switching elements (e.g., TFT devices) in a corresponding row of pixels, allowing image or blanking data to be transferred from data (column) lines of the LCD 30 through the switching elements to pixel electrodes (not shown).

In operation, for each row of pixels of the LCD 30 to be displayed, the row is first selected and all of the pixels of the row are pre-written using a first blanking signal applied via the data lines of the LCD 30. After a predetermined time period (e.g., 25 μ s), the row is selected again, and all of the pixels of the row are again pre-written using a second blanking signal applied via the data lines of the LCD 30. After another predetermined time period (e.g., 100 μ s), the row is selected again and image data is transferred from the data lines to the pixel electrodes to display an image.

Accordingly, to perform a first pre-write operation to provide a first blanking signal to a row n of pixels of the LCD 30, the controller 20 applies a row address for the row n to the address bus 18 and activates a first pre-write decoder address strobe signal for the first pre-write decoder 14. The controller 20 also activates a first pre-write decoder enable signal on the first pre-write enable line 24 connected to the first pre-write decoder 14. The first pre-write decoder 14 decodes the applied row address and, in response to the first pre-write decoder enable signal, activates a first pre-write row enable signal (e.g., active logic LOW) for row n on a row enable output n connected to an input of a corresponding AND gate 28n. At this time, the row enable outputs of the select decoder 12 and the second pre-write decoder 16 for the row n are not activated (and thus are logic HIGHS). The AND gate 28n then activates a row select signal (logic LOW) for row n which it supplies to the driver 32. The driver 32 turns on the switching devices (e.g., TFTs) of the pixels of row n and, along with the common electrode potential 36 and information applied through the appropriate switching elements, induces first pre-write "blanking pulses" that pre-write the pixels of the selected row n. First blanking information is applied through the switching elements to the individual pixel electrodes via column driver circuitry that is not shown.

After performing the first pre-write operation for row n, the controller 20 deactivates the first pre-write decoder enable signal on the first pre-write enable line 24, and in response thereto the first pre-write decoder 14 deactivates the first pre-write row enable

WO 03/015069

PCT/IB02/03237

6

signal for row n. In response to this, the driver 32 turns off the switching devices (e.g., TFTs) of the pixels of row n, and no further data from the column driver circuitry is stored therein.

At a later time (e.g., 25 μ s after the first pre-write to row n), the controller 20
5 once again applies a row address for row n to the address bus 18 to provide a second blanking
signal to the row n of pixels of the LCD 30. However, this time the controller 20 activates a
first pre-write decoder address strobe signal for the second pre-write decoder 14 and activates
a second pre-write decoder enable signal on the second pre-write decoder enable line 26
connected to the second pre-write decoder 16. The second pre-write decoder 16 decodes the
10 applied row address and, in response to the second pre-write decoder enable signal, activates
a second pre-write row enable signal (e.g., active logic LOW) for row n on a row enable
output n connected to an input of a corresponding AND gate 28n. At this time, the row
enable outputs of the select decoder 12 and the first pre-write decoder 14 for the row n are
not activated (and thus are logic HIGHS). The AND gate 28n then activates a row select
15 signal (logic LOW) for row n which it supplies to the driver 32. The driver 32 turns on the
switching devices (e.g., TFTs) of the pixels of row n and, along with the common electrode
potential 36 and information applied through the appropriate switching elements, induces
second pre-write "blinking pulses" that pre-write the pixels of the selected row n. Second
blinking information is applied through the switching elements to the individual pixel
20 electrodes via column driver circuitry that is not shown.

After performing the second pre-write operation for row n, the controller 20
deactivates the second pre-write decoder enable signal on the second pre-write enable line 26,
and in response thereto the second pre-write decoder 16 deactivates the second pre-write row
enable signal for row n. In response to this, the driver 32 turns off the switching devices
25 (e.g., TFTs) of the pixels of row n, and no further data from the column driver circuitry is
stored therein.

Finally, at a subsequent time (e.g., 100 μ s after the second pre-write), the
controller 20 applies a row address for row n to the address bus 18 to write image data in the
pixels of row n of the LCD 30. This time, the controller 20 activates a first pre-write decoder
30 address strobe signal and activates a select decoder enable signal on the select decoder enable
line 22 connected to the select decoder 12. The select decoder 12 decodes the applied row
address and, in response to the a select decoder enable signal, activates a select row enable
signal (e.g., active logic LOW) for row n on a row enable output n connected to an input of a
corresponding AND gate 28n. At this time, the row enable outputs of the first pre-write

WO 03/015069

PCT/IB02/03237

7

decoder 14 and the second pre-write decoder 16 for the row n are not activated (and thus are logic HIGHs). The AND gate 28n then activates a row select signal (logic LOW) for row n which it supplies to the driver 32. The driver 32 turns on the switching devices (e.g., TFTs) of the pixels of row n and, along with the common electrode potential 36 and information
5 applied through the appropriate switching elements, induces transfer of image data to the pixels of the selected row n. Image data are supplied through the switching elements to the individual pixel electrodes via column driver circuitry that is not shown.

This process is repeated in each frame such that every row of the LCD 30 is enabled for first and second data pre-write operations and an image data writing operation.

10 In the preferred embodiment, pre-write and image data writing operations may occur for different rows of the LCD 30 in a same scanning (line) period. For example, the data provided on the column lines during each line interval may comprise an initial blanking voltage, provided during an initial blanking interval of the scanning period, followed by an image data voltage, provided during a subsequent image data writing interval of the scanning
15 period. In that case, during a scanning period a first pre-write operation for the row n may be performed, followed by, a first part of an image data writing operation during the same scanning period for a different row k, and, optionally, a second pre-write operation may be performed for yet a different row m during the initial blanking interval.

In one embodiment of this scheme, the controller 20 writes a first pre-write
20 row address on the address bus 18 and activates a first pre-write decoder address strobe signal for the first pre-write decoder 14. This causes the first pre-write decoder 14 to enable a corresponding row (e.g., row n) of the LCD 30 for a first pre-write operation, as will be explained in more detail below. Next, the controller 20 writes a second blanking row address on the address bus 18 and activates a second pre-write decoder address strobe signal for the
25 second pre-write decoder 16. Then, the controller 20 writes a display row address on the address bus 18 and activates a select decoder address strobe signal for the select decoder 12. The order of writing addresses for the various decoders may be rearranged into any convenient order, and may even be done simultaneously in the case that the address bus 18 is wide enough with a sufficient number of lines. Also, each decoder may have a different
30 address offset so that a single address on the address bus 18 may activate different row enable outputs for each of the decoders.

In more detail, during the initial blanking interval of the scanning period, the controller 20 activates the first pre-write enable signal on the first pre-writer decoder enable line 24, and also activates the select decoder enable signal for the select decoder enable line

WO 03/015069

PCT/IB02/03237

8

22. In response thereto, as discussed above, the first pre-write decoder 14 activates the first pre-write row enable signal for row n on its row enable output n connected to the AND gate 28n. In turn, the AND gate 28n activates a row select signal for row n which is supplied to the driver 32, causing the driver 32 to turn on the switching devices of the pixels of row n.

5 At the same time, the select decoder 12 activates the select row enable signal for row k on its row enable output k connected to AND gate 28k. In turn, the AND gate 28k activates a row select signal for row k which is supplied to the driver 32, causing the driver 32 to also turn on the switching devices of the pixels of row k. Optionally, during the same initial blanking interval the controller 20 also activates the second pre-write decoder enable signal on the

10 second pre-write enable decoder enable line 26 to thereby turn on the switching devices of the pixels of row m. Thus, during the initial blanking interval of the scanning period, the blanking voltage is provided to the pixels of rows n and k (and optionally row m).

After the initial blanking interval is completed, the controller deactivates the first (and optionally second) pre-write decoder enable signals, causing the driver 32 to turn

15 off the switching devices (e.g., TFTs) of the pixels of row n (and optionally, row m) such that no further data from the column driver circuitry is stored therein. Meanwhile, the switching devices for the pixels of row k remain turned on for the remainder of the scanning period (i.e., during the image data writing interval) to store the desired image data therein.

Advantageously, when first and second pre-write decoders 14 and 16 are

20 included in the row addressing circuitry and when the three decoders are implemented with equivalent circuits, in case one decoder fails there are still two decoders left to support the essential functions of writing data and one pre-write.

While producing both first and second pre-write blanking pulses is useful, the principles of the present invention further provide for bi-directional scanning. In such a

25 mode, the controller 20 applies row address information on the address bus 18 and a decoder enable signal on the enable line 22. The select decoder 12 then decodes the address information and supplies an activated row enable signal to the appropriate AND gate, e.g., AND gate 28n, associated with the row address. The driver 32 then enables writing of image data into the selected row of pixels. Subsequently, or at the same time, the controller 20

30 applies an enable signal to another decoder, say to the first pre-write decoder 14, by applying a decoder enable signal to enable line 24. By offsetting the addressed rows (such as by having address n select row n of the select decoder, but select row n+1 of the first pre-write decoder 14), or by the controller 20 applying another row address (say n+1) to the first pre-write decoder 14, the first pre-write decoder decodes the row address and activates a row

WO 03/015069

PCT/IB02/03237

9

select signal for its selected AND gate 28(n+1). The AND gate 28(n+1) then applies a logic LOW to the driver 32, which also writes the same image data into the adjacent row. Thus, two lines of the display can show the same information. Then, by blanking the line associated with AND gate 28n, the display will appear to scroll. Furthermore, the screen can appear to scroll down (as by applying row n-1 instead of n+1) or can be made to appear to scroll rapidly (such as by applying n+3 instead of n+1). Such a bi-row mode also has other uses, such a rapid screen fills with particular colors, which is easily achieved by not blanking previously written rows (such as row n).

It should be noted that the above-mentioned embodiments illustrate rather than limit the invention, and that those skilled in the art will be able to design many alternative embodiments without departing from the scope of the appended claims. In the claims, any reference signs placed between parentheses shall not be construed as limiting the claim. The word "comprising" does not exclude the presence of elements or steps other than those listed in a claim. The word "a" or "an" preceding an element does not exclude the presence of a plurality of such elements. The invention can be implemented by means of hardware comprising several distinct elements, and by means of a suitably programmed computer. In the device claim enumerating several means, several of these means can be embodied by one and the same item of hardware. The mere fact that certain measures are recited in mutually different dependent claims does not indicate that a combination of these measures cannot be used to advantage.

WO 03/015069

PCT/IB02/03237

10

CLAIMS:

1. A row addressing circuit for a matrix display device (30) having N+1 rows of pixels, comprising:
 - a controller (20) for selectively applying row addresses, and selectively activating a select decoder enable signal, and a first pre-write decoder enable signal;
 - 5 a select decoder (12) having a select decoder enable input (E2) for receiving said selectively activated select decoder enable signal, a select address input for receiving said selectively applied row addresses, and N+1 select row enable outputs, each associated with one of the N+1 rows of pixels and with one of the row addresses, wherein a select row enable signal is produced on one of the select row enable outputs associated with an applied
10 row address when the select decoder enable signal is activated; and
 - a first pre-write decoder (14) having a first decoder enable input (E4) for receiving said selectively activated first pre-write decoder enable signal, a first pre-write address input for receiving said selectively applied row addresses, and N+1 first pre-write row enable outputs, each associated with one of the N+1 rows of pixels and with one of the
15 row addresses, wherein a first pre-write row enable signal is produced on one of the first pre-write row enable outputs associated with an applied row address when the first pre-write enable signal is activated; and
 - N+1 logical combination circuits (28n), each connected to a corresponding one of the select row enable outputs of said select decoder (12) and a corresponding one of the
20 first pre-write row enable outputs of said first pre-write decoder (14), and producing a row select signal for selecting a predetermined row of pixels among said N+1 rows of pixels.
2. A row addressing circuit according to claim 1, further comprising an address bus (18) connected between the controller (20), the select decoder (12), and the first pre-write
25 decoder (14), wherein the controller (20) applies the row addresses onto the address bus (18).
3. A row addressing circuit according to claim 1, wherein said controller (20) simultaneously activates the select decoder enable signal and the first pre-write decoder enable signal.

WO 03/015069

PCT/IB02/03237

11

4. A row addressing circuit according to claim 1, wherein at a same time while the logical combination circuits (28n) produce the row select signal for selecting a predetermined row of pixels among said N+1 rows of pixels, the logical combination circuits
5 (28n) also produce a second row select signal for selecting a second predetermined row of pixels among said N+1 rows of pixels.
5. A row addressing circuit according to claim 1, wherein each logical
10 combination circuit (28n) provides the row select signal to a row driver (32) for the display device.
6. A row addressing circuit according to claim 1, wherein:
the controller (20) also selectively activates a second pre-write decoder enable
signal;
15 the circuit further comprises a second pre-write decoder (16) having a third decoder enable input (E6) for receiving said selectively activated second pre-write decoder enable signal, a second pre-write address input for receiving said selectively applied row addresses, and N+1 second pre-write row enable outputs, each associated with one of the N+1 rows of pixels and with one of the row addresses, wherein a second pre-write row
20 enable signal is produced on one of the second pre-write row enable outputs associated with an applied row address when the second pre-write decoder enable signal is activated; and each of the N+1 logical combination circuits (28n) are also connected to a corresponding one of the second pre-write row enable outputs of said second pre-write decoder (16).
25
7. A row addressing circuit according to claim 6, wherein said controller (20) simultaneously activates the select decoder enable signal, the first pre-write decoder enable signal, and the second pre-write decoder enable signal.
8. A device for addressing N+1 rows of pixels in a display device (30),
30 comprising:
a plurality of decoders (12,14,16) each receiving a decoder enable signal and an address corresponding to one of the rows of pixels, and in response thereto providing a plurality of row enable signals for the rows of the display device (30); and

WO 03/015069

PCT/IB02/03237

12

means for logically combining the row enable signals of the plurality of decoders (12,14,16) to produce a row select signal for selecting a row of pixels of the display device to be supplied with data.

5 9. The device of claim 8, wherein the means for logically combining the row enable signals of the plurality of decoders (12,14,16) comprises a plurality of logical combination circuits (28n) each receiving a corresponding one of the plurality of row enable signals from each of the decoders (12,14,16).

10 10. The device of claim 8, wherein all of the decoders receive the same address via a commonly connected address bus.

11. The device of claim 10, further comprising a controller (20) supplying the decoder enable signals and the address to the decoders (12,14,16).

15

12. The device of claim 11, wherein said controller interlaces activation of the plurality of decoders (12,14,16).

13. The device of claim 11, wherein the controller simultaneously applies the decoder enable signals to at least two of the plurality of decoders (12,14,16).

20

14. The device of claim 8, wherein the plurality of decoders (12,14,16) includes:
a first pre-write decoder (14) activating one of the row enable signals to write first blanking data to a corresponding row of pixels; and

25 a select decoder (12) activating one of the row enable signals to write image data to a corresponding row of pixels.

15. The device of claim 14, wherein the plurality of decoders (12,14,16) further includes a second pre-write decoder (16) activating one of the row enable signals to write second pre-write data to a corresponding row of pixels.

30

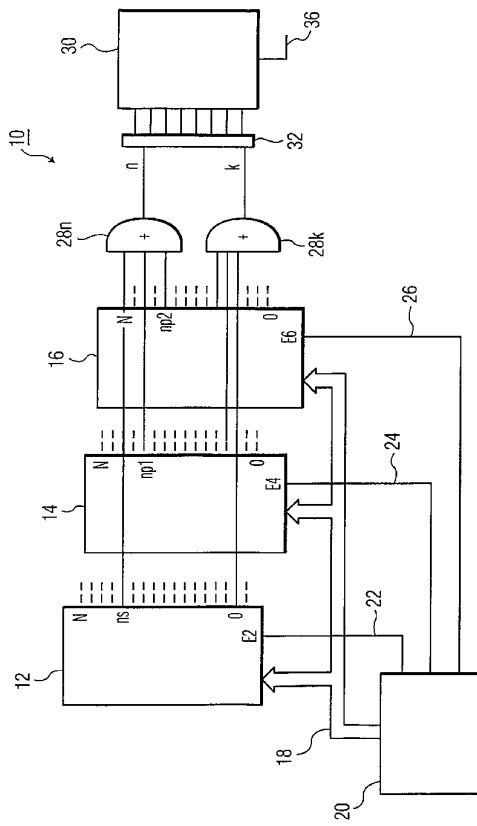


FIG. 1

【 国際公開パンフレット (コレクション) 】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
20 February 2003 (20.02.2003)

PCT

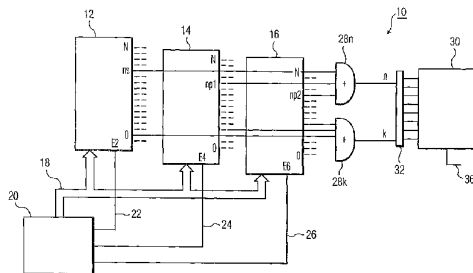
(10) International Publication Number
WO 03/015069 A3

- (51) International Patent Classification: G09G 3/36
- (74) Agent: DEGUELLE, Wilhelmus, H., G., Internationaal Octrooibureau B.V., Prof. Holslaan 6, NL-5656 AA Eindhoven (NL).
- (21) International Application Number: PCT/IB02/03237
- (81) Designated States (national): CN, JP, KR.
- (22) International Filing Date: 31 July 2002 (31.07.2002)
- (84) Designated States (regional): European patent (AT, BI, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IT, LI, LU, MC, NL, PT, SE, SK, TR).
- (25) Filing Language: English
- (85) Published:
— with international search report
— before the expiration of the time limit for amending the claims and to be republished in the event of receipt of amendments
- (26) Publication Language: English
- (30) Priority Data: 09/920,826 3 August 2001 (03.08.2001) US
- (71) Applicant: KONINKLIJKE PHILIPS ELECTRONICS N.V. [NL/NL]; Groenewoudseweg 1, NL-5621 BA Eindhoven (NL).
- (88) Date of publication of the international search report: 23 October 2003

(72) Inventors: JANSSEN, Peter; Prof. Holslaan 6, NL-5656 AA Eindhoven (NL). ALBU, Lucian, R.; Prof. Holslaan 6, NL-5656 AA Eindhoven (NL).

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: ROW ADDRESSING CIRCUIT FOR LIQUID CRYSTAL DISPLAY



(57) Abstract: Row addressing circuitry for implementing random row selection, pre-writes, and bi-directional scrolling includes a plurality of decoders (12,14,16), each connected to an address bus (18), each having a decoder enable input (E2,E4,E6), and each producing row enable signals for rows of a pixel array. Row enable information for each row from each decoder (12,14,16) is logically combined together to produce composite row drive information. Beneficially, each decoder (12,14,16) is connected to the same address bus (18), and each decoder enable signal is produced from a common controller (20). By using the row enable signals, in synchronization with address information on the address bus (18), the correct row drive information, such as pre-writes or image information, is applied to each of the pixels. Bi-directional scrolling can be implemented by enabling two rows to accept the same image information.

WO 03/015069 A3

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International No. PCT/IB 02/03237
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/36		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 177 920 B1 (KOYAMA JUN ET AL) 23 January 2001 (2001-01-23) abstract column 3, line 12 -column 4, line 36; figure 3 claims 1-14; figures 5A,5B	1-15
P,A	US 6 275 202 B1 (CAMPBELL JOHN G) 14 August 2001 (2001-08-14) abstract the whole document	1-15
A	US 4 807 974 A (HIRAI YOSHIHIKO) 28 February 1989 (1989-02-28) abstract column 4, line 37 -column 5, line 43; figures 1-4 column 6, line 25 -column 6, line 57 --- -/-	8,9
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document relating to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed ** later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family		
Date of the actual completion of the international search 1 August 2003		Date of mailing of the international search report 11/08/2003
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2040, Tx: 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Wolff, L

INTERNATIONAL SEARCH REPORT		Internation tion No PCT/IB 02/03237
C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E	WO 03 052732 A (SMITH ADAM J ;ZEITER DOMINIK (NL); KONINKL PHILIPS ELECTRONICS NV) 26 June 2003 (2003-06-26) abstract page 1, line 4 -page 3, line 10 page 9, line 3 -page 12, line 11 page 16, line 14 -page 17, line 6; figures 7,14,18 -----	8,9

INTERNATIONAL SEARCH REPORT
Information on patent family membersInternational No
PCT/IB 02/03237

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6177920	B1	23-01-2001 JP 8106272 A	23-04-1996
US 6275202	B1	14-08-2001 US 2001038363 A1	08-11-2001
US 4807974	A	28-02-1989 JP 1944843 C JP 6077186 B JP 62125393 A	23-06-1995 28-09-1994 06-06-1987
WO 03052732	A	26-06-2003 WO 03052732 A1	26-06-2003

フロントページの続き

(72)発明者 ヤッセン, ピーター

オランダ国 5 6 5 6 アー アー アインドーフエン プロフホルストラーン 6

(72)発明者 オープ, ルシアン, アール

オランダ国 5 6 5 6 アー アー アインドーフエン プロフホルストラーン 6

Fターム(参考) 2H093 NA16 NA46 NC09 NC34 NC50 ND50

5C006 AF42 BA12 BB15 BC03 BF26 EB05

5C080 AA10 BB05 DD25 DD30 FF11 JJ02

【要約の続き】

、双方向スクロールを実行することができる。

【選択図】図1

专利名称(译)	用于液晶显示器的行寻址电路		
公开(公告)号	JP2004538524A	公开(公告)日	2004-12-24
申请号	JP2003519921	申请日	2002-07-31
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	ヤッセン,ピーター オーブルシアン,アール		
发明人	ヤッセン,ピーター オーブルシアン,アール		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3674 G09G3/3607		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.622.F		
F-TERM分类号	2H093/NA16 2H093/NA46 2H093/NC09 2H093/NC34 2H093/NC50 2H093/ND50 5C006/AF42 5C006/BA12 5C006/BB15 5C006/BC03 5C006/BF26 5C006/EB05 5C080/AA10 5C080/BB05 5C080/DD25 5C080/DD30 5C080/FF11 5C080/JJ02		
优先权	09/920826 2001-08-03 US		
外部链接	Espacenet		

摘要(译)

要解决的问题提供一种使用解码器在显示器中执行和预写随机行(或列)选择的新技术。用于执行随机行选择,预写和双向滚动的行寻址电路连接到寻址总线(18),每个寻址总线连接到解码器使能输入(E2, E4, E6),每个包括多个解码器(12,14,16),用于为像素阵列的行产生行使能信号。来自每个解码器(12,14,16)的每行的行启用信息被同时逻辑组合以创建复合行驱动信息。每个解码器(12,14,16)被连接到相同的地址总线(18),每个解码器启用,因为它是由共同的控制器(20)中制备的信号是有利的。通过使用行使能信号,在与地址总线(18)的寻址信息同步时,相应的行驱动信息,诸如预写或图像信息被提供给每个像素。为了接受相同的图像信息,可以通过启用两行来执行双向滚动。

