

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-157521
(P2004-157521A)

(43) 公開日 平成16年6月3日(2004.6.3)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/36	G09G 3/36	2H092
G02F 1/133	G02F 1/133 520	2H093
G02F 1/1345	G02F 1/133 550	5C006
G09F 9/00	G02F 1/1345	5C080
G09G 3/20	G09F 9/00 348Z	5G435

審査請求 未請求 請求項の数 6 O L (全 7 頁) 最終頁に続く

(21) 出願番号	特願2003-276947 (P2003-276947)	(71) 出願人	303016487 ピオイーハイディス テクノロジー カンパニー リミテッド 大韓民国京畿道利川市夫鉢邑牙美里山136-1
(22) 出願日	平成15年7月18日 (2003.7.18)	(74) 代理人	110000051 特許業務法人共生国際特許事務所
(31) 優先権主張番号	2002-067817	(72) 発明者	鄭 京 薫 大韓民国 京畿道 城南市 盆唐區 二梅洞 二梅村 三聖アパート 1005-2101
(32) 優先日	平成14年11月4日 (2002.11.4)	(72) 発明者	成 樂 鉉 大韓民国 ソウル市 東大門區 徽慶洞 主公アパート 110-1803
(33) 優先権主張国	韓国 (KR)	F ターム (参考)	2H092 GA60 JA24 NA11 PA06 最終頁に続く

(54) 【発明の名称】 チップオンガラス型液晶表示装置

(57) 【要約】

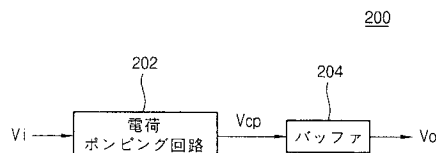
【課題】 チップオンガラス型液晶表示装置が開示される。

TFT-LCD製造において、COG技術を適用して駆動回路に駆動電圧を供給するための配線をパネル上に直接形成する際、駆動電圧のための配線が駆動回路間に直列に連結されても駆動回路を正常作動させることができる駆動電圧を全ての駆動回路に提供されるようにすることを目的とする。

【解決手段】 このような目的の達成のための本発明は、パネル配線における電圧降下を考えて、駆動電圧を上昇させて出力し、(n+1)番目の駆動回路に入力される駆動電圧がn番目の駆動回路に入力される駆動電圧と同じになるようにする。

このため、駆動電圧発生部が駆動ICに備えられるが、駆動電圧発生部は駆動電圧を入力により受け取って、所定電圧まで上昇させる電荷ポンピング回路と、電圧を安定化させるバッファ回路とを含んで成される。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

チップオンガラス型液晶表示装置において、
多数個の画素を備えた液晶パネルと、

前記液晶パネル上に形成された第 1 のパネル配線により相互直列結合されて前記第 1 のパネル配線を通じて駆動電圧を供給され、前記液晶パネルに表示されるデータに対応される階調電圧を発生して前記液晶パネルに提供する複数のソース駆動部と、

前記液晶パネル上に形成された第 2 のパネル配線により相互直列結合されて前記第 2 のパネル配線を通じて駆動電圧を供給され、前記液晶パネルの前記多数個の画素を 1 列ずつ順次スキャンする複数のゲート駆動部を備え、

前記複数のソース駆動部の各々は、先端のソース駆動電圧と後端のソース駆動電圧とが同一であるように入力されるソース駆動電圧を昇圧して出力し、前記複数のゲート駆動部の各々は先端のゲート駆動電圧と後端のゲート駆動電圧とが同一であるように、先端から入力されるゲート駆動電圧を昇圧して出力することを特徴とするチップオンガラス型液晶表示装置。

10

【請求項 2】

前記ゲート駆動部は、前記先端から入力されるゲート駆動電圧を所定レベルまで上昇させる電荷ポンピング回路と、前記電荷ポンピング回路の出力電圧を安定化させるバッファ回路とを備えることを特徴とする請求項 1 記載のチップオンガラス型液晶表示装置。

【請求項 3】

前記ソース駆動部は、前記先端から入力されるソース駆動電圧を所定レベルまで上昇させる電荷ポンピング回路と、前記電荷ポンピング回路の出力電圧を安定化させるバッファ回路とを備えることを特徴とする請求項 1 記載のチップオンガラス型液晶表示装置。

20

【請求項 4】

前記バッファ回路は、直列連結された 2 つの CMOS インバータからなり、前記電荷ポンピング回路の出力電圧が前記バッファ回路の入力電圧と駆動電圧に使用されることを特徴とする請求項 2 または 3 記載のチップオンガラス型液晶表示装置。

【請求項 5】

前記第 1 のパネル配線の抵抗値は、前記バッファ回路の出力電圧と、前記第 1 の配線の長さ、幅及び厚さの工程変数により調節されることを特徴とする請求項 2 記載のチップオンガラス型液晶表示装置。

30

【請求項 6】

前記第 2 のパネル配線の抵抗値は、前記バッファ回路の出力電圧と、前記第 2 の配線の長さ、幅及び厚さの工程変数により調節されることを特徴とする請求項 3 記載のチップオンガラス型液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、特に、駆動回路の相互間の配線が液晶パネル上に直接形成されたチップオンガラス型液晶表示装置に関する。

40

【背景技術】

【0002】

アクティブマトリックス型液晶表示装置は、複数のスキャンラインと複数の信号ラインとの相互交叉点の付近に位置する薄膜トランジスタ (thin film transistors: 以下、“TFT”という) を有し、液晶画素 (liquid crystal pixels) は TFT により駆動される。

スキャンラインはスキャン信号を提供する外部のゲート駆動 IC に連結されており、信号ラインはイメージ信号を提供する外部のソース駆動 IC に連結されている。

スキャン信号によりターンオンされる TFT を通じてソース駆動 IC から入力されたイメージ信号が液晶に提供されると指定されたイメージが表示される。

50

【0003】

スキャンラインがゲート駆動ICに、そして、信号ラインがソース駆動ICに連結される方法には、印刷回路基板を用いるTAB方法と、チップオンガラス(Chip On Glass:以下、“COG”という)方法とがある。

COG方法において、ゲート駆動ICとソース駆動ICはソルダリングまたは金属ペースト(metallic paste)を通じて液晶パネル上に直接付着され、ゲート駆動ICまたはソース駆動IC相互間の配線もやはりパネル上に直接成される。

このようにCOG技術の適用によりパネル上に直接成された配線を通常的に“パネル配線”という。

本明細書においては、以下にゲート駆動IC及びソース駆動ICを通称して“駆動回路”という。そして、駆動回路を駆動させるために、各々の駆動回路に提供される電圧を“駆動電圧”という。 10

【0004】

図1は、駆動回路の相互間のパネル配線により駆動回路102、104、106の各々に駆動電圧が印加されることを説明する図である。

パネル配線は抵抗(R_{n-1})と抵抗(R_n)にモデルリングできる。

図1に示すように駆動回路102、104、106に駆動電圧を供給するためのパネル配線(R_{n-1} 、 R_n)が駆動回路102、104、106間に直列連結される場合、駆動回路102、104、106の内部の抵抗成分とパネル配線(R_{n-1} 、 R_n)の抵抗成分により電圧降下が生じる。 20

このような電圧降下により次の(数式1)のような関係が成り立つ。

【0005】

(数式1)

$$V_o(n-1) > V_i(n) > V_o(n) > V_i(n+1)$$

【0006】

前記(数式1)において、 $V_i(n)$ は駆動回路104に実際に入力される駆動電圧であり、 $V_o(n)$ は次段の駆動のために、駆動回路104から出力される駆動電圧である。

このような理由で、幾つかの駆動回路連結を経ることになると、ある段階の以下の駆動回路において、実際に入力される駆動電圧が駆動回路を作動させることに必要な最小限の電圧(以下、“作動電圧”という)の以下に下がって駆動回路の正常作動ができない場合もある。 30

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明は、このような問題を解決するために提案されたものであって、TFT-LCD製造において、COG技術を適用して駆動回路に駆動電圧を供給するための配線をパネル上に直接形成する際、駆動電圧のための配線が駆動回路間に直列に連結されても駆動回路を正常作動させることができる駆動電圧が全ての駆動回路に提供されるようにすることを目的とする。 40

【0008】

前記の目的の達成のための本発明は、パネル配線における電圧降下を考慮して、駆動電圧を上昇させて出力し、($n+1$)番目の駆動回路に入力される駆動電圧がn番目の駆動回路に入力される駆動電圧と同様になるようにする。

このため、チップオンガラス型液晶表示装置において、

多数個の画素を備えた液晶パネルと

前記液晶パネル上に形成された第1のパネル配線により相互直列結合されて前記第1のパネル配線を通じて駆動電圧を供給され、前記液晶パネルに表示されるデータに対応される階調電圧を発生して前記液晶パネルに提供する複数のソース駆動部と、

前記液晶パネル上に形成された第2のパネル配線により相互直列結合されて前記第2の 50

パネル配線を通じて駆動電圧を供給され、前記液晶パネルの前記多数個の画素を1列ずつ順次スキニングする複数のゲート駆動部を備え、

前記複数のソース駆動部の各々は、先端のソース駆動電圧と後端のソース駆動電圧とが同一であるように入力されるソース駆動電圧を昇圧して出力し、前記複数のゲート駆動部の各々は先端のゲート駆動電圧と後端のゲート駆動電圧とが同一であるように入力されるゲート駆動電圧を昇圧して出力することを特徴とする。

【0009】

望ましくは、前記ゲート駆動部は前記先端から入力されるゲート駆動電圧を所定レベルまで上昇させる電荷ポンピング回路と、前記電荷ポンピング回路の出力電圧を安定化させるバッファ回路を備える。

10

【0010】

望ましくは、前記ソース駆動部は、前記先端から入力されるソース駆動電圧を所定レベルまで上昇させる電荷ポンピング回路と、前記電荷ポンピング回路の出力電圧を安定化させるバッファ回路を備える。

【0011】

望ましくは、前記バッファ回路は、2つのCMOSインバータを直列に連結し、電荷ポンピング回路の出力電圧を入力電圧と駆動電圧に使用する。

また、駆動電圧をその以上に上げて出力した後、パネル配線の抵抗値を工程上で調節してn番目の駆動電圧と(n+1)番目の駆動電圧とが同一であるようにする。

【発明の効果】

20

【0012】

このような本発明の構成によると、電圧降下により後端の駆動回路が作動しない場合が生じない。また、駆動回路の直列連結個数に制限されない長所がある。

【発明を実施するための最良の形態】

【0013】

以下、添付の図面を参照しながら本発明の望ましい実施の形態をより詳細に説明する。

説明の一貫性のため、図面において同一の参照符号は同一または類似な構成要素及び信号を指すものとして使用する。

【0014】

図2は、本発明の一実施の形態による駆動電圧発生部のブロック図である。

30

図2に示すように、電荷ポンピング回路202とバッファ204とからなる駆動電圧発生部200が各々の駆動ICに備えられる。

【0015】

電荷ポンピング回路202は、先端の駆動ICから印加された駆動電圧(V_i)を所定レベルまで上昇させて電圧(V_{cp})を出力する。

電荷ポンピング回路202は既に当業界に広く知られているので、ここで具体的な構成については開示しない。

バッファ回路204は電荷ポンピング回路202から出力された電圧(V_{cp})を安定化させて電圧(V_o)を生成し、これを次段に出力する。

【0016】

40

図3は、図2に図示されたバッファ回路の一例の回路図である。図3に示しているように、バッファ回路204は直列連結された2つのCMOSインバータにより構成できる。

電荷ポンピング回路202は、バッファ回路204の駆動電圧と入力電圧として、上昇電圧(V_{cp})を供給し、バッファ回路204は、電圧(V_{cp})を損失なしに出力するために、CMOS回路により構成される。

【0017】

図4は、本発明によるパネル配線の抵抗値を説明する図である。

図4において、抵抗(R_n)は次の(数式2)のように示している。

【0018】

(数式2)

50

$$R_n = \rho \times L / (W \times t)$$

【0019】

前記の(数式2)において、 ρ は比抵抗で、Lは長さで、Wは幅で、tは厚さである。

前記のようにパネル配線における電圧降下を考えて、予め電圧を上昇させて出力する方法に付け加えて、パネル配線のL、W、tを工程上の方法により調節してパネル配線により降下される電圧を調節することにより、最終的に $V_i(n)$ と $V_i(n+1)$ とが同じくなるようにすることができる。

【0020】

即ち、本発明によると、n番目の駆動ICの内部に前述のような駆動電圧発生部(図2の200)を備えることにより、入力された駆動電圧以上に上昇された電圧を出力した後、パネル配線の抵抗値を工程上で適切に調節することにより、n番目の駆動IC、即ち、先端のゲート及びソース駆動ICに印加されるゲート及びソース駆動電圧と(n+1)番目、即ち、後端のゲート及びソース駆動ICに印加されるゲート及びソース駆動電圧が同じになるようにする。

10

【0021】

ここで、説明した実施の形態等は、当業者が本発明を容易に理解し、実施できるようにするためのものにすぎず、本発明の範囲を限定しようとするものではない。

従って、当業者等は本発明の技術的範囲内で多様な変形または変更が可能である。

【図面の簡単な説明】

【0022】

20

【図1】液晶表示装置における駆動回路の相互間の連結関係を説明する図である。

【図2】本発明の一実施の形態による駆動電圧発生部のブロック図である。

【図3】図2に示しているバッファ回路の一例の回路図である。

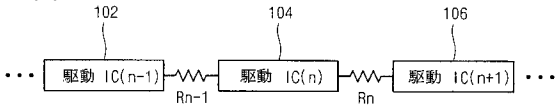
【図4】本発明によるパネル配線の抵抗値を説明する図である。

【符号の説明】

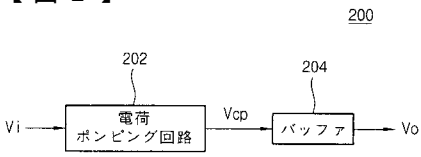
【0023】

102、104、106	駆動回路
202	電荷ポンピング回路
204	バッファ回路

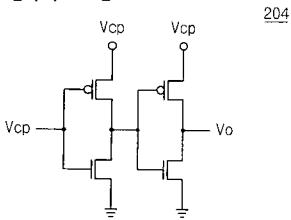
【図 1】



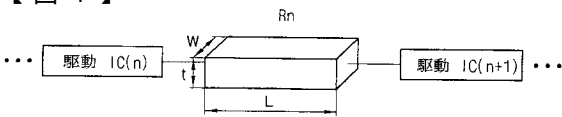
【図 2】



【図 3】



【図 4】



フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G	3/20	6 1 1 J
G 0 9 G	3/20	6 2 1 M
G 0 9 G	3/20	6 2 2 B
G 0 9 G	3/20	6 2 2 G
G 0 9 G	3/20	6 2 3 B
G 0 9 G	3/20	6 2 3 E
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 8 0 G

F ターム(参考) 2H093 NA16 NC02 NC34 ND31 NE07
5C006 AC11 AC24 AF42 AF43 AF51 BB16 BC20 BC22 BC23 BF46
FA26 FA42
5C080 AA10 BB05 DD05 DD23 DD25 EE29 FF11 JJ02 JJ03
5G435 AA00 AA01 AA16 BB12 CC09 EE32 EE37 EE42 HH12

专利名称(译)	芯片在玻璃型液晶显示器件上		
公开(公告)号	JP2004157521A	公开(公告)日	2004-06-03
申请号	JP2003276947	申请日	2003-07-18
[标]申请(专利权)人(译)	Bioi高盘科技有限公司		
申请(专利权)人(译)	Bioi - Heidis科技有限公司		
[标]发明人	鄭京薰 成樂鉉		
发明人	鄭京薰 成樂鉉		
IPC分类号	G02F1/1345 G02F1/133 G09F9/00 G09G3/20 G09G3/36		
CPC分类号	G09G3/3611 G09G3/3648 G09G2320/0223		
FI分类号	G09G3/36 G02F1/133.520 G02F1/133.550 G02F1/1345 G09F9/00.348.Z G09G3/20.611.J G09G3/20.621.M G09G3/20.622.B G09G3/20.622.G G09G3/20.623.B G09G3/20.623.E G09G3/20.623.R G09G3/20.624.B G09G3/20.680.G		
F-TERM分类号	2H092/GA60 2H092/JA24 2H092/NA11 2H092/PA06 2H093/NA16 2H093/NC02 2H093/NC34 2H093/ND31 2H093/NE07 5C006/AC11 5C006/AC24 5C006/AF42 5C006/AF43 5C006/AF51 5C006/BB16 5C006/BC20 5C006/BC22 5C006/BC23 5C006/BF46 5C006/FA26 5C006/FA42 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD23 5C080/DD25 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5G435/AA00 5G435/AA01 5G435/AA16 5G435/BB12 5G435/CC09 5G435/EE32 5G435/EE37 5G435/EE42 5G435/HH12 2H193/ZA04 2H193/ZF02		
优先权	1020020067817 2002-11-04 KR		
其他公开文献	JP4564730B2		
外部链接	Espacenet		

摘要(译)

公开了一种玻璃上芯片型液晶显示装置。在TFT-LCD制造中，当通过应用COG技术将用于向驱动电路提供驱动电压的布线直接形成在面板上时，即使用于驱动电压的布线串联在驱动电路之间。本发明的一个目的是向所有驱动电路提供一种可以正常操作电路的驱动电压。根据用于实现这种目的的本发明，考虑到面板配线中的电压降，通过输出驱动电压来增加输入到第(n+1)个驱动电路的驱动电压。与输入到第n个驱动电路的驱动电压相同。因此，在驱动IC中设置有驱动电压生成部，但是该驱动电压生成部具备：将驱动电压作为输入而将其升压至规定电压的电荷泵浦电路；以及使该电压稳定的缓冲电路。有待完成。[选择图]图

