

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-13003

(P2004-13003A)

(43) 公開日 平成16年1月15日(2004.1.15)

(51) Int.Cl.⁷

G02F 1/1368

H01L 29/786

F I

G02F 1/1368

H01L 29/78 612A

H01L 29/78 612C

テーマコード (参考)

2H092

5F110

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願2002-168956 (P2002-168956)

(22) 出願日 平成14年6月10日 (2002.6.10)

(71) 出願人 595059056

株式会社アドバンスト・ディスプレイ

熊本県菊池郡西合志町御代志997番地

(74) 代理人 100073759

弁理士 大岩 増雄

(72) 発明者 中堀 正樹

熊本県菊池郡西合志町御代志997番地

株式会社アドバンスト・ディスプレイ内

(72) 発明者 大谷 誠

熊本県菊池郡西合志町御代志997番地

株式会社アドバンスト・ディスプレイ内

Fターム(参考) 2H092 JA24 JA34 JA37 JA41 JB23

JB31 JB56 MA02 MA12 NA15

NA29

最終頁に続く

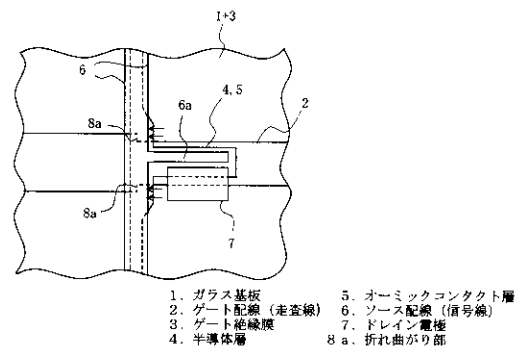
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】スイッチング素子としてのTFTがマトリクス状に配列形成されたTFTアレイ基板において、配線（走査線と信号線）が絶縁膜等を介して交差する領域における下層配線（走査線）による段差に起因する上層配線（信号線）の断線を防止して、信頼性の高い液晶表示装置を高歩留まりで得る。

【解決手段】走査線（ゲート配線）2と信号線（ソース配線）6が交差する領域において、走査線（ゲート配線）2はパターンの両側に少なくとも一回以上の折れ曲がり部8aを有したパターンとする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

透明絶縁性基板上に形成された複数本の走査線と、この走査線と絶縁層を介して交差する方向に形成された複数本の信号線と、上記走査線および上記信号線から信号が供給されて表示電極に電圧を印加するスイッチング素子を有する液晶表示装置において、上記走査線は、上記信号線と交差する領域で、パターンの両側に少なくとも一回以上折れ曲がり部を有した構造であることを特徴とする液晶表示装置。

【請求項 2】

上記走査線は、上記信号線と交差する領域で、パターンの両側に凹形状部を有した構造であることを特徴とする請求項 1 記載の液晶表示装置。

10

【請求項 3】

上記走査線は、上記信号線と交差する領域で、パターンの両側に凸形状部を有した構造であることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 4】

上記凹形状部および上記凸形状部の形状は、矩形状もしくは V 字形状であることを特徴とする請求項 2 もしくは請求項 3 記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、薄膜トランジスタ（以下、TFTと称する）をスイッチング素子として搭載したアクティブマトリクス型液晶表示装置に関するものである。

20

【0002】

【従来の技術】

ガラス基板などの透明絶縁性基板上にスイッチング素子として TFT をマトリクス状に配設した TFT アレイ基板と、対向電極を有するカラーフィルタ基板との間に液晶を挟持してなるアクティブマトリクス液晶表示装置は、画像表示装置の平面化への期待と共に、フラットディスプレイとして商品化も進められ、ノート型のパーソナルコンピュータをはじめ OA モニター用として大きな市場を開拓中である。

アクティブマトリクス型液晶表示装置にスイッチング素子として搭載される TFT は、比較的低温で大面積に堆積が可能な非晶質シリコンを半導体層として用いる場合が多い。

30

【0003】

従来の TFT アレイ基板の製造方法の一例を図を用いて説明する。

図 6 は従来の TFT アレイ基板の要部断面を示す図で、1 はガラス基板、2 はゲート配線（ゲート電極部分を含む）、3 はゲート絶縁膜、4 は半導体層、5 はオーミックコンタクト層、6 はソース配線（ソース電極部分を含む）、7 はドレイン電極、9 はパッシベーション膜、10 は画素電極、11 はコンタクトホールをそれぞれ示している。

【0004】

まず、ガラス基板 1 上に Cr や Mo 等からなる第一の導電性薄膜を成膜した後、第一の写真製版工程で第一の導電性薄膜をパターンニングしてゲート配線 2 および保持容量電極（図示せず）を形成する。

40

次に、ゲート絶縁膜 3、a-Si:H（水素原子が添加されたアモルファスシリコン）膜、 n^+ -a-Si:H 膜をプラズマ CVD 法により連続して積層した後、第二の写真製版工程で a-Si:H 膜および n^+ -a-Si:H 膜をパターンニングしてゲート配線 2（ゲート電極部分）の上方に半導体層 4 およびオーミックコンタクト層 5 を形成する。

【0005】

次に、Cr や Mo 等からなる第二の導電性薄膜を成膜した後、第三の写真製版工程で第二の導電性薄膜をパターンニングしてソース配線 6 およびドレイン電極 7 を形成する。次に、形成したソース配線 6 およびドレイン電極 7 をマスクとしてチャンネル領域のオーミックコンタクト層 5 をエッチングして TFT を形成する。

次に、プラズマ CVD 法等によりパッシベーション膜 9 を積層した後、第四の写真製版工

50

程でパッシベーション膜 9 にコンタクトホール 11 を形成する。

最後に、ITO 等からなる第三の導電性薄膜を成膜した後、第五の写真製版工程で第三の導電性薄膜をパターンニングして画素電極 10 を形成する。このとき、画素電極 10 はコンタクトホール 11 を介してドレイン電極 7 電氣的に接続されている。以上の工程により、TFT アレイ基板が形成される。

【0006】

【発明が解決しようとする課題】

従来の TFT アレイ基板は上述した工程を経て形成されており、第二の導電性薄膜をスパッタ法等により成膜した後、第三の写真製版工程でレジストパターンを形成し、ウェットエッチング法により第二の導電性薄膜をエッチングしてソース配線 6 およびドレイン電極 7 を形成する工程において、図 7 (b) に示すように、ゲート配線 2 とソース配線 6 が交差する領域では、ゲート配線 2 の端面の形状に依存してゲート配線 2 による段差部がひさし形状となっており、ひさし形状の段差上に成膜される第二の導電性薄膜 (ソース配線 6) は、段差部での追従性が悪く下層との密着が不十分で隙間 12 等が生じる場合があり、第二の導電性薄膜をエッチングするエッチャントは図 7 (a) 中矢印方向に侵食するため、第二の導電性薄膜 (ソース配線 6) の下層との密着が不十分な部分 (隙間 12 等) では、第二の導電性薄膜下にエッチャントが染み込んでソース配線 6 に断線を生じさせ、表示不良の原因となるなどの問題があった。

なお、図 7 において、(a) は平面図、(b) は (a) の B - B 線に沿った断面図である。

【0007】

この発明は、上記のような問題点を解消するためになされたもので、配線が絶縁膜等を介して交差する領域において、上層の配線 (ソース配線) に断線等の欠陥が発生するのを防止して信頼性の高い液晶表示装置を高歩留まりで得ることを目的とする。

【0008】

【課題を解決するための手段】

この発明に係わる液晶表示装置は、透明絶縁性基板上に形成された複数本の走査線と、この走査線と絶縁層を介して交差する方向に形成された複数本の信号線と、走査線および信号線から信号が供給されて表示電極に電圧を印加するスイッチング素子を有する液晶表示装置において、走査線は、信号線と交差する領域で、パターンの両側に少なくとも一回以上折れ曲がり部を有した構造である。

また、走査線は、信号線と交差する領域で、パターンの両側に凹形状部を有した構造である。

また、走査線は、信号線と交差する領域で、パターンの両側に凸形状部を有した構造である。

また、凹形状部および凸形状部の形状は、矩形状もしくは V 字形状である。

【0009】

【発明の実施の形態】

実施の形態 1 .

以下、この発明の一実施の形態である液晶表示装置を図について説明する。図 1 はこの発明の実施の形態 1 による液晶表示装置を構成する TFT アレイ基板の製造工程途中における要部を模式的に示す平面図である。

図において、1 はガラス基板、2 は走査線 (ゲート配線で、ゲート電極部分を含む)、3 はゲート絶縁膜、4 は半導体層、5 はオーミックコンタクト層、6 は信号線 (ソース配線)、6 a はソース電極、7 はドレイン電極、8 a はゲート配線 2 とソース配線 6 が交差する領域において、ゲート配線 2 のパターンの両側に設けられた折れ曲がり部をそれぞれ示している。

【0010】

次に、本実施の形態による液晶表示装置の TFT アレイ基板の製造工程について説明する。

10

20

30

40

50

まず、ガラス基板 1 上に Cr や Mo 等からなる第一の導電性薄膜を成膜した後、第一の写真製版工程で第一の導電性薄膜をパターニングしてゲート配線 2 および保持容量電極（図示せず）を形成する。このとき、ゲート配線 2 は、後に形成するソース配線 6 と交差する領域において、パターンの両側に少なくとも一回以上の折れ曲がり部 8 a を有している。なお、複数回の折れ曲がり部を設けた場合は、階段状となる。

【0011】

次に、ゲート絶縁膜 3、a-Si:H（水素原子が添加されたアモルファスシリコン）膜、 n^+ -a-Si:H 膜をプラズマ CVD 法により連続して積層した後、第二の写真製版工程で a-Si:H 膜および n^+ -a-Si:H 膜をパターニングしてゲート電極 2（ゲート電極部分）の上方に半導体層 4 およびオーミックコンタクト層 5 を形成する。

10

次に、Cr や Mo 等からなる第二の導電性薄膜を成膜した後、第三の写真製版工程で第二の導電性薄膜をパターニングしてソース配線 6、ソース電極 6 a およびドレイン電極 7 を形成する（図 1）。

【0012】

次に、形成したソース電極 6 a およびドレイン電極 7 をマスクとしてチャネル領域のオーミックコンタクト層 5 をエッチングして TFT を形成する。

次に、プラズマ CVD 法等によりパッシベーション膜を積層した後、第四の写真製版工程でパッシベーション膜にコンタクトホールを形成する

最後に、ITO 等からなる第三の導電性薄膜を成膜した後、第五の写真製版工程で第三の導電性薄膜をパターニングして画素電極を形成する。このとき、画素電極はコンタクトホールを介してドレイン電極 7 と電氣的に接続されている。以上の工程により、TFT アレイ基板が形成される。

20

【0013】

本実施の形態によれば、第二の導電性薄膜を成膜した後、第三の写真製版工程でレジストパターンを形成し、ウェットエッチング法により第二の導電性薄膜をエッチングしてソース配線 6、ソース電極 6 a およびドレイン電極 7 を形成する際に、ゲート配線 2 とソース配線 6 が交差する領域において、ゲート配線 2 の段差部の形状に依存して、段差部での第二の導電性薄膜の追従性および下層との密着が十分でなかった場合においても、第二の導電性薄膜をエッチングするエッチャントは図 1 中矢印で示した方向に侵食するが、ゲート配線 2 に設けた折れ曲がり部 8 a により第二の導電性薄膜下へのエッチャントの染み込みが

30

【0014】

実施の形態 2 .

実施の形態 1 では、ゲート配線 2 とソース配線 6 が交差する領域において、図 1 に示すようにゲート配線 2 のパターン両側に折れ曲がり部 8 a を設けたが、図 2 もしくは図 3 に示すように、ゲート配線 2 とソース配線 6 が交差する領域のゲート配線 2 のパターン両側に凹形状部 8 b、8 c を設けてもよい。

図 2 においては矩形状の凹部 8 b、図 3 においては V 字形状の凹部 8 c を設けた図を示しているが、凹形状部の形状は矩形状や V 字形状に限定されるものではない。

40

なお、その他の構成および製造方法は実施の形態 1 と同様であるので説明を省略する。

【0015】

本実施の形態によれば、実施の形態 1 と同様の効果が得られると共に、実施の形態 1 に比べてゲート配線 2 幅の変化量が小さいため、他の電極や配線との容量への影響を小さくすることができる。

【0016】

実施の形態 3 .

実施の形態 2 では、ゲート配線 2 とソース配線 6 が交差する領域において、図 2 もしくは図 3 に示すように、ゲート配線 2 のパターン両側に凹形状部 8 b、8 c を設けたが、図 4 もしくは図 5 に示すように、ゲート配線 2 とソース配線 6 が交差する領域のゲート配線 2

50

のパターン両側に凸形状部 8 d、8 e を設けてもよい。

図 4 においては矩形状の凸部 8 d、図 5 においては V 字形状の凸部 8 e を設けた図を示しているが、凸形状部の形状は矩形状や V 字形状に限定されるものではない。

なお、その他の構成および製造方法は実施の形態 1 と同様であるので説明を省略する。

【0017】

本実施の形態によれば、実施の形態 2 と同様の効果が得られると共に、実施の形態 2 に比べてゲート配線 2 の配線抵抗を小さくすることができる。

【0018】

なお、上記実施の形態 1、2 および 3 において、折れ曲がり部 8 a や凸形状部の突出長さはパターンの片側で最大ゲート配線幅と同程度、凹形状部の凹み長さはパターンの片側で最大ゲート配線幅の 1/3 とする。また、凹部および凸部の幅は交差するソース配線幅の最大 1/2 とする。

10

【0019】

【発明の効果】

以上のように、この発明によれば、液晶表示装置を構成するスイッチング素子としての TFT がマトリクス状に配列形成されてなる TFT アレイ基板において、行列状に配設された走査線（ゲート配線）と信号線（ソース配線）が交差する領域における走査線のパターン両側に、少なくとも一回以上の折れ曲がり部を設けることにより、走査線による段差に起因する信号線の断線を防止して信頼性の高い液晶表示装置を高歩留まりで得ることができる。

20

【0020】

また、走査線と信号線が交差する領域において、走査線のパターン両側に凹形状部を設けることにより、走査線幅を大きく変化させることなく走査線による段差に起因する信号線の断線を防止することができるので、他の電極や配線との容量への影響を小さくすることができる。

【0021】

また、走査線と信号線が交差する領域において、走査線のパターン両側に凸形状部を設けることにより、凹形状部を設ける場合と比べて走査線の配線抵抗を小さくすることができる。

【0022】

また、走査線に設ける凹形状部や凸形状部の形状は、矩形状、V 字形状等容易に形成が可能な形状で上記効果を得ることができる。

30

【図面の簡単な説明】

【図 1】この発明の実施の形態 1 による液晶表示装置を構成する TFT アレイ基板の製造工程途中における要部を模式的に示す平面図である。

【図 2】この発明の実施の形態 2 による液晶表示装置を構成する TFT アレイ基板の製造工程途中における要部を模式的に示す平面図である。

【図 3】この発明の実施の形態 2 による他の液晶表示装置を構成する TFT アレイ基板の製造工程途中における要部を模式的に示す平面図である。

【図 4】この発明の実施の形態 3 による液晶表示装置を構成する TFT アレイ基板の製造工程途中における要部を模式的に示す平面図である。

40

【図 5】この発明の実施の形態 3 による他の液晶表示装置を構成する TFT アレイ基板の製造工程途中における要部を模式的に示す平面図である。

【図 6】従来のこの種液晶表示装置を構成する TFT アレイ基板の要部断面を示す図である。

【図 7】従来の液晶表示装置を構成する TFT アレイ基板における問題点を説明するための図である。

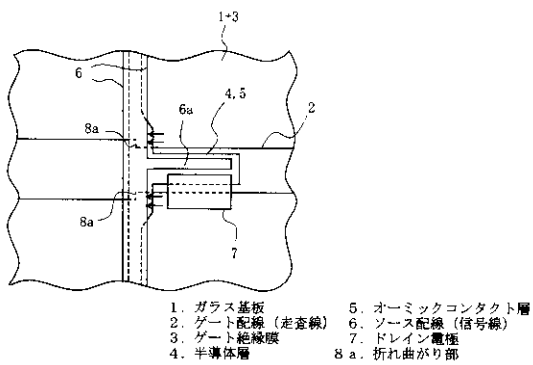
【符号の説明】

- 1 ガラス基板、2 走査線（ゲート配線）、3 ゲート絶縁膜、
- 4 半導体層、5 オーミックコンタクト層、6 信号線（ソース配線）、

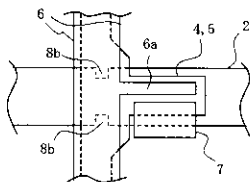
50

- 6 a ソース電極、7 ドレイン電極、8 a 折れ曲がり部、
 8 b 矩形状の凹部、8 c V字形状の凹部、
 8 d 矩形状の凸部、8 e V字形状の凸部。

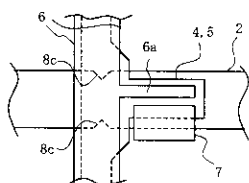
【図 1】



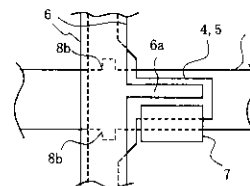
【図 2】



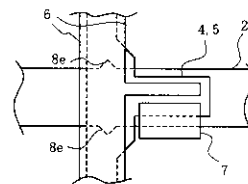
【図 3】



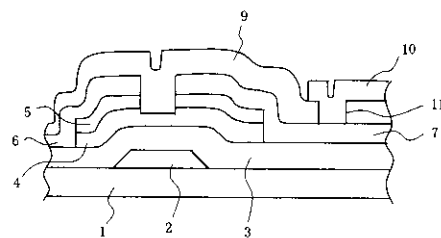
【図 4】



【図 5】

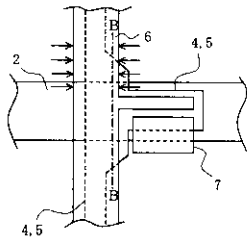


【図 6】

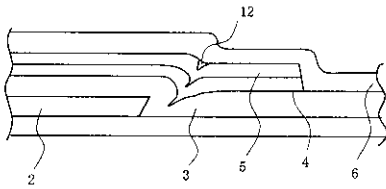


【 図 7 】

(a)



(b)



フロントページの続き

F ターム(参考) 5F110 AA26 BB01 CC07 DD02 EE04 EE37 GG02 GG15 HK04 HK09
HK16 HK21 HL07 HM20 NN02 NN35 NN72 QQ09

专利名称(译)	液晶表示装置		
公开(公告)号	JP2004013003A	公开(公告)日	2004-01-15
申请号	JP2002168956	申请日	2002-06-10
申请(专利权)人(译)	有限公司高级显示		
[标]发明人	中堀正樹 大谷誠		
发明人	中堀 正樹 大谷 誠		
IPC分类号	G02F1/1368 G02F1/1362 H01L29/786		
CPC分类号	G02F1/136286 G02F1/1368 E03B11/00 E03B11/14 E04H7/18		
FI分类号	G02F1/1368 H01L29/78.612.A H01L29/78.612.C		
F-TERM分类号	2H092/JA24 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JB23 2H092/JB31 2H092/JB56 2H092/MA02 2H092/MA12 2H092/NA15 2H092/NA29 5F110/AA26 5F110/BB01 5F110/CC07 5F110/DD02 5F110/EE04 5F110/EE37 5F110/GG02 5F110/GG15 5F110/HK04 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HL07 5F110/HM20 5F110/NN02 5F110/NN35 5F110/NN72 5F110/QQ09 2H192/AA24 2H192/CB05 2H192/CB46 2H192/CC04 2H192/CC17 2H192/GA41		
外部链接	Espacenet		

摘要(译)

解决的问题：在TFT阵列基板中以布线（扫描线和信号线）与绝缘膜等相交的区域中的下层布线（扫描线）与绝缘膜等相交的区域中引起台阶，该TFT阵列基板中以TFT作为开关元件的矩阵状布置。可以防止上层布线（信号线）的断开，并且可以以高成品率获得高度可靠的液晶显示装置。解决方案：在扫描线（栅极布线）2和信号线（源极布线）6相交的区域中，扫描线（栅极布线）2的图案在其图案的两侧至少具有一次弯曲部分8a。要做。[选型图]图1

