

(19)日本国特許庁（ J P ）

(12) 公表特許公報（ A ）

(11)特許出願公表番号

特表2003 - 528341

(P2003 - 528341A)

(43)公表日 平成15年9月24日(2003.9.24)

(51) Int. Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	550	G 0 2 F 1/133	550 5 C 0 0 6
G 0 9 G 3/20	611	G 0 9 G 3/20	611 J 5 C 0 8 0
	622		622 G
	642		642 P
審査請求 未請求 予備審査請求 (全 15数)			

(21)出願番号 特願2001 - 564141(P2001 - 564141)

(86)(22)出願日 平成13年2月23日(2001.2.23)

(85)翻訳文提出日 平成14年8月23日(2002.8.23)

(86)国際出願番号 PCT/FR01/00539

(87)国際公開番号 W001/065532

(87)国際公開日 平成13年9月7日(2001.9.7)

(31)優先権主張番号 00/02410

(32)優先日 平成12年2月25日(2000.2.25)

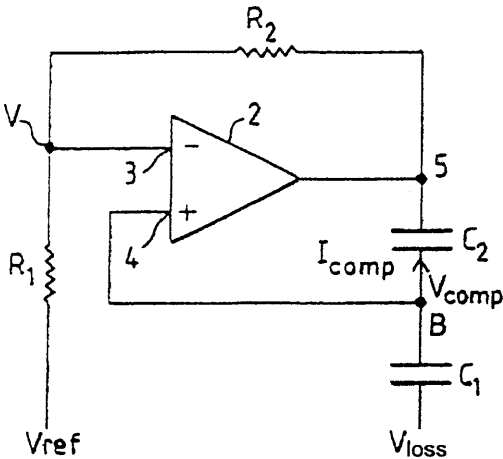
(33)優先権主張国 フランス(FR)

(71)出願人 タレス アヴィオニクス エルセーデー
ソシエテ アノニム
THALES AVIONICS LC
D S . A .
フランス国, 75008 パリ, ブールバール
オースマン, 173番地
(72)発明者 ベイヨ, ジャン - マルク
フランス国 38500 ラ ビュイス, レ
ジャルダン ドゥ ラ ビュイス 253
(72)発明者 ルブラン, ユーグ
フランス国 38500 クブルヴィ, アンパ
ス プレヴェール 100
(74)代理人 弁理士 園田 吉隆 (外 1 名)
最終頁に続く

(54)【発明の名称】 外乱を受けた容量性回路に対する補償方法とマトリクス型ディスプレイ画面への適用

(57)【要約】

本発明は特定電位を有する少なくとも1つの第1導体 (1 j)、容量結合によって前記第1導体上に外乱を発生させる少なくとも1つの第2導体 (c i) 及び第1導体に容量結合される基準電圧を有する第1バス (C E) を具備する回路に対する補償方法に関係する。前記方法は、第2導体に電圧を印加する際に第1バス (C E) に流れる電流を測定する過程と、第1導体に印加されるべき補償電圧を獲得するように測定電流を積分する過程とを具備する。本発明は A M - L C D 型の液晶ディスプレイ画面に適用することができる。



【特許請求の範囲】

【請求項 1】 横列 l_j (j は 1 から m まで可変) と縦列 c_i (i は 1 から n まで可変) のマトリクス状に配置された複数の電極を具備し、前記電極は画素又はピクセルに接続され、結合コンデンサは各横列 / 縦列と関連しており、基準電圧を有する導体面は画素と共に容量性の構成要素を形成し、一連の縦列、横列制御回路及び縦列制御回路と共に予めゼロではない容量を有し、少なくとも 1 つの補償導体バスは一連の横列と交差するディスプレイ画面の容量性外乱(disturbance)を補償する方法であって、

少なくとも 1 つの縦列 (C_1) に電圧を印加する際に導体面に流れる電流を測定する過程と、

横列に容量結合された補償導体バス (e) を経由して少なくとも 1 つの横列に印加されるべき補償電圧を獲得するように測定電流を積分する過程と、を特徴とする方法。

【請求項 2】 電流測定が導体面と直列の第 1 インピーダンス (R_m) により行われることを特徴とする請求項 1 で請求された方法。

【請求項 3】 電流の積分が第 1 インピーダンス (R_m) と並列に配列された積分回路 (IC_1 、 C_{int} 、 R) によって行われることを特徴とする請求項 1 及び 2 で請求された方法。

【請求項 4】 積分回路が演算増幅器の出力端子と一方の入力端子との間に配列されたコンデンサ (C_{int}) と演算増幅器 (IC_1) とによって構成されることを特徴とする請求項 3 で請求された方法。

【請求項 5】 積分回路がコンデンサ (C_{int}) と抵抗 (R) が並列に形成されたフィルタと演算増幅器 (IC_1) とによって構成され、前記フィルタが演算増幅器の入力端子と出力端子との間に配列されることを特徴とする請求項 3 で請求された方法。

【請求項 6】 第 2 インピーダンス (R_{int}) が演算増幅器の前記入力端子と第 1 インピーダンスの一方の端子との間に直列に配列されることを特徴とする請求項 4 及び 5 で請求された方法。

【請求項 7】 第 3 インピーダンス (R') が演算増幅器のもう一方の入力

端子と第1インピーダンスのもう一方の端子との間に直列に配列されることを特徴とする請求項4ないし6で請求された方法。

【請求項8】 横列 l_j (j は1から m まで可変)と縦列 c_i (i は1から n まで可変)のマトリクス状に配列された複数の電極を具備し、

電極は画素又はピクセルに接続され、結合コンデンサは各横列/縦列と関連しており、基準電圧を有する導体面は画素と共に容量性の構成要素を形成し、一連の縦列、横列制御回路及び縦列制御回路と共に予めゼロではない容量を有し、少なくとも1つの補償導体バスは一連の横列と交差するディスプレイ画面であって、

導体面及び導体バスは請求項1ないし7のいずれか1つに記載の方法を実施して横列/縦列の容量結合により生じる外乱を補償する回路に接続されることを特徴とするディスプレイ画面。

【請求項9】 アクティブマトリクス型液晶画面又はLCOS画面から構成されることを特徴とする請求項7で請求されたディスプレイ画面。

【請求項10】 基準電圧を有する導体面が対極によって構成されることを特徴とする請求項8及び9で請求されたディスプレイ画面。

【発明の詳細な説明】**【0001】**

本発明は外乱を受けた(disturbed)容量性回路に対する補償方法の改良に関する。さらに詳細にはマトリクス型ディスプレイ画面の容量性の外乱を補償する方法に関する。

【0002】

本発明はこの方法のマトリクス型ディスプレイ画面、更に詳細には、アクティブマトリクス型のディスプレイ画面への適用に関する。したがって、縦列及び横列に配列された複数の電極により制御されるディスプレイ画面の電位差を補償する装置に関する。さらに詳細には、アクティブマトリクス型液晶画面と関連しているが、LCOS画面又は同じ原理で動作する画面といった同タイプの画面が使用されてもよい。

【0003】

説明を容易にするために、アクティブマトリクス型LCD又は液晶画面型のディスプレイ画面を参照しながら本発明を説明する。しかし、補償を要する外乱を受けた容量性システムのいずれにも適用することができ、特定の測定線を追加せずに、アクティブマトリクス型LCD画面の対極といった容量性システムに既に組み込まれている導体面を利用して補償を実施することができる。

【0004】

アクティブマトリクス型液晶画面タイプのディスプレイ画面の場合、前記画面は互いに直交配列された一連の平行な横列及び縦列から構成され、前記列はTFTトランジスタといったスイッチング手段により画素又はピクセルと結合される。このタイプの画面は連続操作をすることができ、データが縦列に表示されている間に横列が順次駆動される、あるいは、その逆の動作が行われる。横列ごとに連続的な操作が行われる場合、横列の制御回路は選定した横列に第1選択電圧を印加し、その他の横列においては基準電圧に保たれる。横列制御にかかる所要時間の一部で、表示されるべきデータに応じた電位が縦列制御回路によって全縦列に印加される。したがって、全縦列の制御回路の状態は同時に変化する。こういった同時に起こる状態変化によって、制御インピーダンスと負荷インピーダンス

間の差が大きいほど、横列と縦列の間に生じる結合容量が大きくなる。補償されない場合には対照的に、column-row-column又はC R C結合と呼ばれるこの結合は、ある縦列から画面の別の縦列に変動が生じる原因となる。

【0005】

このように、様々な解決法が、横列又は縦列の制御装置を使用してマトリクス画面の横列と縦列の間に存在する結合容量、更に詳細には高出力インピーダンス又は中出力インピーダンスを示す結合容量を補償するために提案された。このタイプの補償回路は、例えば、THOMSON - LCDにより1994年5月17日に出願され、第2720185号で公開された仏国特許出願第9405987号に記載されている。この事例では、コンデンサにより画面の各横列に容量結合された追加電極が補償のために使用され、交差する画面の縦列にも容量結合された追加線が、導くべき補償レベルを検出するために使用される。この事例では、容量結合により生じる不均衡を測定し、この不均衡の補償を実行するために2つの電極が要求される。

【0006】

この欠点を補うために、THOMSON - LCDにより1997年6月5日に出願され、第2764424号に公開された仏国特許出願第9706940号では、不均衡測定及びこの不均衡測定補償を行うために単一の追加電極又はバスを使用することを提案した。この事例では、制御モードの間に横列／縦列の結合容量により生じる不均衡を補償する回路を使用し、前記回路の入力と出力を前記追加バスに結合する。図1に示されたように、使用される補償回路は演算増幅器2で構成され、前記増幅器2の一方の入力部である負入力3は、図示された実施形態においてインピーダンスの抵抗R1を経由して基準電圧 V_{ref} に接続される。この入力3は第2インピーダンスの抵抗R2を経由して演算増幅器の出力5にも接続される。さらに、第2入力部の正入力4は追加補償バスの接続点Bに接続され、第1コンデンサC2を介して演算増幅器の出力5にも接続される。他方、前記接続点Bは補償用コンデンサC1を介して補償バスに接続され、前記C1の値は、追加バスをマトリクス配列の各横列に接続しているコンデンサの合計値に等しい。上記の構成に伴うロス V_{loss} を検出するために、横列は縦列による

容量性の外乱を受けると、演算増幅器 2 の出力 5 は横列電圧を基準電圧値に下方修正され、それにより前記追加バスに付随する不均衡を補償することができる。

【0007】

上述の回路は負インピーダンス補償器である。前記回路は補償用コンデンサ C1 のどの電流もこの同じコンデンサの逆電圧の変化量に変換する。このタイプの回路は横列制御回路の漏れ電流、及び他の画面制御信号の印加の際に補償バスのコンデンサから発生する電流の影響を非常に受けやすい。したがって、上述の回路は、補償電圧が大きくなりすぎると発振し始める。

【0008】

本発明の目的は容量性の外乱を受けた回路に対する新しい補償方法と前記方法を実施する新しい回路を提案することにより上述の欠点を改善することである。

【0009】

このように、本発明の趣旨は、横列 $1j$ (j は 1 から m まで可変) 及び縦列 ci (i は 1 から n まで可変) のマトリクス状に配置された複数の電極を具備するディスプレイ画面における容量性外乱を補償する方法であり、前記電極は画素又はピクセルに接続され、結合コンデンサは横列 / 縦列と関連しており、基準電圧を有する導体面は画素と共に容量性の構成要素を形成し、一連の縦列、横列制御回路及び縦列制御回路と共に予めゼロでない容量を有し、少なくとも 1 つの補償導体バスは一連の横列に交差し、前記方法は、

少なくとも 1 つの縦列に電圧を印加する際に導体面に流れる電流を測定する過程と、

横列に容量結合された補償導体バスを経由して少なくとも 1 つの横列に印加されるべき補償電圧を獲得するように測定電流を積分する過程を特徴とする。

【0010】

好ましい実施形態によれば、電流測定は導体面と直列の第 1 インピーダンスにより実施され、電流の積分は第 1 インピーダンスと並列に配列された積分回路により行われる。好ましくは、積分回路は、演算増幅器の出力端子と一方の入力端子との間に配列されたコンデンサで構成された負帰還回路及び演算増幅器により構成される。変形例によれば、負帰還回路はコンデンサと並列インピーダンスで

構成することができ、それにより、高周波数時の積分器の利得が制限される。

【0011】

別の特徴によれば、第2インピーダンスは演算増幅器の前記入力端子と第1インピーダンスの端子との間に直列に配列され、この第2インピーダンスは可変であってもよい。第3インピーダンスは第1インピーダンスのもう一方の端子と演算増幅器の第2入力端子との間に接続することができる。この第3インピーダンスも可変にすることができる。

【0012】

本発明は横列 L_j (j は1から m まで可変) 及び縦列 C_i (i は1から n まで可変) にマトリクス状に配置された複数の電極を具備するディスプレイ画面に係るものである。前記電極は画素又はピクセルに接続され、結合コンデンサは各横列/縦列と関連しており、基準電圧を有する導体面は画素と共に容量性の構成要素を形成し、一連の縦列、横列制御回路及び縦列制御回路と共に予めゼロでない容量を有し、少なくとも1つの補償導体バスは一連の横列に交差し、導体面及び導体バスは横列/縦列の容量結合により生じる外乱を補償する回路に接続されて上述の方法を実施する。

【0013】

好ましくは、ディスプレイ画面はアクティブマトリクス型液晶画面又は LCOS 画面又は他の類似タイプのディスプレイ画面である。さらに、基準電圧を有する導体面はディスプレイ画面の対極により構成される。

【0014】

本発明の他の特徴及び長所は、好ましい実施形態の説明を熟読して明らかとなる。この説明は別途添付図を参照して行う。

【0015】

図2を参照して、マトリクス配列ディスプレイ画面、更に詳細には、本発明を実施可能な補償バスを装備した液晶画面を説明する。このディスプレイ画面は直交配列されたマトリクス配列の横列 l_j (j は1から m まで可変) と縦列 c_i (i は1から m まで可変) から構成される。各横列及び各縦列の交差部には制御トランジスタ T があり、該制御トランジスタ T は、一般的には薄膜トランジスタ又

はコンデンサ C で記号表記されたピクセルを制御する TFT である。液晶ディスプレイ画面の場合、コンデンサ C の一方の電極はピクセル電極から構成されており、他方の電極は全ピクセルに共通の対極 CE から構成されている。公知の方法で、横列が横列制御回路に接続され（図示されていない）、縦列が縦列制御回路に接続されている（図示されていない）。序文で説明したように、横列制御回路の出力が低インピーダンスでないと、横列と縦列の間に容量 C_{ij} に相当する無視できない結合容量が存在する。したがって、この欠点を改善するために、図 2 に示したように、少なくとも 1 つの追加バス又は補償バス e が提供される。この補償バス e は縦列 c_i と平行に配設され、記号表記 C_{comp} の容量によって画面の各横列 l_j に容量結合される。

【0016】

上述の回路において、液晶コンデンサ用の基準電極を構成する対極をディスプレイ画面の電圧基準とみなすことができる。ここで、各縦列は対極と共にゼロでない容量を有し、前記縦列は各切り換えによってこのコンデンサを充電又は放電する。本発明に従って、縦列電圧の変化量は電圧基準面である対極の電流測定から推測することができる。特に、縦列レベルでの電圧切り換えにより対極に電流が流入し、対極で測定された電流の積分値は、切り換える際の縦列電圧の変化量に比例している。よって、この値は横列 / 縦列の結合により生じる外乱又は CRC の外乱を補償するために使用することができる。

【0017】

図 3 を参照して、本発明に従って補償を実施することができる第 1 回路を説明する。この回路は、基本的に、LCD 画面の縦列に電圧を印加する際に対極を循環して流れる電流を測定する手段と、補償バスを経由して横列に印加されるべき補償電圧を獲得するように測定電流を積分することができる手段とを具備する。前記電流を測定する手段はアクティブマトリクス型液晶画面の対極と直列に配列されたインピーダンスの抵抗 R_m から構成される。この抵抗 R_m は対極信号を制御する回路に端子 A のレベルで接続され、それにより、基準電圧を対極に印加することができる。前記積分回路は公知の方法で演算増幅器 IC1 から構成され、前記演算増幅器の出力部はコンデンサ C_{int} を経由して一方の入力部である前

記増幅器 IC1 の - 入力部に接続される。同時に、抵抗 R_{int} が演算増幅器 IC1 の - 入力部と直列に配列される。対極に流れる電流を測定するための抵抗 R_m は増幅器 IC1 の + 端子と増幅器 IC1 の - 入力部に接続されていない側の抵抗 R_{int} 端子との間に配列される。よって、抵抗 R_m は対極信号を制御する回路と液晶画面の対極との間に直列に配列される。上述の回路において、抵抗 R_m 端子の電位差は対極を流れる電流に比例している。この電流は演算増幅器 IC1 とコンデンサ C_{int} により積分され、補償電圧に比例している電圧 V_{comp} を出力として示す。この電圧 V_{comp} は補償用コンデンサ C_{comp} を経由して画面の横列に印加される。好ましくは、適切な補償電圧を得るために、抵抗 R_{int} は積分器の利得を調節可能な可変抵抗である。変形実施形態によれば、対極を接地面に置き換えてもよい。この場合、縦列が接地面とゼロでない容量を有していれば、全ピクセルの蓄電容量の基準となる前記接地面で電流を測定するにあたり、本発明は全く同一の方法で機能する。

【0018】

図4には、当該回路の変形実施形態を示した。この場合、演算増幅器の出力部と - 入力部間に配列された負帰還回路は、並列配置されたコンデンサ C_{int} と抵抗 R から形成されたフィルタによって構成される。この構造は高い周波数での積分器の利得を制限する。さらに、可変又は別の抵抗 R' は演算増幅器の + 端子と端子 A との間に配列される。その他の構成要素は同一である。

【0019】

上述の回路は図5の曲線で示したように発振はせず、前記曲線において曲線 I は抵抗 R_m 端子の電圧測定値を示しており、曲線 O は時間の関数として補償バスの電圧を示している。前記測定は5のデマルチプレクス因子を示す(exhibit) XGA画面において行われた。前記デマルチプレクス因子において各横列の始動時に縦列電圧は基準電圧まで予め充電されており、これは曲線で観測されたスパイクを説明している。

【0020】

本発明は特に高インピーダンス横列制御回路を具備している積分制御装置を有するディスプレイ画面に適用するだけでなく、外部制御回路を有するディス

レイ画面にも適用することができる。この場合、電流測定は外部制御回路の入力部において横列をオフにする電圧で行われる。積分器として配置された演算増幅器の出力部は図2の補償バス「e」に接続される。

【0021】

本発明はLCD画面の対極と同じような導体面を具備するタイプ、つまり、アクティブマトリクス型ディスプレイ画面の全てのタイプに適用することができることは当業者には自明である。アモルファスシリコン、低温多結晶シリコン、高温多結晶シリコン又は高温結晶シリコンといったトランジスタを組み込むためにどのような技術工学が用いられても、上述のタイプのアクティブマトリクス型液晶画面だけでなく、LCOS画面にも適用することができる。

【図面の簡単な説明】

【図1】 図1は従来技術による補償回路を図示している。

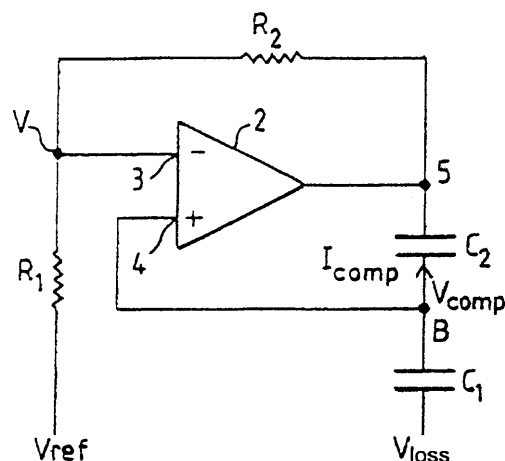
【図2】 図2は本発明に適用可能なアクティブマトリクス型液晶ディスプレイ画面の概要図を示している。

【図3】 図3は本発明による補償回路を図示している。

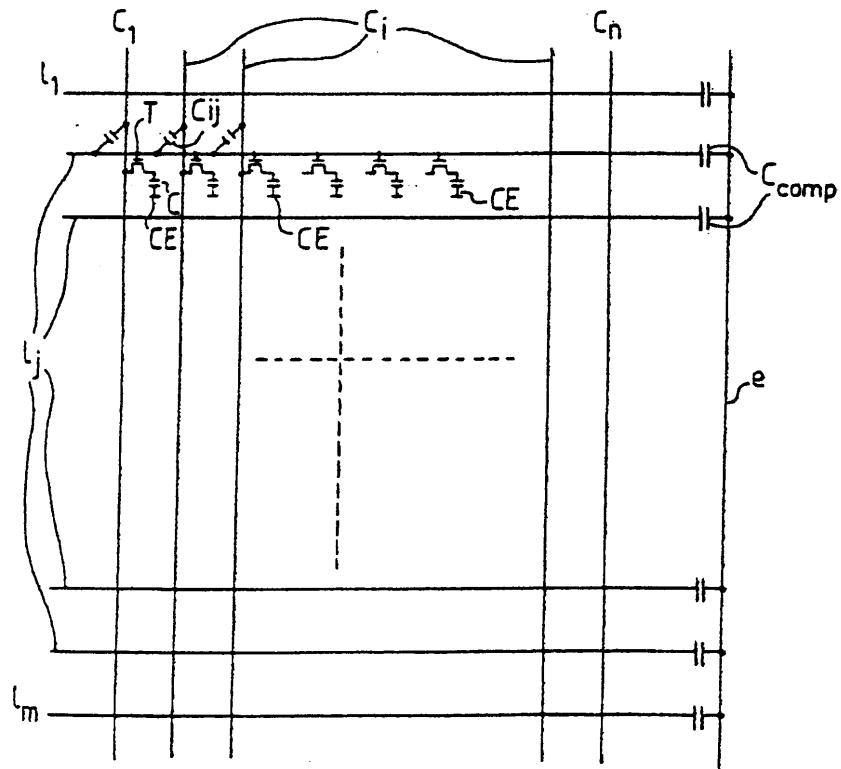
【図4】 図4は本発明による補償回路の変形図を示している。

【図5】 図5はXGA画面上で実施される補償バスにおいて測定用抵抗の端子を介した測定電圧を示している。

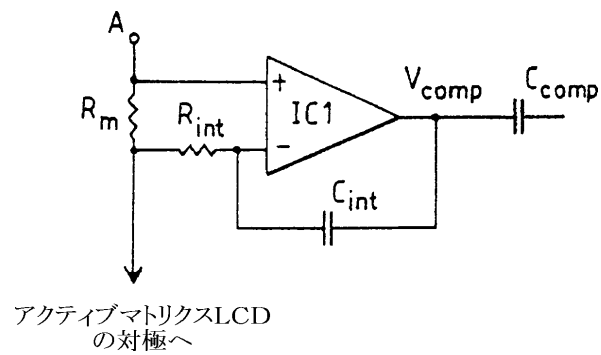
【図1】



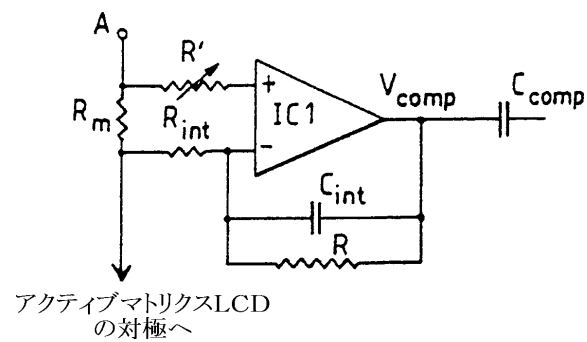
【図2】



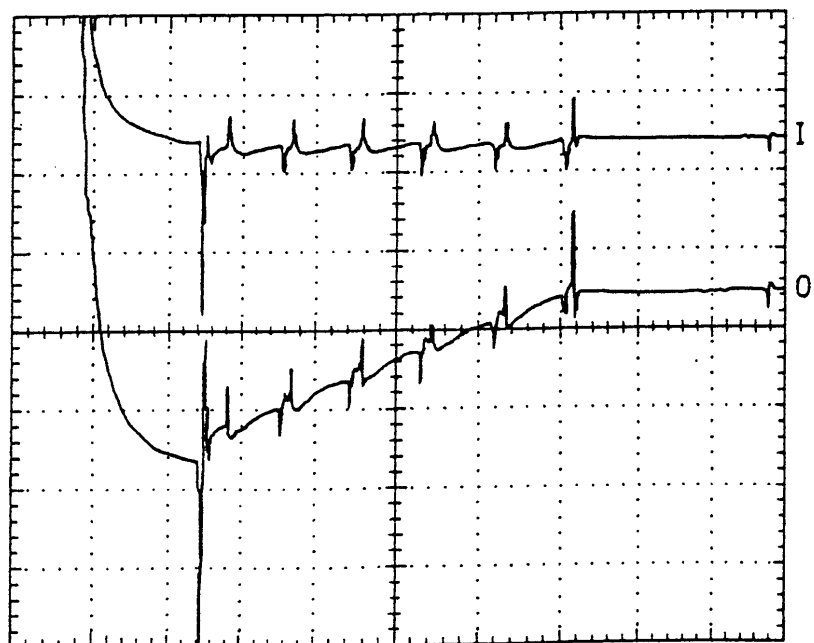
【図3】



【図4】



【図5】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No. PCT/FR 01/00539		
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/36 G09G3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) WPI Data, EPO-Internal, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	FR 2 542 896 A (SINTRA ALCATEL SA) 21 September 1984 (1984-09-21)	1-3,8
Y	page 2, line 24 -page 4, line 24 ---	4-7,9,10
Y	US 5 841 410 A (TAKAHARA KAZUHIRO ET AL) 24 November 1998 (1998-11-24) column 12, line 28 -column 13, line 11 column 14, line 7 - line 24 column 14, line 53 - line 58 figures 23,28 -----	4-7,9,10
☐ Further documents are listed in the continuation of box C. ☒ Patent family members are listed in annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art *Z* document member of the same patent family		
Date of the actual completion of the international search 6 July 2001		Date of mailing of the international search report 16/07/2001
Name and mailing address of the ISA European Patent Office, P.B. 5618 Patentkan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Amian, D

INTERNATIONAL SEARCH REPORT

Information on patent family members

 International Application No
 PCT/FR 01/00539

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
FR 2542896 A	21-09-1984	NONE	
US 5841410 A	24-11-1998	JP 6194622 A	15-07-1994
		US 6222516 B	24-04-2001
		KR 9610773 B	08-08-1996

フロントページの続き

(81)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW

Fターム(参考) 2H093 NA16 NC34 NC59 NC62

5C006 AC22 AC25 AF45 AF46 AF50
AF51 AF54 AF61 BB16 BB27
BC03 BC11 BC20 BF14 BF25
BF37 FA18 FA21 FA37
5C080 AA06 AA10 BB05 DD04 DD12
EE28 JJ02 JJ03 JJ04

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2003528341A5	公开(公告)日	2008-03-27
申请号	JP2001564141	申请日	2001-02-23
[标]申请(专利权)人(译)	THALES AVIONICS LCD		
申请(专利权)人(译)	泰雷兹航空电子Erusede兴业ANONYME		
当前申请(专利权)人(译)	泰雷兹航空电子Erusede兴业ANONYME		
[标]发明人	ベイヨジャンマルク ルブランユーグ		
发明人	ベイヨ, ジャン-マルク ルブラン, ユーグ		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G2300/043 G09G3/3208 G09G3/20 G09G3/3655 G09G3/32 G09G2300/08 G09G2320/0209 G09G3/3648		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.J G09G3/20.622.G G09G3/20.642.P		
F-TERM分类号	2H093/NA16 2H093/NC34 2H093/NC59 2H093/NC62 5C006/AC22 5C006/AC25 5C006/AF45 5C006/AF46 5C006/AF50 5C006/AF51 5C006/AF54 5C006/AF61 5C006/BB16 5C006/BB27 5C006/BC03 5C006/BC11 5C006/BC20 5C006/BF14 5C006/BF25 5C006/BF37 5C006/FA18 5C006/FA21 5C006/FA37 5C080/AA06 5C080/AA10 5C080/BB05 5C080/DD04 5C080/DD12 5C080/EE28 5C080/JJ02 5C080/JJ03 5C080/JJ04		
优先权	2000002410 2000-02-25 FR		
其他公开文献	JP4789385B2 JP2003528341A		

摘要(译)

本发明涉及具有特定电势的至少一个第一导体 (I_j) , 通过电容耦合在第一导体上引起干扰的至少一个第二导体 (C_i) 以及电容耦合到第一导体的参考电压。 本发明涉及一种用于具有第一总线 (C_E) 的电路的补偿方法, 该第一总线具有 该方法包括: 当向第二导体施加电压时, 测量流过第一总线 (C_E) 的电流; 以及对所测量的电流进行积分以获得要施加至第一导体的补偿电压。 和。 本发明可以应用于AM-LCD型液晶显示屏。