

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A) (11)特許出願公開番号

特開2003 - 344824

(P2003 - 344824A)

(43)公開日 平成15年12月3日(2003.12.3)

| (51) Int. Cl ⁷ | 識別記号 | F I | テ-マコード (参考) |
|---------------------------|--------|---------------|-----------------|
| G 0 2 F 1/133 | 550 | G 0 2 F 1/133 | 550 2 H 0 9 0 |
| | 1/1333 | | 500 2 H 0 9 1 |
| | 1/1335 | | 500 2 H 0 9 2 |
| | 1/1343 | | 500 2 H 0 9 3 |
| G 0 9 G 3/20 | 611 | G 0 9 G 3/20 | 611 A 5 C 0 0 6 |

審査請求 未請求 請求項の数 5 O L (全 31数) 最終頁に続く

(21)出願番号 特願2002 - 154947(P2002 - 154947)

(22)出願日 平成14年5月29日(2002.5.29)

(71)出願人 502356528

株式会社 日立ディスプレイズ
千葉県茂原市早野3300番地

(71)出願人 000233088

日立デバイスエンジニアリング株式会社
千葉県茂原市早野3681番地

(72)発明者 飯田 治久

千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

(74)代理人 100075096

弁理士 作田 康夫

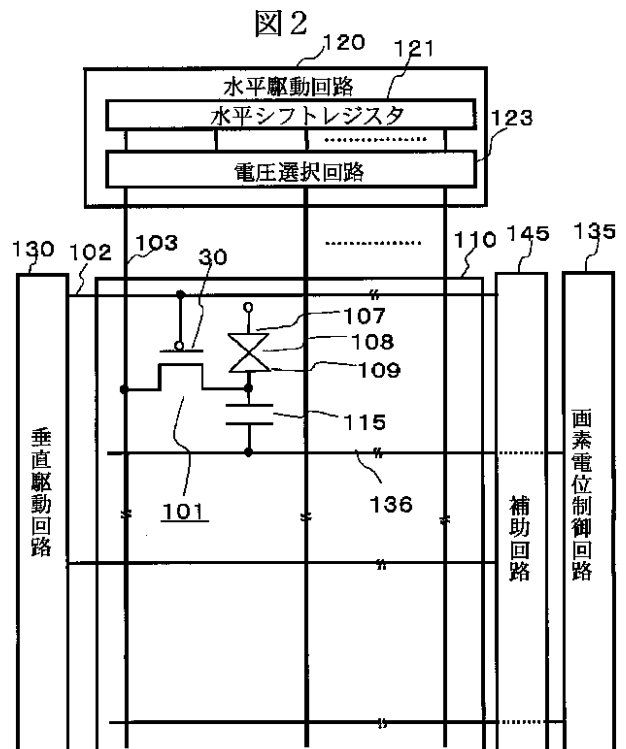
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】小型低耐圧の駆動回路を表示部と同一基板上に形成した液晶表示装置を実現する。

【解決手段】画素に階調電圧を供給する駆動回路とは別に、画素電位を降圧させ交流化駆動を実現する回路を形成する。画素電極には正極性の信号を書き込み、書き込み後に画素電極に接続した容量を用いて画素電極の電位を降圧する。また、画素電位を降圧させる回路と表示領域との間に走査信号の波形なまりを減少させるために、オフスイッチングを補助するプルアップ回路を設ける。



【特許請求の範囲】

【請求項 1】第 1 の基板と、第 2 の基板と、
上記第 1 の基板と第 2 の基板とに挟まれた液晶組成物と、
上記第 1 の基板に設けられた複数の画素部と、
該画素部に設けられたスイッチング素子と、
該スイッチング素子の制御端子に接続する走査信号線と、
該走査信号線に走査信号を供給する走査信号回路と、
上記画素部に映像信号を供給する映像信号回路と、
上記画素部に接続された画素容量と、
該画素容量に接続した画素電位制御信号線と、
該画素電位制御信号線に画素電位制御信号を供給する画素電位制御回路とを有し、
上記走査信号線の 1 方の端には上記走査信号回路が設けられ、他方の端には走査信号線に電圧を供給する補助回路とを備えることを特徴とする液晶表示装置。

【請求項 2】前記第 1 の基板はシリコン基板であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】第 1 の基板と、第 2 の基板と、
上記第 1 の基板と第 2 の基板とに挟まれた液晶組成物と、
上記第 1 の基板に設けられた表示領域と、
上記表示領域に設けられた複数の画素電極と、
上記画素電極に映像信号を供給するスイッチング素子と、
上記スイッチング素子に映像信号を供給する映像信号線と、
上記スイッチング素子を制御する走査信号を供給する走査信号線と、
上記映像信号線に映像信号を出力する映像信号回路と、
上記走査信号線に走査信号を出力する走査信号回路と、
上記画素電極に接続された画素容量と、
上記画素容量に画素電位制御信号を供給する画素電位制御信号線と、
上記画素電位制御信号線に画素電位制御信号を出力する画素電位制御回路と、
上記走査信号線に上記スイッチング素子をオフ状態とする電圧を供給する補助回路とを有し、
上記表示領域を挟んで第 1 の辺側に上記走査信号回路と、第 2 の辺側に上記画素電位制御信号回路とを設け、
上記第 2 の辺側の上記画素電位制御信号回路と上記表示領域との間に上記補助回路を設けたことを特徴とする液晶表示装置。

【請求項 4】前記第 1 の基板はシリコン基板であることを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】上記画素電極と第 1 の基板との間に設けられた遮光膜を有し、
上記画素容量に画素電位制御信号を供給する画素電位制御信号線を前記遮光膜で形成したことを特徴とする請求

項 3 に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に係わり、特に同一基板上に駆動回路と表示部とが設けられる駆動回路一体型の液晶表示装置に適用して有効な技術に関する。

【0002】

【従来の技術】近年、液晶表示装置は、小型表示装置から所謂 OA 機器等の表示端末用に広く普及している。この液晶表示装置は、基本的には少なくとも一方が透明な基板（例えばガラス板やプラスチック基板等）からなる一対の絶縁基板の間に液晶組成物の層（液晶層）を挟持して所謂液晶パネル（液晶表示素子または液晶セルとも言う）を構成する。

【0003】この液晶パネルは、画素形成用の各種電極に選択的に電圧を印加して所定画素部分の液晶組成物を構成する液晶分子の配向方向を変化させて画像を表示する。液晶パネルの中で画素がマトリクス状に配置され、表示部を形成したものが知られている。画素がマトリクス状に配置された液晶パネルは、単純マトリクス方式とアクティブマトリクス方式との 2 つの方式に大きく分類されている。単純マトリクス方式は、一対の絶縁基板のそれぞれに形成した交差する 2 本のストライプ状電極の交差点で画素を形成する。また、アクティブマトリクス方式は画素電極と画素選択用のアクティブ素子（例えば、薄膜トランジスタ）を有し、このアクティブ素子を選択することにより、当該アクティブ素子に接続した画素電極と該画素電極に対向する基準電極とで画素を形成する。

【0004】アクティブマトリクス型液晶表示装置は、ノート型パソコン等の表示装置として広く使用されている。一般に、アクティブマトリクス型液晶表示装置は、一方の基板に形成した電極と他方の基板に形成した電極との間に液晶層の配向方向を変えるための電界を印加する、所謂縦電界方式を採用している。また、液晶層に印加する電界の方向を基板面とほぼ平行な方向とする、所謂横電界方式（IPS (In-Plane Switching) 方式とも言う）の液晶表示装置が実用化されている。

【0005】一方、液晶表示装置を用いる表示装置として、液晶プロジェクタが実用化されている。液晶プロジェクタは光源からの照明光を液晶パネルに照射し、液晶パネルの画像をスクリーンに投写するものである。液晶プロジェクタに用いられる液晶パネルには反射型と透過型とがあるが、液晶パネルを反射型とした場合には、画素電極を反射面とし、画素電極の下部に配線等の構成を形成することで、表示部のほぼ全域を有効な反射面とすることができ、液晶パネルの小型化、高精細化、高輝度化において、透過型に比較して有利である。

【0006】また、液晶プロジェクタ用のアクティブマトリクス型液晶表示装置として、小型でかつ、高精細な液晶表示装置を実現できることから、画素電極を形成した基板上に、画素電極を駆動する駆動回路をも形成する所謂駆動回路一体型液晶表示装置が知られている。

【0007】さらには、駆動回路一体型液晶表示装置において、画素電極及び、駆動回路を絶縁基板ではなく、半導体基板上に形成した反射型液晶表示装置(Liquid Crystal on Silicon、以下LCOSとも呼ぶ)が知られている。

【0008】また、これら液晶表示装置において、液晶層に印加する電圧の極性を周期的に反転させる交流化駆動が行われている。交流化駆動を行う目的は直流電圧が液晶に印加されることによる劣化を防止するためである。画素電極と基準電極との間に電圧を印加するアクティブマトリクス型液晶表示装置において、交流化駆動を行う一つの方法として、基準電極に定電圧を印加し、画素電極に正極性、負極性の信号電圧を交互に印加する方法がある。しかしながら、前述した交流化駆動方法では、駆動回路は正極性側の最高電圧と負極性側の最低電圧の電位差に耐えるよう高耐圧な回路である必要がある。また、薄膜トランジスタのオン・オフを制御する制御信号(走査信号)も高電圧が必要になる。

【0009】

【発明が解決しようとする課題】近年、液晶表示装置においては、例えばHDTV仕様等の高解像度化が望まれている。しかしながら、高解像度化に伴い水平方向の画素数が増加すると、走査信号線(ゲート線)が長くなるために、走査信号線の配線抵抗、寄生容量により横スマア等の表示品質の低下が生じる。

【0010】また、液晶表示装置においては、64階調、あるいは256階調へとより多階調化が進むと同時に、高精細化も望まれている。階調数が増加すると回路規模が大きくなり、画素数が多くなると各画素に信号を供給する駆動回路は高速で駆動されることとなる。また、画素が占めることのできる面積も減少する。ところが高耐圧回路では、回路を構成する各部を微細に形成することが困難であり回路規模が大きくなってしまふ。特に小型が進んだ液晶パネルでは画素数の増加を要求されても、限られた画素の面積内に、高耐圧なアクティブ素子等、画素電極用の構成を形成することが困難であった。さらに駆動回路を液晶表示パネル内に組み込む駆動回路一体型の液晶表示装置では、駆動回路の面積が広がり、液晶パネルが大型化するという問題点が生じた。また、高耐圧回路ではアクティブ素子の電極等の面積が広がることから、容量成分が増加し高速駆動が困難で、消費電力も増加するという問題点があった。

【0011】本発明は前記従来技術の問題点を解決するためになされたものであり、本発明は液晶表示装置において、最適な走査信号線駆動回路を提供し、さらには低

耐圧の駆動回路で交流化駆動を可能とし、画素サイズ及び、駆動回路の回路規模を小さくし、高速駆動が可能となる技術を提供することにある。

【0012】また、本発明は配線抵抗等により走査信号線に生じる、走査信号の差、所謂波形なまりを減少する技術を提供することにある。

【0013】本発明の前記目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【0014】

10 【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0015】液晶表示装置の画素電極に、画素容量を接続し、画素容量に画素電位制御信号を供給することで、画素電極の電圧を変動させ交流化駆動を実現する。また画素電位制御回路と表示領域の間に走査信号線をプルアップする回路を設ける。

【0016】

【発明の実施の形態】以下、本発明実施の形態について図面を参照して説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0017】図1は、本発明の実施の形態である液晶表示装置の概略構成を示すブロック図である。

【0018】本実施の形態の液晶表示装置は、液晶パネル(液晶表示素子)100と、表示制御装置111とで構成される。液晶パネル100は、マトリクス状に画素部101が設けられた表示部110(表示領域とも呼ぶ)と、水平駆動回路(映像信号線駆動回路)120

30 と、垂直駆動回路(走査信号線駆動回路)130と、画素電位制御回路135と、補助回路145から構成される。また、表示部110と水平駆動回路120と垂直駆動回路130と画素電位制御回路135と補助回路145とは同一基板上に設けられている。

【0019】画素部101には画素電極と対向電極と両電極に挟まれて液晶層が設けられる(図示せず)。画素電極と対向電極の間に電圧を印加することにより、液晶分子の配向方向等が変化し、それに伴い液晶層の光に対する性質が変化することを利用して表示が行われる。

【0020】表示制御装置111は外部から送信されてくるクロック信号、ディスプレイタイミング信号、水平同期信号、垂直同期信号等の制御信号を基に、水平駆動回路120および、垂直駆動回路130、画素電位制御回路135を制御する。また、表示制御装置111は液晶パネルに表示すべき表示信号を水平駆動回路120に供給する。131は表示制御装置111から出力する制御信号線であり、132は表示信号線である。

【0021】水平駆動回路120からは垂直方向(図中Y方向)に、複数本の映像信号線(ドレイン信号線または垂直信号線ともいう)103が延びており、また複数

本の映像信号線103は水平方向(X方向)に並んで設けられている。垂直駆動回路130からは水平方向(X方向)に複数本の走査信号線(ゲート信号線または水平信号線ともいう)102が延びており、また複数本の走査信号線102は垂直方向(Y方向)に並んで設けられている。画素電位制御回路135からは水平方向(X方向)に複数本の画素電位制御線136が延びており、また複数本の画素電位制御線136は垂直方向(Y方向)に並んで設けられている。

【0022】表示部110の垂直駆動回路130とは反対側の辺部には、補助回路145が設けられている。垂直駆動回路130から出力した走査信号線102は補助回路145にも接続している。

【0023】水平駆動回路120は、水平シフトレジスタ121と、電圧選択回路123とから構成される。表示制御装置111から制御信号線131や表示信号線132が水平シフトレジスタ121と電圧選択回路123とに接続され、制御信号や表示信号が送信されている。なお、表示信号はアナログ信号の場合もデジタル信号の場合も利用可能である。また各回路の電源電圧線については表示を省略したが、必要な電圧が供給されているものとする。

【0024】表示制御装置111は、外部から垂直同期信号入力後に、第1番目のディスプレイタイミング信号が入力されると、制御信号線131を介して垂直駆動回路130にスタートパルスを出力する。次に、表示制御装置111は水平同期信号に基づいて、1水平走査時間(以下1hと示す)毎に、走査信号線102を順次選択するようにシフトクロックを垂直駆動回路130に出力する。垂直駆動回路130は、シフトクロックに従い走査信号線102を選択し、走査信号線102に走査信号を出力する。すなわち、垂直駆動回路130は図1中上から順番に1水平走査時間1hの間、走査信号線102を選択する信号を出力する。

【0025】また、表示制御装置111は、ディスプレイタイミング信号が入力されると、これを表示開始と判断し、表示信号を水平駆動回路120に出力する。表示制御装置111から表示信号は順次出力されるが、水平シフトレジスタ121は表示制御装置111から送られてくるシフトクロックに従いタイミング信号を出力する。タイミング信号は、電圧選択回路123が各映像信号線102に出力すべき表示信号を取り込むタイミングを示している。

【0026】表示信号がアナログ信号である場合は、電圧選択回路123はタイミング信号に従いアナログ信号の中から一定の電圧を表示信号(階調電圧)として取り込み、該取り込んだ階調電圧を映像信号として映像信号線103に出力する。表示信号がデジタル信号の場合には、電圧選択回路123はタイミング信号に従い表示信号を取り込み、表示信号(デジタルデータ)を元に階調

電圧を選択(デコード)して映像信号線103に出力する。映像信号線103に出力された階調電圧は、映像信号として垂直駆動回路130からの走査信号が出力されるタイミングに従い画素部101の画素電極に書き込まれる。

【0027】画素電位制御回路135は、表示制御装置111からの制御信号にもとづき、画素電極に書き込まれた映像信号の電圧を制御する。映像信号線103から画素電極に書き込まれた階調電圧は、対向電極の基準電圧に対してある電位差を有している。画素電位制御回路135は画素部101に制御信号を供給して画素電極と対向電極との間の電位差を変化させる。なお、画素電位制御回路135については後で詳述する。

【0028】補助回路145は、その出力が走査信号線102に接続しており、走査信号線102が特定の電圧となるように動作する。前述したように、走査信号線102には垂直駆動回路130から走査信号が出力しているが、補助回路145は垂直駆動回路130の出力を補助し、配線抵抗により走査信号線102に生じる、走査信号の差(波形なまり)を解消するよう働く回路である。垂直駆動回路130からの出力が高電圧の場合に補助する場合は、プルアップ回路となるが、低電圧の場合に補助する場合は、プルダウン回路となる。なお、補助回路145についても後で詳述する。

【0029】次に図2を用いて、本発明の1実施の形態である液晶パネル100の画素部101について説明する。図2は画素部101の等価回路を示す回路図である。画素部101は表示部110の隣接する2本の走査信号線102と、隣接する2本の映像信号線103との交差領域(4本の信号線で囲まれた領域)に設けられ、表示部110内にマトリクス状に配置される。ただし、図2では図を簡略化するため1つの画素部だけを示している。各画素部101は、アクティブ素子30(画素部のスイッチング素子とも呼ぶ)と画素電極109を有している。また、画素電極109には画素容量115が接続されている。画素容量115の一方の電極は画素電極109に接続され、他方の電極は画素電位制御線136に接続されている。さらに画素電位制御線136は画素電位制御回路135に接続されている。なお、図2においては、アクティブ素子30はp型トランジスタで示している。また、アクティブ素子30をn型トランジスタとすることも可能である。

【0030】前述したように、走査信号線102には垂直駆動回路130から走査信号が出力している。この走査信号によりアクティブ素子30のオン・オフが制御される。映像信号線103には映像信号として階調電圧が供給されており、アクティブ素子30がオンになると、映像信号線103から画素電極109に階調電圧が供給される。画素電極109に対向するように対向電極107(コモン電極)が配置されており、画素電極109と

対向電極107との間には液晶層（図示せず）が設けられている。なお、図2に示す回路図上では画素電極109と対向電極107との間は等価的に液晶容量108が接続されているように表示した。画素電極109と対向電極107との間に電圧を印加することにより、液晶分子の配向方向等が変化し、それに伴い液晶層の光に対する性質が変化し、各画素の光の透過率（反射率）を変化させることが可能となる。画像に階調を持たせるには、光の透過率に対応して画素電極に電圧（階調電圧）を印加する。

【0031】液晶表示装置の駆動方法としては、前述したように液晶層に直流電流が印加されないように交流化駆動が行われる。交流化駆動を行うためには、対向電極107の電位を基準電位とした場合に、電圧選択回路123からは基準電位に対して正極性と負極性の電圧が階調電圧として出力する。しかしながら、電圧選択回路123を正極性と負極性の電位差に耐えるような高耐圧な回路とすると、アクティブ素子30をはじめとし回路規模が大きくなるという問題や、動作速度が遅くなるといった問題が生じることとなる。

【0032】そこで、電圧選択回路123から画素電極109に供給する映像信号（階調電圧）は、基準電位に対して同極性の信号を用いながらも交流化駆動を行うことを検討した。例えば、電圧選択回路123から出力する階調電圧は、基準電位に対し正極性の電圧を用い、基準電位に対し正極性の電圧を画素電極に書き込んだ後に、画素電位制御回路135から画素容量115の電極に印加している画素電位制御信号の電圧を引き下げることにより、画素電極109の電圧も低下させて、基準電位に対して負極性の電圧を生じることができる。このよ

【0033】次に図3を用いて、前述した画素電極109の電圧を変動させる方法について説明する。図3は説明のため液晶容量108を第1のコンデンサ53で表わし、画素容量115を第2のコンデンサ54で表わし、アクティブ素子30をスイッチ104で示したものである。画素容量115の画素電極109に接続される電極を電極56とし、画素容量115の画素電位制御線136に接続される電極を電極57とする。また、画素電極109と電極56とが接続された点を節点58で示す。ここでは説明のため、他の寄生容量は無視できるものとして、第1のコンデンサ53の容量はCLで、第2のコンデンサ54の容量はCCとする。

【0034】まず図3(a)に示すように、第2のコンデンサ54の電極57には外部から電圧V1を印加する。次に、走査信号によりスイッチ104がオンになると、映像信号線103から電圧が画素電極109及び電極56に供給される。ここで、節点58に供給された電圧をV2とする。

【0035】次に、図3(b)に示すように、スイッチ104がオフになった時点で、電極57に供給している電圧（画素電位制御信号）をV1からV3に降下させる。このとき、第1のコンデンサ53と第2のコンデンサ54とに充電された電荷の総量は変化しないことから、節点58の電圧が変化して、節点58の電圧は、 $V2 - \{CC / (CL + CC)\} \times (V1 - V3)$ となる。

【0036】ここで、第1のコンデンサ53の容量CLが第2のコンデンサ54の容量CCに比べて充分小さい場合（ $CL \ll CC$ ）は、 $CC / (CL + CC) \approx 1$ となり節点58の電圧は $V2 - V1 + V3$ となる。ここで $V2 = 0$ 、 $V3 = 0$ とすると、節点58の電圧を $-V1$ とすることができる。

【0037】前述した方法によれば、画素電極109に映像信号線103から供給する電圧は対向電極107の基準電位に対し正極性にして、負極性の信号は電極57に印加する電圧（画素電位制御信号）を制御することにより作り出すことができる。このような方法で負極性の信号を作り出すと、電圧選択回路123からは負極性の信号を供給する必要がなくなり、周辺回路を低耐圧の素子で形成することが可能となる。

【0038】次に図4を用いて、図2に示す回路の動作タイミングについて説明する。1は映像信号線103に供給される階調電圧を示す。2は走査信号線102に供給される走査信号である。3は画素電位制御信号線136に供給される画素電位制御信号（降圧信号）である。4は画素電極109の電位を示している。なお、画素電位制御信号3は図3で示した電圧V3とV1で振幅する信号である。

【0039】図4を説明するあたり、1は正極性用入力信号1Aと、負極性用入力信号1Bを示している。ここで、負極性用とは画素電極に印加された電圧が画素電位制御信号により変動して、基準電位Vcomに対して負極性となる場合の信号のことである。本実施例では映像信号1として正極性用入力信号1Aと負極性用入力信号1B共に、対向電極107に印加された基準電位Vcomに対して電位が正極性となるような電圧が供給される場合を説明する。

【0040】図4において期間t0からt2の間では、階調電圧1が正極性用入力信号1Aの場合を示している。まず、t0において画素制御信号3として電圧V1を出力する。次に時刻t1において走査信号2が選択されロウレベルとなると、図2に示すp型トランジ

スタ30がオン状態となり、映像信号線103に供給されている正極性入力信号1Aが、画素電極109に書き込まれる。画素電極109に書き込まれる信号は図4では4で示している。また、図4においてt1で画素電極109に書き込まれた電圧はV2Aで示している。次に、走査信号2が非選択状態となり、ハイレベルになると、トランジスタ30はオフ状態となり、画素電極109は電圧を供給する映像信号線103から切り離された状態になる。液晶表示装置は画素電極109に書き込まれた電圧V2Aに従った階調を表示する。

【0041】次に、期間t2からt4の間で階調電圧1が負極性入力信号1Bの場合を説明する。負極性入力信号1Bの場合、時刻t2において走査信号2が選択され、画素電極109には4に示すような電圧V2Bが書き込まれる。その後、トランジスタ30をオフ状態とし、時刻t2から2h(2水平走査時間)後の時刻t3において画素容量115に供給している電圧を画素電位制御信号3に示すようにV1からV3に降圧する。画素電位制御信号3をV1からV3に変動させると画素容量115が結合容量の役割を果たし、画素電位制御信号3の振幅に従い、画素電極の電位を下げることができる。これにより基準電位Vcomに対して負極性の電圧V2Cを画素内に作り出すことができる。

【0042】前述した方法で、負極性の信号を作り出すと、周辺回路を低耐圧の素子で形成することが可能となる。すなわち、電圧選択回路123から出力する信号は正極性側の狭い振幅の信号であるため、電圧選択回路123は低耐圧の回路とすることが可能となる。さらに電圧選択回路123が低電圧で駆動可能であれば、他の周辺回路である、水平シフトレジスタ120、表示制御装置111等は低耐圧の回路であるため、液晶表示装置全体として低耐圧の回路による構成が可能となる。

【0043】次に図5を用いて、画素電位制御回路135の回路構成を示す。SRは双方向シフトレジスタであり、上下双方向に信号をシフトすることが可能である。双方向シフトレジスタSRはクロックインバータ61、62、65、66で構成されている。67はレベルシフタで、69は出力回路である。双方向シフトレジスタSR等は電源電圧VDDで動作している。レベルシフタ67は双方向シフトレジスタSRから出力する信号の電圧レベルを変換する。レベルシフタ67からは電源電圧VDDより高電位である電源電圧VBBと電源電圧VSS(GND電位)との間の振幅を有する信号が出力される。出力回路69は電源電圧VPPとVSSが供給されており、レベルシフタ67からの信号に従い、電圧VPPとVSSとを画素電位制御線136に出力する。図4にて説明した画素電位制御信号3の電圧V1が電源電圧VPPで、電圧V3が電源電圧VSSとなる。なお、図5では出力回路69をp型トランジスタとn型トランジスタからなるインバータで示している。p型トラ

ンジスタに供給する電源電圧VPPとn型トランジスタに供給する電源電圧VSSの値を選ぶことで、電圧VPPとVSSとを画素電位制御信号3として出力することが可能である。

【0044】ただし、後述するようにp型トランジスタを形成するシリコン基板には基板電圧が供給されているので、電源電圧VPPの値は基板電圧に対して適切な値が設定される。

【0045】26はスタート信号入力端子で、制御信号の一つであるスタート信号を画素電位制御回路135に供給する。図5に示す双方向シフトレジスタSR1からSRnは、スタート信号が入力すると外部から供給されるクロック信号のタイミングに従い、順番にタイミング信号を出力する。レベルシフタ67はタイミング信号に従い電圧VSSと電圧VBBを出力する。出力回路69はレベルシフタ67の出力に従い電圧VPPと電圧VSSを画素電位制御線136に出力する。図4の画素電位制御信号3に示すタイミングとなるように、スタート信号およびクロック信号を双方向シフトレジスタSRに供給することで、画素電位制御回路135から希望するタイミングで画素電位制御信号3を出力することが可能である。なお25はリセット信号入力端子である。

【0046】ここで、画素電位制御回路135と垂直駆動回路130との位置関係について検討する。図4の説明において前述したように、画素電位制御信号は走査信号と連動して駆動される。そのため、画素電位制御線136は走査信号線102と並列に設けられている。よって、画素電位制御回路135が設けられる位置は、走査信号線102の端部近傍が適当であるが、走査信号線102の一方の端には垂直駆動回路130が設けられており、画素電位制御回路135が設けられるのは、垂直駆動回路130とは反対側の走査信号線102端部近傍となる。

【0047】従来、垂直駆動回路130は走査信号線102の一方の端部に設けられている。しかしながら、水平方向の画素数が増加すると、走査信号の波形なまりによる問題が生じ、その解決方法として、走査信号線102の両端に垂直駆動回路130を設けることが考えられる。ところが、画素電位制御回路135を設けると、その回路規模より垂直駆動回路130を走査信号線102の両端に設ける面積の余裕がないことがわかった。そこで、垂直駆動回路130よりも回路規模が小さい回路を、走査信号の波形なまりによる問題を解決するために、垂直駆動回路130の補助回路(プルアップ回路)145として設けることとした。

【0048】図5に示すように、プルアップ回路145は走査信号線102の画素電位制御回路135側端部に接続される。プルアップ回路145は制御信号線143に制御され電圧VBBの電源線と走査信号線102とを接続し、走査信号線102の電位が電圧VBBとなるよ

うに機能する。電圧 V_{BB} は画素部のアクティブ素子30(図2参照)がオフ状態となる電圧で、プルアップ回路145はアクティブ素子30がオフ状態となることを補助する。すなわち、プルアップ回路145は垂直駆動回路130から離れて、配線抵抗による波形なまりの影響が大であるアクティブ素子30が、急峻にオフ状態となるように働く。

【0049】波形なまりは、高解像度化に伴う水平方向の画素数の増加により、走査信号線の配線抵抗の増加と、寄生容量の悪化により顕著になって来ている。この波形なまりは、走査信号線を駆動する垂直駆動回路130の出力端子から近端側の信号波形に対して、遠端側の信号波形の立ち上がりや立ち下がりにおいて、電圧の変化が急峻でなくなる(なまる)現象で、垂直駆動回路130からの距離により差がある。この波形なまりの差により、飛び込み電位に差が生じフリッカ、横スミア等の表示品質の低下が生じることとなる。飛び込み電位は、アクティブ素子30のゲート端子と画素電極との寄生容量により、走査信号線が非選択状態になる際に画素電極の電位が変動する現象である。

【0050】一般に、飛び込み電位により対向電極の電圧(コモン電圧)に対して画素電極に直流成分が残る。残留直流成分を解消するため、コモン電位を最適の電圧となるよう(直流成分が解消するよう)に調整する。しかしながら、飛び込み電位が画面左右で異なると、コモン電位の調整では、画面左右での直流成分の差を解消することができない。そこで、図5に示す回路では、補助回路145(プルアップ回路)を設け、飛び込み電位による問題を解決するために、アクティブ素子30のオフスイッチング時に走査信号線を両端から駆動する構成と

している。

【0051】図5に示す補助回路145では、画面左右での波形なまりの差を減少させ、飛び込み電位を走査信号線の両端で同程度とすることで、表示品質を水平方向に一樣としている。また、補助回路145をプルアップ回路とすることで、走査信号線1本あたりスイッチング素子1個で構成することができ、狭い領域内に補助回路を形成することが可能である。なお、スイッチング素子をp型のトランジスタで示したが、アクティブ素子30をn型のトランジスタとし、低電圧でオフ状態となるスイッチング素子とする場合には補助回路145をプルダウン回路としn型のスイッチング素子を用いることが可能である。

【0052】次に、図6(a)(b)を用いて、双方向シフトレジスタSRに用いられるクロックインバータ61、62を説明する。図中符号UD1は第1方向設定線、UD2は第2方向設定線である。

【0053】図6に示す第1方向設定線UD1は、図5では下から上に走査する場合Hレベルで、第2方向設定線UD2は、図5では上から下に走査する場合Hレベル

である。図5では図を見やすくするために結線を省略してあるが、第1方向設定線UD1、第2方向設定線UD2は共に双方向シフトレジスタSRを構成するクロックインバータ61、62に接続されている。

【0054】クロックインバータ61は図6(a)に示すように、p型トランジスタ71、72とn型トランジスタ73、74からなる。p型トランジスタ71は第2方向設定線UD2に接続されており、n型トランジスタ74は第1方向設定線UD1に接続されている。そのため第1方向設定線UD1がHレベルで第2方向設定線UD2がLレベルの場合、クロックインバータ61はインバータとして働き、第2方向設定線UD2がHレベルで第1方向設定線UD1がLレベルの場合ハイインピーダンスとなる。

【0055】逆にクロックインバータ62は図6(b)に示すように、p型トランジスタ71は第1方向設定線UD1に接続されており、n型トランジスタ74は第2方向設定線UD2に接続されている。そのため第2方向設定線UD2がHレベルの場合インバータとして働き、第1方向設定線UD1がHレベルの場合ハイインピーダンスとなる。

【0056】次にクロックインバータ65は図6(c)に示す回路構成であり、CLK1がHレベルで、CLK2がLレベルの場合に、入力を反転出力し、CLK1がLレベルで、CLK2がHレベルの場合に、ハイインピーダンスとなる。

【0057】また、クロックインバータ66は、図6(d)に示す回路構成であり、CLK2がHレベルで、CLK1がLレベルの場合に、入力を反転出力し、CLK2がLレベルで、CLK1がHレベルの場合に、ハイインピーダンスとなる。図6では、クロック信号線の結線を省略してあるが図6のクロックインバータ65、66にはクロック信号線CLK1、CLK2が接続されている。

【0058】以上説明したように、双方向シフトレジスタSRをクロックインバータ61、62、65、66で構成することで、タイミング信号を順番に出力することが可能である。また画素電位制御回路135を双方向シフトレジスタSRで構成することで、画素電位制御信号3を双方向に走査することが可能である。すなわち、垂直駆動回路130も同様の双方向シフトレジスタにより構成されており、本発明による液晶表示装置は上下双方向の走査が可能である。そのため、表示する像を上下逆転する場合などに、走査方向を反転して図中下から上に走査する。そこで垂直駆動回路130が下から上に走査する場合には、画素電位制御回路135も第1方向設定線UD1と第2方向設定線UD2の設定を変更することにより、下から上に走査するよう対応する。なお、水平シフトレジスタ121も同様の双方向シフトレジスタにより構成されている。

【0059】次に図7、図8を用いて、垂直駆動回路130について説明する。図7は垂直駆動回路130の概略回路図で、図8は図7に示す回路のタイミングチャートである。図7に示す垂直駆動回路130も双方向シフトレジスタVSRで構成され、双方向に走査可能である。垂直駆動回路130も前述した画素電位制御回路135と同様の構成をしているが、符号144で示す垂直走査制御回路が加わっている。垂直走査制御回路144は、垂直走査制御線CNT1とCNT2により、双方向シフトレジスタVSRの出力GSを制御する。垂直走査制御線CNT1とCNT2の信号により、垂直駆動回路130は順次走査駆動、2ライン同時駆動、1ライン飛び越し走査駆動等の各種駆動が可能である。なお、垂直走査制御線CNT1とCNT2は、図1等に示す制御信号線131の一つである。図8は図7の垂直駆動回路130において図中上から下の順方向に、順次走査駆動する場合の駆動タイミングを示している。映像信号として1H(1水平走査期間)の間、水平駆動回路120から階調電圧として任意の電圧が出力している。垂直駆動回路130は階調電圧を画素電極に取り込むため、1Hの間、画素部のアクティブ素子をオン状態にする走査信号(G1~Gn)を出力する。

【0060】符号VCLKはクロックインバータ65、66に入力するクロックで、図6に示すクロックCLKに相当する。符号VDinは走査開始信号で、端子26から入力する。符号UDは、順方向、逆方向走査を定める信号で、図8の場合ハイレベルで順方向となる。符号Voutは走査終了信号で走査終了後に端子27から出力する。符号CNT1とCNT2は、前述した垂直走査制御線の信号(垂直走査制御信号)を示す。

【0061】双方向シフトレジスタVSR1はクロックVCLKの立ち上がりエッジで、入力信号を保持し出力し、次のクロックVCLKの立ち上がりエッジまで値を保持する。そのため、双方向シフトレジスタVSR1からの出力はGS1に示す波形となる。また、双方向シフトレジスタVSR2はクロックVCLKの立ち上がりエッジで、入力信号を保持し出力し、次のクロックVCLKの立ち上がりエッジまで値を保持する。そのため、双方向シフトレジスタVSR2からの出力はGS2に示す波形となる。そこで、垂直走査制御信号CNT1とCNT2を図8に示すように出力し、垂直走査制御回路144のAND回路で演算して、出力バッファ69から走査信号G1~Gnとして走査信号線102に出力する。

【0062】次に図9、図10を用いて、プルアップ回路145の動作について説明する。なお、図9では図が複雑になることを避けるため、表示部110の左右周辺の回路を示している。プルアップ回路145は前述した垂直走査制御線CNT1とCNT2の信号により制御される。垂直走査制御線CNT1とCNT2から制御信号線143が出力し、プルアップ回路145に入力してい

る。なお、レベルシフト67では電圧を変換し、プルアップ回路145のスイッチング素子が駆動可能な電圧としている。

【0063】図10においても、図8と同様に垂直走査制御線CNT1とCNT2の信号が出力しており、垂直走査制御信号CNT1とCNT2の値をNOR演算することで、制御信号線143に出力される制御信号VPを形成することができる。制御信号VPは走査信号G1~Gnがハイレベルになるタイミングで、プルアップ回路145のスイッチング素子をオン状態にする。

【0064】プルアップ回路145を設けることで、画素部のアクティブ素子30がオン状態からオフ状態に変化するオフスイッチング時に、走査信号線103を両端から駆動して、電圧VBBとなるようにすることが可能になる。なお、画素部のアクティブ素子30は走査信号がロウレベルでオン状態となるP型MOSトランジスタの場合で説明したが、アクティブ素子30はP型MOSトランジスタ、N型MOSトランジスタどちらも用いることが可能である。

【0065】次に図11、図12を用いて、水平駆動回路120においてゴーストと呼ぶ水平方向の映像のぼけを防止する回路について説明する。図11において、符号HSRは水平駆動回路120の水平シフトレジスタ21を構成する双方向シフトレジスタを示している。符号125は遅延回路で双方向シフトレジスタHSRからの出力信号を一定期間遅延させて、ゴーストを防止している。この遅延回路125は、双方向シフトレジスタHSRからの出力信号を2系統の信号線で受け、一方の信号線に2個インバータを設けることで、インバータを通過する時間分AND回路への入力を遅らせている。そして、この遅延した時間分AND回路からの出力信号の立ち上がりが遅れることとなる。

【0066】AND回路の出力はゲート回路89に入力している。符号VIM1、VIM2は映像信号供給線で映像信号が供給されている。ゲート回路89がオン状態となることで、映像信号供給線VIM1、VIM2と映像信号線103が導通状態となり、映像信号が映像信号線103に出力される。ゲート回路89は双方向シフトレジスタHSRから出力するサンプリングパルスで一定期間選択されることで、オン状態となる。なお、図11の回路では、映像信号を2相に分けて供給する場合を示している。そのため、映像信号供給線IMG1とIMG2の2本の信号線が交互にゲート回路89に接続している。

【0067】ゴーストの原因の一つにサンプリングパルス幅の広がり挙げられる。図11の水平シフトレジスタ21からは、図12の符号DSのようにサンプリングパルスが出力しているが、サンプリングパルスDSになまりが生じると、サンプリングパルス幅が広がってしまい、同時に2本の映像信号線に映像信号を供給した

り、異なる映像信号線に出力すべき映像信号を書き込んでしまうことで、映像にぼやけが生じてゴーストとなってしまう。

【0068】図11に示す回路の映像信号線103

(1)と103(3)とを例にとって説明すると、図12のパルスDS1とDS3のように信号の開始と終了で出力が重なった場合には、映像信号線103(1)への映像信号の出力終了と、映像信号線103(3)への出力開始において、ゲート回路89(1)が完全にオフしていない状態で、ゲート回路89(3)がオン状態となり、映像信号線103(1)のデータの一部が映像信号線103(3)に漏れ込んでしまう。そのため、隣り合う信号線の表示が重なって観察される所謂ゴースト現象が生じてしまうという問題が発生する。

【0069】そこで、図11に示す回路では、水平シフトレジスタ121の出力と、ゲート回路89との間に遅延回路を設け、サンプリングパルスの立ち上がりを遅らせることとした。図12に示すように、サンプリングパルスD1の立下りに対して、サンプリングパルスD3は遅れて立ち上がっており、サンプリングパルスD3によりオン状態とされたゲート回路89(3)により、映像信号線103(1)に書き込まれる映像信号が異なる映像信号線103(3)に書き込まれることが防止できる。

【0070】映像信号を複数に相展開して伝送する場合には、誤って書き込まれる映像信号が数ライン離れた映像信号となるため、サンプリングパルスのなまりにより生ずるゴーストが顕著になる。例えば、双方向シフトレジスタHSRが制御するゲート回路89の数が6個の場合などでは、6列間隔においてゴースト現象が生じてしまい、著しく表示品質を低下させるという問題が生じる。なお、図11に記載した遅延回路の他に、双方向シフトレジスタHSRとゲート回路89との間に設ける回路(例えばレベルシフト回路67)のオン時の立ち上がりの速度を遅くし、オフ時の立ち下りの速度を速くする構成としても良い。

【0071】次に図13を用いて、本発明による反射型液晶表示装置の画素部を説明する。図13は本発明の一実施例である反射型液晶表示装置の模式断面図である。図13において、100は液晶パネル、1は第1の基板である駆動回路基板、2は第2の基板である透明基板、3は液晶組成物、4はスペーサである。スペーサ4は駆動回路基板1と透明基板2との間に一定の間隔であるセルギャップ(cell gap)dを形成している。このセルギャップdに液晶組成物3が挟持されている。5は反射電極(画素電極)で駆動回路基板1に形成されている。6は対向電極で反射電極5との間で液晶組成物3に電圧を印加する。7、8は配向膜で液晶分子を一定方向に配向させる。30はアクティブ素子で反射電極5に階調電圧を供給する。

【0072】34はアクティブ素子30のソース領域、35はドレイン領域、36はゲート電極である。38は絶縁膜、31は画素容量を形成する第1の電極で、40は画素容量を形成する第2の電極である。絶縁膜38を介し第1の電極31と第2の電極40とは容量を形成する。図7では、第1の電極31と第2の電極40とを画素容量を形成する代表的な電極として示しており、他にも画素電極と電氣的に接続した導体層と画素電位制御信号線と電氣的に接続した導体層とが、誘電体層を挟んで対向していれば画素容量を形成することが可能である。

【0073】41は第1の層間膜、42は第1の導電膜である。第1の導電膜42はドレイン領域35から第2の電極40とを電氣的に接続している。43は第2の層間膜、44は第1の遮光膜、45は第3の層間膜、46は第2の遮光膜である。第2の層間膜43と第3の層間膜45にはスルーホール42CHが形成され、第1の導電膜42と第2の遮光膜46が電氣的に接続されている。47は第4の層間膜、48は反射電極5を形成する第2の導電膜である。アクティブ素子30のドレイン領域35から第1の導電膜42、スルーホール42CH、第2の遮光膜46を介して階調電圧は反射電極5に伝えられる。

【0074】本実施例の液晶表示装置は反射型であり、大量の光が液晶パネル100に照射される。遮光膜は駆動回路基板の半導体層に光が入射しないよう遮光している。反射型液晶表示装置において液晶パネル100に照射された光は、透明基板2側(図13中上側)から入射し、液晶組成物3を透過し反射電極5で反射し再度液晶組成物3、透明基板2を透過して液晶パネル100から出射する。しかしながら、液晶パネル100に照射される光の一部は、反射電極5の隙間から駆動回路基板側に漏れ込む。第1の遮光膜44と第2の遮光膜46はアクティブ素子30に光が入射しないように設けられている。本実施例では、この遮光膜を導電層で形成し、第2の遮光膜46を反射電極5に電氣的に接続し、第1の遮光膜44に画素電位制御信号を供給することで、遮光膜を画素容量の一部としても機能するようにしている。

【0075】なお、第1の遮光層44に画素電位制御信号を供給すると、階調電圧が供給される第2の遮光膜46と映像信号線103を形成する第1の導電層42や走査信号線102を形成する導電層(ゲート電極36と同層の導電層)との間に電氣的シールド層として第1の遮光膜44を設けることができる。このため、第1の導電層42やゲート電極36等と第2の遮光膜46や反射電極5との間の寄生容量成分が減少する。前述したように液晶容量CLに対して画素容量CCは充分大きくする必要があるが、第1の遮光膜44を電氣的シールド層として設けると、液晶容量LCと並列に接続される寄生容量も小さくなりより効率的である。さらに信号線からの雑音の飛び込みを減少することも可能となる。

【0076】また、液晶表示素子を反射型とし、駆動回路基板1の液晶組成物3側の面に反射電極5を形成した場合、駆動回路基板1として不透明なシリコン基板等を用いることが可能である。また、アクティブ素子30や配線を反射電極5の下に設けることができ、画素となる反射電極5を広くし、所謂高開口率を実現することができる利点がある。また、液晶パネル100に照射される光による熱を駆動回路基板1（シリコン基板とも呼ぶ）の裏面から放熱できるといった利点もある。

【0077】次に遮光膜を画素容量の一部として利用することについて説明する。第1の遮光膜44と第2の遮光膜46とは第3の層間膜45を介して対向しており、画素容量の一部を形成している。49は画素電位制御線136の一部を形成する導電層である。導電層49により第1の電極31と第1の遮光膜44とは電氣的に接続されている。また、導電層49を用いて画素電位制御回路135から画素容量までの配線を形成することが可能である。ただし、本実施例では第1の遮光膜44を配線として利用した。図14に第1の遮光膜44を画素電位制御線136として利用する構成について示す。

【0078】図14は第1の遮光膜44の配置を示す平面図である。46は第2の遮光膜であるが、位置を示すために点線で示している。42CHはスルーホールで、第1の導電膜42と第2の遮光膜46とを接続している。なお、図14は第1の遮光膜44を解り易く示すために、他の構成は省略している。第1の遮光膜44は、画素電位制御線136の機能を有しており図中X方向に連続して形成されている。第1の遮光膜44は遮光膜として機能するために表示領域全面を覆うように形成されているが、画素電位制御線136の機能も持たせるために、X方向に延在し（走査信号線102と並列の方向）、Y方向に並んでライン状に形成され、画素電位制御回路135に接続される。また、画素容量の電極としても働くために、第2の遮光膜46となるべく広い面積で重なるように形成されている。さらに、遮光膜として漏れる光が少なくなるように、隣接する第1の遮光膜44の間隔はなるべく狭くなるよう形成されている。

【0079】ただし、図14に示すように隣接する第1の遮光膜44の間隔を狭く形成すると、遮光膜44の一部が隣接する第2の遮光膜46と重なり合うことになる。前述したように、本液晶表示装置は双方向に走査可能である。そこで、双方向に画素電位制御信号を走査した場合に、次段の第2の遮光膜46と重なり合う場合と重なり合わない場合が生じる。図14の場合では、図中上から下に走査する場合に第1の遮光膜44と次段の第2の遮光膜46とが重なり合っている。

【0080】図15を用いて遮光膜44の一部が次段の第2の遮光膜46と重なり合うことによる問題点と解決方法を説明する。図15(a)は問題点を説明するタイミング図である。2Aは任意の行の走査信号でありA

行目の走査信号とする。2Bは次段の行の走査信号でありB行目の走査信号とする。なお、問題が発生する期間t2からt3の間について説明し、その他の期間については省略する。

【0081】図15(a)において、A行目において時刻t2から2h（2水平走査時間）後の時刻t3に画素電位制御信号3Aを変化させている。時刻t2から1h後には走査信号2Aの出力は終了しており、走査信号2Aで駆動されるA行目のアクティブ素子30はオフ状態となり、A行目の画素電極109は映像信号線103から切り離されている。時刻t2から2h後の時刻t3であれば、信号の切り換わりによる遅延等を考慮しても、A行目のアクティブ素子30は十分にオフ状態となっている。しかしながら、時刻t3はB行目の走査信号2Bが切り換わる時である。

【0082】A行目の第1の遮光膜44とB行目の第2の遮光膜46とが重なり合っているため、B行目の画素電極とA行目の画素電位制御信号線との間で容量が生じていることになる。時刻t3はB行目のアクティブ素子30がオフ状態へと切り換わる時であるため、B行目の画素電極109は映像信号線103から十分に切り離されていない。この時にB行目の画素電極109との間で容量成分を有するA行目の画素電位制御信号3Aが切り換わると、画素電極109と映像信号線103との間が十分に切り離されていないため、映像信号線103と画素電極109との間で電荷が移動する。すなわち、A行目の画素電位制御信号3Aの切り換わりが、B行目の画素電極109に書き込まれる電圧4Bに影響を与えることとなる。

【0083】この画素電位制御信号3Aによる影響は、液晶表示装置の走査方向が一定であるならば均一な影響となり、あまり目立つことはない。しかしながら、赤、緑、青等の色毎に液晶表示装置を備え、各液晶表示装置の出力を重ねてカラー表示する場合に、液晶表示装置の光学的配置による理由で、例えば1つの液晶表示装置だけ下から上に走査し、他の液晶表示装置は上から下に走査することがある。このように複数の液晶表示装置のうちで走査方向が異なるものがある場合には、表示品質が不均一となり美観を損ねることとなる。

【0084】次に、図15(b)を用いて解決方法を説明する。A行目の画素電位制御信号3AをA行目の走査信号2Aの開始より3h遅れて出力するようにする。この場合、B行目の走査信号2Bも切り換わった後であり、B行目のアクティブ素子30は十分にオフ状態であるためA行目の画素電位制御信号3AによるB行目の画素電極109に書き込まれる電圧4Bに与える影響が減少する。

【0085】なお、この場合、負極性入力信号が書き込まれる時間が、正極性入力信号に対して3hもの間短くなるが、例えば走査信号線102の数が100を超

えるような場合では3%以下の値となる。そのため、負極性入力信号と正極性入力信号の実効値の違いは基準電位 V_{com} の値等により調整することが可能である。

【0086】次に図16を用いて画素容量に供給される電圧 V_{PP} と基板電位 V_{BB} との関係について説明する。図16(a)は出力回路69を構成するインバータ回路を示している。

【0087】図16(a)において32はp型トランジスタのチャンネル領域でありシリコン基板1にイオン打ち込み等の方法によりn型ウエルが形成されている。シリコン基板1には基板電圧 V_{BB} が供給されており、n型ウエル32の電位は V_{BB} となっている。ソース領域34とドレイン領域35はp型半導体層であり、シリコン基板1にイオン打ち込み等の方法により形成される。p型トランジスタ30のゲート電極36に基板電圧 V_{BB} より低電位の電圧が印加されるとソース領域34とドレイン領域35とが導通状態となる。

【0088】一般に絶縁部を設ける等の必要がないため構造が簡単になることから、同じシリコン基板のトランジスタには共通の基板電位 V_{BB} が印加されている。本発明の液晶表示装置は同じシリコン基板1上に駆動回路部のトランジスタと、画素部のトランジスタが形成されている。画素部のトランジスタも同様の理由で、同じ電位の基板電位 V_{BB} が印加されている。

【0089】図16(a)に示すインバータ回路では、ソース領域34には画素容量に供給される電圧 V_{PP} が印加されている。ソース領域34はp型半導体層でありn型ウエル32との間はpn接合となっている。n型ウエル32の電位よりもソース領域34の電位が高くなると、ソース領域34からn型ウエル32に電流が流れるという不具合が生じる。そのため、基板電圧 V_{BB} に対して電圧 V_{PP} は低電位になるように設定される。

【0090】前述したように画素電極の電圧は、画素電極に書き込まれた電圧を V_2 、液晶容量を C_L 、画素容量を C_C 、画素電極制御信号の振幅が V_{PP} と V_{SS} とすると、電圧降下後の画素電極の電圧は、 $V_2 - \{C_C / (C_L + C_C)\} \times (V_{PP} - V_{SS})$ で表わされる。ここで、 V_{SS} にGND電位を選ぶと、画素電極の電圧変動の大きさは電圧 V_{PP} と液晶容量 C_L と画素容量 C_C で決まることになる。

【0091】図16(b)を用いて $C_C / (C_L + C_C)$ と電圧 V_{PP} との関係を示す。なお説明を簡単にするために基準電圧 V_{com} をGND電位としている。また、電圧を印加しないと白表示(ノーマリーホワイト)となる方式の場合で、黒表示(階調最小)となるよう階調電圧が画素電極に印加される場合を説明する。図16(b)の1は電圧選択回路123から画素電極に書き込まれる階調電圧を示している。1Aは正極性の場合で、2Aは負極性の場合の階調電圧である。黒表示な

ので基準電圧 V_{com} と画素電極に書き込まれる階調電圧の電位差が最大になるように1A、1Bともに設定される。図16(b)において1Aは正極性入力信号なので、従来通り基準電圧 V_{com} との電位差が最大となるように $+V_{max}$ とし、1Bは V_{com} (GND)として、画素電極に書き込んだ後で画素容量を用いて引き下げる。

【0092】4A、4B共に画素電極の電圧を示しており、4Aは $C_C / (C_L + C_C)$ が1の理想的な場合を示し、4Bは $C_C / (C_L + C_C)$ が1以下となる場合を示す。4Aの負極性の場合、1Bは V_{com} (GND)が書き込まれているので、画素電極制御信号の振幅 V_{PP} に従い引き下げられた $-V_{max}$ は、 $C_C / (C_L + C_C) = 1$ より、 $-V_{max} = -V_{PP}$ となる。

【0093】対して4Bは $C_C / (C_L + C_C)$ が1以下のため、 $+V_{max} < V_{PP}$ となるような画素電極制御信号を供給する必要がある。前述したように $V_{PP} < V_{BB}$ である必要があるため、 $+V_{max} < V_{PP} < V_{BB}$ といった関係になる。ここで、低耐圧回路とするために、画素電圧を引き下げる方法を用いているが、画素電極制御信号の電圧 V_{PP} が高電圧になってしまうと、基板電圧 V_{BB} が高電圧となってしまう結局高耐圧回路となってしまうという不具合が生じる。そのため、 $C_C / (C_L + C_C)$ がなるべく1となるように、すなわち $C_L \ll C_C$ となるように、 C_L と C_C の値を定める必要がある。

【0094】なお、従来のガラス基板に薄膜トランジスタを形成する液晶表示装置では、画素電極をなるべく広く(所謂高開口率化)する必要があるため、せいぜい $C_L = C_C$ とすることが実現可能な程度である。また、本発明の液晶表示装置は駆動回路部と画素部とが同一シリコン基板上に形成されるものであるため、基板電位 V_{BB} を高電圧としては低耐圧化できないという問題点を有している。

【0095】図16に示すように、画素電極制御信号はインバータ回路の電源電圧で設定できることから、電圧 V_{PP} は内部の回路で最適な電圧を形成することも、また外部から供給して、最適な電圧となるように調整することも可能である。

【0096】次に図17、図18を用いてライン反転駆動する場合の実施例を説明する。図17に示す液晶表示装置100は奇数行用画素電位制御回路135(1)と偶数行用画素電位制御回路135(2)を有している。ライン反転駆動では例えば奇数行の画素電極に正極性の階調電圧が書き込まれる場合に、偶数行の画素電極に負極性の階調電圧を書き込み交流化駆動するものである。ライン反転駆動の場合、行毎に極性が反転しているために画素電位制御信号の波形も行毎に切り替える必要が生じる。そこで、図17に示すように奇数行用と偶数行用

の画素電位制御信号回路を設けて、図18に示すように画素電位制御信号を3a、3bのように2種類の波形を交互に出力するようにすることでライン反転駆動が可能となる。

【0097】次に反射型液晶表示装置について説明する。反射型液晶表示素子の一つとして電界制御複屈折モード(ELECTRICALLY CONTROLLED BIREFRINGENCE MODE)が知られている。電界制御複屈折モードでは、反射電極と対向電極との間に電圧を印加し液晶組成物の分子配列を変化させ、その結果として液晶パネル中の複屈折率を変化させる。電界制御複屈折モードは、この複屈折率の変化を光透過率の変化として利用し像を形成するものである。

【0098】さらに図19を用いて、電界制御複屈折モードの一つである単偏光板ツイストネマティックモード(SPTN)について説明する。9は偏光ビームスプリッタで光源(図示せず)からの入射光L1を2つの偏光に分割し、直線偏光となった光L2を出射する。図19では、液晶パネル100に入射させる光に、偏光ビームスプリッタ9を透過した光(P波)を用いる場合を示しているが、偏光ビームスプリッタ9で反射した光(S波)を用いることも可能である。液晶組成物3は液晶分子長軸が駆動回路基板1と透明基板2に対して平行に配列し、誘電異方性が正のネマティック液晶を用いる。また、液晶分子は配向膜7、8により約90度ねじれた状態で配向している。

【0099】まず図19(a)に電圧が印加されていない場合を示す。液晶パネル100に入射した光は液晶組成物3の複屈折性により楕円偏光となり反射電極5面では円偏光となる。反射電極5で反射した光は再度液晶組成物3中を通過し再び楕円偏光となり出射時には直線偏光に戻り、入射光L2に対して90度位相が回転した光L3(S波)として出射する。出射光L3は再び偏光ビームスプリッタ9に入射するが、偏光面で反射され出射光L4となる。この出射光L4をスクリーン等に照射して表示を行う。この場合、電圧を印加していない場合に光が出射する所謂ノーマリーホワイト(ノーマリーオープン)と呼ばれる表示方式となる。

【0100】対して図19(b)に液晶組成物3に電圧が印加されている場合を示す。液晶組成物3に電圧が印加されると、液晶分子が電界方向に配列するため、液晶内で複屈折が起きる率が減少する。そのため、直線偏光で液晶パネル100に入射した光L2はそのまま反射電極5で反射され入射光L2と同じ偏光方向の光L5として出射する。出射光L5は偏光ビームスプリッタ9を透過し光源に戻る。そのため、スクリーン等に光が照射されないため、黒表示となる。

【0101】単偏光板ツイストネマティックモードでは、液晶の配向方向が基板と平行であるため、一般的な配向方法を用いることができ、プロセス安定性が良い。また

ノーマリーホワイトで使用するため、低電圧側でおこる表示不良に対して裕度を持たせることができる。すなわち、ノーマリーホワイト方式では、暗レベル(黒表示)が高電圧を印加した状態で得られる。この高電圧の場合には液晶分子のほとんどが基板面に垂直な電界方向に揃っているため、暗レベルの表示は、低電圧時の初期配向状態にあまり依存しない。さらに、人間の目は、輝度ムラを輝度の相対的な比率として認識し、かつ、輝度に対し対数スケールに近い反応を有する。そのため、人間の目は暗レベルの変動には敏感である。こうした理由から、ノーマリーホワイト方式は、初期配向状態による輝度ムラに対して有利な表示方式である。

【0102】上述した電界制御複屈折モードでは高いセルギャップの精度が求められる。すなわち、電界制御複屈折モードでは、光が液晶中を通過する間に生じる異常光と常光との間の位相差を利用しているため、透過光強度は異常光と常光との間のリタデーション $n \cdot d$ に依存する。ここで、 n は屈折率異方性で、 d はスペーサ4によって形成される透明基板2と駆動回路基板1との間のセルギャップである。

【0103】このため、本実施例の場合、表示ムラを考慮しセルギャップ精度は、 $\pm 0.05 \mu\text{m}$ 以下とした。また、反射型では液晶に入射した光は反射電極で反射し再度液晶を通過するため、同じ屈折率異方性 n の液晶を用いる場合、透過型に対してセルギャップ d は半分になる。一般の透過型液晶表示素子の場合セルギャップ d は5~6 μm 程度であるのに対し、本実施例では約2 μm である。

【0104】本実施例では高いセルギャップ精度と、より狭いセルギャップに対応するため、従来からあるビーズ分散法に代わり柱状のスペーサを駆動回路基板1上に形成する方法を用いた。

【0105】図20に駆動回路基板1上に設けられた反射電極5とスペーサ4との配置を説明する模式平面図を示す。一定の間隔を保つように多数のスペーサ4が駆動回路基板全面にマトリックス状に形成されている。反射電極5は液晶表示素子が形成する像の最小の画素である。図20では簡略化のため、符号5A、5Bで示す縦4画素、横5画素で示した。

【0106】図20では縦4画素、横5画素の画素が、表示領域を形成している。液晶表示素子で表示する像はこの表示領域に形成される。表示領域の外側にはダミー画素113が設けられている。このダミー画素113の周辺にスペーサ4と同じ材料で周辺枠11が設けられている。さらに、周辺枠11の外側にはシール材12が塗布される。13は外部接続端子で液晶パネル100に外部からの信号を供給するのに用いられる。

【0107】スペーサ4と周辺枠11の材料には、樹脂材料を用いた。樹脂材料として例えば、株式会社JSR製の化学増幅型ネガタイプレジスト「BPR-113」

(商品名)を用いることができる。反射電極5が形成された駆動回路基板1上にスピコート法等でレジスト材を塗布し、マスクを用いてレジストをスペーサ4と周辺枠11のパターンに露光する。その後除去剤を用いてレジストを現像してスペーサ4と周辺枠11とを形成する。

【0108】スペーサ4と周辺枠11とをレジスト材等を原料として形成すると、塗布する材料の膜厚でスペーサ4と周辺枠11の高さを制御でき、高い精度でスペーサ4と周辺枠11を形成することが可能である。また、スペーサ4の位置はマスクパターンで決めることができ、希望する位置に正確にスペーサ4を設けることが可能である。液晶プロジェクタでは画素上にスペーサ4が存在すると、拡大投映された像にスペーサによる影が見えてしまう問題がある。スペーサ4をマスクパターンによる露光、現像で形成することで、映像表示した際に、問題とならな位置にスペーサ4を設けることができる。

【0109】また、スペーサ4と同時に周辺枠11を形成しているので、液晶組成物3を駆動回路基板1と透明基板2との間に封入する方法として、液晶組成物3を駆動回路基板1に滴下しその後透明基板2を駆動回路基板1に貼り合わせる方法を用いることができる。

【0110】液晶組成物3を駆動回路基板1と透明基板2の間に配置し、液晶パネル100を組立てた後は、周辺枠11により囲まれた領域内に液晶組成物3が保持される。また、周辺枠11の外側にはシール材12が塗布され、液晶組成物3を液晶パネル100内に封入する。前述したように、周辺枠11はマスクパターンを用いて形成されるので、高い位置精度で駆動回路基板1上に形成することができる。そのため、液晶組成物3の境界を高い精度で定めることが可能である。また、周辺枠11はシール材12の形成領域の境界も高い精度で定めることが可能である。

【0111】シール材12は駆動回路基板1と透明基板2とを固定する役目と、液晶組成物3にとって有害な物質が進入することを阻止する役目がある。流動性があるシール材12を塗布した場合に、周辺枠11はシール材12のストッパとなる。シール材12のストッパとして、周辺枠11を設けることで、液晶組成物3の境界やシール材12の境界での設計裕度を広くすることができ、液晶パネル100の端辺から表示領域までの間を狭く(挟額縁化)することが可能である。

【0112】周辺枠11と表示領域との間にはダミー画素113が設けられている。ダミー画素113は最外部の画素5Bと内部の画素5Aとの表示品質を均一にするためのものである。内部の画素5Aには隣合う画素が存在するため、隣合う画素との間で不要な電界が生じ、隣合う画素が無い場合に比較して表示品質が低下している。対して最外部の画素5Bで、ダミー画素113が無い場合では、表示品質を低下する不要な電界が生じていないので、表示品質が内部の画素5Bに比較して良くな

っている。一部の画素に表示品質の差が生じると、それが表示ムラとなる。そのため、ダミー画素113を設けて画素5A、5Bと同じように信号を供給し最外部の画素5Bと内部の画素5Aとの表示品質を同等にしている。

【0113】さらに、表示領域を囲むように周辺枠11が形成されていることから、駆動回路基板1をラビング処理する際に、周辺枠11により周辺枠11の近傍がうまくラビングできない問題がある。液晶組成物3を一定の方向に配向するため、配向膜を形成しラビング処理が行われる。本実施例の場合、駆動回路基板1にスペーサ4、周辺枠11が形成された後に、配向膜7が塗布される。その後、液晶組成物3が一定方向に配向するよう、配向膜7を布等を用いて擦ることでラビング処理が行われる。

【0114】ラビング処理において、周辺枠11が駆動回路基板1より突出しているため、周辺枠11の近傍の配向膜7は、周辺枠11による段差により十分に擦られない。そのため、周辺枠11の近傍には液晶組成物3の配向が不均一な部分が生じやすい。液晶組成物3の配向不良による表示ムラを目立たなくするため、周辺枠11の内側数画素をダミー画素113とすることで、表示に寄与しない画素としている。

【0115】ところが、ダミー画素113を設け、画素5A、5Bと同じように信号を供給すると、ダミー画素113と透明基板2の間には液晶組成物3が存在するため、ダミー画素113による表示も観察されてしまうという問題が生じる。ノーマリホワイトで使用する場合、液晶組成物3に電圧を印加しないと、ダミー画素113が白く表示される。そのため、表示領域の境が明確でなくなり、表示品質をそこなう。ダミー画素113を遮光することも考えられるが、画素と画素の間隔は数 μ mのため、表示領域の境に精度良く遮光枠を形成することは困難である。そこで、ダミー画素113には黒表示となるような電圧を供給し、表示領域を囲む黒枠として観察されるようにした。

【0116】図21にダミー画素113の駆動方法について説明する。ダミー画素113には黒表示となるような電圧を供給するために、ダミー画素が設けられた領域は一面黒表示となる。一面黒表示となるならば、表示領域に設けた画素と同じように個別に形成する必要がなく、複数のダミー画素を電氣的に接続して、一体の画素として設けることができる。また、駆動に必要な時間を考えると、ダミー画素のために書き込み時間を設けることは無駄である。そこで、複数のダミー画素の電極を連続して設けて、1つのダミー画素電極とすることが可能である。しかしながら、複数のダミー画素を接続して1つのダミー画素とすると画素電極の面積が増加することから、液晶容量が大きくなってしまふ。前述したように液晶容量が大きくなると画素容量を用いて画素電圧を引き

下げる効率が低下する。

【0117】そこで、ダミー画素も表示領域の画素と同様に個別に設けることとした。しかしながら、有効画素と同様に1ライン毎の書き込みを行った場合、新たに設けた複数行のダミー行を駆動する時間が長くなる。そして、その分有効画素に書き込みを行う時間が短くなってしまふという問題が生じる。対して高精細表示を行う場合には、高速の映像信号(ドットクロックの高い信号)が入力するため、ますます画素の書き込み時間に対する制限が生じてくる。

【0118】そこで1画面の書き込み期間中に数ライン分の書き込み時間を節約するために、図21に示すようにダミー画素については垂直駆動回路130の垂直双方向シフトレジスタVSRから複数行分のタイミング信号を出力させて、複数のレベルシフト67と出力回路69に入力させ走査信号を出力するようにした。また、同じく画素電極制御回路135についても双方向シフトレジスタSRから複数行分のタイミング信号を出力させて、複数のレベルシフト67と出力回路69に入力させ画素電極制御信号を出力するようにした。

【0119】次に、図22に画素電極のスペーサ4近傍に切欠きを設けた構成を示す。前述したように、配向膜7をラビング処理する際に、配向膜7は、周辺枠11による段差により十分に擦られないが、画素が小さくなるにつれて、スペーサ4近傍にも十分に擦られない領域が生じる。そして十分に擦られない領域では光漏れが発生するため、コントラストが低下し表示品質が著しく損なわれることになる。そこで、図22に示すように、十分にラビングできない領域の画素電極5部分に切欠き114を設けた。切欠き114を設けることで、光漏れの発生を防ぐことができ、コントラストを向上することが可能である。

【0120】次に、図23、図24を用いて駆動回路基板1上に設けられるアクティブ素子30とその周辺の構成を説明する。図23、図24において図13と同じ符号は同じ構成を示す。なお、図24はアクティブ素子30周辺を示す概略平面図で、図23は図24のI-I線における断面図であるが、図23と図24との各構成間の距離は一致していない。また図24は走査信号線102とゲート電極36、映像信号線103とソース領域35、ドレイン領域34、画素容量を形成する第2の電極40、と第1の導電層42と、コンタクトホール35CH、34CH、40CH、42CHの位置関係を示すもので、その他の構成は省略した。

【0121】図23において、1は駆動回路基板であるシリコン基板、32はシリコン基板1にイオン打ち込みで形成した半導体領域(p型ウエル)、33はチャネルストップ、34はp型ウエル32にイオン打ち込みで導電化し形成したドレイン領域、35はp型ウエル32にイオン打ち込みで形成したソース領域、31はp型ウエ

ル32にイオン打ち込みで導電化し形成した画素容量の第1の電極である。なお、本実施例ではアクティブ素子30をp型トランジスタで示したが、n型トランジスタとすることも可能である。

【0122】36はゲート電極、37はゲート電極端部の電界強度を緩和するオフセット領域、38は絶縁膜、39はトランジスタ間を電氣的に分離するフィールド酸化膜、40は画素容量を形成する第2の電極で絶縁膜38を介しシリコン基板1に設けた第1の電極21との間で容量を形成する。ゲート電極36と第2の電極40は、絶縁膜38上にアクティブ素子30のしきい値を低くするための導電層と低抵抗の導電層とを積層した2層膜からなっている。2層膜としては例えばポリシリコンとタングステンシリサイドの膜を用いることができる。41は第1の層間膜、42は第1の導電膜である。第1の導電膜42は接触不良を防止するバリアメタルと低抵抗の導電膜の多層膜からなっている。第1の導電膜として、例えばチタンタングステンとアルミの多層金属膜をスパッタで形成して用いることができる。

【0123】図24において102は走査信号線である。走査信号線102は、図24中、X方向に延在しY方向に並設されていて、アクティブ素子30をオン・オフする走査信号が供給される。走査信号線102はゲート電極と同じ2層膜からなっており、例えばポリシリコンとタングステンシリサイドを積層した2層膜を用いることができる。映像信号線103はY方向に延在しX方向に並設されていて、反射電極5に書き込まれる映像信号が供給される。映像信号線103は第1の導電膜42と同じ多層金属膜からなっており、例えばチタンタングステンとアルミの多層金属膜を用いることができる。

【0124】映像信号は絶縁膜38と第1の層間膜41に空けられたコンタクトホール35CHを通り第1の導電膜42によりドレイン領域35に伝わる。走査信号線102に走査信号が供給されると、アクティブ素子30はオンになり、映像信号は半導体領域(p型ウエル)32からソース領域34に伝わり、コンタクトホール34CHを通り第1の導電膜42に伝わる。第1の導電膜42に伝わった映像信号は、コンタクトホール40CHを通り画素容量の第2の電極40に伝わる。また、図23に示すように映像信号はコンタクトホール42CHを通り反射電極5へと伝わっていく。コンタクトホール42CHはフィールド酸化膜39の上に形成されている。フィールド酸化膜39は膜厚が厚いため、フィールド酸化膜の上は他の構成に比較して高い位置となっている。コンタクトホール42CHはフィールド酸化膜39上に設けられることで、上層の導電膜により近い位置とすることができ、コンタクトホールの接続部の長さを短くしている。

【0125】第2の層間膜43は、第1の導電膜42と第2の導電膜44とを絶縁している。第2の層間膜43

は、各構成物により生じている凹凸を埋める平坦化膜 43A とその上を覆う絶縁膜 43B との 2 層で形成されている。平坦化膜 43A は SOG (spin on glass) を塗布して形成している。絶縁膜 43B は TEOS 膜であり、反応ガスとして TEOS (Tetraethylorthosilicate) を用い SiO₂ 膜を CVD により形成したものである。

【0126】第 2 の層間膜 43 の形成後、CMP (ケミカル・メカニカル・ポリシング) により第 2 の層間膜 43 は研磨される。第 2 の層間膜 43 は CMP により研磨 10 することで平坦化する。平坦化された第 2 の層間膜の上に第 1 の遮光膜 44 が形成される。第 1 の遮光膜 44 は第 1 の導電膜 42 と同じタングステンとアルミの多層金属膜で形成している。

【0127】第 1 の遮光膜 44 は駆動回路基板 1 の略全面を被っており、開口は図 23 に示すコンタクトホール 42CH の部分だけある。第 1 の遮光膜 44 の上に第 3 の層間膜 45 が TEOS 膜で形成されている。さらに第 3 の層間膜 45 の上に第 2 の遮光膜 46 が形成されている。第 2 の遮光膜 46 は第 1 の導電膜 42 と同じタング 20 ステンとアルミの多層金属膜で形成している。第 2 の遮光膜 46 はコンタクトホール 42CH で第 1 の導電膜 42 と接続されている。コンタクトホール 42CH では、接続をとるために第 1 の遮光膜 44 を形成する金属膜と第 2 の遮光膜 46 を形成する金属膜とが積層されている。

【0128】第 1 の遮光膜 44 と第 2 の遮光膜 46 を導電膜で形成し、間に第 3 の層間膜 45 を絶縁膜 (誘電膜) で形成し、第 1 の遮光膜 44 に画素電位制御信号を供給し、第 2 の遮光膜 46 に階調電圧を供給すると、第 30 1 の遮光膜 44 と第 2 の遮光膜 46 とで画素容量を形成することができる。また、階調電圧に対する第 3 の層間膜 45 の耐圧と、膜厚を薄くして容量を大きくすることを考慮すると、第 3 の層間膜 45 は 150nm から 450nm が好ましく、より好ましくは、約 300nm である。

【0129】第 2 の遮光膜 46 と第 2 の導電膜 48 との接続には、プラグ PG を用いている。プラグ PG は第 4 の層間膜 47 にスルーホールを形成し、タングステン等を用いてスルーホールを充填して形成する。そのため、 40 プラグ PG ではコンタクトホール 42CH 等に比較して、その上部に形成される膜 (反射電極 5) の凹凸が減少し、反射電極 5 を平坦の膜で形成することが可能である。反射電極 5 の凹凸は液晶パネル 100 の反射率を減少させることから、従来、反射電極 5 (第 2 の導電膜 48) とその下の層との接続に用いられていたコンタクトホールは、各画素 1 個形成していた。対してプラグ PG で第 2 の遮光膜 46 と第 2 の導電膜 48 (反射電極 5) と接続すると、プラグ PG 上の反射電極 5 が比較的平坦であるため、各画素に複数のプラグ PG を設けることが 50

可能となっている。

【0130】次に、図 25 に駆動回路基板 1 に透明基板 2 を重ね合わせた図を示す。駆動回路基板 1 の周辺部には、周辺枠 11 が形成されており、液晶組成物 3 は周辺枠 11 と駆動回路基板 1 と透明基板 2 とに囲まれた中に保持さる。重ね合わされた駆動回路基板 1 と透明基板 2 との間で周辺枠 11 の外側には、シール材 12 が塗布される。シール材 12 により駆動回路基板 1 と透明基板 2 とが接着固定され液晶パネル 100 が形成される。13 は外部接続端子である。

【0131】次に図 26 に外部接続端子 13 を拡大した概略図を示す。図 26 (a) は平面図で、図 26 (b) は図 26 (a) B - B で示す線の断面図である。図中 13B は接続時の位置合わせを容易にするために、他の端子よりも長く形成した外部接続端子である。また、14 は外部接続端子 13 の周辺に形成したダミーパターンである。駆動回路基板 1 内において、外部接続端子 13 と外部接続端子 13 の間は端子接続時のショートを防止するため、外部接続端子 13 以外の構成を設けない。そのため、駆動回路基板 1 内の他の領域に比較してパターン密度が粗になっている。パターン密度が粗の部分は、他の領域に比較して層間膜の研磨量が多くなるという問題が生じる。そのため、外部接続端子 13 の周辺にはダミーパターンが設けられており、パターン密度を均一にすることができ、薄い均一な膜が研磨可能となった。

【0132】端子を構成する導電膜は、図 26 (b) に示すように、第 1 の導電膜 42 と第 1 の遮光膜 44 と第 2 の遮光膜 46 及び、第 2 の導電膜 48 (反射電極 5 を形成する金属膜) を積み重ねて形成している。接続部の第 2 の遮光膜 46 と第 2 の導電膜 48 との接続は、画素部と同様にプラグ PG を用いている。プラグ PG を用いることで外部接続端子 13 を比較的平坦に形成することが可能になっている。また、プラグ PG をタングステン等の金属を用いて密に形成することで、第 2 の導電膜 48 が薄い膜のため、異方性導電膜の導電粒子が第 2 の導電膜 48 を突き破っても、導電粒子がプラグ PG に埋め込むように接触して、接続信頼性が保たれる。

【0133】次に図 27 にフレキシブルプリント配線板 80 が接続される様子を示す。フレキシブルプリント配線板 80 は液晶パネル 100 に外部からの信号を供給するために用いられる。前述したように、フレキシブルプリント配線板 80 は異方性導電膜 (図示せず) を用い外部接続端子 13 に接続される。フレキシブルプリント配線板 80 の両外側の端子は他の端子に比較して長く形成され、透明基板 2 に形成された対向電極 5 に接続され、対向電極用端子 81 を形成している。すなわち、フレキシブルプリント配線板 80 は、駆動回路基板 1 と透明基板 2 の両方に接続されている。

【0134】従来の対向電極 5 への配線は駆動回路基板 1 に設けられた外部接続端子にフレキシブルプリント配

線板が接続され、駆動回路基板 1 を経由して対向電極 5 に接続されるものであった。本実施例の透明基板 2 にはフレキシブルプリント配線板 80 との接続部 82 が設けられ、フレキシブルプリント配線板 80 と対向電極 5 とが直接接続される。すなわち、液晶パネル 100 は透明基板 2 と駆動回路基板 1 とが重ね合わされて形成されるが、透明基板 2 の一部は駆動回路基板 1 より外側に出て接続部 82 を形成しており、この透明基板 2 の外側に出た部分でフレキシブルプリント配線板 80 と接続されている。

【0135】図 28、図 29 に液晶表示装置 200 の構成を示す。図 28 は液晶表示装置 200 を構成する各構成物の分解組立て図である。また図 29 は液晶表示装置 200 の平面図である。

【0136】図 28 に示すように、フレキシブルプリント配線板 80 が接続された液晶パネル 100 は、クッション材 71 を間に挟んで、放熱板 72 に配置される。クッション材 71 は高熱伝導性であり、放熱板 72 と液晶パネル 100 との隙間を埋めて、液晶パネル 100 の熱が放熱板 72 に伝わりやすくする役目を持つ。73 はモールドで、放熱板 72 に接着固定されている。76 は遮光枠で液晶表示装置 200 の表示領域の外枠を表示する。

【0137】また図 29 に示すように、フレキシブルプリント配線板 80 はモールド 73 と放熱板 72 との間を通りをモールド 73 の外側に取り出されている。75 は遮光板で、光源からの光が液晶表示装置 200 を構成する他の部材にあたることを防いでいる。

【0138】以上、本発明者によってなされた発明を、前記発明の実施の形態に基づき具体的に説明したが、本発明は、前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0139】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0140】本発明によれば、液晶表示素子内に駆動回路を組み込む場合に、駆動回路を低耐圧の回路とすることができ、回路が占有する面積及び 1 画素の占有する面積を少なくすることが可能となり、回路の高速駆動が可能となる。また、本発明によれば、液晶表示素子を小型高精細化することが可能となる。また、本発明によれば、走査信号の波形なまりを小型の補助回路で減少させることが可能となる。

【図面の簡単な説明】

【図 1】本発明の実施の形態である液晶表示装置の概略構成を示すブロック図である。

【図 2】本発明の実施の形態である液晶パネルの一例を示すブロック図である。

【図 3】画素電位を制御する方法を説明する概略回路図である。

【図 4】図 2 に示す液晶パネルの駆動方法を示すタイミング図である。

【図 5】本発明の実施の形態である液晶表示装置の画素電位制御回路の構成を示す概略回路図である。

【図 6】画素電位制御回路に用いられるクロックインバータを示す概略回路図である。

【図 7】本発明の実施の形態である液晶表示装置の垂直駆動回路の構成を示す概略回路図である。

【図 8】図 7 に示す垂直駆動回路の動作を示すタイミング図である。

【図 9】本発明の実施の形態である液晶表示装置のプルアップ回路の構成を示す概略回路図である。

【図 10】図 9 に示すプルアップ回路の動作を示すタイミング図である。

【図 11】本発明の実施の形態である液晶表示装置の水平駆動回路の構成を示す概略回路図である。

【図 12】図 11 に示す水平駆動回路の動作を示すタイミング図である。

【図 13】本発明の実施の形態である液晶表示装置の画素部を示す概略断面図である。

【図 14】遮光膜を用いて画素電位制御線を形成する構成を示す概略平面図である。

【図 15】本発明の実施の形態である液晶表示装置の駆動方法を示すタイミング図である。

【図 16】本発明の実施の形態である液晶表示装置の画素電位制御回路に用いられるインバータ回路の概略断面図と動作を示すタイミング図である。

【図 17】本発明の実施の形態である液晶表示装置を示す概略平面図である。

【図 18】本発明の実施の形態である液晶表示装置の駆動方法を示すタイミング図である。

【図 19】本発明の実施の形態である液晶表示装置を示す概略図である。

【図 20】本発明の実施の形態である液晶表示装置の液晶パネルを示す概略平面図である。

【図 21】本発明の実施の形態である液晶表示装置を示す概略回路図である。

【図 22】本発明の実施の形態である液晶表示装置を示す概略平面図である。

【図 23】本発明による液晶表示装置のアクティブ素子周辺の概略断面図である。

【図 24】本発明による液晶表示装置のアクティブ素子周辺の概略平面図である。

【図 25】本発明の実施の形態である液晶表示装置の液晶パネルを示す概略図である。

【図 26】本発明の実施の形態である液晶表示装置の端子部分を示す概略図である。

【図 27】本発明の実施の形態である液晶表示素子の液

晶パネルにフレキシブル基板を接続したようすを示す概略図である。

【図28】本発明の実施の形態である液晶表示装置を示す概略組み立て図である。

【図29】本発明の実施の形態である液晶表示装置を示す概略図である。

【符号の説明】

1...半導体基板、2...透明基板、3...液晶組成物、4...スペーサ、5...反射電極、6...対向電極、7、8...配向膜、9...偏光ビームスプリッタ、11...周辺枠、12...シール材、14...外部接続端子、25...走査リセット信号入力端子、26...走査スタート信号入力端子、27...走査終了信号出力端子、28...リセット用トランジスタ、30...アクティブ素子、34...ソース領域、35...ドレイン領域、36...ゲート領域、38...絶縁膜、39...フィールド酸化膜、41...第1の層間膜、42...第1*

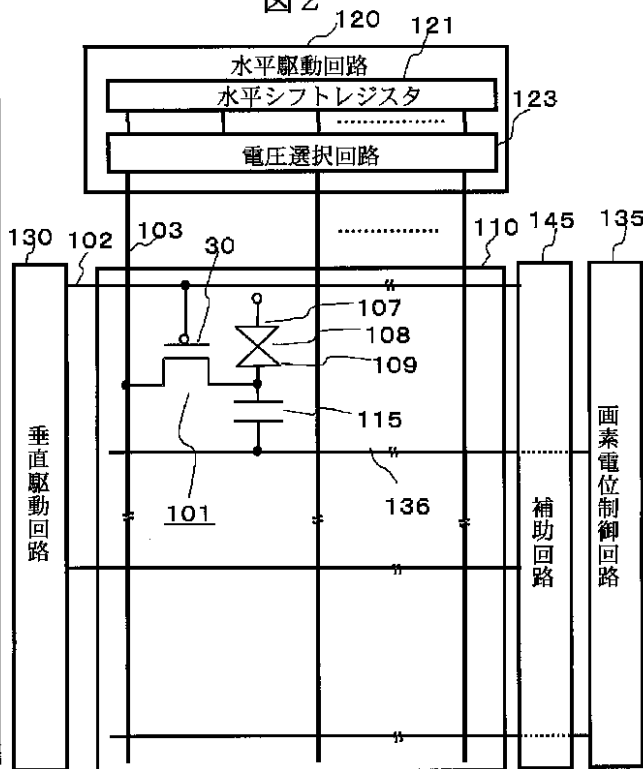
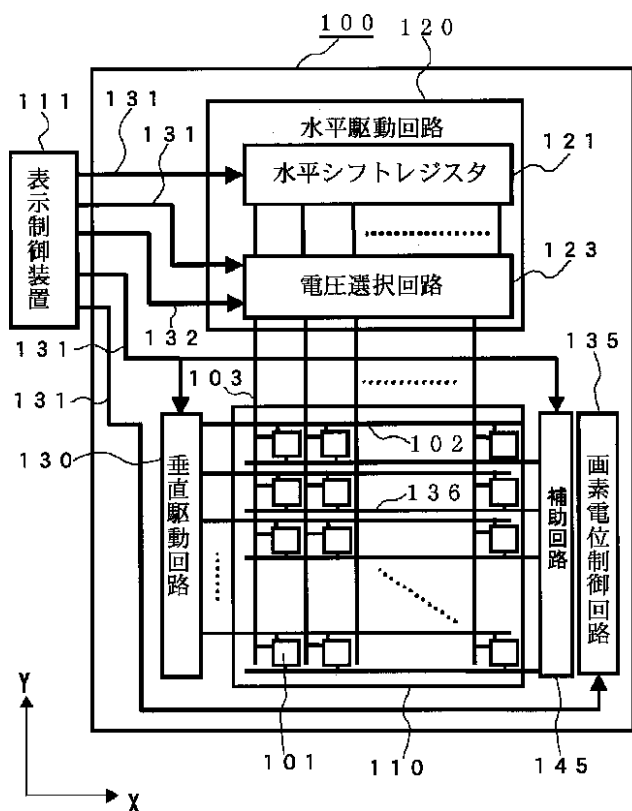
*の導電膜、43...第2の層間膜、44...第1の遮光膜、45...第3の層間膜、46...第2の遮光膜、47...第4の層間膜、48...第2の導電膜、61~62...クロックドインバータ、65~66...クロックドインバータ、71...クッション材、72...放熱板、73...モールド、74...保護用接着材、75...遮光板、76...遮光枠、80...フレキシブル配線板、100...液晶パネル、101...画素部、102...走査信号線、103...映像信号線、104...スイッチング素子、107...対向電極、108...液晶容量、109...画素電極、110...表示部、111...表示制御装置、113...ダミー画素、115...画素容量、120...水平駆動回路、121...水平シフトレジスタ、122...表示データ保持回路、123...電圧選択回路、130...垂直駆動回路、131...制御信号線、132...表示データ線。

【図1】

【図2】

図1

図2

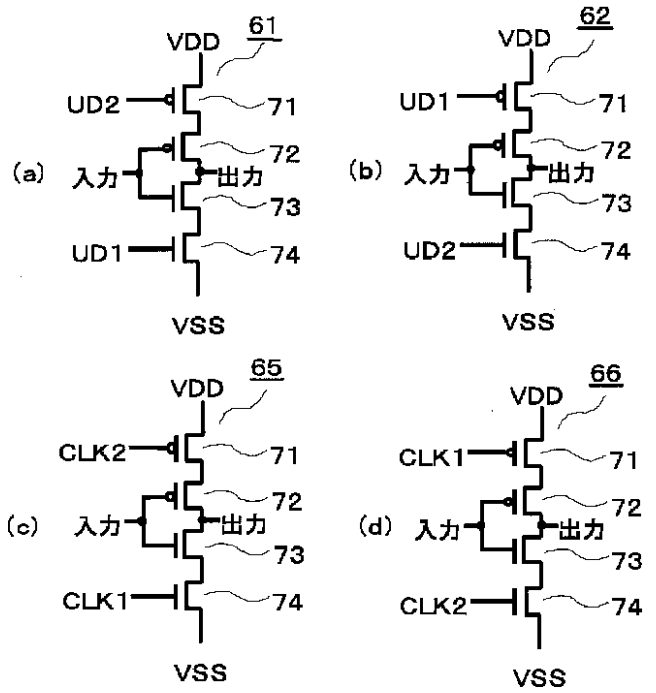
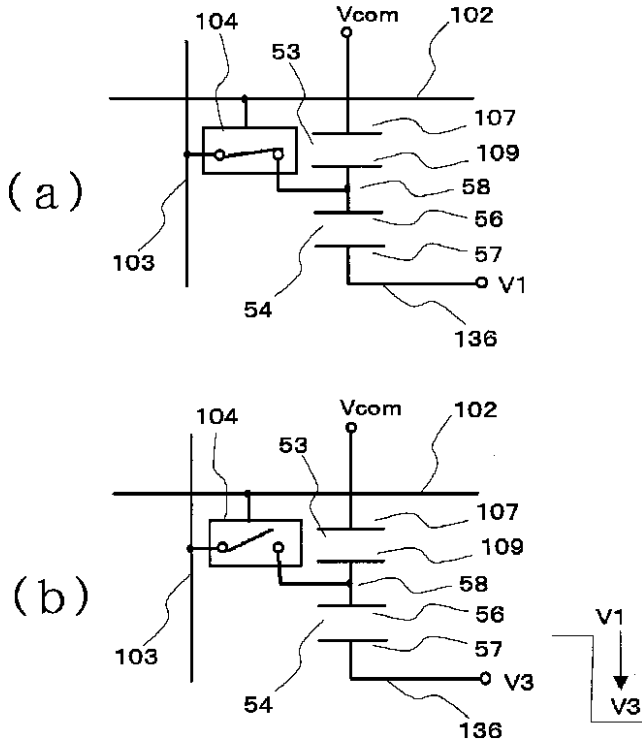


【図3】

【図6】

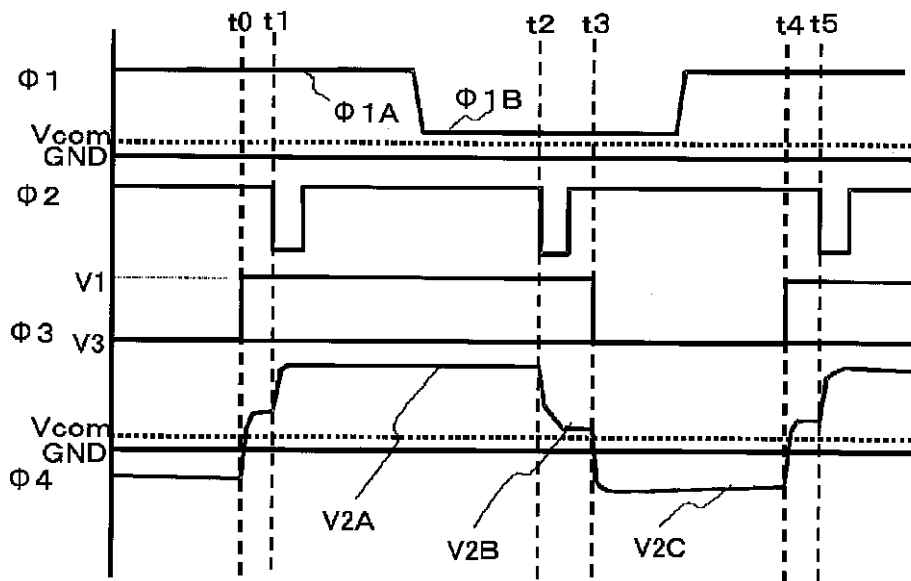
図3

図6



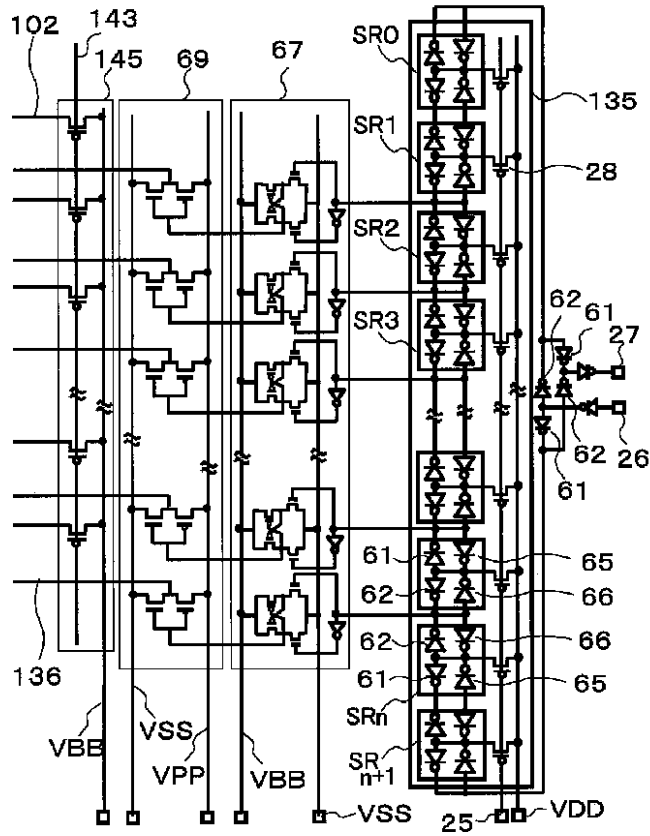
【図4】

図4



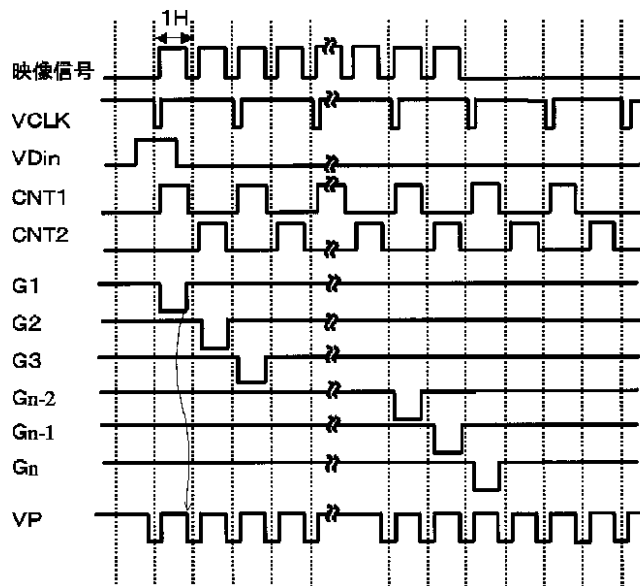
【図5】

図5



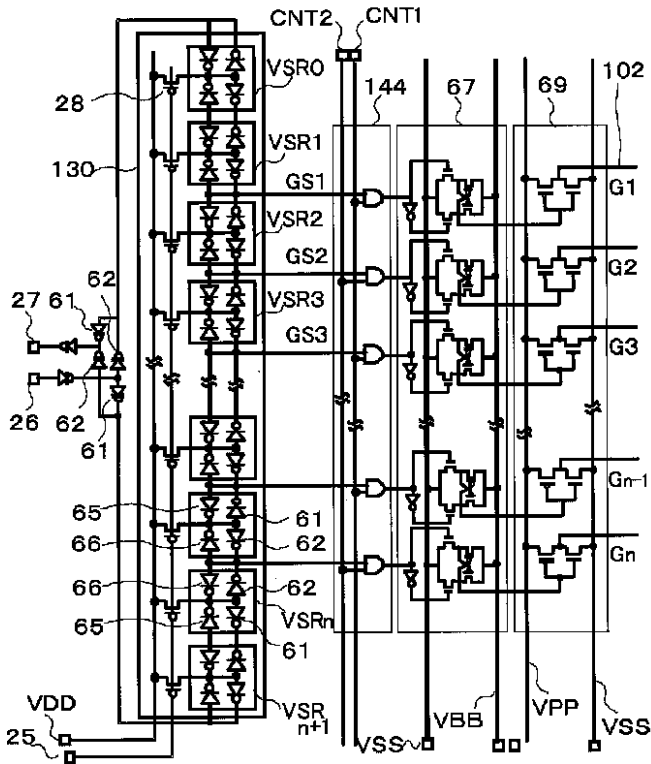
【図10】

図10



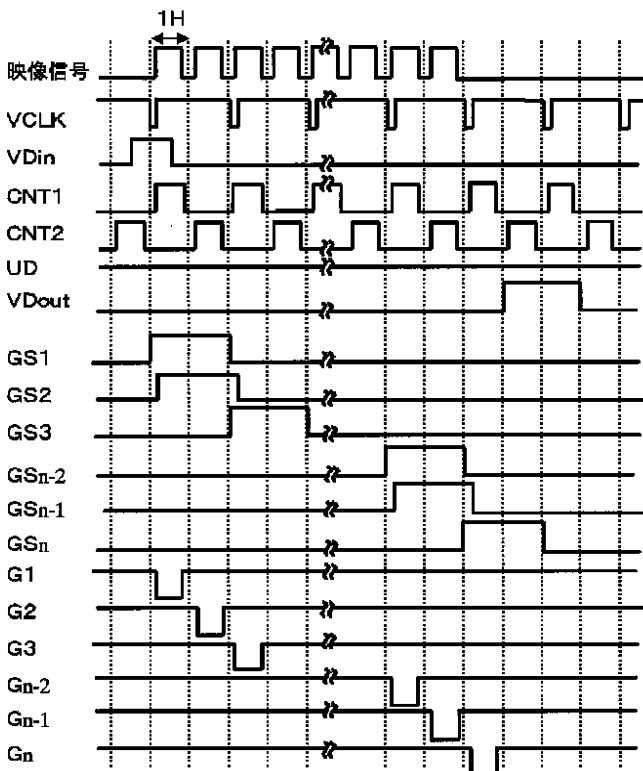
【図7】

図7



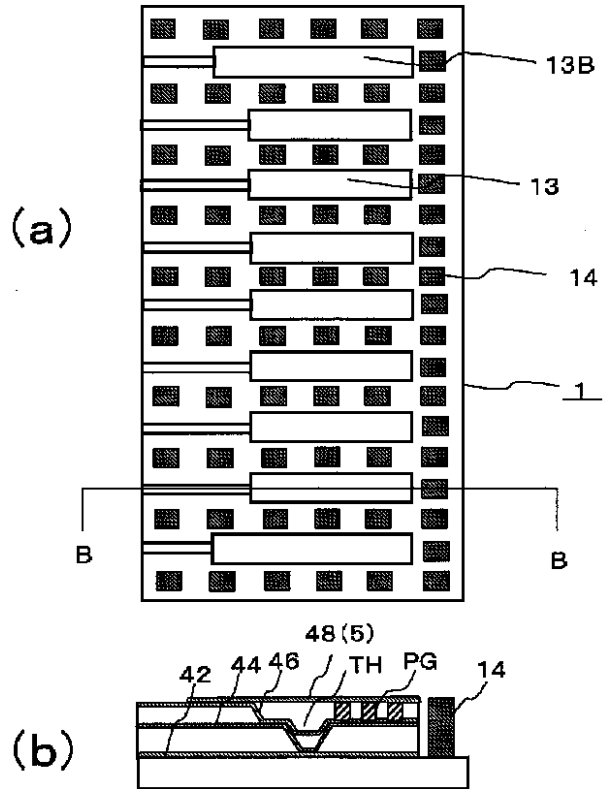
【図8】

図8



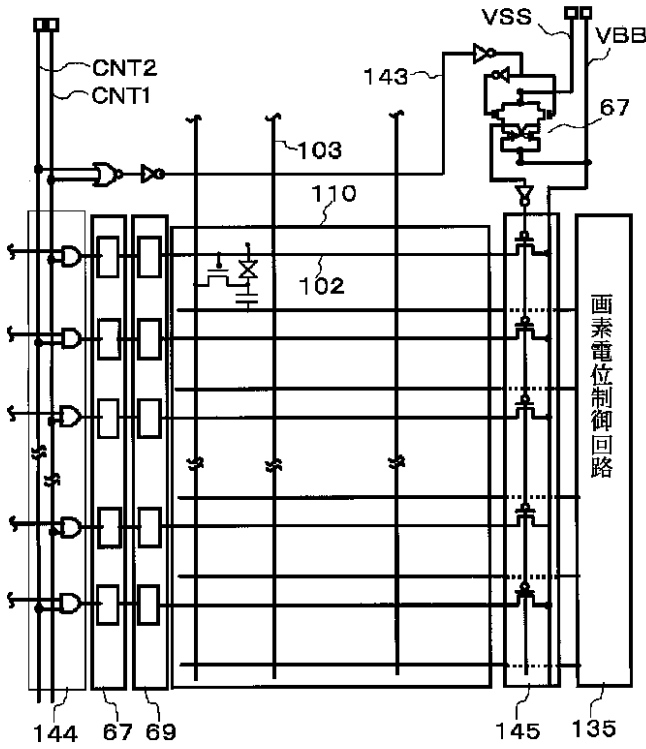
【図26】

図26



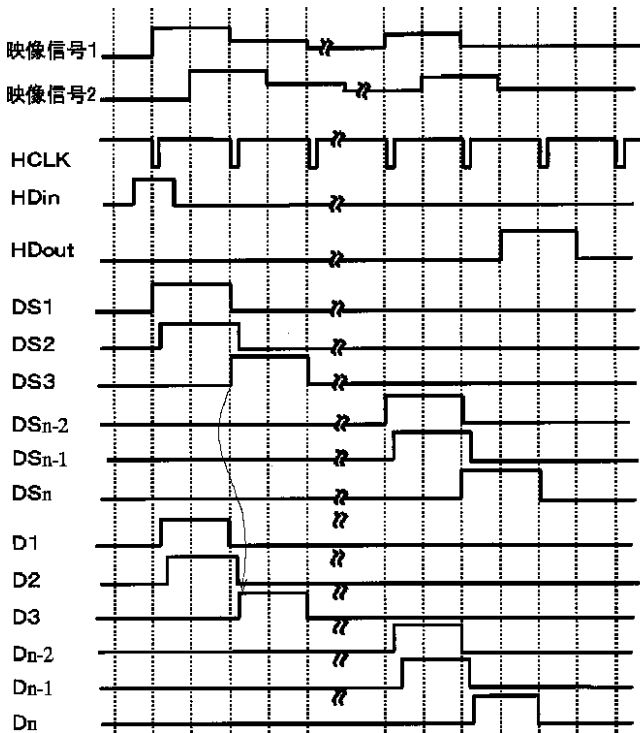
【図9】

図9



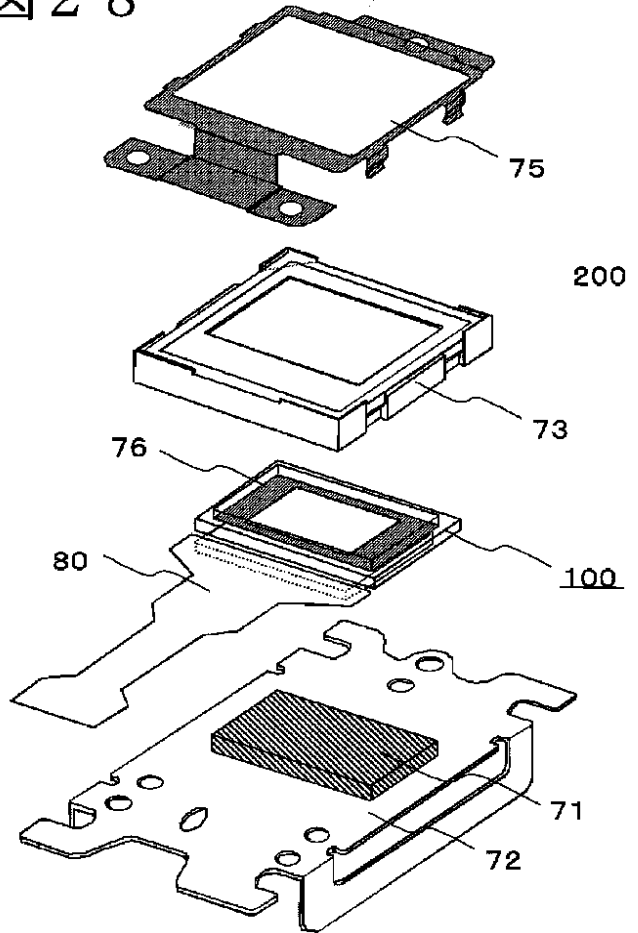
【図12】

図12



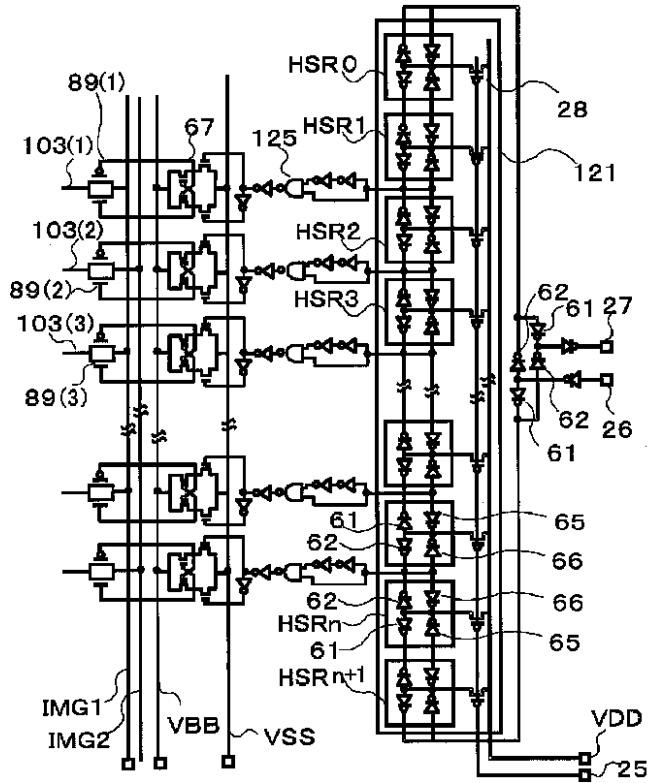
【図28】

図28



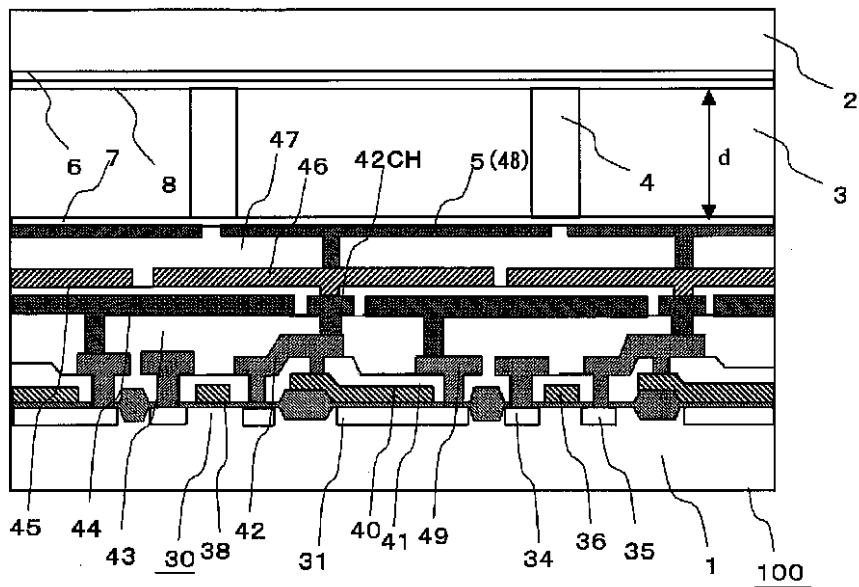
【図11】

図11



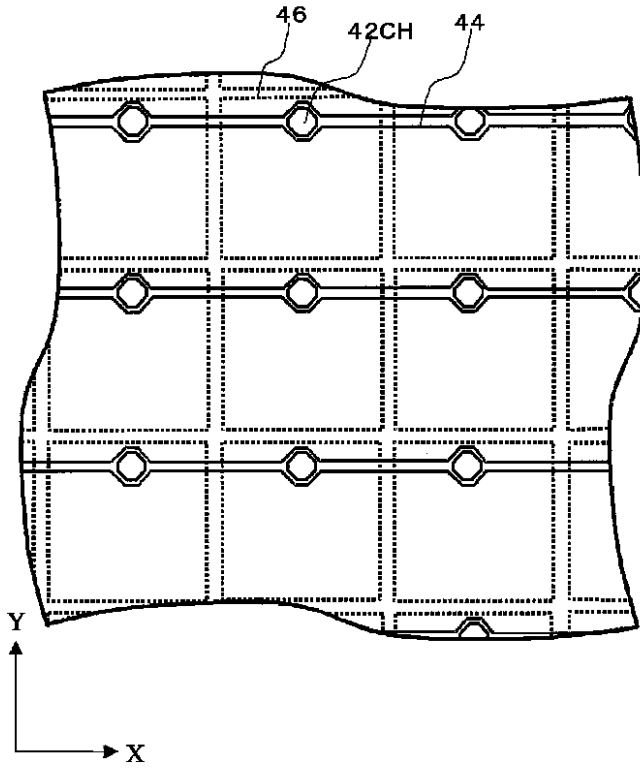
【図13】

図13



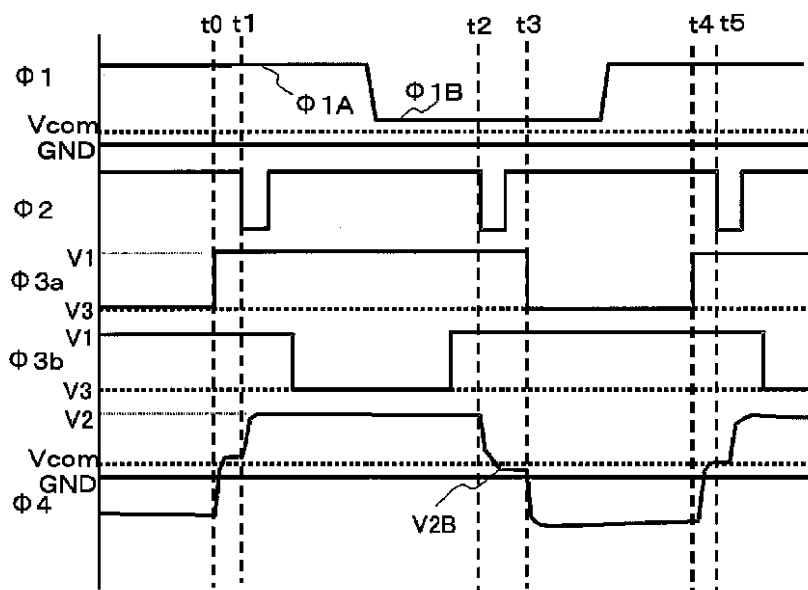
【図14】

図14



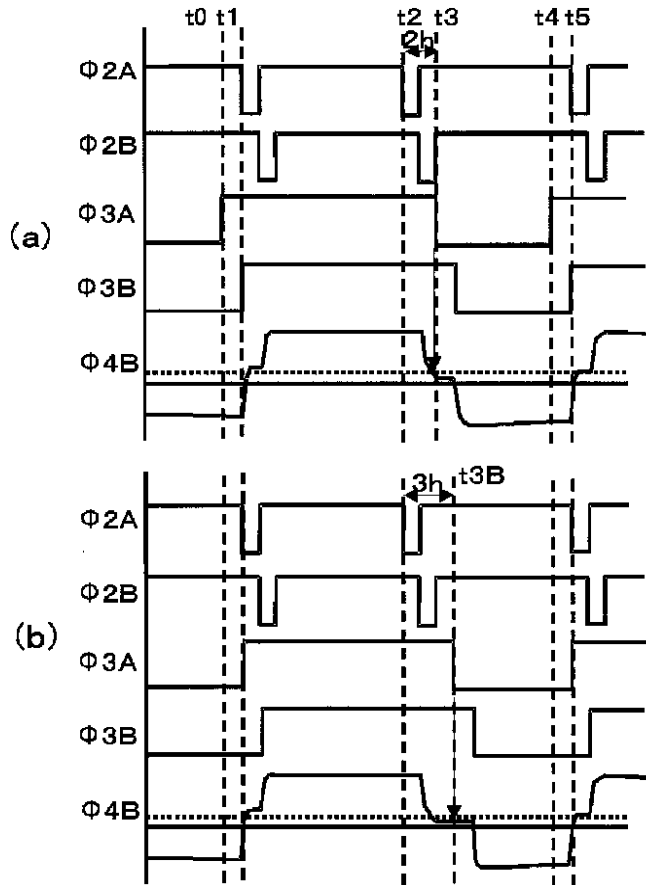
【図18】

図18



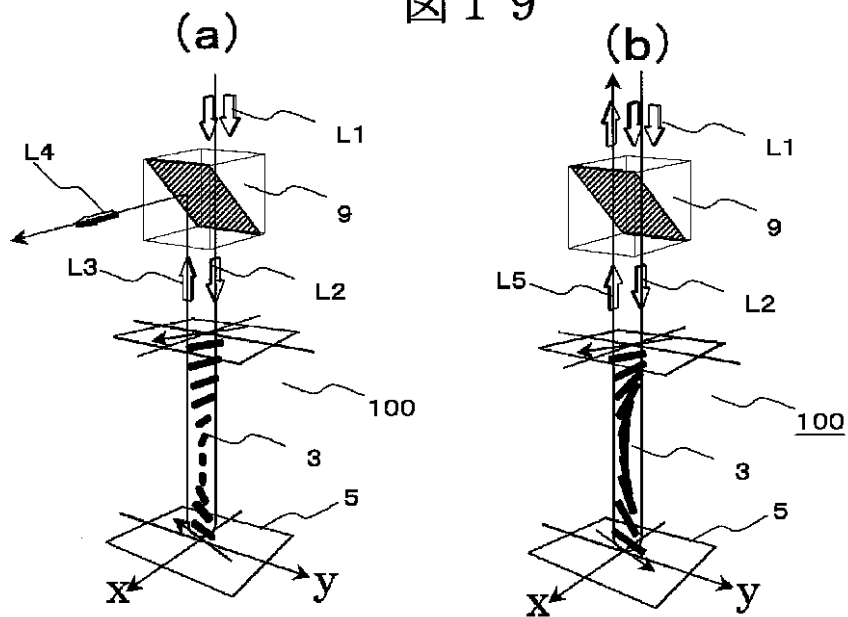
【図15】

図15



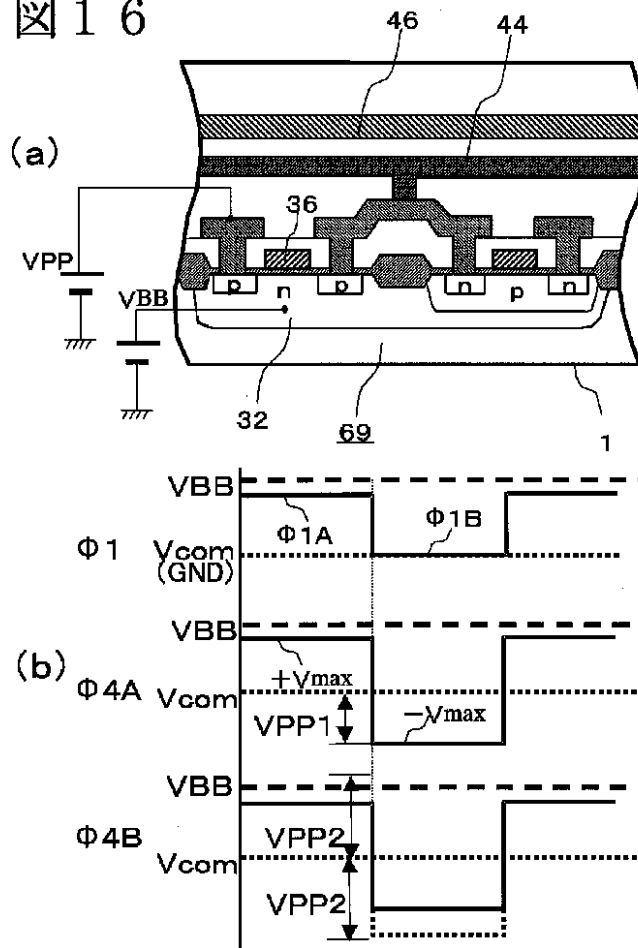
【図19】

図19



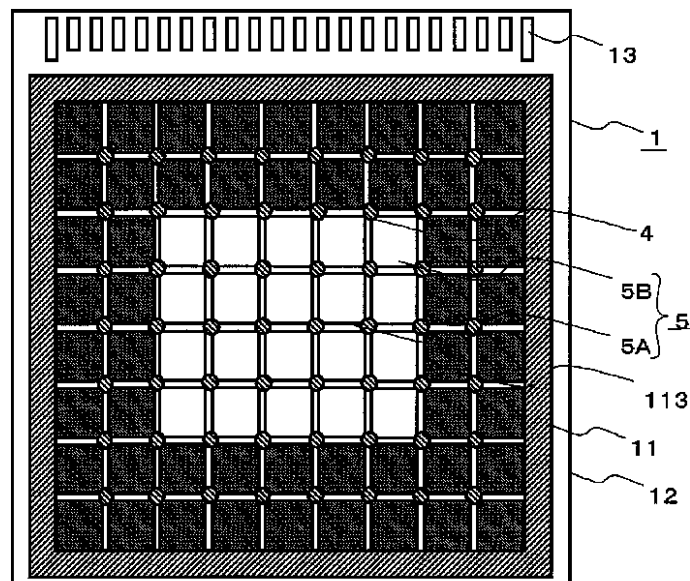
【図16】

図16



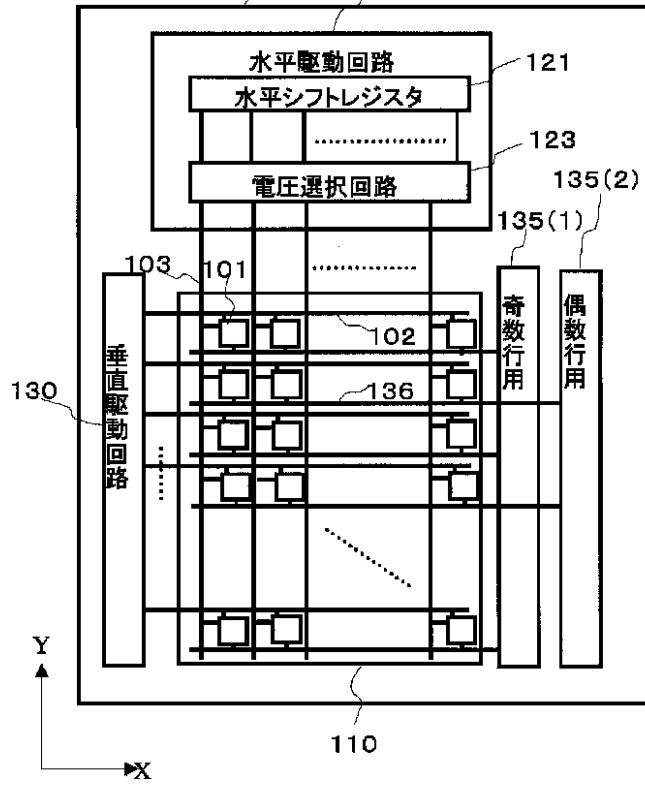
【図20】

図20



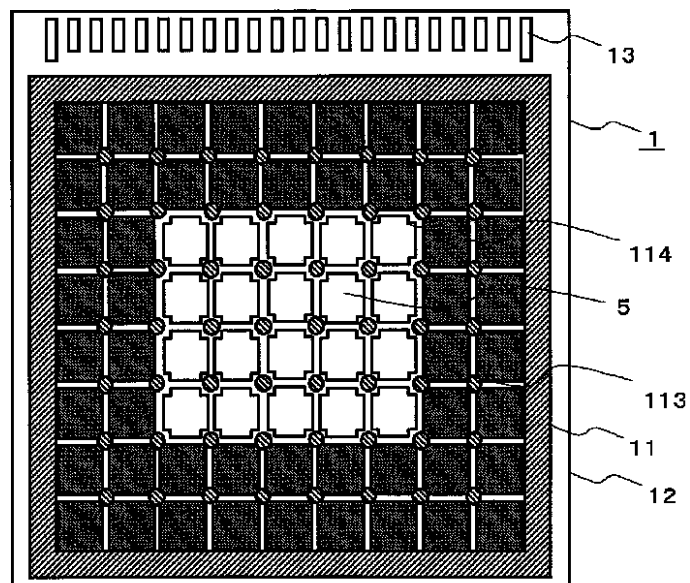
【図17】

図17
100 120

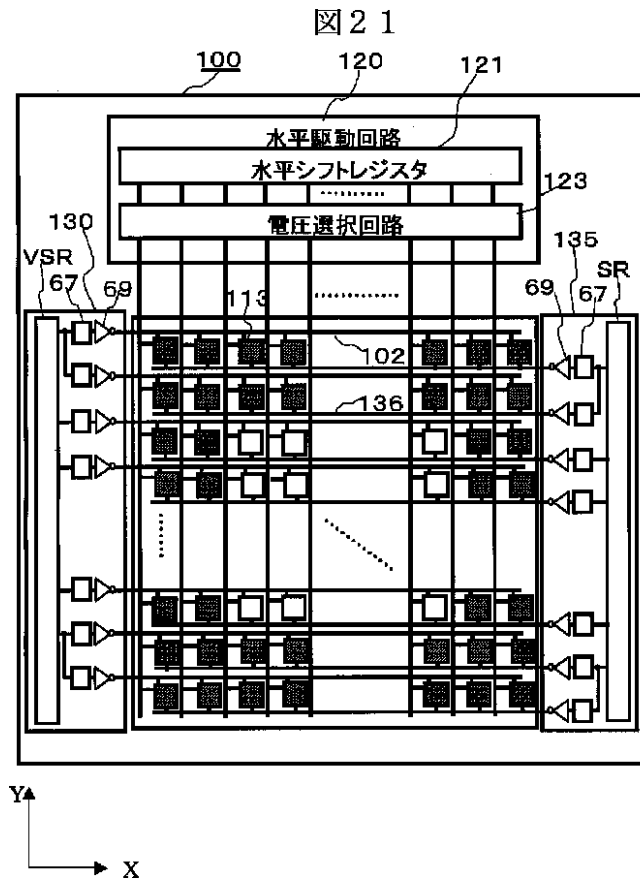


【図22】

図22

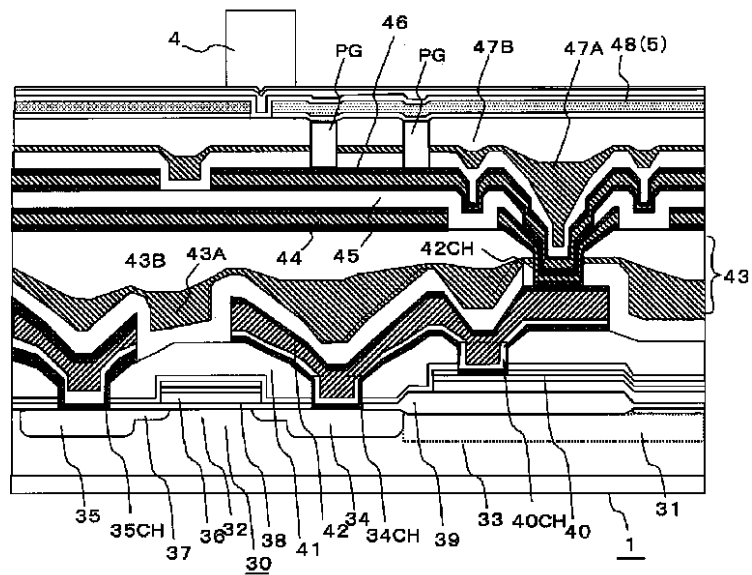


【図21】



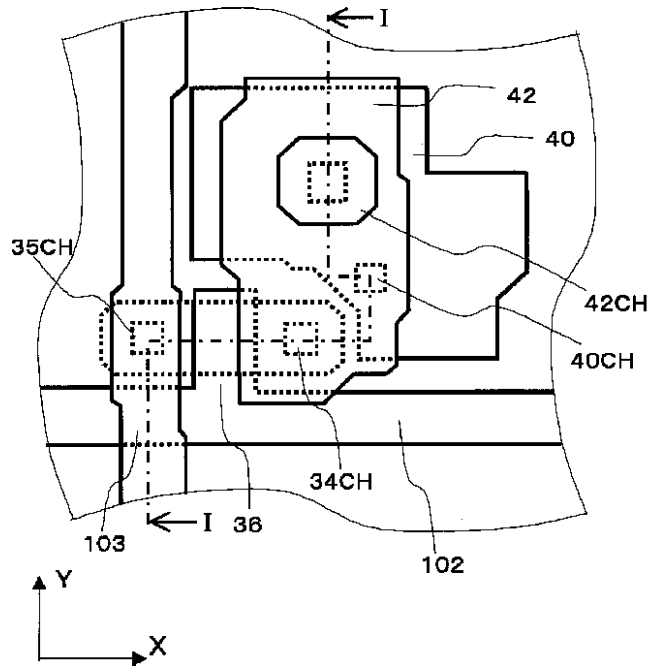
【図23】

図 2 3



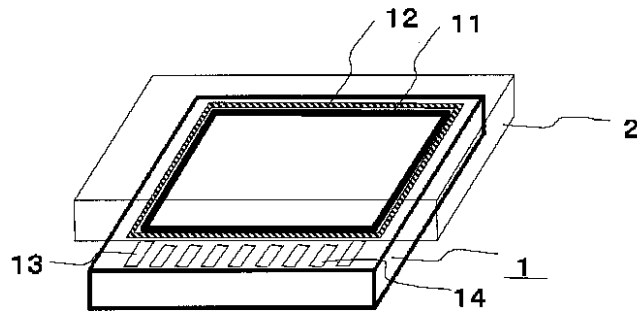
【図24】

図24



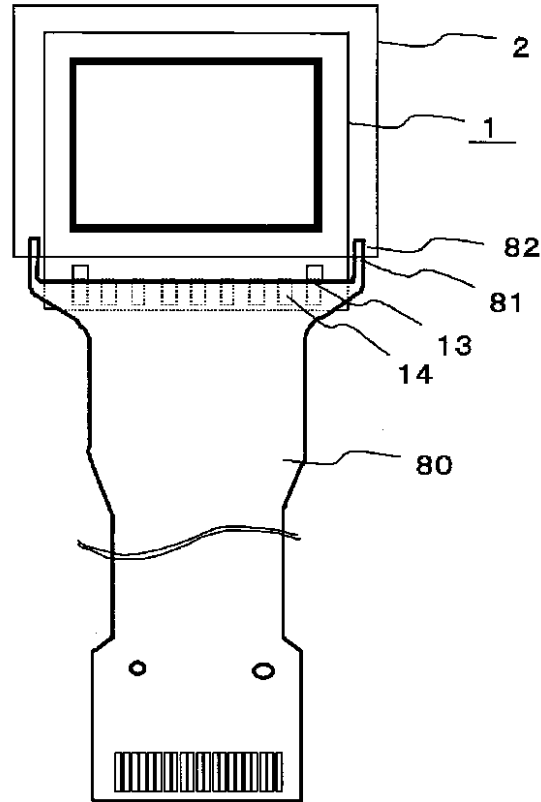
【図25】

図25



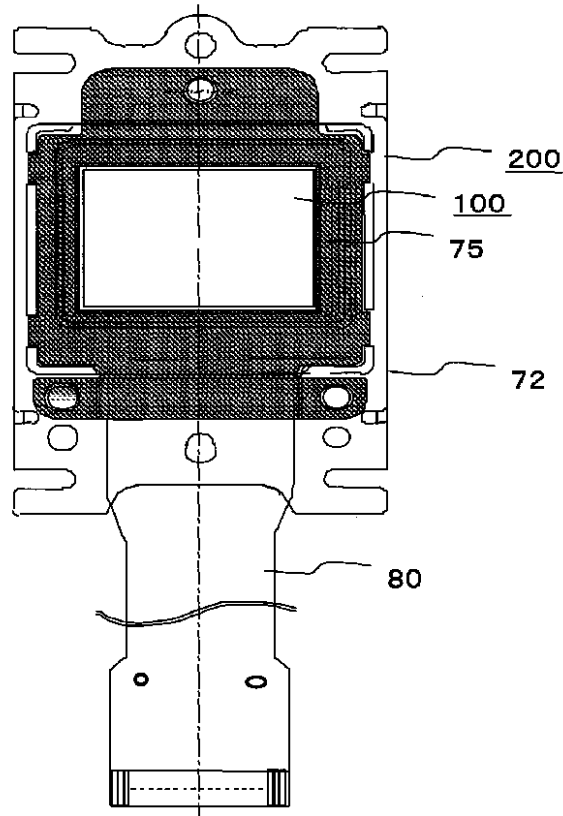
【図27】

図27



【図29】

図29



フロントページの続き

| (51)Int.Cl. ⁷ | 識別記号 | F I | テ-マコード ⁸ (参考) |
|--------------------------|-------|--------------|--------------------------|
| G 0 9 G 3/20 | | G 0 9 G 3/20 | 6 1 1 J 5 C 0 8 0 |
| | 6 2 1 | | 6 2 1 F |
| | 6 2 2 | | 6 2 1 M |
| | 6 2 4 | | 6 2 2 G |
| | 6 4 2 | | 6 2 4 B |
| | 6 8 0 | | 6 4 2 A |
| | | | 6 8 0 G |
| | 3/36 | 3/36 | |

(72)発明者 竹本 一八男
 千葉県茂原市早野3300番地 株式会社日立
 製作所ディスプレイグループ内

(72)発明者 足立 重雄
 千葉県茂原市早野3681番地 日立デバイス
 エンジニアリング株式会社内

(72)発明者 中川 英樹
 千葉県茂原市早野3300番地 株式会社日立
 製作所ディスプレイグループ内

(72)発明者 櫻井 義彰
 千葉県茂原市早野3681番地 日立デバイス
 エンジニアリング株式会社内

Fターム(参考) 2H090 JB04 LA01 LA04
2H091 FA34Y GA11 GA13
2H092 GA14 GA59 JB53 JB54 PA01
PA06
2H093 NC02 NC04 NC09 NC11 NC35
ND36 ND38 ND43 ND52
5C006 AA16 AA22 AC11 AC27 AC28
AF36 AF42 AF50 AF83 BA15
BA19 BB16 BB27 BB28 BC02
BC03 BC06 BC08 BC12 BC13
BC20 BF03 BF07 BF11 BF24
BF26 BF27 BF34 BF46 BF50
EB05 EC11 FA12 FA16 FA19
FA22 FA23 FA25 FA26 FA34
FA37 FA38 FA42 FA43 FA46
FA47 FA56
5C080 AA10 BB05 CC03 DD05 DD07
DD08 DD20 DD23 DD24 DD25
DD26 DD27 EE29 EE30 FF11
JJ02 JJ03 JJ04 JJ06 KK43

| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 液晶表示装置 | | |
| 公开(公告)号 | JP2003344824A | 公开(公告)日 | 2003-12-03 |
| 申请号 | JP2002154947 | 申请日 | 2002-05-29 |
| [标]申请(专利权)人(译) | 株式会社日立制作所 日立器件工程株式会社 | | |
| 申请(专利权)人(译) | 日立显示器有限公司 日立设备工程有限公司 | | |
| [标]发明人 | 飯田治久 竹本一八男 中川英樹 櫻井義彰 足立重雄 | | |
| 发明人 | 飯田 治久 竹本 一八男 中川 英樹 櫻井 義彰 足立 重雄 | | |
| IPC分类号 | G02F1/1333 G02F1/133 G02F1/1335 G02F1/1343 G09G3/20 G09G3/36 | | |
| CPC分类号 | G09G3/3655 G09G3/2011 G09G3/3614 G09G3/3677 G09G2300/0408 G09G2300/0876 G09G2310/0232 G09G2310/0283 G09G2320/0223 | | |
| FI分类号 | G02F1/133.550 G02F1/1333.500 G02F1/1335.500 G02F1/1343 G09G3/20.611.A G09G3/20.611.J G09G3/20.621.F G09G3/20.621.M G09G3/20.622.G G09G3/20.624.B G09G3/20.642.A G09G3/20.680.G G09G3/36 | | |
| F-TERM分类号 | 2H090/JB04 2H090/LA01 2H090/LA04 2H091/FA34Y 2H091/GA11 2H091/GA13 2H092/GA14 2H092/GA59 2H092/JB53 2H092/JB54 2H092/PA01 2H092/PA06 2H093/NC02 2H093/NC04 2H093/NC09 2H093/NC11 2H093/NC35 2H093/ND36 2H093/ND38 2H093/ND43 2H093/ND52 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC27 5C006/AC28 5C006/AF36 5C006/AF42 5C006/AF50 5C006/AF83 5C006/BA15 5C006/BA19 5C006/BB16 5C006/BB27 5C006/BB28 5C006/BC02 5C006/BC03 5C006/BC06 5C006/BC08 5C006/BC12 5C006/BC13 5C006/BC20 5C006/BF03 5C006/BF07 5C006/BF11 5C006/BF24 5C006/BF26 5C006/BF27 5C006/BF34 5C006/BF46 5C006/BF50 5C006/EB05 5C006/EC11 5C006/FA12 5C006/FA16 5C006/FA19 5C006/FA22 5C006/FA23 5C006/FA25 5C006/FA26 5C006/FA34 5C006/FA37 5C006/FA38 5C006/FA42 5C006/FA43 5C006/FA46 5C006/FA47 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD07 5C080/DD08 5C080/DD20 5C080/DD23 5C080/DD24 5C080/DD25 5C080/DD26 5C080/DD27 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK43 2H090/HC05 2H090/HD03 2H090/KA05 2H090/KA07 2H090/LA20 2H090/MA02 2H090/MB01 2H091/FA10X 2H091/FA14Y 2H091/GA02 2H091/GA08 2H091/GA09 2H091/HA07 2H091/HA09 2H091/MA07 2H092/GA43 2H092/GA50 2H092/JA23 2H092/JA46 2H092/JB07 2H092/JB58 2H092/JB63 2H092/JB66 2H092/JB69 2H092/KA03 2H092/QA07 2H092/QA09 2H092/RA05 2H093/NA32 2H093/NA43 2H093/NA53 2H093/NC10 2H093/NC12 2H093/NC22 2H093/NC33 2H093/NC80 2H093/ND04 2H093/ND10 2H093/ND49 2H093/NE07 2H093/NF05 2H093/NF09 2H093/NG02 2H190/HC05 2H190/HD03 2H190/JB04 2H190/KA05 2H190/KA07 2H190/LA01 2H190/LA04 2H190/LA20 2H190/LA23 2H191/FA13Y 2H191/FA29X 2H191/FA31Y 2H191/GA04 2H191/GA11 2H191/GA15 2H191/GA17 2H191/GA19 2H191/HA06 2H191/HA08 2H191/MA11 2H193/ZA03 2H193/ZA07 2H193/ZB14 2H193/ZC02 2H193/ZD23 2H193/ZF02 2H193 | | |

外部链接

Espacenet

摘要(译)

要解决的问题：提供一种液晶显示装置，其中在与显示部分相同的基板上形成小尺寸和低耐压驱动电路。解决方案：用于通过降低像素电位来实现AC驱动的电路与用于向像素提供灰度电压的驱动电路分开形成。将正极性信号写入像素电极，并且在写入信号之后通过使用连接到像素电极的电容来降低像素电极的电位。此外，为了减少扫描信号的波形失真，在用于降低像素电位的电路和显示区域之间设置用于补充切换的上拉电路。

