

(19)日本国特許庁（J P）

(12) 公 開 特 許 公 報

(A) (11)特許出願公開番号

特開2003－270666

(P2003－270666A)

(43)公開日 平成15年9月25日(2003.9.25)

(51)Int.Cl ⁷	識別記号	F I	テマコード [*] (参考)
G 0 2 F 1/1368		G 0 2 F 1/1368	2 H 0 9 2
H 0 1 L 21/20		H 0 1 L 21/20	5 F 0 4 8
21/336		27/08 331 E	5 F 0 5 2
27/08 331		29/78 612 D	5 F 1 1 0
29/786			

審査請求 有 請求項の数 8 O L (全 19数)

(21)出願番号 特願2002－160351(P2002－160351)

(22)出願日 平成14年5月31日(2002.5.31)

(31)優先権主張番号 91104322

(32)優先日 平成14年3月7日(2002.3.7)

(33)優先権主張国 台湾(TW)

(71)出願人 502197035

トップポリー オプトエレクトロニクス

コーポレーション

台湾新竹科学工業園區苗栗縣仁愛路121巷5
號

(72)発明者 石 儲榮

台湾台北市文山區仙岩路16巷72弄38號

(72)発明者 林 國隆

台湾新竹市富群街30巷1弄15號

(72)発明者 陸 一民

台湾台北市實踐街5巷7號3樓

(74)代理人 100102842

弁理士 葛和 清司

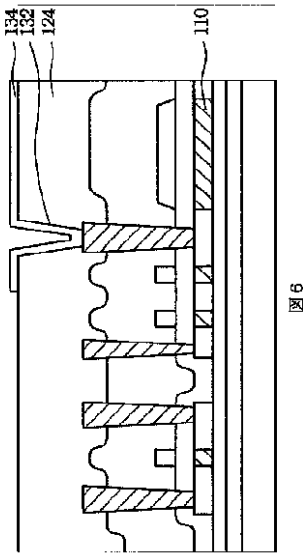
最終頁に続く

(54)【発明の名称】 液晶ディスプレイの製造法

(57)【要約】 (修正有)

【課題】 6回のマスク工程による液晶ディスプレイの製造方法を提供する。

【解決手段】 ドライバ領域108および画素領域110は、第1マスク工程により決定される。ゲート114／116および画素領域上のキャパシタの上部電極118は第2マスク工程により決定される。次に、ゲートおよび上部電極をマスクとして、ソース／ドレイン120、チャンネル部分122および下部電極119が、ドーピングにより形成される。第2絶縁層124が形成され、第1開口部126が第3マスク工程で形成される。第2導電層が形成され、第4マスク工程によりソース／ドレイン線128がソース／ドレインと接触する。誘電層124が形成され、第2絶縁層および第2導電層を被覆する。第2開口部132が第5マスク工程で形成される。画素電極134が第6マスク工程で決定され、ドレイン線と電氣的に接触する。



【特許請求の範囲】

【請求項1】 液晶ディスプレイを製造するための方法であって、該方法が絶縁基板上での製造に適し、絶縁基板上にポリシリコン層を形成すること、ポリシリコン層を決定することにより、第1活性領域および第2活性領域を形成すること、ポリシリコン層を被覆する第1絶縁層を形成すること、第1絶縁層上にパターン化された導電層、ここで、パターン化された導電層がゲートおよびキャパシタの上部電極として用いられる、を形成すること、
10 パターン化された導電層をマスクとして使用し、ソース／ドレインおよびチャンネル部分を、P型イオンドーピング過程によりポリシリコン層内に形成すること、絶縁基板を被覆する第2絶縁層を形成すること、多数の第1開口部を形成し、ゲートおよびソース／ドレインを露出すること、
ソース線およびドレイン線、ここで、ソース線はソースと電氣的に接触し、ドレイン線はドレインに電氣的に接触する、を形成すること、
第2絶縁層およびソース／ドレイン線を被覆する誘電
層、ここで、誘電層は平坦な表面を有する、を形成する
こと、
第2開口部、ここで、第2活性領域上のドレイン線は露出している、を形成すること、および、
第2活性領域上のドレイン線と電氣的に接触する画素電極を形成することを含む、前記方法。

【請求項2】 第1活性領域がドライバ領域であり、第2活性領域が画素領域である、請求項1に記載の方法。

【請求項3】 ポリシリコン層を形成する前に緩衝層を形成することをさらに含む、請求項1に記載の方法。
30

【請求項4】 ポリシリコン層を形成するための方法が、緩衝層上にアモルファス層を形成すること、およびアモルファス層を低温レーザアニーリングによりポリシリコン層に変換することを含む、請求項1に記載の方法。

【請求項5】 P型イオン注入により形成されたイオン濃度が約 $1.0 \times 10^{19} \sim 1.0 \times 10^{21}$ イオン/cm³である、請求項1に記載の方法。

【請求項6】 下部電極がイオンドーピング過程により決定される、請求項1に記載の方法。
40

【請求項7】 緩衝層が、順次、窒化物層と酸化物層を含む、請求項1に記載の方法。

【請求項8】 画素電極がITOガラスから作製される、請求項1に記載の方法。

【発明の詳細な説明】

【0001】発明の背景

発明の属する技術分野

本発明は液晶ディスプレイ製造法に関する。本発明は特に、ドライバ領域及び画素領域の加工を完成するために6のマスク工程のみを要するように、製造過程に使用す
50

るマスクの数を減少させることに関する。

【0002】従来技術の説明

低温多結晶シリコン(LTPS)加工過程は、薄膜トランジスタ液晶ディスプレイ(TFT-LCD)の製造に使用されている。電子移動速度(electron migration rate)はアモルファスシリコンにおいてよりもポリシリコンにおける方が速いので、LTPS TFT-LCDの解像度は高くなり、品質もより良い。TFT-LCDには2つの部分がある。1つはドライバ領域であり、もう1つは画素領域である。ドライバICはドライバ領域上に位置し、ドライバICはポリシリコンから作製する必要がある。従来のアモルファスTFT-LCD加工過程では、画素領域上の画素電極のみを形成した。ドライバICは購入し、ドライバ領域上に設置する。低温多結晶シリコン加工過程では、画素電極およびドライバICの同時形成が可能である。

【0003】画素電極とドライバICを同時に形成するために低温多結晶シリコン加工過程を使用することは、米国特許第6,140,162号に開示されているが、この加工過程には12のマスクが用いられている。マスク工程が多くなることは、製造コストが高くなることを意味する。実際、12マスク過程のコストは、アモルファスTFT-LCD加工過程のコストよりも数倍高くなるだろう。LTPS TFT-LCDの競争力は低下するだろう。したがって、本発明は、製造過程に使用するマスクの数を減少させる方法を提供する。ドライバ領域および画素領域の加工を完成するために、6のマスク工程しか要しない。LTPS TFT-LCDの生産コストは減少し、LTPS TFT-LCDの競争力は上昇するだろう。

【0004】発明の要約

したがって、本発明の目的は、製造過程に6のマスク工程しか使用しない、液晶ディスプレイの製造方法を提供することである。本発明の他の目的は、LTPS TFT-LCDの生産コストを減少させ、LTPS TFT-LCDの競争力を高めるための液晶ディスプレイの製造方法を提供することである。また、本発明の別の目的は、加工過程に使用されるマスクの数を減らすために、自己整合過程を使用して、ソース／ドレイン部分およびチャンネル部分を決定する液晶ディスプレイの製造方法を提供することである。

【0005】本発明の、上記および他の目的に従い、LTPS TFT-LCDを生産するための加工過程のマスク数を減らす方法が提供される。絶縁基板が用意され、絶縁基板上に緩衝層が形成される。次に、緩衝層上にポリシリコン層が形成される。ポリシリコン層が決定され(defined)、ドライバ領域と画素領域が形成される。第1絶縁層が形成され、ポリシリコン層を被覆する。ドライバ領域および画素領域上にパターン化された導電層が形成され、そこで、パターン化された導電層

は、ゲートおよびキャパシタの上部電極として使用される。

【0006】その後、パターン化された導電層をマスクとして使用し、ソース／ドレイン、チャンネル部分および下部電極が、イオンドーピング過程によりポリシリコン層に形成される。第2の絶縁層が形成され、絶縁基板を被覆する。多数の第1開口部が形成され、ゲートおよびソース／ドレインが露出される。第2の導電層が形成され、第2絶縁層を被覆し、第1開口部が満たされる。次に、第2導電層がパターン化され、ソース／ドレイン線が形成され、ソース／ドレインと電氣的に接触する。誘電層が形成され、第2絶縁層および第2導電層を被覆する。誘電層は平坦な表面を有する。第2の開口部が形成され、画素領域のドレイン線が露出される。最後に、画素電極が形成され、ドレイン線と電氣的に接触する。

【0007】結局、本発明は、LTPS TFT-LCDの加工過程に6のマスク工程のみを要することを可能にする。LTPS TFT-LCDの生産コストは減少し、LTPS TFT-LCDの競争力は増大するだろう。上記の一般的な説明および以下の詳細な説明はいずれも例であり、請求項に記載された本発明のさらなる説明を提供することを意図していると理解されるべきである。

【0008】図面の簡単な説明

本発明は、以下のとおりの、添付の図面に言及した、以下の好ましい態様の詳細な説明を読むことによって、より完全に理解することができる。添付の図面は、本発明のさらなる理解を提供するために提供され、本明細書に組込まれ、その一部をなす。図面は、本発明の態様を図解し、その説明と共に、本発明の原理を明らかにするために用いられる。

【0009】好ましい態様の説明

ここでは、本発明の好ましい態様について詳細な言及がなされ、その例は添付の図面に図解されている。可能な限り同一の参照番号を、図面および説明において、同一または類似の部分を示すために用いた。図1～6は、本発明で開示されたLTPS TFT-LCDを製造するための、6のマスク工程しか要しない過程を示した、横断面概念図である。ドライバICおよび画素電極は同時に形成することができる。

【0010】図1について言及する。図1は、LTPS TFT-LCDを生産するための加工過程の第1マスク工程を示した横断面概念図である。絶縁基板100を用意し、絶縁基板100上に緩衝層102を形成する。絶縁基板100は、順次、窒化物層104および酸化層106を含む。次に、アモルファスシリコン層（図には示されていない）を、緩衝層102上に形成する。アモルファス層を形成する方法は、化学蒸着を含む。アモルファスシリコン層を、低温レーザアニーリング過程によりポリシリコン層（図には示されていない）に変換する。この過程はま

た、第1マスク工程が実行されてから行なうこともできる。

【0011】フォトリソ層（図には示されていない）を、スピニング過程により、ポリシリコン層上に形成する。フォトリソ層をパターン化し、マスクとして使用し、ポリシリコン層をエッチングし、第1活性領域と第2活性領域を形成する。第1活性領域はドライバ領域108であり、第2活性領域は画素領域110である。

【0012】図2について言及する。図2は、LTPS TFT-LCDを生産するための加工過程の第2マスク工程を示した横断面概念図である。絶縁層112を形成し、ドライバ領域108および画素領域110を共形に（conformally）被覆した。絶縁層112を形成するための材料は酸化シリコンまたは金属酸化物である。導電層（図には示されていない）を絶縁層112上に形成する。導電層を形成するための材料はポリシリコンである。フォトリソ層（図には示されていない）を導電層上にスピニング過程により形成する。フォトリソ層はパターン化し、マスクとして使用し、導電層をエッチングし、ゲート114をドライバ領域108上に形成し、ゲート116およびキャパシタの上部電極118を画素領域110上に形成する。

【0013】図3について言及する。図3は、LTPS TFT-LCDを生産するための加工過程の第3マスク工程を示した横断面概念図である。ゲート114、116および上部電極118をマスクとして使用し、ソース／ドレイン120、チャンネル部分122および下部電極119を、ポリシリコン層に、イオンドーピング過程により形成した。イオンドーピング過程のためのイオンは、ホウ素イオンなどのP型イオンであり、ドーパントの濃度は、約 $1.0 \times 10^{19} \sim 1.0 \times 10^{21}$ イオン/cm³である。

【0014】さらに図3について言及すると、イオンドーピング過程の完了後、絶縁層124を形成し、絶縁基板100上の全ての機構を被覆する。絶縁層124を形成する材料は酸化シリコン、窒化ケイ素または他の絶縁材料である。フォトリソ層（図には示されていない）を絶縁層124上にスピニング過程により形成する。フォトリソ層をパターン化し、マスクとして使用し、多数の開口部126を絶縁層112、124をエッチングすることにより形成し、ソース／ドレイン120の表面を露出する。

【0015】図4について言及する。図4は、LTPS TFT-LCDを生産するための加工過程の第4マスク工程を示した横断面概念図である。導電層（図には示されていない）を形成し、第2絶縁層124を被覆し、開口部126を満たす。導電層を形成する材料は金属、ポリシリコンおよびドーピングされたポリシリコンを含む。フォトリソ層（図には示されていない）を、導電層上にスピニング過程により形成する。フォトレ

ジスト層をパターン化し、マスクとして使用し、そして、ソース／ドレイン線128を開口部126に形成し、ソース／ドレイン120と電氣的に接触させる。

【0016】図5について言及する。図5は、LTPS TFT-LCDを生産するための加工過程の第5マスク工程を示した横断面概念図である。誘電層130を形成し、絶縁層124およびソース／ドレイン線128を被覆する。誘電層130は、平坦な表面を有する。フォトレジスト層（図には示されていない）を導電層上にスピニング過程により形成する。フォトレジスト層をパター

【0017】図6について言及する。図6は、LTPS TFT-LCDを生産するための加工過程の第6マスク工程を示した横断面概念図である。インジウムスズ酸化物（ITO）層（図には示されていない）を絶縁層130上および開口部132中に共形に形成する。フォトレジスト層（図には示されていない）を導電層上にスピニング過程により形成する。フォトレジスト層をパ

【0018】本明細書中で具体化し、広範に説明したとおり、本発明は、液晶ディスプレイの製造のために6のマスク工程しか要しない方法を提供する。さらに第2*

*マスクと第3マスクの間に、ソース／ドレイン部分およびチャンネル部分を決定するために自己整合過程が導入されており、したがって、加工過程におけるマスク数が減少する。したがって、LTPS TFT-LCDを製造するためのコストは減少し、LTPS TFT-LCDの競争力は増加するだろう。

【0019】様々な改変および変更が、本発明の目的または思想を逸脱することなく、本発明の構造になされ得ることは、当業者にも明らかだろう。前記に鑑み、本発明は、この発明の改変および変更を包含するものと意図される。ただし、それらは請求項およびそれらと均等なもの

【図面の簡単な説明】

【図1】 LTPS TFT-LCDを生産するための加工過程の第1マスク工程を示した横断面概念図である。

【図2】 LTPS TFT-LCDを生産するための加工過程の第2マスク工程を示した横断面概念図である。

【図3】 LTPS TFT-LCDを生産するための加工過程の第3マスク工程を示した横断面概念図である。

【図4】 LTPS TFT-LCDを生産するための加工過程の第4マスク工程を示した横断面概念図である。

【図5】 LTPS TFT-LCDを生産するための加工過程の第5マスク工程を示した横断面概念図である。

【図6】 本発明の好ましい態様による、LTPS TFT-LCDを生産するための加工過程の第6マスク工程を示した横断面概念図である。

【図1】

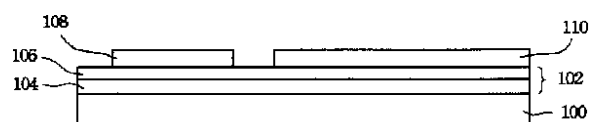


図1

【図2】

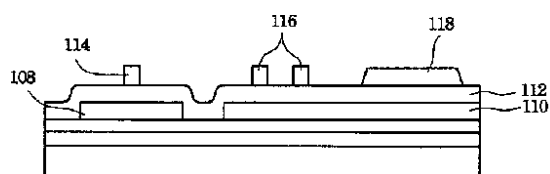


図2

【図3】

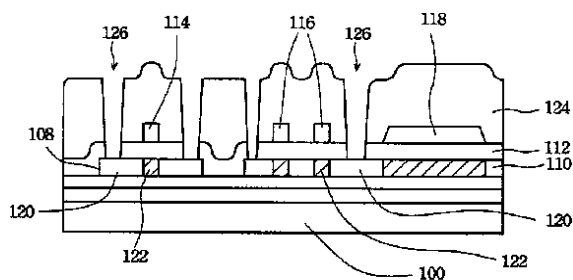


図3

【図4】

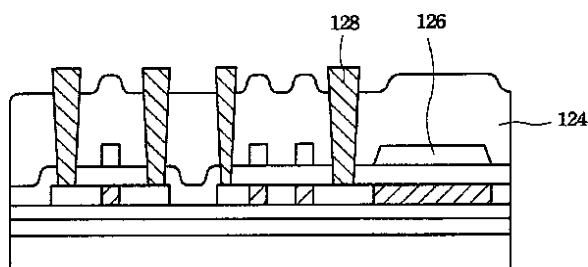


図4

【図5】

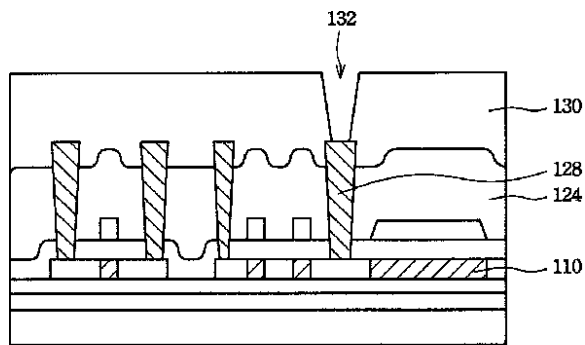


図5

【図6】

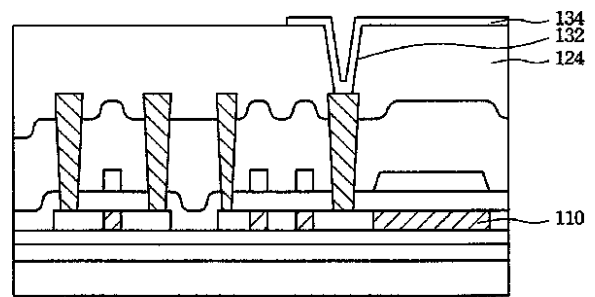


図6

フロントページの続き

(72)発明者 陸 一民
台湾台北市實踐街5巷7號3樓
(72)発明者 吳 逸蔚
台湾新竹市大學路50號15樓之2

Fターム(参考) 2H092 JA25 JA33 JA35 JA42 JB13
JB38 JB42 JB58 JB63 JB69
KA04 MA08 MA14 MA15 MA16
MA18 MA19 MA20 MA35 MA37
NA25 NA27 NA29
5F048 AC04 AC10 BA16 BB04 BC11
BC16 BG07
5F052 AA02 DA02 DB01 JA01
5F110 AA16 BB02 CC02 DD11 DD13
DD14 DD17 EE09 FF01 FF02
GG02 GG13 GG44 HJ01 HJ04
HJ12 HL02 HL08 NN03 NN23
NN24 NN72 NN73 PP03 QQ11

【外国語明細書】

A METHOD FOR FABRICATING LIQUID CRYSTAL DISPLAY

BACKGROUND OF THE INVENTION

5 Field of Invention

The present invention relates to a liquid crystal display fabrication method. More particularly, the present invention relates to decrease the number of the mask used in the fabrication process, such that only six mask
10 steps are required for completing the manufacture of the drive area and pixel area.

Description of Related Art

15 A low temperature polycrystalline silicon (LTPS) manufacturing process is used to fabricate thin film transistor liquid crystal display (TFT-LCD). Because the electron migration rate in polysilicon is faster than in amorphous silicon, the resolution of the LTPS TFT-LCD increases and quality is better. There are two parts of a TFT-LCD; one is the driving area and the other is the pixel area. The
20 driving ICs are located on the driving area and the driving ICs must be made from polysilicon. In traditional amorphous TFT-LCD manufacture processes, only the pixel electrodes on the pixel area are formed. The driving ICs are bought and plastered on the driving area. The low temperature polycrystalline silicon manufacture process makes forming the pixel electrode and driving ICs
25 simultaneously possible.

Use of the low temperature polycrystalline silicon manufacturing process to form the pixel electrode and driving ICs simultaneously is disclosed in US Patent 6,140,162, but twelve masks are employed in this manufacture process.

30 More mask steps mean that the fabrication cost is higher. In fact, the cost of the

twelve mask-process will be several times higher than the cost of the amorphous TFT-LCD manufacture process. The competitiveness of the LTPS TFT-LCD will decrease. Therefore, the present invention provides a method of decreasing the number of the mask used in the fabrication process. Only six mask steps are required for completing the manufacture of the drive area and pixel area. The cost for producing an LTPS TFT-LCD will decrease and the competitiveness of the LTPS TFT-LCD will increase.

SUMMARY OF THE INVENTION

It is therefore an objective of the present invention to provide a liquid crystal display fabrication method in which only six mask steps are used in the fabrication process.

It is another an objective of the present invention to provide a liquid crystal display fabrication method to lower the cost for producing an LTPS TFT-LCD and raise the competitiveness of the LTPS TFT-LCD.

It is still another an objective of the present invention to provide a liquid crystal display fabrication method in which a self-aligned process is used to define the source/drain region and channel region to lower the number of masks used in the manufacturing process.

In accordance with the foregoing and other objectives of the present invention, a method for decreasing the mask number of the manufacture process for producing an LTPS TFT-LCD is provided. An insulation substrate is provided and a buffer layer is formed on the insulation substrate. Then, a polysilicon layer is formed on the buffer layer. The polysilicon layer is defined and a driving area and a pixel area are formed. A first insulation layer is formed and covers the polysilicon layer. A patterned conductive layer is formed on the

driving area and the pixel area in which the patterned conductive layer serves as gates and upper electrodes of capacitors.

5 Thereafter, using the patterned conductive layer as a mask, a source/drain, channel region and lower electrode are formed in the polysilicon layer by an ion-doping process. A second insulation layer is formed and covers the insulation substrate. A plurality of first openings is formed and the gate and the source/drain are exposed. A second conductive layer is formed and covers the second insulation layer and the first opening is filled. Then, the second
10 conductive layer is patterned, and a source/drain line is formed and contacts electrically with the source/drain. A dielectric layer is formed and covers the second insulation layer and the second conductive layer; the dielectric layer has a planar surface. A second opening is formed and the drain line on the pixel area is exposed. Finally, a pixel electrode is formed and contacts electrically
15 with the drain line.

20 In conclusion, the invention allows only six mask steps are needed in the manufacture process of the LTPS TFT-LCD. The cost for producing an LTPS TFT-LCD decreases and competitiveness of the LTPS TFT-LCD will increase.

 It is to be understood that both the foregoing general description and the following detailed description are by examples, and are intended to provide further explanation of the invention as claimed.

25 **BRIEF DESCRIPTION OF THE DRAWINGS**

 The invention can be more fully understood by reading the following detailed description of the preferred embodiment, with reference made to the accompanying drawings as follows:

30

The accompanying drawings are included to provide a further understanding of the invention and are incorporated in and constitute a part of this specification. The drawings illustrate embodiments of the invention and, together with the description, serve to explain the principles of the invention. In the drawings,

Figure 1 is a schematic, cross-sectional diagram showing the first mask step of the manufacture process for producing an LTPS TFT-LCD;

Figure 2 is a schematic, cross-sectional diagram showing the second mask step of the manufacture process for producing an LTPS TFT-LCD;

Figure 3 is a schematic, cross-sectional diagram showing the third mask step of the manufacture process for producing an LTPS TFT-LCD;

Figure 4 is a schematic, cross-sectional diagram showing the fourth mask step of the manufacture process for producing an LTPS TFT-LCD;

Figure 5 is a schematic, cross-sectional diagram showing the fifth mask step of the manufacture process for producing an LTPS TFT-LCD; and

Figure 6 is a schematic, cross-sectional diagram showing the sixth mask step of the manufacture process for producing an LTPS TFT-LCD according to one preferred embodiment of this invention.

DESCRIPTION OF THE PREFERRED EMBODIMENTS

Reference will now be made in detail to the present preferred embodiments of the invention, examples of which are illustrated in the accompanying drawings. Wherever possible, the same reference numbers are used in the drawings and the description to refer to the same or like parts.

Figures 1 to 6 are schematic, cross-sectional diagrams showing processes disclosed in the present invention for fabricating a LTPS TFT-LCD in

which only six mask steps are needed. The driving ICs and the pixel electrodes can be formed simultaneously.

Reference is made to figure 1. Figure 1 is a schematic, cross-sectional diagram showing the first mask step of the manufacture process for producing an LTPS TFT-LCD. An insulation substrate 100 is provided and a buffer layer 102 is formed on the insulation substrate 100. The insulation substrate 100 sequentially comprises a nitride layer 104 and an oxide layer 106. Then, an amorphous silicon layer (not shown in the figure) is formed on the buffer layer 102. The method for forming the amorphous layer comprises chemical vapor deposition. The amorphous silicon layer is transformed into a polysilicon layer (not shown in the figure) by a laser low temperature annealing process. This process also can be performed after the first mask step is executed.

A photoresist layer (not shown in the figure) is formed on the polysilicon layer by a spin-coating process. The photoresist layer is patterned and is used as mask and the polysilicon layer is etched and a first active area and a second active area are formed. The first active area is a driving area 108 and the second active area is a pixel area 110.

Reference is made to figure 2. Figure 2 is a schematic, cross-sectional diagram showing the second mask step of the manufacture process for producing an LTPS TFT-LCD. An insulation layer 112 is formed and conformally covers the driving area 108 and the pixel area 110. The material for forming the insulation layer 112 is silicon oxide or metal oxide. A conductive layer (not shown in the figure) is formed on the insulation layer 112; the material for forming the conductive layer is polysilicon. A photoresist layer (not shown in the figure) is formed on the conductive layer by a spin-coating process. The photoresist layer is patterned and is used as mask, the conductive layer is

etched, gate 114 is formed on the driving area 108 and gate 116, and upper electrode 118 of a capacitor is formed on the pixel area 110.

Reference is made to figure 3. Figure 3 is a schematic, cross-sectional diagram showing the third mask step of the manufacture process for producing an LTPS TFT-LCD. The gate 114, 116 and the upper electrode 118 are used as a mask, and source/drain 120, channel region 122 and bottom electrode 119 are formed in the polysilicon layer by an ion-doping process. The ions for the ion-doped process are P-type ions, such as boron ions, and the concentration of the dopant is between about $10E19$ and $10E21$ ions/cm³.

With further reference to figure 3, after the ion-doped process is complete, an insulation layer 124 is formed and covers all the features on the insulation substrate 100. The material for forming the insulation layer 124 is silicon oxide, silicon nitride or other insulation material. A photoresist layer (not shown in the figure) is formed on the insulation layer 124 by spin-coating process. The photoresist layer is patterned and is used as mask, a plurality of opening 126 is formed by etching the insulation layer 112, 124 and the surface of the source/drain 120 is exposed.

Reference is made to figure 4. Figure 4 is a schematic, cross-sectional diagram showing the fourth mask step of the manufacture process for producing an LTPS TFT-LCD. A conductive layer (not shown in the figure) is formed and covers the second insulation layer 124 and the openings 126 are filled. The material for forming the conductive layer comprises metal, polysilicon and doped polysilicon. A photoresist layer (not shown in the figure) is formed on the conductive layer by a spin-coating process. The photoresist layer is patterned and is used as mask, and source/drain lines 128 are formed in the opening 126 and contact electrically with the source/drain 120.

Reference is made to figure 5. Figure 5 is a schematic, cross-sectional diagram showing the fifth mask step of the manufacture process for producing an LTPS TFT-LCD. A dielectric layer 130 is formed and covers the insulation layer 124 and the source/drain lines 128; the dielectric layer 130 has a planar surface. A photoresist layer (not shown in the figure) is formed on the conductive layer by a spin-coating process. The photoresist layer is patterned and is used as mask, opening 132 is formed by etching the insulation layer 130 and the drain line 128 on the pixel area 110 is exposed.

Reference is made to figure 6. Figure 6 is a schematic, cross-sectional diagram showing the sixth mask step of the manufacture process for producing an LTPS TFT-LCD. An indium-tin oxide layer (not shown in the figure) is formed conformally on the insulation layer 130 and in the opening 132. A photoresist layer (not shown in the figure) is formed on the conductive layer by a spin-coating process. The photoresist layer is patterned and is used as mask, a pixel electrode 134 is formed by etching the indium-tin oxide layer and contacts electrically with the drain line 128.

As embodied and broadly described herein, the invention provides a method which only requires six mask-steps for fabricating a liquid crystal display. Furthermore, between the second mask and the third mask, a self-aligned process is introduced to define the source/drain region and channel region, and so the mask number for the manufacture process is decreased. Therefore, the cost for producing an LTPS TFT-LCD will decrease and the competitiveness of the LTPS TFT-LCD will increase.

It will be apparent to those skilled in the art that various modifications and variations can be made to the structure of the present invention without departing from the scope or spirit of the invention. In view of the foregoing, it is intended that the present invention cover modifications and variations of this

invention provided they fall within the scope of the following claims and their equivalents.

WHAT IS CLAIMED IS:

1. A method for fabricating liquid crystal display, the method being adapted for fabrication on an insulation substrate, the method comprising:

5

forming a polysilicon layer on the insulation substrate;

forming a first active area and a second active area by defining the polysilicon layer;

forming a first insulation layer covering the polysilicon layer;

10

forming a patterned conductive layer on the first insulation layer, wherein the patterned conductive layer serves as gates and upper electrodes of capacitors;

using the patterned conductive layer as a mask, forming a source/drain and channel region in the polysilicon layer by a P-type ion-doping process;

15

forming a second insulation layer covering the insulation substrate;

forming a plurality of first openings and exposing the gate and the source/drain;

forming a source line and a drain line, wherein the source line contacts electrically with the source and the drain line contacts electrically with the drain;

20

forming a dielectric layer covering the second insulation layer and the source/drain lines, wherein the dielectric layer has a planar surface;

forming a second opening, wherein a drain line on the second active area is exposed; and

25

forming a pixel electrode contacting electrically with the drain line on the second active area.

2. The method of claim 1, wherein the first active area is a driving area and the second active area is a pixel area.

3. The method of claim 1, further comprising a buffer layer formed before the polysilicon layer formed.

5 4. The method of claim 1, wherein a method for forming the polysilicon layer comprises:
forming an amorphous poly layer on the buffer layer; and
transforming the amorphous poly layer into the polysilicon layer by laser low temperature annealing.

10 5. The method of claim 1, wherein an ion concentration formed by the P-type ion implantation is about between about $10E19$ and $10E21$ ions/cm³.

6. The method of claim 1, wherein a bottom electrode is defined by the ion-doping process.

15 7. The method of claim 1, wherein the buffer layer sequentially comprises a nitride layer and an oxide layer.

20 8. The method of claim 1, wherein the pixel electrode is made from ITO glass.

【図1】

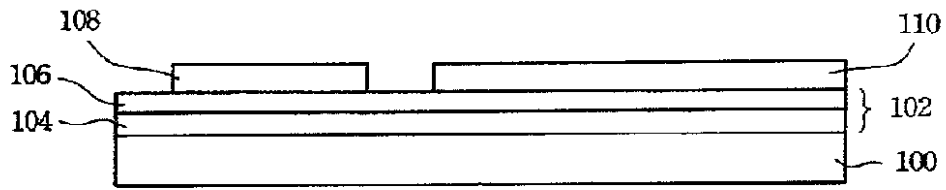


Fig. 1

【図2】

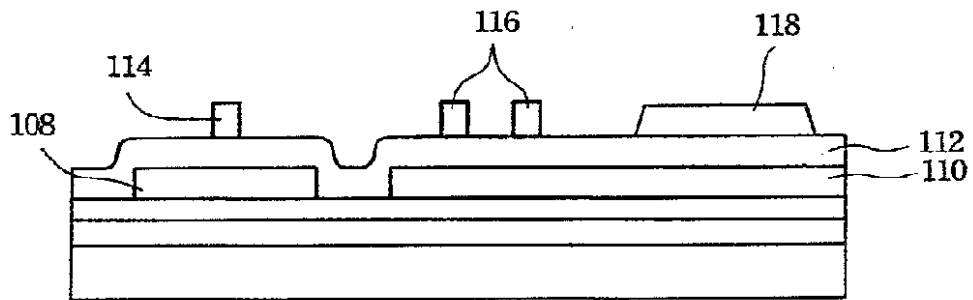


Fig. 2

【図3】

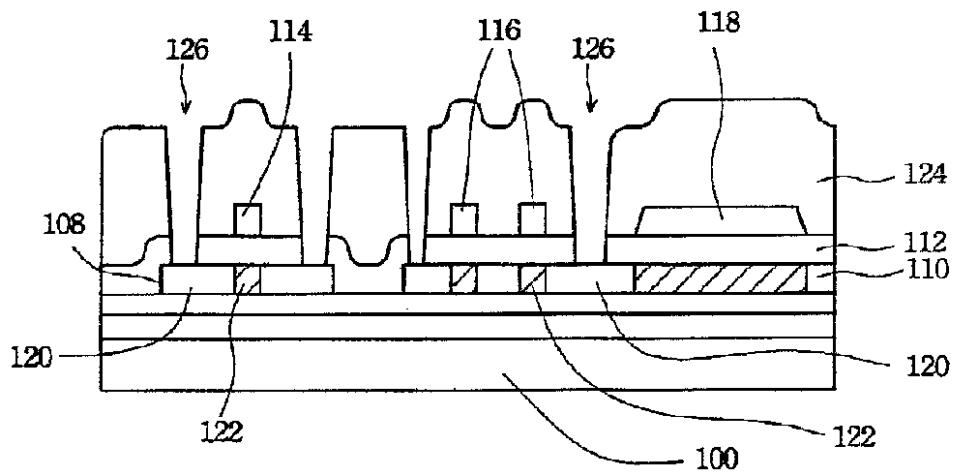


Fig. 3

【図4】

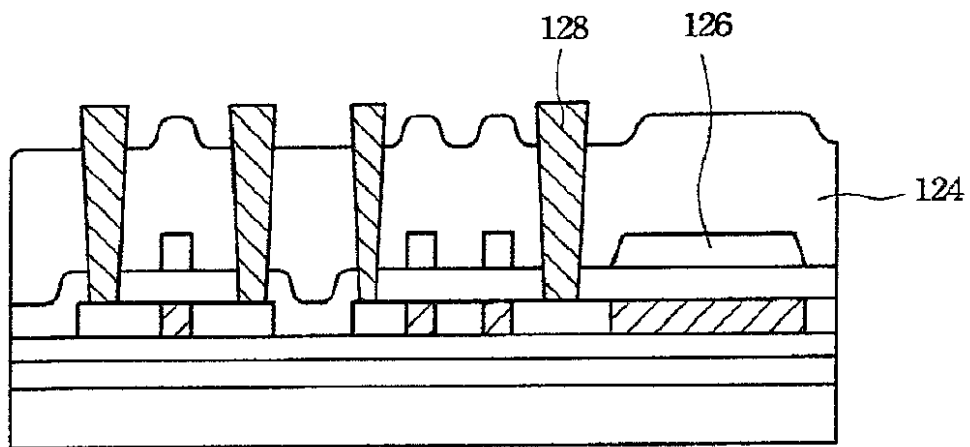


Fig. 4

【図5】

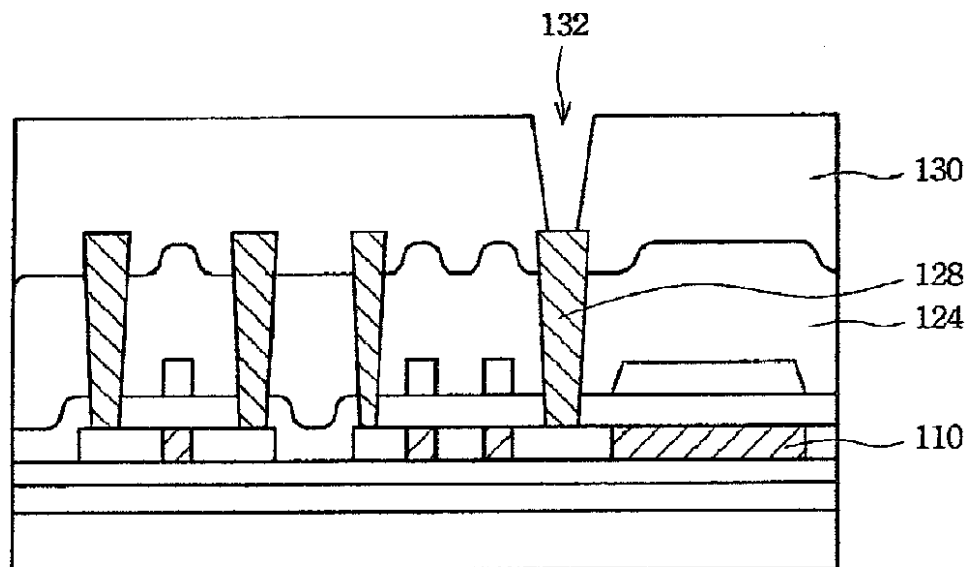


Fig. 5

【図6】

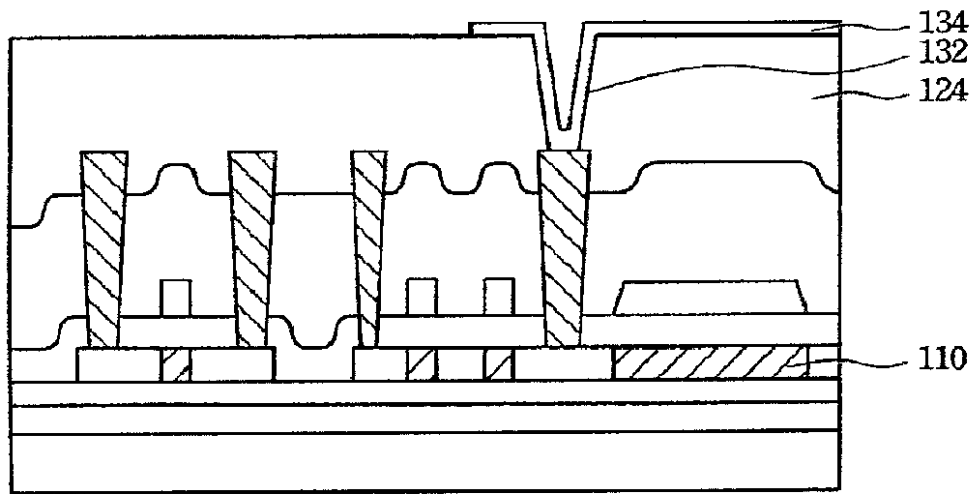


Fig. 6

ABSTRACT OF THE DISCLOSURE

A six mask-steps method for fabricating liquid crystal display is described. A driving area and a pixel area are defined by a first mask step. Gates on the driving/pixel area and upper electrodes of capacitors on the pixel area are defined by a second mask step. Then, using the gates and the upper electrodes as a mask, a source/drain, channel region and lower electrode are formed in the driving/pixel area by an ion-doping process. A second insulation layer is formed and covers the insulation substrate. A plurality of first openings is formed by the third mask step and the gate and the source/drain are exposed. A second conductive layer is formed and covers the second insulation layer and the first opening is filled. Then, the second conductive layer is patterned, and a source/drain line is formed and contacts electrically with the source/drain by the fourth mask step. A dielectric layer is formed and covers the second insulation layer and the second conductive layer; the dielectric layer has a planar surface. A second opening is formed by the fifth mask step and the drain line on the pixel area is exposed. Finally, a pixel electrode is defined by the sixth mask step and contacts electrically with the drain line.

专利名称(译)	液晶显示器的制造方法		
公开(公告)号	JP2003270666A	公开(公告)日	2003-09-25
申请号	JP2002160351	申请日	2002-05-31
[标]申请(专利权)人(译)	顶级波利电子公司		
[标]发明人	石儲榮 林國隆 陸一民 吳逸蔚		
发明人	石 儲榮 林 國隆 陸 一民 吳 逸蔚		
IPC分类号	G02F1/1368 G02F1/1362 H01L21/20 H01L21/336 H01L27/08 H01L29/786		
CPC分类号	G02F1/136227 G02F2202/104		
FI分类号	G02F1/1368 H01L21/20 H01L27/08.331.E H01L29/78.612.D H01L27/088.331.E		
F-TERM分类号	2H092/JA25 2H092/JA33 2H092/JA35 2H092/JA42 2H092/JB13 2H092/JB38 2H092/JB42 2H092/JB58 2H092/JB63 2H092/JB69 2H092/KA04 2H092/MA08 2H092/MA14 2H092/MA15 2H092/MA16 2H092/MA18 2H092/MA19 2H092/MA20 2H092/MA35 2H092/MA37 2H092/NA25 2H092/NA27 2H092/NA29 5F048/AC04 5F048/AC10 5F048/BA16 5F048/BB04 5F048/BC11 5F048/BC16 5F048/BG07 5F052/AA02 5F052/DA02 5F052/DB01 5F052/JA01 5F110/AA16 5F110/BB02 5F110/CC02 5F110/DD11 5F110/DD13 5F110/DD14 5F110/DD17 5F110/EE09 5F110/FF01 5F110/FF02 5F110/GG02 5F110/GG13 5F110/GG44 5F110/HJ01 5F110/HJ04 5F110/HJ12 5F110/HL02 5F110/HL08 5F110/NN03 5F110/NN23 5F110/NN24 5F110/NN72 5F110/NN73 5F110/PP03 5F110/QQ11 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB13 2H192/CB34 2H192/DA01 2H192/DA44 2H192/FB02 2H192/HA36 2H192/HA47 2H192/HA84 5F152/BB02 5F152/CC09 5F152/CD12 5F152/CD19 5F152/CE05 5F152/CE12 5F152/CE16 5F152/CE28 5F152/FF01		
优先权	091104322 2002-03-07 TW		
外部链接	Espacenet		

摘要(译)

(经修改) 要解决的问题：提供一种通过六个掩模步骤制造液晶显示器的方法。通过第一掩模处理确定驱动器区域和像素区域。通过第二掩模工艺确定像素区域上的电容器的栅极114/116和上电极118。接下来，使用栅极和上电极作为掩模，通过掺杂形成源极/漏极120，沟道部分122和下电极119。形成第二绝缘层124，并且在第三掩模工艺中形成第一开口126。形成第二导电层，并且通过第四掩模工艺使源极/漏极线128与源极/漏极接触。形成介电层124并覆盖第二绝缘层和第二导电层。在第五掩模工艺中形成第二开口132。在第六掩模工艺中确定像素电极134并且电接触漏极线。

