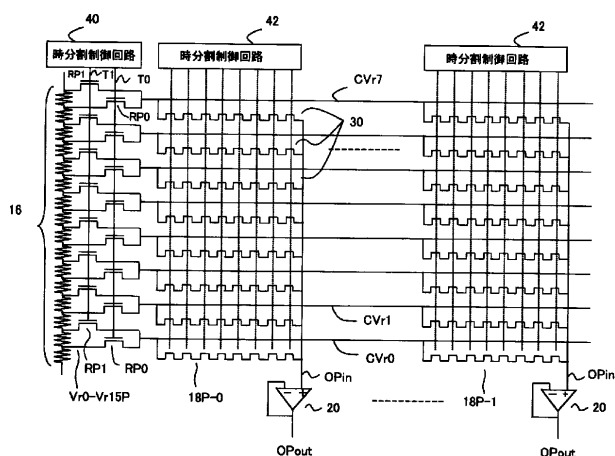




【特許請求の範囲】

【請求項 1】 2^N の階調基準電圧から 1 つの階調基準電圧を N ビットの入力データによって選択して出力するセレクト回路において、
前記 2^N の階調基準電圧を生成する階調基準電圧発生部と、
前記階調基準電圧端子と出力端子との間に並列に設けられ、前記入力データにより駆動制御される複数の直列接続されたトランジスタを有する複数の選択トランジスタ列とを有し、
前記選択トランジスタ列が、 2^N の階調基準電圧のうち M (M は複数で且つ $M < 2^N$) の階調基準電圧群毎に共通に設けられ、
更に、前記選択トランジスタ列を前記 M の階調基準電圧に対応して時分割で駆動可能状態する時分割制御回路を有することを特徴とするセレクト回路。

【請求項 2】 請求項 1 において、
更に、前記 M の階調基準電圧群のうち、各階調基準電圧を前記選択トランジスタ列に順次時分割で供給する階調基準電圧供給回路を有し、
前記時分割制御回路は、前記階調基準電圧供給回路に、前記 M の階調基準電圧群のうち駆動対象の階調基準電圧を、順次、前記選択トランジスタ列に供給させると共に、前記選択トランジスタ列を駆動可能状態にして、当該駆動対象の階調基準電圧を前記出力端子に出力することを特徴とするセレクト回路。

【請求項 3】 請求項 1 において、
更に、前記出力端子に供給された電圧を保持する電圧保持回路を有し、
前記時分割制御回路は、前記 M の階調基準電圧群のうち、前記入力データにより選択される階調基準電圧に対応して、前記選択トランジスタ列を駆動可能状態にした後は、当該選択トランジスタ列を非導通に制御し、前記電圧保持回路に当該選択された階調基準電圧を保持させることを特徴とするセレクト回路。

【請求項 4】 請求項 3 において、
前記選択トランジスタ列は、前記 N ビットの入力データ信号のうち一部の入力データ信号をそれぞれゲートに供給される複数のトランジスタと、前記時分割制御回路からの駆動制御信号をゲートに供給される駆動制御トランジスタとを直列に接続して構成され、
前記駆動制御トランジスタが導通状態の時、前記選択トランジスタ列が駆動可能状態になり、当該駆動制御トランジスタが非導通状態の時、前記選択トランジスタ列が駆動不可状態になることを特徴とするセレクト回路。

【請求項 5】 請求項 4 において、
前記 M の階調基準電圧は、隣接する第 1 及び第 2 の階調基準電圧を含み、
第 1 の駆動期間において、前記駆動制御信号が前記駆動制御トランジスタを導通状態にし、選択された選択トラン

ジスタ列を介して、前記第 1 の階調基準電圧が出力端子に出力され、

第 2 の駆動期間において、前記駆動制御信号が前記入力データの最下位ビットに応じて前記駆動制御トランジスタを導通状態にし、前記選択された選択トランジスタ列を介して、前記出力端子が前記第 1 の階調基準電圧から第 2 の階調基準電圧に変化することを特徴とするセレクト回路。

【請求項 6】 請求項 3 において、

10 前記入力データ信号は、第 1 及び第 2 のデータ入力信号を有し、

前記選択トランジスタ列は、前記第 1 のデータ信号をそれぞれゲートに供給される複数のトランジスタと、前記第 2 のデータ信号を前記時分割制御回路からの駆動制御信号に応じてゲートに供給される駆動制御トランジスタとを直列に接続して構成され、

前記駆動制御トランジスタが導通状態の時、前記選択トランジスタ列が駆動可能状態になり、当該駆動制御トランジスタが非導通状態の時、前記選択トランジスタ列が駆動不可状態になることを特徴とするセレクト回路。

【請求項 7】 請求項 6 において、

前記 M の階調基準電圧は、隣接する第 1 及び第 2 の階調基準電圧を含み、

第 1 の駆動期間において、前記駆動制御信号が前記第 2 のデータ信号を前記駆動制御トランジスタに供給し、選択された選択トランジスタ列を介して、前記第 1 の階調基準電圧が出力端子に出力され、

第 2 の駆動期間において、前記駆動制御信号が前記入力データの最下位ビットに応じて前記第 2 のデータ信号を前記駆動制御トランジスタに供給し、前記選択された選択トランジスタ列を介して、前記出力端子が前記第 1 の階調基準電圧から第 2 の階調基準電圧に変化することを特徴とするセレクト回路。

【請求項 8】 2^N の階調基準電圧から 1 つの階調基準電圧を N ビットの入力データによって選択して出力するセレクト回路において、

前記 2^N の階調基準電圧を生成する階調基準電圧発生部と、

前記階調基準電圧のうち M の階調基準電圧が、時分割で順次供給される複数の共通基準電圧線と、

前記複数の共通基準電圧線と出力端子との間にそれぞれ並列に設けられ、前記入力データにより制御される複数の直列接続されたトランジスタを有する複数の選択トランジスタ列とを有し、

更に、前記出力端子に供給された電圧を保持する電圧保持回路と、

前記 M の階調基準電圧群のうち、前記入力データにより選択される階調基準電圧に対応して前記選択トランジスタ列を駆動可能状態にした後は、当該選択トランジスタ列を非導通に制御し、前記電圧保持回路に当該選択され

た階調基準電圧を保持させる時分割制御回路とを有することを特徴とするセレクト回路。

【請求項 9】 2^N の階調基準電圧から 1 つの階調基準電圧を N ビットの入力データによって選択して出力するセレクト回路において、

前記 2^N の階調基準電圧を生成する階調基準電圧発生部と、

前記階調基準電圧のうち隣接する第 1 及び第 2 の階調基準電圧が、時分割で順次供給される複数の共通基準電圧線と、

前記複数の共通基準電圧線と出力端子との間にそれぞれ並列に設けられ、前記入力データにより制御される複数の直列接続されたトランジスタを有する複数の選択トランジスタ列と、

前記出力端子に供給された電圧を保持する電圧保持回路と、

第 1 の駆動期間において、前記複数の選択トランジスタ列を駆動可能状態にし、前記入力データで選択された選択トランジスタ列を介して前記出力端子に前記第 1 または第 2 の階調基準電圧の一方を出力させ、前記第 1 の駆動期間に続く第 2 の駆動期間において、前記複数の選択トランジスタ列を、前記入力データの所定ビットの信号に応じて駆動可能状態または非駆動状態にし、駆動可能状態の時に、前記選択された選択トランジスタ列を介して前記出力端子に第 1 または第 2 の階調基準電圧の他方を出力させる時分割制御回路とを有することを特徴とするセレクト回路。

【請求項 10】 請求項 9 において、

前記 2^N の階調基準電圧が第 1 及び第 2 の階調基準電圧群を有し、

前記第 1 の階調基準電圧群に対応する共通基準電圧線には、前記第 1 の駆動期間において第 1 の階調基準電圧が供給され、前記第 2 の駆動期間において第 2 の階調基準電圧が供給され、

前記第 2 の階調基準電圧群に対応する共通基準電圧線には、前記第 1 の駆動期間において第 2 の階調基準電圧が供給され、前記第 2 の駆動期間において第 1 の階調基準電圧が供給されることを特徴とするセレクト回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示パネルの駆動回路に関し、特に、デジタル表示データをアナログ駆動電圧に変換するデジタル・アナログ変換回路を有するセレクト回路の回路規模を小さくした駆動回路に関する。

【0002】

【従来の技術】 液晶表示パネルは、各画素に液晶層を設け、その液晶層に画素の表示データに対応する駆動電圧を印加して、液晶層の光透過率を変化させて画像の階調表示を可能にする。画像表示データが 8 ビットで構成さ

れる場合は、256 階調の表示が可能になり、それに伴い液晶層を挟む画素電極には 256 種類の駆動電圧が印加される。

【0003】 図 1 は、一般的な液晶表示装置の構成図である。表示パネル側に液晶層が設けられた表示セルアレイ 22 が設けられ、それを駆動する回路群が表示パネルに接続されている。表示セルアレイ 22 は、表示データに対応する駆動電圧が印加されるデータバス線 DB1~DBn と、それらに交差し水平同期信号 Hsync に同期して順次選択されるスキャンバス線 SB1~SBm とを有し、それらの交差位置に、図示しないセルトランジスタと画素電極とが設けられている。

【0004】 スキャンバス線 SB は、スキन्दライバ 24 により駆動され、データバス線 DB は、シフトレジスタ 10、データラッチ回路 12、レベルシフト回路 14、セクタ 18、出力バッファ 20 からなるデータバスドライバ回路群により駆動される。セルトランジスタは、スキャンバス線により選択され、データバス線と画素電極とを接続し、データバス線に印加された電圧を画素電極に伝える。

【0005】 データバスドライバ回路群では、8 ビットの表示データ D0~D7 がデータラッチ回路 12 に順次ラッチされる。ラッチのタイミング信号は、クロック CLK をシフトさせるシフトレジスタ 10 により生成される。データラッチ回路 12 にラッチされたデジタル表示データは、レベルシフト回路 14 にて、デジタル側電源 VDDD (例えば 3 V) からアナログ側電源 VDDA (例えば 1.2 V) にレベルシフトされ、セクタ 18 に供給される。

【0006】 セクタ 18 と出力バッファ 20 がデジタル・アナログ変換回路に該当する。電圧発生回路 16 が、ガンマ曲線などに対応して設定された基準電圧群 VR0~VR8 を抵抗分割して、256 種類の階調基準電圧 Vr0~Vr255 を生成し、セクタ 18 に供給する。セクタ 18 では、データラッチ回路 12 でラッチされた 8 ビットのデジタル表示データに従って、256 種類の階調基準電圧 Vr0~Vr255 のいずれか 1 つを選択し、出力バッファ 20 に供給する。出力バッファ 20 は、オペアンプ群であり、セクタ 18 から供給される階調基準電圧を増幅してデータバス線 DB に印加する。

【0007】 図 2 は、従来のセレクトの構成図である。電圧発生回路 16 は、複数の抵抗を直列に接続した抵抗ラダー回路であり、抵抗間の接続ノードから、階調基準電圧 Vr0~Vr255 が生成される。この階調基準電圧 Vr0~Vr255 は、横方向に延びる基準電圧線を介してセクタ全面に供給される。各データバス線に対応して、デジタル表示データ D0~D7 がセクタに供給される。そして、セクタは、図示されるとおり、8 個のトランジスタ列 30 で構成され、このトランジスタのゲート電極に 8 ビットの表示データ D0~D7 が供給される。図示しないが、正確には、8 ビットの表示データ D0~D7 をプリデコードし

た8ビットの信号がトランジスタ列30の各トランジスタのゲート電極に供給され、256組のトランジスタ列30のうち、1組のトランジスタ列において8個のトランジスタ全て導通し、オペアンプ入力端子0Pinに選択された階調基準電圧Vrを供給する。オペアンプ20は、正入力側に上記階調基準電圧Vrが供給され、負入力側はオペアンプ出力端子0Poutに接続され、増幅率1の増幅動作を行い、データバス線DBを駆動する。

【0008】

【発明が解決しようとする課題】図2のセレクト回路に示されるとおり、8ビットの表示データD0-D7によって256種類の階調基準電圧Vr0-Vr255のいずれか1つを選択するために、1つのデータバス線に対して、256組のトランジスタ列30が設けられる。従って、データバス線が全部で384本ある場合は、 256×384 のトランジスタ列が必要になる。つまり、 $8 \times 256 \times 384 = 786432$ 個のトランジスタが必要になる。しかも、カラー表示のためにRGBの三原色分必要になり、上記の3倍のトランジスタ数になる。更に、図2で示さなかったが、各トランジスタ列には、8ビットの表示データD0-D7をブリ

デコードしたデータが供給されるので、各トランジスタ列毎に、そのブリデコードするためのインバータ回路が必要になる。

【0009】このような膨大な数のトランジスタを有するセレクトは、データバス線の駆動回路集積回路の大部分を占めることになり、集積回路の回路規模を大きくし、コストアップを招いている。

【0010】そこで、本発明の目的は、セレクト回路の回路規模を小さくした駆動回路を提供することにある。

【0011】

【課題を解決するための手段】上記の目的を達成するために、本発明の一つの側面は、 2^N の階調基準電圧から1つの階調基準電圧をNビットの入力データによって選択して出力するセレクト回路において、階調基準電圧端子と出力端子との間にそれぞれ並列に設けられ、前記入力データにより駆動制御される複数の直列接続されたトランジスタを有する複数の選択トランジスタ列を有し、その選択トランジスタ列が、 2^N の階調基準電圧のうちM（Mは複数次で且つ $M < 2^N$ ）の階調基準電圧群毎に共通に設けられ、Mの階調基準電圧に対応して時分割で駆

動可能状態にされる。

【0012】具体的な例で説明すると、選択トランジスタ列には、M（例えば $M = 2$ ）の階調基準電圧群のうち各階調基準電圧が順次時分割で供給され、当該選択トランジスタ列は、Mの階調基準電圧に対応して時分割で駆動可能状態し、入力データにより選択される階調基準電圧が、入力データにより導通した選択トランジスタ列を経由して、出力端子に出力される。

【0013】上記の発明の側面によれば、セレクト回路において、選択トランジスタ列がMの階調基準電圧群毎

に設けられるので、セレクト回路内の選択トランジスタ列の数を $1/M$ に減少させることができる。従って、セレクト回路の回路規模を小さくすることができる。

【0014】上記のセレクト回路は、液晶表示パネルのデジタル表示データを駆動電圧に変換する駆動回路に利用することで、駆動回路の回路規模を小さくすることができ、駆動回路のコストダウンを図ることができる。

【0015】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、本発明の保護範囲は、以下の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。

【0016】図1は、本実施の形態が適用される液晶表示装置の構成図である。図1の構成については、既に説明した通りである。図3は、本実施の形態が適用されるセレクトの概略構成図である。

【0017】電圧発生回路16には、基準電圧VR0-VR8が供給される。この基準電圧のうち中央レベルの基準電圧VR4がコモン電圧であり、電圧発生回路16は、コモン電圧以上の基準電圧VR4-VR7から正極性側の階調基準電圧Vr0p-Vr255pを生成し、コモン電圧以下の基準電圧VR0-VR4から負極性側の階調基準電圧Vr0n-Vr255nを生成する。セレクト18は、セレクトトランジスタ群18P-0、18N-0、18P-1、18N-1...で構成され、各セレクトトランジスタ群は、256の階調基準電圧のうちから、表示データD0-D7に従って1つの階調基準電圧を選択し、オペアンプ20の入力端子0Pinに供給する。つまり、セレクトトランジスタ群の出力端子がオペアンプ入力端子0Pinに接続される。

【0018】液晶層の寿命を延ばすために、データバス線DBには交流の駆動電圧が印加される。駆動電圧を交流にするために、正極性側のセレクトトランジスタ群18Pが選択する階調基準電圧Vr0p-Vr255pと、負極性側のセレクトトランジスタ群18Nが選択する階調基準電圧Vr0n-Vr255nとが、隣接するデータバス線DB0,1、DB2,3に交互に印加される。通常は、水平同期信号に同期して、この正極性と負極性の階調基準電圧が、隣接するデータバス線に交互に印加される。そのために、オペアンプ20の出力0Poutとデータバス線DBとの間には、スイッチ回路SWが設けられている。

【0019】正極性側のセレクトトランジスタ群18Pは、後述するとおり、Pチャネルトランジスタを直列に接続した選択トランジスタ列からなる。そして、その選択トランジスタ列の各ゲート電極には、表示データD0-D7の反転データがそれぞれブリデコードして供給され、供給されたデータが全てLレベルの時に、選択トランジスタ列が導通する。一方、負極性側のセレクトトランジスタ群18Nは、Nチャネルトランジスタを直列に接続した選択トランジスタ列からなる。その選択トランジスタ

列の各ゲート電極には、表示データD0～D7の非反転データがそれぞれプリデコードして供給され、供給データが全てHレベルの時に、選択トランジスタ列が導通する。

【0020】図4は、本実施の形態におけるセレクトの具体的な回路図である。このセレクト回路には、図3の正極性側のセレクトトランジスタ群18P-0、18P-1が示され、簡単のために、電圧発生回路16により生成される階調基準電圧として、16の階調基準電圧Vr0～Vr15pが示されている。

【0021】このセレクトトランジスタ群では、8個の 10
選択トランジスタ列30は、2つの階調基準電圧毎に設けられている。つまり、16の階調基準電圧に対して、8組の選択トランジスタ列30が設けられる。選択トランジスタ列30と基準電圧発生回路16の階調基準電圧端子Vr0～Vr15pとの間には、階調電圧供給回路として、階調基準電圧供給トランジスタRP0,RP1が設けられる。即ち、2つずつの階調基準電圧端子Vr0～Vr15pが、階調基準電圧供給トランジスタRP0,RP1を介して、共通基準電圧線Cv0～Cv7に接続され、この共通基準電圧線Cv0～Cv7とオペアンプの入力端子OPinとの間に、それぞれ 20
選択トランジスタ列30が並列に設けられる。

【0022】共通基準電圧線Cv0～Cv7には、階調基準電圧端子Vr0～Vr15pのうち2つの階調基準電圧が、時分割で供給される。即ち、時分割制御回路40から出力される時分割信号T0に応答して、階調基準電圧供給トランジスタRP0が導通して、隣接する2つの階調基準電圧群のうち低い方の偶数階調基準電圧が、共通基準電圧線に供給される。その時、選択トランジスタ列30は駆動可能状態になり、入力される表示データに応じて、8つの 30
選択トランジスタ列30のうち1つの選択トランジスタ列のトランジスタが全て導通し、共通基準電圧線に供給された偶数階調基準電圧をオペアンプ入力OPinに供給する。この偶数階調基準電圧は、オペアンプ入力に設けられた電圧保持回路（図示せず）に保持される。その後、時分割制御回路40から出力される時分割信号T1に 40
応答して、階調基準電圧供給トランジスタRP1が導通し（その時トランジスタRP0は非導通）、隣接する2つの階調基準電圧のうち高い方の奇数階調基準電圧が、共通基準電圧線に供給される。その時、導通していた選択トランジスタ列30は、表示データD0～D7が奇数であれば、そのまま導通を維持して、共通基準電圧線に供給された高い方の奇数階調基準電圧を、オペアンプ20の入力OPinに供給する。一方、表示データD0～D7が偶数であれば、時分割制御回路42により全ての選択トランジスタ列が非導通に制御され、オペアンプの入力OPinは、電圧保持回路により偶数階調基準電圧のレベルに維持される。

【0023】このように、セレクトトランジスタ群の選択トランジスタ列30を、2つの階調基準電圧に共通に設けて、それを時分割で駆動し、選択トランジスタ列の2回の駆動制御の結果、表示データで選択された階調基 50

準電圧をオペアンプに出力する。つまり、選択トランジスタ列30の駆動動作は、1水平同期期間内に2回、時分割で実行される。従って、選択トランジスタ列30の数は、従来例に比較すると半分になっている。しかも、1回目の駆動動作により、オペアンプへの出力電圧は、最終的に選択される階調基準電圧と同じか、もしくはそれより1階調低い電圧になっている。従って、2回目の駆動動作で駆動すべき電圧差は、ゼロか、もしくは1階調レベルに過ぎず、2回の駆動動作時間を短く設定することができる。

【0024】水平同期期間に余裕がある場合は、選択トランジスタ列30を、2より多い複数の階調基準電圧に共通に設けて、その数を更に減らすこともできる。例えば、選択トランジスタ列を4つの階調基準電圧に共通に設けた場合は、階調基準電圧供給トランジスタの数も4個にして、順番に導通させ、選択トランジスタ列30を4回に分けて駆動動作させる。

【0025】図5は、セレクトの詳細回路を示す図であり、図6は、その動作論理図表である。また、図7、図8も、同様にセレクトの詳細回路図、その動作論理図表である。図5、6が、正極性側のPチャネルトランジスタによるトランジスタ群であり、図7、8が、負極性側のNチャネルトランジスタによるトランジスタ群である。そして、図9は、セレクトの動作に対応して駆動信号波形図である。

【0026】図5の正極性側の選択トランジスタ列30は、PチャネルトランジスタP0～P7を直列に接続して構成されている。そして、各トランジスタP1～P7のゲート電極には、表示データD1～D7の反転データが供給される。前述したとおり、この表示データD1～D7は、図示しないインバータなどによりプリデコードされたデータであり、256組の選択トランジスタ列30には、それぞれ異なる順列組合せのデータが供給される。

【0027】更に、駆動制御トランジスタP0のゲートには、時分割制御回路42により、最下位ビットの表示データD0の反転信号が、分割制御信号Tdivのレベルに応じて供給される。時分割制御回路42は、NANDゲートとインバータから構成され、論理的には、最下位ビットの表示データの反転信号/D0と分割制御信号TdivのAND論理出力が、駆動制御トランジスタP0のゲートに供給される。この時分割制御回路42の出力n1は、同じデータバス線に対応する全ての選択トランジスタ列30に共通に供給され、選択トランジスタ列30を、駆動可能状態または駆動不可状態に制御する。

【0028】駆動制御トランジスタP0が導通状態では、選択トランジスタ列30が駆動可能状態になり、入力される表示データD1～D7によって、選択トランジスタ列が導通状態になる。駆動制御トランジスタP0が非導通状態では、選択トランジスタ列30は駆動不可状態になる。

【0029】また、電圧発生回路16が生成する階調基

準電圧 V_r のうち、偶数階調基準電圧 V_{r2k} は、階調基準電圧供給トランジスタ $PR0$ を介して共通基準電圧線 CV_r 及び選択トランジスタ列 30 に供給される。また、奇数階調基準電圧 V_{r2k+1} は、階調基準電圧供給トランジスタ $PR1$ を介して共通基準電圧線 CV_r 及び選択トランジスタ列 30 に供給される。そして、階調基準電圧供給トランジスタ $PR0, PR1$ は、時分割制御回路 40 から供給される制御信号 $T0, T1$ に応じて、順番に導通する。

【0030】図6の動作論理図表と図9の駆動信号波形の正極性とを参照しながら、図5の回路の動作を説明する。水平同期信号 $Hsync$ に同期して、時分割制御信号 $Tdiv$ が、1つの水平同期期間内の前半で L レベルに、後半で H レベルに制御される。それに伴い、階調基準電圧供給トランジスタ $RP0$ が導通し、偶数階調基準電圧 V_{r2k} が共通基準電圧 CV_r に印加される。

【0031】一方、分割制御回路 42 では、水平同期期間の前半は、時分割制御信号 $Tdiv$ が L レベルであるので、表示データの最下位ビット $D0$ の反転レベルが H レベル、 L レベルにかかわらず、出力ノード $n1$ を強制的に L レベルにする。従って、駆動制御トランジスタ $P0$ は全て導通状態になり、選択トランジスタ列を駆動可能状態にする。そして、選択トランジスタ列 30 のうち、上位ビットの表示データ $D1-D7$ が供給されるトランジスタ $P1-P7$ は、その表示データが全て L レベルの時に全て導通する。従って、出力端子が接続されるオペアンプ入力 $OPin$ には、選択されるべき階調基準電圧と同じ偶数階調基準レベルか、または選択されるべき階調基準電圧より1階調低い偶数階調基準レベルかのいずれかが供給される。

【0032】図9の一点鎖線で示されるとおり、オペアンプ入力 $OPin$ が正極性側に駆動され、それに遅れて、オペアンプ出力 $OPout$ も正極性側に駆動される。この状態で、オペアンプの入力と出力は、偶数階調基準電圧 $even$ に駆動される。オペアンプ入力端子には、複数の選択トランジスタ列が接続され、ある程度の寄生容量 C_p を有し、オペアンプ入力 $OPin$ の基準電圧は、その寄生容量 C_p に蓄積される。即ち、この寄生容量 C_p 及びオペアンプが電圧保持回路になる。

【0033】次に、水平同期期間の後半で、時分割制御信号 $Tdiv$ が H レベルに制御される。それに伴い、階調基準電圧供給トランジスタ $RP0$ は非導通、 $RP1$ は導通し、共通基準電圧線 CV_r には、奇数階調基準電圧 V_{r2k+1} が供給される。この時、表示データ $D0-D7$ が偶数であれば最下位ビット $D0$ の反転データは H レベルとなり、時分割制御回路 42 の出力 $n1$ は H レベルになり、駆動制御トランジスタ $P0$ は非導通になる。また、表示データ $D0-D7$ が奇数であれば最下位ビット $D0$ の反転データは L レベルとなり、時分割制御回路 42 の出力 $n1$ は L レベルになり、駆動制御トランジスタ $P0$ の導通状態は維持される。

【0034】従って、表示データが奇数の場合は、選択トランジスタ列 30 の導通状態が維持され、共通基準電

圧線 CV_r に供給された奇数階調基準電圧 V_{r2k+1} が、オペアンプ入力 $OPin$ に供給される。従って、図9に示されるとおり、オペアンプ入力 $OPin$ 及び出力 $OPout$ は、偶数階調基準電圧 $even$ から奇数階調基準電圧 odd に上昇する。一方、表示データが偶数の場合は、駆動制御トランジスタ $P0$ が強制的に非導通になり、選択トランジスタ列 30 は非導通になり、前半に供給されていた偶数階調基準電圧 $even$ がそのままオペアンプ入力、出力に維持される。つまり、図9の破線で示した通りである。

【0035】尚、時分割制御信号 $Tdiv$ の切り替わりのタイミングは、液晶層への駆動電圧印加に要する時間や液晶層の光透過率の変化に要する時間などから要求される時間 Δt を、水平同期期間の後半に確保できるように設定される。更に、上記タイミングは、時分割制御信号 $Tdiv$ が L レベルの間にセクタ 18 内の選択トランジスタ列が切り替わり、オペアンプ入力 $OPin$ が十分立ち上がることができるようなタイミングに設定されることが好ましい。上記の2つの要求を満たすように、時分割制御信号 $Tdiv$ の変化のタイミングが決定される。

【0036】この時分割制御信号 $Tdiv$ は、図1に示した、時分割制御信号発生回路 26 により生成される。この時分割制御信号発生回路 26 には、水平同期信号 $Hsync$ とクロック CLK とが供給され、水平同期信号 $Hsync$ が供給されたタイミングで、制御信号 $Tdiv$ が L レベルに制御され、更に、所定数のクロック CLK をカウントしたタイミングで、制御信号 $Tdiv$ が H レベルに制御される。

【0037】次に、図7の負極性側のセクタトランジスタ群について説明する。負極性側のセクタトランジスタ群は、電圧 $0V$ と $6V$ との間を 256 分割した階調基準電圧 $V_{r0}-V_{r255n}$ のいずれか1つを、表示データ $D0-D7$ に従って選択して、オペアンプ入力 $OPin$ に供給する。出力電圧が低いので、選択トランジスタ列 30 は、8つの N チャネルトランジスタ $N0-N7$ で構成される。7つのトランジスタ $N1-N7$ には、上位の表示データ $D1-D7$ が供給され、最下位の駆動制御トランジスタ $N0$ には、時分割制御回路 42 からの制御信号 $n1$ が供給される。

【0038】上位の表示データ $D1-D7$ は、それぞれプリデコードされた組合せで、各選択トランジスタ列に供給される。一方、時分割制御回路 42 の出力 $n1$ は、全ての選択トランジスタ列に共通に供給される。但し、時分割制御回路 42 は、図5の P チャネル側（正極性側）の制御回路 42 とは極性が逆になっている。

【0039】また、抵抗ラダー回路で構成される電圧発生回路が生成する階調基準電圧は、隣接する2つの階調基準電圧が、階調基準電圧供給トランジスタ $RN0, RN1$ を介して、交互に共通基準電圧線 CV_r に供給される。この階調基準電圧供給トランジスタ $RN0, RN1$ は、時分割制御回路 40 からの制御信号 $T0, T1$ により制御される。

【0040】図8の動作論理図表と、図9の負極性の駆動波形を参照して、負極正側のセクタの動作を説明す

る。水平同期信号Hsyncに応答して、時分割制御信号TdivがLレベルになり、Nチャンネルの階調基準電圧供給トランジスタRN0が導通する。それにより、共通基準電圧線CVrには、偶数階調基準電圧Vr2kが供給される。

【0041】一方、時分割制御回路42では、時分割制御信号TdivのLレベルによりその出力n1は強制的にHレベルになり、駆動制御トランジスタN0が導通し、選択トランジスタ列を駆動可能状態にする。更に、複数の選択トランジスタ列30のうち、供給される表示データD1-D7が全てHレベルの選択トランジスタ列で、トランジスタN1-N7が導通する。その結果、オペアンプ入力OPinには、偶数階調基準電圧Vr2kが供給される。

【0042】水平同期期間の後半で、時分割制御信号TdivがHレベルに変化し、階調基準電圧供給トランジスタRN0が非導通、トランジスタRN1が導通する。それに伴い、共通基準電圧線CVrには、奇数階調基準電圧Vr2k+1が供給される。この時、表示データが偶数の場合は、その最下位ビットD0の反転データがHレベルになり、時分割制御回路42の出力n1はLレベルになり、駆動制御トランジスタN0が非導通になる。その結果、オペアンプ入力OPinの電圧は、従前の偶数階調基準電圧に維持される。一方、表示データが奇数の場合は、その最下位ビットD0の反転データがLレベルであり、時分割制御回路42の出力n1はHレベルを維持し、駆動制御トランジスタN0の導通状態が維持される。そのため、選択トランジスタ列30は導通状態を維持し、オペアンプ入力OPinには、奇数階調基準電圧Vr2k+1が供給され、オペアンプ出力OPoutも同様に变化する。

【0043】図9に示されるとおり、負極性では、正極性の時と逆の駆動波形になるだけであり、表示データが偶数であれば、選択トランジスタ列は、前半のみ導通して偶数階調基準電圧evenが出力される。また、表示データが奇数であれば、選択トランジスタ列は、前半に続いて後半でも導通して、奇数階調基準電圧oddが出力される。

【0044】尚、図5、7の選択トランジスタ列30のトランジスタP0、N0の位置は、トランジスタP1-P7内のいずれかの位置、またはトランジスタN1-N7内のいずれかの位置に配置しても良い。

【0045】以上説明したとおり、本実施の形態におけるセレクトの選択トランジスタ列は、2つの階調基準電圧に共通に設けられ、その数が半減している。そして、表示データで選択された選択トランジスタ列は、水平同期期間の前半は、表示データが偶数、奇数にかかわらず駆動され、後半は表示データが奇数の場合のみ駆動される。つまり、選択トランジスタ列の数を半分にして、それに対応して2回、時分割で駆動される。

【0046】図10は、別の駆動波形を示す図である。この例では、水平同期期間の前半で奇数階調基準電圧が選択され、後半で偶数階調基準電圧が選択される。その

為には、図5、7の時分割制御回路40、42と階調基準電圧供給トランジスタの構成を逆極性にすれば良い。

【0047】図10に示される通り、オペアンプ入力OPinに供給されるセレクトの出力と、オペアンプ出力OPoutは、前半でより高い奇数階調基準電圧に駆動され、その後、表示データが偶数の場合に、偶数階調基準電圧にシフトされる。従って、前半から後半に変化する際の波形が、図9の例とは逆になっている。

【0048】図11は、第2の実施の形態におけるセレクトの詳細回路図である。また、図12は、その動作論理図表である。図11の回路は、正極性側の回路であり、Pチャンネルトランジスタにより構成される。図5の回路では、選択トランジスタ列30が8個のトランジスタで構成されていた。それに対して、第2の実施の形態では、選択トランジスタ列30が、7個のトランジスタP1-P7で構成される。そして、7個のトランジスタのうち駆動制御用のトランジスタP1の制御信号n2は、時分割制御回路42の出力n1と、表示データの最下位ビットの次の上位ビットD1の反転データとを入力するORゲート44により生成される。一方、時分割制御回路40と階調基準電圧供給トランジスタRP0、RP1は、図5の例と同じである。

【0049】図12の動作論理図表を参照して、図11の動作を説明する。時分割制御回路42の動作は、図5、6と同じである。従って、供給される表示データ/D1-D7が全てLレベルの選択トランジスタ列30では、時分割制御信号TdivがLレベルの前半では、ノードn1がLレベルであるので、ORゲート44の出力は、表示データ/D1がそのままトランジスタP1に供給される。つまり、駆動制御トランジスタP1の動作は、表示データ/D1次第になる。従って、表示データ/D1-D7が全てLレベルの選択トランジスタ列30は全てのトランジスタが導通し、偶数階調基準電圧Vr2kが出力される。

【0050】また、時分割制御信号TdivがHレベルの後半では、表示データが偶数の時は、ノードn1が強制的にHレベルになり、ノードn2も強制的にHレベルとなり、駆動制御トランジスタP1は強制的に非導通になり、オペアンプの入力、出力OPin、OPoutは共に偶数階調基準電圧Vr2kに維持される。後半において、表示データが奇数の時は、ノードn1がLレベルのままであり、引き続きノードn2には、表示データ/D1がそのまま供給される。つまり、選択されている選択トランジスタ列30は、その導通状態を維持し、奇数階調基準電圧Vr2k+1が出力される。その結果、オペアンプの入力、出力OPin、OPoutは奇数階調基準電圧に変化する。

【0051】従って、図11の回路であっても、その駆動波形は、図9の正極性の波形と同じである。図11の回路例では、選択トランジスタ列30のトランジスタの個数を1個減らすことができる。但し、それに伴って、最下位ビットから1つ上の表示ビット/D1に対して、O

Rゲート44を、それぞれの選択トランジスタ列30に設ける必要がある。

【0052】図13は、第2の実施の形態における負極性側のセレクトの詳細回路図である。また、図14は、その動作論理図表である。この場合も同様に、選択トランジスタ列30が、7個のNチャネルトランジスタN1-N7で構成されている。それに伴い、最下位ビットの次の上位ビットD1が、時分割制御回路42の出力n1と共にANDゲート44に入力され、その出力n2で駆動制御用トランジスタN1が制御されている。

【0053】図13の回路の動作は、図11とほぼ同じである。図14に従って図13の回路動作を説明すると、水平同期期間の前半では、時分割制御回路42の出力n1はHレベルである。従って、駆動制御用トランジスタN1には、最下位ビットの次の上位ビットD1がそのまま供給される。従って、全ての表示データD1-D7がHレベルの選択トランジスタ列30は、導通状態になり、偶数階調基準電圧Vr2kが出力される。また、水平同期期間の後半では、表示データが偶数の時は、出力n1がLレベルになり、駆動制御トランジスタN1は強制的に非導通に制御される。従って、出力は偶数階調基準電圧Vr2kに維持される。また、表示データが奇数の時は、出力n1がHレベルになり、トランジスタN1には表示データD1がそのまま印加される。従って、全ての表示データD1-D7がHレベルの選択トランジスタ列30では、導通状態を維持し、奇数階調基準電圧Vr2k+1が出力される。

【0054】尚、図11、13の選択トランジスタ列30において、ゲート44は、表示データD1-D7のいずれの位置に配置しても良い。つまり、いずれのトランジスタも駆動制御用トランジスタとすることができる。

【0055】図11、13の選択トランジスタ列30においても、水平同期期間の前半で偶数の表示データに対する選択駆動動作をおこない、後半で奇数の表示データに対する選択駆動動作をおこなう。

【0056】図15は、第3の実施の形態例におけるセレクトを示す回路図である。また、図16は、その動作に対応した駆動波形を示す図である。図4に示したセレクトでは、水平同期期間の前半は、全ての選択トランジスタ列がその出力を偶数階調基準電圧に駆動するよう動作し、後半は、全ての選択トランジスタ列が、その出力を奇数階調基準電圧に駆動するよう動作した。図15の例では、選択トランジスタ列を2つのグループに分けて、水平同期期間の前半はその出力を偶数階調基準電圧に駆動し、後半は奇数階調基準電圧に駆動する第1のグループ30(E-O)と、前半はその出力を奇数階調基準電圧に駆動し、後半は偶数階調基準電圧に駆動する第2のグループ30(O-E)とで構成する。

【0057】しかも、第1のグループ30(E-O)は、高い階調基準電圧側に設けられ、第2のグループ30(O-E)は、低い階調基準電圧側に設けられる。

【0058】それに伴い、時分割制御回路40から出力される時分割制御信号T0、T1は、第1と第2のグループで逆になっている。その結果、高い階調基準電圧側では、共通基準電圧線CVrに前半の駆動期間で偶数階調基準電圧が供給され、後半の駆動期間に奇数階調基準電圧が供給される。更に、選択トランジスタ列30の最下位ビットに対応する駆動制御トランジスタには、第1と第2のグループで逆極性の制御信号n1が供給される。

【0059】負極性側のセレクトトランジスタ群の構成は、図15と同様であり、省略する。

【0060】図15の回路構成は、図16の駆動波形を参照することでより明白になる。図中、実線で示された駆動波形が、第1のグループの選択トランジスタ列に対応し、一点鎖線で示された駆動波形が、第2のグループの選択トランジスタ列に対応する。正極性、負極性いずれでも、表示データが高い階調を示す場合は、第1のグループの選択トランジスタ列30(E-O)が導通して、セレクト出力を前半の駆動期間では偶数階調基準電圧に駆動し、後半の駆動期間では奇数階調基準電圧に駆動する。また、表示データが低い階調を示す場合は、第2のグループの選択トランジスタ列30(O-E)が導通して、セレクト出力を前半の駆動期間では奇数階調基準電圧に駆動し、後半の駆動期間では偶数階調基準電圧に駆動する。

【0061】上記第3の実施の形態例では、高い階調側の共通基準電圧線CVrは、前半は偶数階調基準電圧になり、後半は奇数階調基準電圧になるが、低い階調側の共通基準電圧線CVrは、その逆の電圧になる。従って、セレクト18内に水平方向に延在する複数の共通基準電圧線のうち、半分は、一旦低い階調基準電圧になりその後高い階調基準電圧になるのに対して、残りの半分は、一旦高い階調基準電圧になりその後低い階調基準電圧になる。従って、共通基準電圧の電圧変動に伴う配線容量の充電動作と放電動作とが混在することになり、充電動作や放電動作に伴うノイズをキャンセルすることができる。

【0062】その場合、より高い階調側で階調基準電圧が前半から後半に上昇するようにしたほうが、セレクトの出力電圧の立ち上がり時間をより短くすることができ、好ましい。

【0063】また、共通基準電圧線の充放電によるノイズキャンセルという目的だけであれば、第1のグループの選択トランジスタ列と第2のグループの選択トランジスタ列とを、高い階調側と低い階調側に分ける必要はない。第1、第2のグループを、任意の組合せの階調基準電圧に、割り当てても、水平同期期間の前半から後半の切り替わり時に、半分の共通基準電圧線を充電し、半分の共通基準電圧線を放電することができる。

【0064】以上の通り、本実施の形態では、選択トランジスタ列に、第1の駆動期間に選択トランジスタ列を

駆動可能状態にし、第2の駆動期間に表示データが奇数か偶数かに応じて選択トランジスタ列を駆動不可状態にする駆動制御トランジスタを設けている。また、隣接する階調基準電圧を、時分割で共通基準電圧線CVRに供給している。そして、表示データで選択された選択トランジスタ列が、第1の駆動期間に、一方の階調基準電圧を出力端子に出力し、第2の駆動期間に、表示データに応じて、他方の階調基準電圧を出力端子に出力する。このように、時分割で選択トランジスタ列を駆動可能状態または駆動不可状態に制御することで、選択トランジスタ列を半減させることができる。

【0065】以上、実施の形態例をまとめると以下の付記の通りである。

【0066】(付記1) 2^N の階調基準電圧から1つの階調基準電圧をNビットの入力データによって選択して出力するセレクト回路において、前記 2^N の階調基準電圧を生成する階調基準電圧発生部と、前記階調基準電圧端子と出力端子との間に並列に設けられ、前記入力データにより駆動制御される複数の直列接続されたトランジスタを有する複数の選択トランジスタ列とを有し、前記

選択トランジスタ列が、 2^N の階調基準電圧のうちM (Mは複数で且つ $M < 2^N$) の階調基準電圧群毎に共通に設けられ、更に、前記選択トランジスタ列を前記Mの階調基準電圧に対応して時分割で駆動可能状態とする時分割制御回路を有することを特徴とするセレクト回路。

【0067】(付記2) 付記1において、更に、前記Mの階調基準電圧群のうち、各階調基準電圧を前記選択トランジスタ列に順次時分割で供給する階調基準電圧供給回路を有し、前記時分割制御回路は、前記階調基準電圧供給回路に、前記Mの階調基準電圧群のうち駆動対象の階調基準電圧を、順次、前記選択トランジスタ列に供給させると共に、前記選択トランジスタ列を駆動可能状態にして、当該駆動対象の階調基準電圧を前記出力端子に出力することを特徴とするセレクト回路。

【0068】(付記3) 付記1において、更に、前記出力端子に供給された電圧を保持する電圧保持回路を有し、前記時分割制御回路は、前記Mの階調基準電圧群のうち、前記入力データにより選択される階調基準電圧に対応して、前記選択トランジスタ列を駆動可能状態にした後は、当該選択トランジスタ列を非導通に制御し、前記電圧保持回路に当該選択された階調基準電圧を保持させることを特徴とするセレクト回路。

【0069】(付記4) 付記3において、更に、前記電圧保持回路が保持する電圧が、正入力端子に供給され、出力が負入力端子にフィードバックされるオペレーションアンプを有することを特徴とするセレクト回路。

【0070】(付記5) 付記3において、前記選択トランジスタ列は、前記Nビットの入力データ信号のうち一部の入力データ信号をそれぞれゲートに供給される複数のトランジスタと、前記時分割制御回路からの駆動制御

信号をゲートに供給される駆動制御トランジスタとを直列に接続して構成され、前記駆動制御トランジスタが導通状態の時、前記選択トランジスタ列が駆動可能状態になり、当該駆動制御トランジスタが非導通状態の時、前記選択トランジスタ列が駆動不可状態になることを特徴とするセレクト回路。

【0071】(付記6) 付記5において、前記Mの階調基準電圧は、隣接する第1及び第2の階調基準電圧を含み、第1の駆動期間において、前記駆動制御信号が前記駆動制御トランジスタを導通状態にし、選択された選択トランジスタ列を介して、前記第1の階調基準電圧が出力端子に出力され、第2の駆動期間において、前記駆動制御信号が前記入力データの最下位ビットに応じて前記駆動制御トランジスタを導通状態にし、前記選択された選択トランジスタ列を介して、前記出力端子が前記第1の階調基準電圧から第2の階調基準電圧に変化することを特徴とするセレクト回路。

【0072】(付記7) 付記3において、前記入力データ信号は、第1及び第2のデータ入力信号を有し、前記選択トランジスタ列は、前記第1のデータ信号をそれぞれゲートに供給される複数のトランジスタと、前記第2のデータ信号を前記時分割制御回路からの駆動制御信号に応じてゲートに供給される駆動制御トランジスタとを直列に接続して構成され、前記駆動制御トランジスタが導通状態の時、前記選択トランジスタ列が駆動可能状態になり、当該駆動制御トランジスタが非導通状態の時、前記選択トランジスタ列が駆動不可状態になることを特徴とするセレクト回路。

【0073】(付記8) 付記7において、前記Mの階調基準電圧は、隣接する第1及び第2の階調基準電圧を含み、第1の駆動期間において、前記駆動制御信号が前記第2のデータ信号を前記駆動制御トランジスタに供給し、選択された選択トランジスタ列を介して、前記第1の階調基準電圧が出力端子に出力され、第2の駆動期間において、前記駆動制御信号が前記入力データの最下位ビットに応じて前記第2のデータ信号を前記駆動制御トランジスタに供給し、前記選択された選択トランジスタ列を介して、前記出力端子が前記第1の階調基準電圧から第2の階調基準電圧に変化することを特徴とするセレクト回路。

【0074】(付記9) 2^N の階調基準電圧から1つの階調基準電圧をNビットの入力データによって選択して出力するセレクト回路において、前記 2^N の階調基準電圧を生成する階調基準電圧発生部と、前記階調基準電圧のうちMの階調基準電圧が、時分割で順次供給される複数の共通基準電圧線と、前記複数の共通基準電圧線と出力端子との間にそれぞれ並列に設けられ、前記入力データにより制御される複数の直列接続されたトランジスタを有する複数の選択トランジスタ列とを有し、更に、前記出力端子に供給された電圧を保持する電圧保持回路

と、前記Mの階調基準電圧群のうち、前記入力データにより選択される階調基準電圧に対応して前記選択トランジスタ列を駆動可能状態にした後は、当該選択トランジスタ列を非導通に制御し、前記電圧保持回路に当該選択された階調基準電圧を保持させる時分割制御回路とを有することを特徴とするセレクト回路。

【0075】（付記10）付記9において、更に、前記Mの階調基準電圧を、対応する前記共通基準電圧線に、時分割で順次供給する階調基準電圧供給回路を有することを特徴とするセレクト回路。

【0076】（付記11） 2^N の階調基準電圧から1つの階調基準電圧をNビットの入力データによって選択して出力するセレクト回路において、前記 2^N の階調基準電圧を生成する階調基準電圧発生部と、前記階調基準電圧のうち隣接する第1及び第2の階調基準電圧が、時分割で順次供給される複数の共通基準電圧線と、前記複数の共通基準電圧線と出力端子との間にそれぞれ並列に設けられ、前記入力データにより制御される複数の直列接続されたトランジスタを有する複数の選択トランジスタ列と、前記出力端子に供給された電圧を保持する電圧保持回路と、第1の駆動期間において、前記複数の選択トランジスタ列を駆動可能状態にし、前記入力データで選択された選択トランジスタ列を介して前記出力端子に前記第1または第2の階調基準電圧の一方を出力させ、前記第1の駆動期間に続く第2の駆動期間において、前記複数の選択トランジスタ列を、前記入力データの所定ビットの信号に応じて駆動可能状態または非駆動状態にし、駆動可能状態の時に、前記選択された選択トランジスタ列を介して前記出力端子に第1または第2の階調基準電圧の他方を出力させる時分割制御回路とを有することを特徴とするセレクト回路。

【0077】（付記12）付記11において、前記 2^N の階調基準電圧が第1及び第2の階調基準電圧群を有し、前記第1の階調基準電圧群に対応する共通基準電圧線には、前記第1の駆動期間において第1の階調基準電圧が供給され、前記第2の駆動期間において第2の階調基準電圧が供給され、前記第2の階調基準電圧群に対応する共通基準電圧線には、前記第1の駆動期間において第2の階調基準電圧が供給され、前記第2の駆動期間において第1の階調基準電圧が供給されることを特徴とするセレクト回路。

【0078】（付記13）付記1乃至12のいずれかに記載されたセレクト回路を有する液晶表示パネル用駆動

回路。

【0079】

【発明の効果】以上、本発明によれば、セレクト回路のトランジスタ数を少なくすることができる。

【図面の簡単な説明】

【図1】液晶表示装置の構成図である。

【図2】従来のセレクトの回路図である。

【図3】本実施の形態が適用されるセレクトの概略構成図である。

10 【図4】本実施の形態におけるセレクトの具体的な回路図である。

【図5】セレクトの詳細回路を示す図である。

【図6】図5のセレクトの動作論理図表である。

【図7】セレクトの詳細回路を示す図である。

【図8】図6のセレクトの動作論理図表である。

【図9】セレクトの動作に対応する駆動信号波形図である。

【図10】セレクトの動作に対応する別の駆動信号波形図である。

20 【図11】第2の実施の形態における正極性側のセレクトの詳細回路図である。

【図12】図11の動作論理図表である。

【図13】第2の実施の形態における負極性側のセレクトの詳細回路図である。

【図14】図13の動作論理図表である。

【図15】第3の実施の形態例におけるセレクトを示す回路図である。

【図16】図15の動作に対応した駆動波形を示す図である。

30 【符号の説明】

16 階調基準電圧発生部、電圧発生部

18 セレクト

20 出力バッファ、オペレーションアンプ群

30 選択トランジスタ列

D0-D7 表示データ信号、入力データ信号

Vr 階調基準電圧

CVr 共通基準電圧線

OPin オペアンプ入力

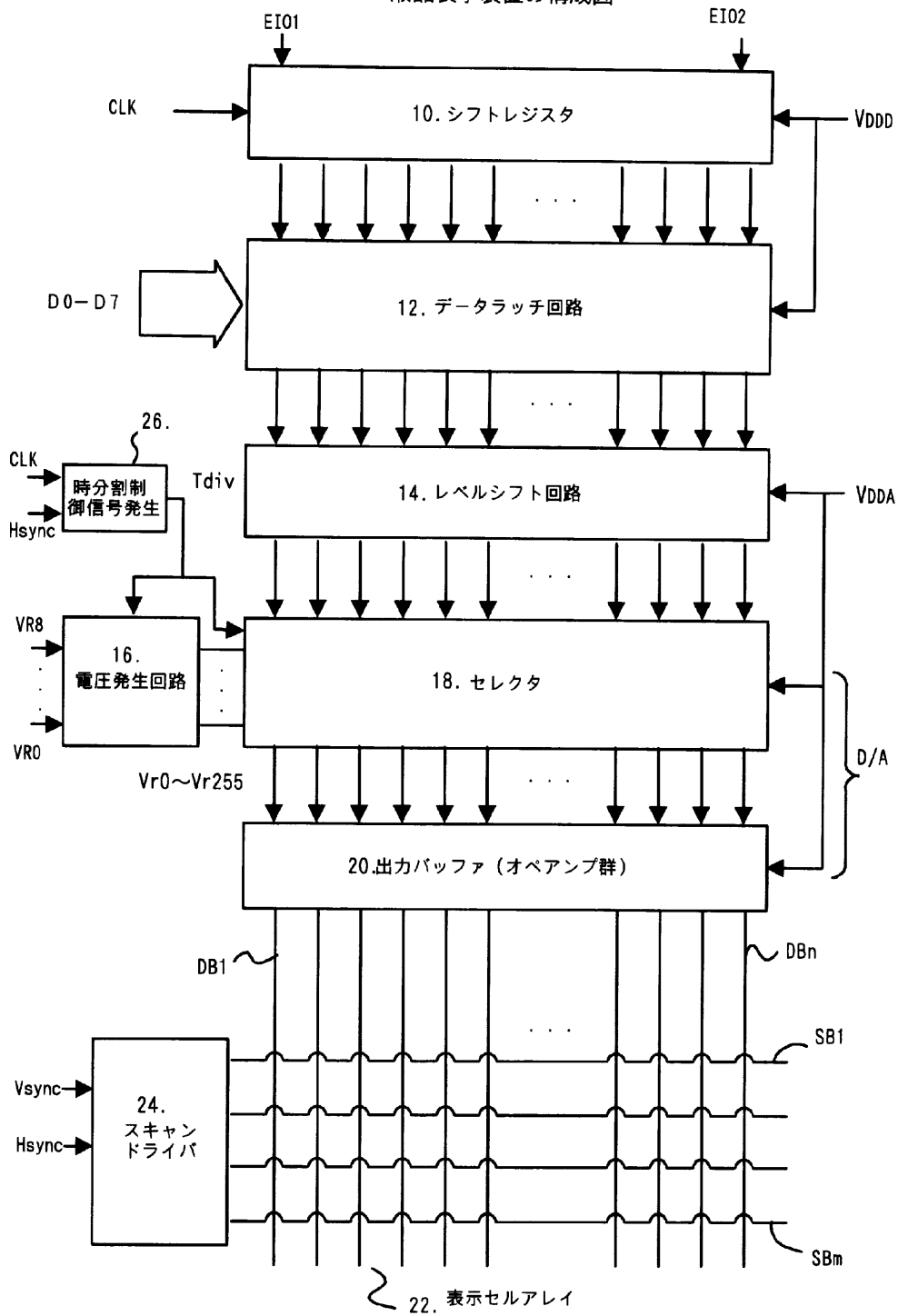
OPout オペアンプ出力

40 RP0, RP1 階調基準電圧供給回路、階調基準電圧供給トランジスタ

RN0, RN1 階調基準電圧供給回路、階調基準電圧供給トランジスタ

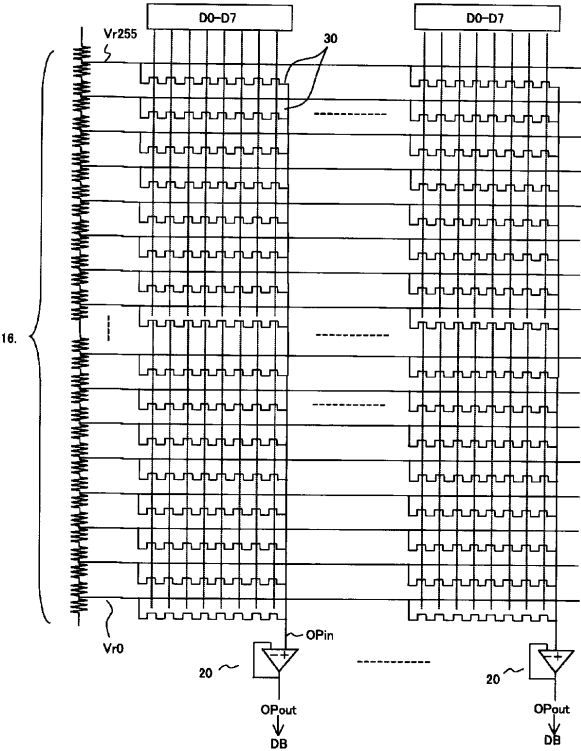
【図1】

液晶表示装置の構成図

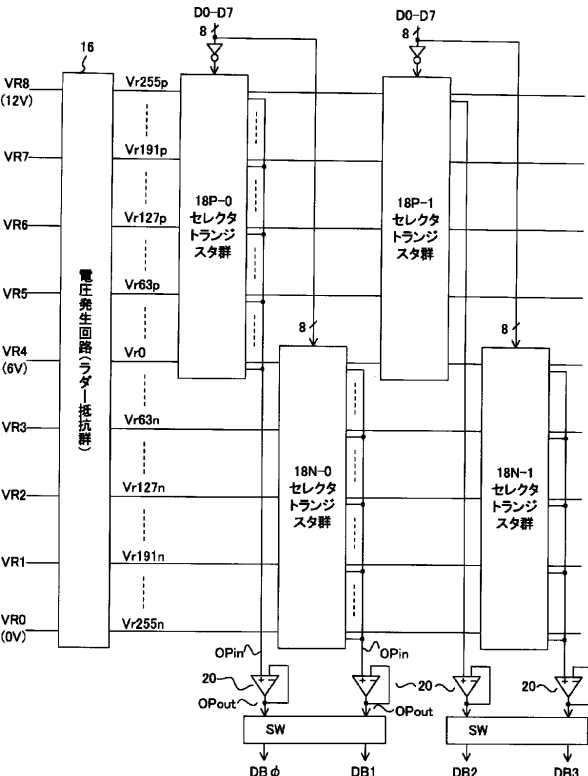


【図2】

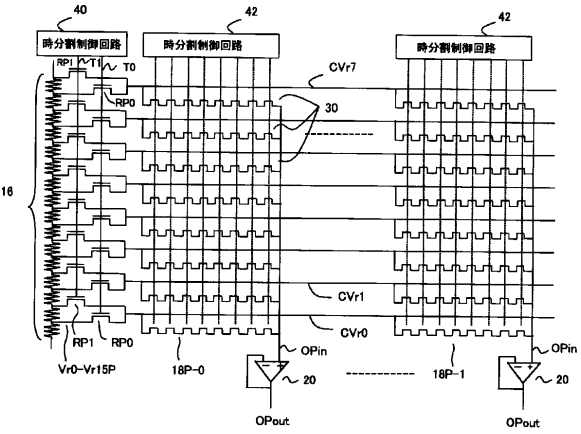
従来例



【図3】

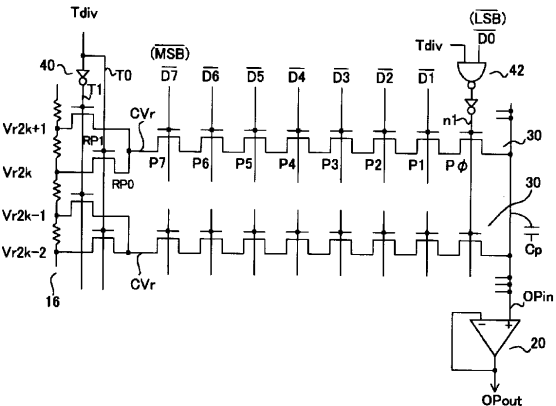


【図4】



【図5】

セレクタの詳細回路 (Pch)



【図6】

動作論理図表

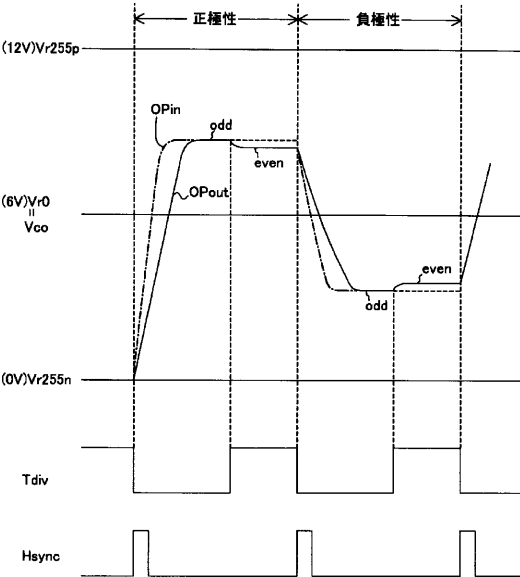
	LSB(D0)	Tdiv	n1	P0	RP0	RP1
偶数	H	L	L	ON	ON	OFF
		H	H	OFF	OFF	ON
奇数	L	L	L	ON	ON	OFF
		H	L	ON	OFF	ON

【図8】

動作論理図表

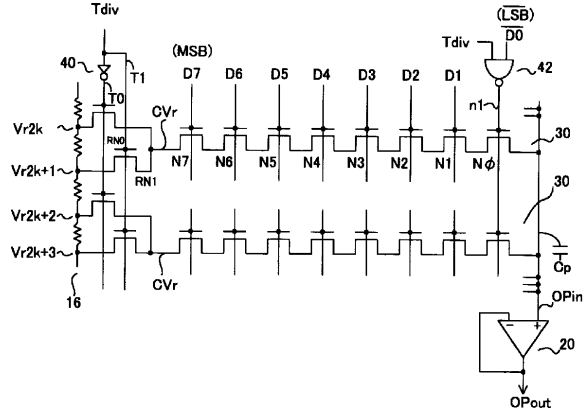
	LSB(D0)	Tdiv	n1	N0	RN0	RN1
偶数	H	L	H	ON	ON	OFF
		H	L	OFF	OFF	ON
奇数	L	L	H	ON	ON	OFF
		H	H	ON	OFF	ON

【図10】

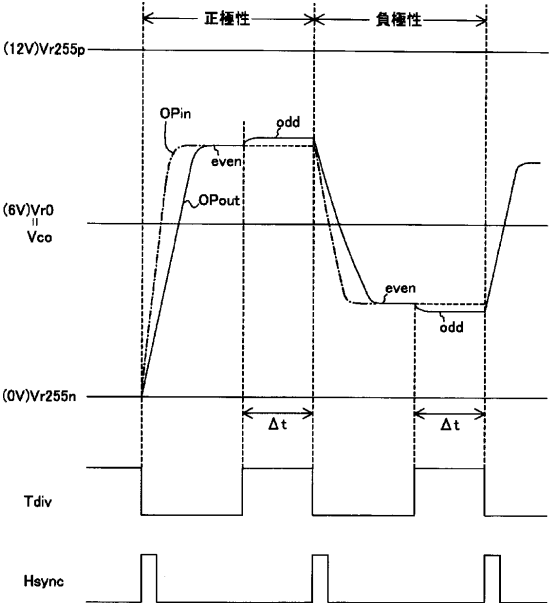


【図7】

セレクトの詳細回路
(N ch)



【図9】

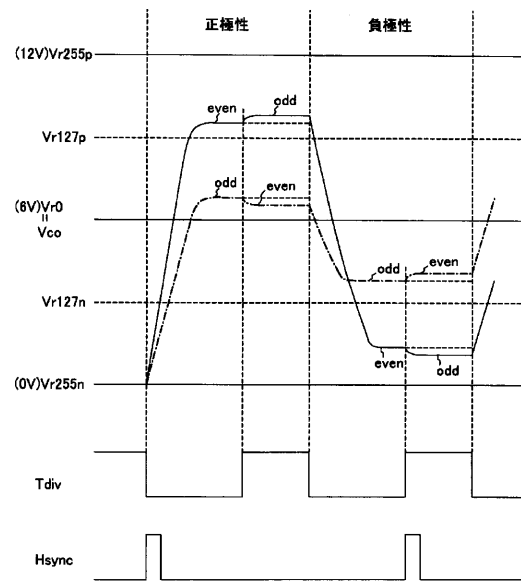


【図12】

動作論理図表

	LSB(D0)	Tdiv	n1	n2	P1	RP0	RP1
偶数	H	L	L	$\bar{D}1$	—	ON	OFF
		H	H	H	OFF	OFF	ON
奇数	L	L	L	$\bar{D}1$	—	ON	OFF
		H	L	D1	—	ON	OFF

【図16】



フロントページの続き

(51)Int.Cl. ⁷ G 0 9 G 3/20	識別記号 6 2 3	F I G 0 9 G 3/20	テーマコード [*] (参考) 6 2 3 F
(72)発明者 國分 政利 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内	Fターム(参考) 2H093 NA56 NA59 NC24 ND49 5C006 AF83 BB16 BC12 BF24 BF25 BF34 BF43 EB05 FA43 5C080 AA10 BB05 DD22 EE29 FF11 JJ02 JJ03 JJ04		

专利名称(译)	液晶显示面板的驱动电路		
公开(公告)号	JP2003241716A	公开(公告)日	2003-08-29
申请号	JP2002036110	申请日	2002-02-14
[标]申请(专利权)人(译)	富士通株式会社		
申请(专利权)人(译)	富士通株式会社		
[标]发明人	鵜戸真也 熊谷正雄 國分政利		
发明人	鵜戸 真也 熊谷 正雄 國分 政利		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/2011 G09G3/2081 G09G3/3614 G09G3/3688 G09G2310/027		
FI分类号	G09G3/36 G02F1/133.575 G09G3/20.611.F G09G3/20.612.F G09G3/20.621.A G09G3/20.623.F		
F-TERM分类号	2H093/NA56 2H093/NA59 2H093/NC24 2H093/ND49 5C006/AF83 5C006/BB16 5C006/BC12 5C006/BF24 5C006/BF25 5C006/BF34 5C006/BF43 5C006/EB05 5C006/FA43 5C080/AA10 5C080/BB05 5C080/DD22 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZD26 2H193/ZD30		
外部链接	Espacenet		

摘要(译)

要解决的问题：减少选择器电路的选择晶体管阵列的数量。一种选择器电路，用于通过N位输入数据D 0 -D 7从灰度基准电压2 N 中选择一个灰度基准电压，灰度基准电压端子多个选择晶体管阵列30并联设置在Vr和输出端之间，并且具有多个串联连接的晶体管，这些晶体管由输入数据和选择晶体管阵列驱动和控制，具有2个通常为N 的灰度基准电压中的每个灰度基准电压组M (M是多个并且M N) 提供以时分方式被驱动。

