

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003 - 69353

(P2003 - 69353A)

(43)公開日 平成15年3月7日(2003.3.7)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード (参考)
H 0 3 F 3/45		H 0 3 F 3/45	Z 2 H 0 9 3
G 0 2 F 1/133	550	G 0 2 F 1/133	550 5 C 0 0 6
G 0 9 G 3/20	623	G 0 9 G 3/20	623 B 5 C 0 8 0
	3/36		3/36 5 J 0 6 6
H 0 3 F 3/68		H 0 3 F 3/68	B 5 J 0 6 9

審査請求 未請求 請求項の数 6 O L (全 9 数) 最終頁に続く

(21)出願番号 特願2001 - 254755(P2001 - 254755)

(22)出願日 平成13年8月24日(2001.8.24)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 南 崎 浩 徳

神奈川県川崎市幸区小向東芝町1番地 株式
会社東芝マイクロエレクトロニクスセンタ
ー内

(72)発明者 板 倉 哲 朗

神奈川県川崎市幸区小向東芝町1番地 株式
会社東芝研究開発センター内

(74)代理人 100075812

弁理士 吉武 賢次 (外 4 名)

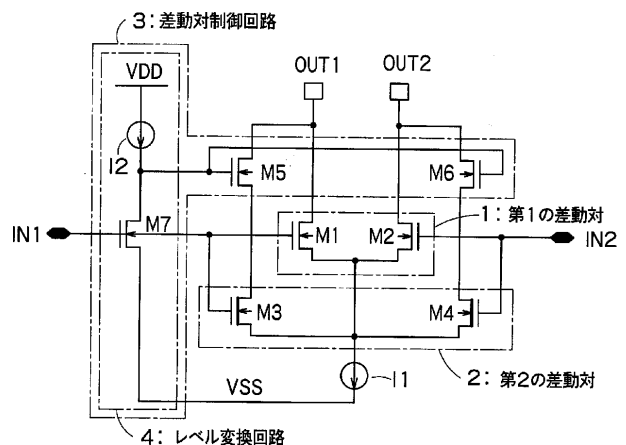
最終頁に続く

(54)【発明の名称】 差動増幅回路および液晶表示装置駆動用半導体集積回路

(57)【要約】

【課題】 差動入力信号の同相電圧の動作範囲を十分に広げることが可能な差動増幅回路を提供すること。

【解決手段】 差動増幅回路は、NMOSトランジスタM1，M2からなる第1の差動対1と、NMOSトランジスタM3，M4からなる第2の差動対2と、第1および第2の差動対1，2に電流を供給する電流源I1と、第2の差動対2を動作させるか否かを切替制御する差動対制御回路3とを備え、差動対制御回路3は、電流源I1からの電流がNMOSトランジスタM3，M4を通る電流経路上に接続されたNMOSトランジスタM5，M6と、NMOSトランジスタM5，M6のゲート電圧を制御するレベル変換回路4と、を有する。入力IN1の電圧が低いときは第2の差動対2のみを動作させ、入力IN1の電圧が高いときは第1の差動対1のみを動作させるため、差動入力信号の同相電圧の動作範囲を広げることができる。



【特許請求の範囲】

【請求項 1】同じ導電型の第 1 および第 2 のトランジスタを有し、これらトランジスタのゲート端子に差動入力信号が供給される第 1 の差動対と、

前記第 1 および第 2 のトランジスタと同じ導電型でしきい値電圧が異なる第 3 および第 4 のトランジスタを有し、これらトランジスタのゲート端子に前記差動入力信号が供給される第 2 の差動対と、

前記第 1 および第 2 の差動対にバイアス電流を供給するバイアス供給手段と、を備えた差動増幅回路であって、10 前記第 2 の差動対を動作させるか否かを制御する差動対制御手段を備えることを特徴とする差動増幅回路。

【請求項 2】前記バイアス供給手段は、前記第 1 および第 2 の差動対に電流を供給する単一の電流源を有することを特徴とする請求項 1 に記載の差動増幅回路。

【請求項 3】前記差動対制御手段は、前記バイアス供給手段からの電流が前記第 3 のトランジスタを通る電流経路上に接続され前記第 3 のトランジスタと同じ導電型の第 5 のトランジスタと、前記バイアス供給手段からの電流が前記第 4 のトランジスタを通る電流経路上に接続され前記第 4 のトランジスタと同じ導電型の第 6 のトランジスタと、を有することを特徴とする請求項 1 または 2 に記載の差動増幅回路。20

【請求項 4】前記差動対制御手段は、基準電圧端子間に直列接続されたインピーダンス素子と第 7 のトランジスタとを有し、

前記第 7 のトランジスタは、前記第 1 ～第 6 のトランジスタと同じ導電型で、そのゲート端子には前記差動入力信号の一方が供給され、

前記第 5 および第 6 のトランジスタのゲート端子には、30 前記インピーダンス素子と前記第 7 のトランジスタとの接続点の電圧が供給されることを特徴とする請求項 3 に記載の差動増幅回路。

【請求項 5】前記第 5 および第 6 のトランジスタのゲート電圧は、外部信号により制御されることを特徴とする請求項 3 に記載の差動増幅回路。

【請求項 6】デジタル画素データをアナログ画素電圧に変換する D/A 変換回路と、前記アナログ画素電圧をバッファリングして対応する信号線に供給するアナログバッファと、を備えた液晶表示装置駆動用半導体集積回路であって、40 前記アナログバッファは、前記 D/A 変換回路から差動で出力された前記アナログ画素電圧を差動増幅する請求項 5 に記載の差動増幅回路を有し、前記外部信号の論理は、前記信号線を極性反転駆動するタイミングに合わせて制御されることを特徴とする液晶表示装置駆動用半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、差動入力信号を増 50

幅して出力する差動増幅回路および液晶表示装置駆動用半導体集積回路に関する。

【0002】

【従来の技術】従来の差動増幅回路は、トランジスタの差動対を用いて実現するのが一般的であるが、差動対を構成する MOS トランジスタのゲート・ソース電圧 V_{gs} の影響により、差動入力信号の同相（コモンモード）電圧の動作範囲が制限されるという問題がある。

【0003】このような問題を解決する手法として、米国特許公報 USP4,554,515 や特公平 4-76246 号公報には、互いに異なる導電型の 2 組の差動対の出力を電流加算して、差動入力信号の同相電圧の動作範囲を広げる手法が開示されている。

【0004】しかしながら、この手法には、以下の 1) ～ 3) の欠点がある。

【0005】1) 差動入力信号の同相電圧の大きさに応じて、2 組の差動対それぞれの入力換算オフセットが加算されて出力偏差が大きくなる。

2) 2 組の差動対それぞれの出力電流の方向が逆であるため、電流加算回路が必ず必要になり、部品点数が多くなって回路規模が大きくなる。

3) 差動の出力電流の和が差動入力信号の同相電圧の動作点に依存してばらついてしまう。

【0006】一方、特開平 8-256026 号公報には、2 組の同じ導電型でしきい値の異なる差動対の出力を電流加算することにより、差動入力信号の同相電圧の動作範囲を広げる手法が開示されている。

【0007】図 17 は特開平 8-256026 号公報に開示された差動増幅回路の回路図である。図 17 の差動増幅回路は、NMOS トランジスタ M_1 、 M_2 からなる第 1 の差動対と、NMOS トランジスタ M_3 、 M_4 からなる第 2 の差動対と、第 1 の差動対に電流を供給する電流源を構成する NMOS トランジスタ M_{31} と、第 2 の差動対に電流を供給する電流源を構成する NMOS トランジスタ M_{32} と、第 1 および第 2 の差動対の出力端子に接続された能動負荷を構成する PMOS トランジスタ M_{15} 、 M_{16} と、出力回路を構成する PMOS トランジスタ M_{34} および NMOS トランジスタ M_{33} と、を備えている。

【0008】

【発明が解決しようとする課題】しかしながら、図 17 の差動増幅回路は、各差動対に対して別個の電流源から電流を供給するため、上記 3) と同様の問題、すなわち、差動の出力電流の和が差動入力信号の同相電圧の動作点に依存してばらつくという問題がある。このため、安定な出力が得られず、差動入力信号の同相（コモンモード）電圧の動作範囲もそれほど広げることができない。

【0009】本発明は、このような点に鑑みてなされたものであり、その目的は、差動入力信号の同相電圧の動作範囲を十分に広げることが可能な差動増幅回路および

これを用いた液晶表示装置駆動用半導体集積回路を提供することにある。

【0010】

【課題を解決するための手段】上述した課題を解決するために、本発明は、同じ導電型の第1および第2のトランジスタを有し、これらトランジスタのゲート端子に差動入力信号が供給される第1の差動対と、前記第1および第2のトランジスタと同じ導電型でしきい値電圧が異なる第3および第4のトランジスタを有し、これらトランジスタのゲート端子に前記差動入力信号が供給される第2の差動対と、前記第1および第2の差動対にバイアス電流を供給するバイアス供給手段と、を備えた差動増幅回路であって、前記第2の差動対を動作させるか否かを制御する差動対制御手段を備える。

【0011】本発明では、差動入力信号の電圧レベルの大きい範囲と小さい範囲において、第1および第2の差動対のうちいずれか一方だけを動作させるため、同相電圧の動作範囲を従来よりも広げることができる。

【0012】

【発明の実施の形態】以下、本発明に係る差動増幅回路について、図面を参照しながら具体的に説明する。

【0013】(第1の実施形態)図1は本発明に係る差動増幅回路の第1の実施形態の回路図である。図1の差動増幅回路は、NMOSトランジスタ(第1および第2のトランジスタ)M1、M2からなる第1の差動対1と、NMOSトランジスタ(第3および第4のトランジスタ)M3、M4からなる第2の差動対2と、第1および第2の差動対1、2に電流を供給する電流源(バイアス供給手段)I1と、第2の差動対2を動作させるか否かを切替制御する差動対制御回路(差動対制御手段)3と、を備えている。

【0014】差動対制御回路3は、電流源I1からの電流がNMOSトランジスタM3、M4を通る電流経路上にそれぞれ接続されたNMOSトランジスタ(第5および第6のトランジスタ)M5、M6と、NMOSトランジスタM5、M6のゲート電圧を制御するレベル変換回路4と、を有する。

【0015】第1の差動対1を構成するNMOSトランジスタM1、M2のしきい値電圧は、第2の差動対2を構成するNMOSトランジスタM3、M4のしきい値電圧よりも高い値に設定されている。例えば、前者のしきい値電圧は0.8V程度、後者のしきい値電圧は-0.6V程度である。しきい値電圧は、例えば各トランジスタのチャネル領域に注入される不純物イオンのドーピング量を変えることにより調整される。

【0016】レベル変換回路4は、電源端子VDDと接地端子Vssとの間に直列接続された電流源(インピーダンス素子)I2およびNMOSトランジスタ(第7のトランジスタ)M7とを有し、電流源I2とNMOSトランジスタM7との接続点の電圧がNMOSトランジスタM5、M6のゲ

ート端子に供給される。

【0017】NMOSトランジスタM1、M3のゲート端子には差動入力信号の一方IN1が供給され、NMOSトランジスタM2、M4のゲート端子には差動入力信号の他方IN2が供給される。

【0018】図1の差動増幅回路は、図17に示す従来の差動増幅回路の構成に、差動対制御回路3を追加した点に特徴がある。以下、図1の差動増幅回路の動作を説明する。以下では、第2の差動対2のしきい値電圧<第1の差動対1のしきい値電圧<NMOSトランジスタM7のしきい値電圧の関係が成り立つ場合について説明する。

【0019】差動入力信号を構成する一方の入力IN1が第2の差動対2のしきい値電圧未満であれば、第1および第2の差動対1、2はともに非動作状態である。

【0020】入力IN1が第2の差動対2のしきい値電圧以上で第1の差動対1のしきい値電圧未満の場合には、第2の差動対2を構成するNMOSトランジスタM3、M4がオンする。このとき、NMOSトランジスタM7はオフであるため、NMOSトランジスタM5、M6はオンし、電流源I1からの電流は第2の差動対2とNMOSトランジスタM5、M6とを流れる。また、第1の差動対1は相変わらず非動作状態であり、第2の差動対2のみが動作する。

【0021】入力IN1が第1の差動対1のしきい値電圧を超えると、第1の差動対1を構成するNMOSトランジスタM1、M2がオンし、第1および第2の差動対1、2がともに動作状態になる。この場合、しきい値電圧の低い第2の差動対2の方がインピーダンス値が小さいため、電流源I1からの電流のほとんどは第2の差動対2を流れる。

【0022】一方、入力IN1がレベル変換回路4内のNMOSトランジスタM7のしきい値電圧を超えると、NMOSトランジスタM7がオンしてNMOSトランジスタM5、M6がオフする。これにより、第2の差動対2の電流経路が遮断され、第2の差動対2は非動作状態になる。このとき、第1の差動対1は動作しているため、電流源I1からの電流は第1の差動対1のみを流れる。すなわち、入力IN1がNMOSトランジスタM7のしきい値電圧よりも高い電圧範囲では、図1の差動増幅回路は、第1の差動対1のみにより差動増幅動作を行う。

【0023】図2は第1および第2の差動対1、2の動作電圧範囲を示す図、図3は差動入力信号を構成する一方の入力IN1の電圧と第1および第2の差動対1、2を流れる電流との関係を示す図である。図2に示すように、第2の差動対2は入力IN1の電圧が低い範囲(図2のrange1)で動作し、第1の差動対1は入力IN1の電圧が高い範囲(range2)で動作する。レベル変換回路4は、第1および第2の差動対1、2がともに動作する範囲(range3)内でNMOSトランジスタM7のオン・オフを切り替える。NMOSトランジスタM7がオン・オフする

前後で、第 1 および第 2 の差動対 1, 2 を流れる電流は図 3 に示すように大きく変化する。これにより、図 1 の差動増幅回路の出力電圧は、図 2 の range4 に示すように、広い電圧範囲でスイングする。

【0024】図 4 は差動入力信号を構成する一方の入力 IN1 の電圧とレベル変換回路 4 の出力電圧との関係を示す図である。図 4 の 3 本の曲線 a, b, c は、レベル変換回路 4 内のトランジスタの素子サイズがそれぞれ異なる場合の特性を示し、直線 d は図 1 の入出力電圧の関係を示している。図示のように、レベル変換回路 4 内のトランジスタの素子サイズを調整することにより、レベル変換回路 4 の出力電圧を可変制御できる。このような素子サイズの調整は、レベル変換回路 4 内の NMOS トランジスタ M7 と電流源 I1 を構成するトランジスタとの少なくとも一方について行えばよい。

【0025】なお、図 1 のレベル変換回路 4 内の電流源 I2 の代わりに、抵抗素子などのインピーダンス素子を接続してもよい。

【0026】図 5 は本実施形態の回路と従来回路の入出力特性を示す図であり、横軸は入力電圧、縦軸は出力電圧を示している。図 5 の実線は図 1 の本実施形態の回路の特性、点線は図 17 の従来回路の特性を表している。図示のように、本実施形態の回路によれば、入力電圧が低い場合も高い場合も、入力電圧の変化に対して線形に出力電圧が変化する。

【0027】図 6 は本実施形態の回路と従来回路の時間に対する出力変化を示す図であり、横軸は時間、縦軸は出力電圧を示している。図 6 の実線は図 1 の本実施形態の回路の特性、点線は図 17 の従来回路の特性を表している。図示のように、本実施形態の回路によれば、入力電圧が変化すると、追従性よく出力電圧が変化し、かつ出力電圧が電源電圧近くまでフルスイングする。

【0028】このように、本実施形態の差動増幅回路は、入力 IN1 の電圧が低いときは第 2 の差動対 2 のみを動作させ、入力 IN1 の電圧が高いときは第 1 の差動対 1 のみを動作させるため、入力 IN1 が高いときも低いときも、一方の差動対の動作を他方の差動対の動作が妨げることがない。これにより、差動入力信号の同相電圧の動作範囲を広げることができる。また、第 1 および第 2 の差動対 1, 2 で一つの電流源 I1 を共用するため、電流源 I1 の特性のばらつきの影響を受けなくなり、かつ回路構成も簡略化できる。

【0029】(第 2 の実施形態) 第 2 の実施形態は、第 1 の実施形態とは異なる構成の差動対制御回路 3 を有する点に特徴がある。

【0030】図 7 は本発明に係る差動増幅回路の第 2 の実施形態の回路図である。図 7 では、図 1 と共通する構成部分には同一の符号を付しており、以下では相違点を中心に説明する。

【0031】図 7 の差動増幅回路は、図 1 と異なる構成

の差動対制御回路 3a を有する。図 7 の差動対制御回路 3a は、第 2 の差動対 2 を構成する NMOS トランジスタ M3, M4 のソース端子と電流源 I1 との間に接続された NMOS トランジスタ M8 を有する。この NMOS トランジスタ M8 のゲート端子には、レベル変換回路 4a 内の電流源 I1 と NMOS トランジスタ M7 との接続点の電圧が供給される。

【0032】入力電圧が第 2 の差動対 2 のしきい値電圧以上で第 1 の差動対 1 のしきい値電圧未満の場合には、NMOS トランジスタ M8 がオンし、電流源 I1 からの電流は第 2 の差動対 2 のみを通して流れる。

【0033】入力電圧がレベル変換回路 4a 内の NMOS トランジスタ M7 のしきい値電圧以上になると、NMOS トランジスタ M8 がオフし、第 2 の差動対 2 の電流経路が遮断される。

【0034】また、図 3 の差動増幅回路内のレベル変換回路 4a は、NMOS トランジスタ M7 のソース端子と接地端子との間に接続された電流源 I3 を有する点で図 1 のレベル変換回路 4 と異なる。この電流源 I3 を設けることで、NMOS トランジスタ M8 のゲート電圧の調整がやりやすくなる。ただし、この電流源 I3 は省略してもよい。

【0035】このように、第 2 の実施形態も、第 1 の実施形態と同様に、差動入力信号の同相電圧の動作範囲を広げることができ、また、第 1 および第 2 の差動対 1, 2 で一つの電流源 I1 を共用できる。

【0036】(第 3 の実施形態) 第 3 の実施形態は、差動対制御回路内の NMOS トランジスタのオン・オフを外部信号により制御する点に特徴がある。

【0037】図 8 は本発明に係る差動増幅回路の第 3 の実施形態の回路図である。図 8 では、図 1 と共通する構成部分には同一の符号を付しており、以下では相違点を中心に説明する。

【0038】図 8 の差動増幅回路は、図 1 と異なる構成の差動対制御回路 3b を有する。図 8 の差動対制御回路 3b は、図 1 のようなレベル変換回路 4 を持たない代わりに、NMOS トランジスタ M5, M6 のオン・オフを外部信号により制御する。

【0039】NMOS トランジスタ M5, M6 のゲート端子には外部信号が供給される。外部信号の電圧が NMOS トランジスタ M5, M6 のしきい値電圧以上のときは NMOS トランジスタ M5, M6 がオンし、外部信号の電圧が NMOS トランジスタ M5, M6 のしきい値電圧未満のときは NMOS トランジスタ M5, M6 がオフする。

【0040】NMOS トランジスタ M5, M6 がオンしているときに、差動入力信号を構成する一方の入力 IN1 が第 2 の差動対 2 のしきい値電圧以上になると、第 2 の差動対 2 が動作し、電流源 I1 からの電流は第 2 の差動対 2 を通って流れる。また、第 2 の差動対 2 が動作している最中に、外部信号の電圧が NMOS トランジスタ M5, M

6のしきい値電圧未満になると、NMOSトランジスタM5, M6がオフし、第2の差動対2は非動作状態になる。

【0041】このように、第3の実施形態は、第2の差動対2を動作させるか否かを外部信号により切替制御するため、第1および第2の実施形態のようにレベル変換回路4を設けなくて済み、回路構成を簡略化できる。

【0042】ところで、図8の外部信号と差動入力信号は別個の信号として外部から入力されるが、両信号を互いに同期化して入力するのが望ましい。図9は図8の差動増幅回路を内蔵する液晶表示装置駆動用半導体集積回路のブロック図である。

【0043】図9の液晶表示装置駆動用半導体集積回路は、スタートパルスを送信クロックに同期させながら順にシフトさせたシフトパルスを出力するシフトレジスタ11と、シフトパルスに同期させてデジタル階調データをラッチするフリップフロップ12と、フリップフロップ12のラッチ出力をロード信号に同期させてラッチするロードラッチ13と、ロードラッチ13の出力をレベル変換するレベルシフタ14と、レベル変換したデータをアナログ信号に変換するD/Aコンバータ15と、変換されたアナログ信号を増幅する図8と同構成のアナログバッファ16と、D/Aコンバータ15に複数種類の基準電圧を供給するブリーダ17と、を備えており、アナログバッファ16の出力は、画素アレイ部内の対応する信号線に供給される。

【0044】D/Aコンバータ15の出力が図8の差動入力信号に相当し、アナログバッファ16に輸入される極性反転信号が図8の外部信号に相当する。図9の極性反転信号は、信号線を駆動する電圧極性を切り替えるためのものである。例えば、信号線を正極性で駆動する場合は、極性反転信号をローレベルにする。これにより、図8のNMOSトランジスタM5, M6がオフし、第2の差動対2は非動作状態になる。したがって、D/Aコンバータ15の出力に応じた電流が電流源I1から第1の差動対1を通して流れる。

【0045】一方、信号線を負極性で駆動する場合は、極性反転信号をハイレベルにする。これにより、第2の差動対2は動作状態になり、D/Aコンバータ15の出力に応じた電流が電流源I1から第2の差動対2を通して流れる。

【0046】このように、入力信号とは別個に外部信号を入力して差動対制御回路3b内のNMOSトランジスタM5, M6のオン・オフを制御すれば、任意のタイミングで第2の差動対2のオン・オフを切替制御することができる。

【0047】(第4の実施形態) 第4の実施形態は、第2の実施形態のレベル変換回路4を省略して外部信号を供給するものである。

【0048】図10は本発明に係る差動増幅回路の第4

の実施形態の回路図である。図10では、図7と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【0049】図10の差動増幅回路は、図7とは異なる構成の差動対制御回路3cを有する。この差動対制御回路3cは、図7の差動対制御回路3a内のレベル変換回路4の代わりに、NMOSトランジスタM8のゲート端子に外部信号を供給している。

【0050】これにより、第3の実施形態と同様に、外部信号により第2の差動対2の動作を切替制御することができる。

【0051】(第5の実施形態) 第5の実施形態は、第2の実施形態の回路に動作安定化のためのダイオードを追加したものである。

【0052】図11は本発明に係る差動増幅回路の第5の実施形態の回路図である。図11では、図7と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【0053】図11の差動増幅回路は、第2の差動対2を構成するNMOSトランジスタM3, M4のドレイン端子のそれぞれにNMOSトランジスタM5, M6を直列接続した点で、図7の差動増幅回路と構成が異なっている。NMOSトランジスタM5, M6はそれぞれ、ゲート端子とドレイン端子が短絡されており、ダイオードとして作用する。

【0054】このように、NMOSトランジスタM3, M4のドレイン端子にダイオード構成のNMOSトランジスタM5, M6を接続することにより、差動増幅回路の出力端子の信号レベルを引き上げることができ、回路の動作が安定化する。

【0055】(第6の実施形態) 第6の実施形態は、第4の実施形態の回路に動作安定化のためのダイオードを追加したものである。

【0056】図12は本発明に係る差動増幅回路の第6の実施形態の回路図である。図12では、図10と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【0057】図12の差動増幅回路は、図10の回路のNMOSトランジスタM3, M4のドレイン端子のそれぞれに、ダイオード構成のNMOSトランジスタM5, M6を直列接続したものであり、これにより、回路の動作を安定化させることができる。

【0058】(第7の実施形態) 第7の実施形態は、第3の実施形態の変形例であり、第1の差動対1の動作/非動作を切替制御するトランジスタを新たに追加したものである。

【0059】図13は本発明に係る差動増幅回路の第7の実施形態の回路図である。図13では、図8と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【0060】図13の差動対制御回路3dは、図8の差動対制御回路3bの構成に加えて、第1の差動対1を構成するNMOSトランジスタM1のドレイン端子と出力端子OUT1との間に接続されたNMOSトランジスタM9と、NMOSトランジスタM2のドレイン端子と出力端子OUT2との間に接続されたNMOSトランジスタM10と、を有する。NMOSトランジスタM9、M10は、第1の差動対1の動作/非動作を切替制御するものであり、NMOSトランジスタM9、M10のゲート端子には、外部信号をインバータで反転した信号が供給される。

【0061】外部信号がハイレベルのときは、NMOSトランジスタM5、M6がオンしてNMOSトランジスタM9、M10がオフする。したがって、電流源I1からの電流は第2の差動対2のみを通して流れる。

【0062】一方、外部信号がローレベルのときは、NMOSトランジスタM5、M6がオフしてNMOSトランジスタM9、M10がオンする。したがって、電流源I1からの電流は第1の差動対1のみを通して流れる。

【0063】このように、NMOSトランジスタM9、M10を設けることにより、第1および第2の差動対1、2のいずれか一方のみを動作させることができ、差動入力信号の同相電圧の動作範囲を確実に広げることができる。

【0064】(第8の実施形態)第8の実施形態は、第1の実施形態の差動増幅回路の具体的な実現例を示す回路図である。

【0065】図14の回路は、差動増幅回路内の電流源I1を流れる電流を制御するバイアス回路21と、図1と同一構成の差動増幅回路20の出力端子に接続される能動負荷22と、同じく出力端子に接続される出力回路23と、を備えている。

【0066】バイアス回路21は、バイアス電圧VBがゲート端子に入力されるPMOSトランジスタM11と、このPMOSトランジスタM11に直列接続された電流源I1を構成するNMOSトランジスタM12と、を有する。NMOSトランジスタM12を流れる電流と同じ電流が電流源I1を構成するNMOSトランジスタM13にも流れる。

【0067】能動負荷22は、カレントミラー構成のPMOSトランジスタM15、M16で構成される。出力回路23は、差動増幅回路20の出力電圧がゲート端子に入力されるPMOSトランジスタM17と、このPMOSトランジスタM17に直列接続された電流源I1として作用するNMOSトランジスタM18と、を有する。

【0068】このように、図14の回路は、すべてMOSトランジスタで構成されるため、差動増幅回路20全体を容易に集積化することができる。

【0069】上述した図7、図8、図10、図11～図13に示した差動増幅回路20のそれぞれについても、図14と同様のバイアス回路21、能動負荷22および出力回路23を接続可能である。例えば、図15および

図16はそれぞれ図11および図8の回路にバイアス回路21、能動負荷22および出力回路23を追加したものである。

【0070】上述した各実施形態では、主にNMOSトランジスタを用いて差動増幅回路20を構成する例を説明したが、PMOSトランジスタを用いて構成することも可能である。この場合、電源端子と接地端子との接続位置が逆になる他は、上述した各回路と同様に構成される。

【0071】

10 【発明の効果】以上詳細に説明したように、本発明によれば、第2の差動対を動作させるか否かを制御できるようにしたため、差動入力信号の電圧レベルが大きい電圧範囲と小さい電圧範囲で、いずれか一方のみの差動対を動作させることができ、差動入力信号の同相電圧の動作範囲を広げることができる。

【図面の簡単な説明】

【図1】本発明に係る差動増幅回路の第1の実施形態の回路図。

【図2】第1および第2の差動対1、2の動作電圧範囲を示す図。

【図3】差動入力信号を構成する一方の入力IN1の電圧と第1および第2の差動対1、2を流れる電流との関係を示す図。

【図4】差動入力信号を構成する一方の入力IN1の電圧とレベル変換回路4の出力電圧との関係を示す図。

【図5】本実施形態の回路と従来回路の入出力特性を示す図。

【図6】本実施形態の回路と従来回路の時間に対する出力変化を示す図。

【図7】本発明に係る差動増幅回路の第2の実施形態の回路図。

【図8】本発明に係る差動増幅回路の第3の実施形態の回路図。

【図9】図8の差動増幅回路を内蔵する液晶表示装置駆動用半導体集積回路のブロック図。

【図10】本発明に係る差動増幅回路の第4の実施形態の回路図。

【図11】本発明に係る差動増幅回路の第5の実施形態の回路図。

【図12】本発明に係る差動増幅回路の第6の実施形態の回路図。

【図13】本発明に係る差動増幅回路の第7の実施形態の回路図。

【図14】第1の実施形態の差動増幅回路の具体的な実現例を示す回路図。

【図15】図11の差動増幅回路の具体的な実現例を示す回路図。

【図16】図18の差動増幅回路の具体的な実現例を示す回路図。

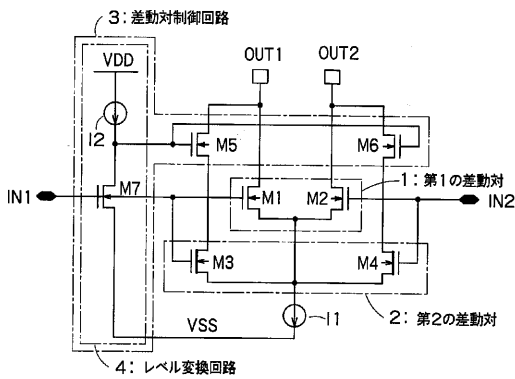
【図17】従来の差動増幅回路の回路図。

【符号の説明】

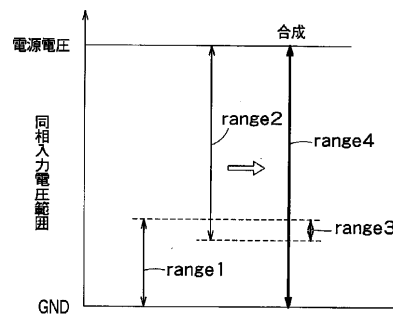
- 1 第1の差動対
- 2 第2の差動対
- 3 差動対制御回路
- 4 レベル変換回路
- 11 シフトレジスタ
- 12 フリップフロップ
- 13 ロードラッチ

- *14 レベルシフタ
- 15 D/Aコンバータ
- 16 アナログバッファ
- 17 プリダー
- 20 差動増幅回路
- 21 バイアス回路
- 22 能動負荷
- * 23 出力回路

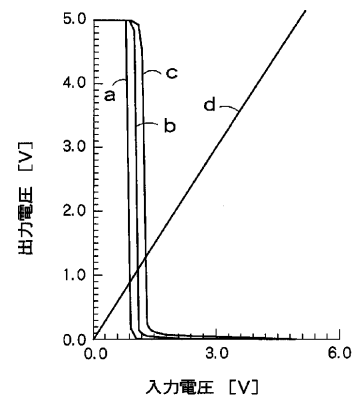
【図1】



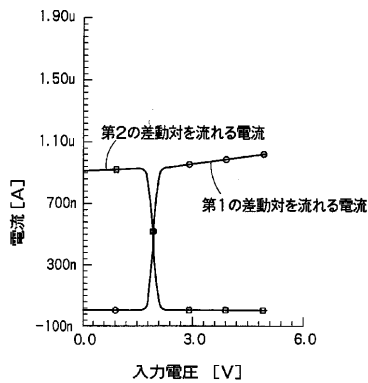
【図2】



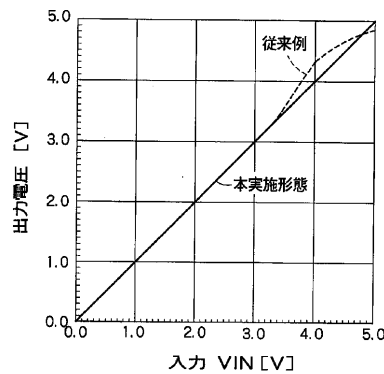
【図4】



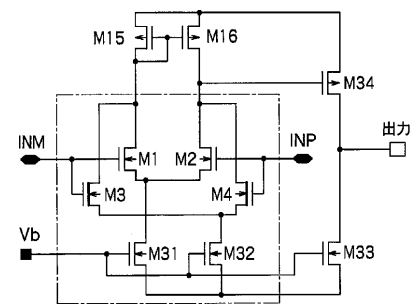
【図3】



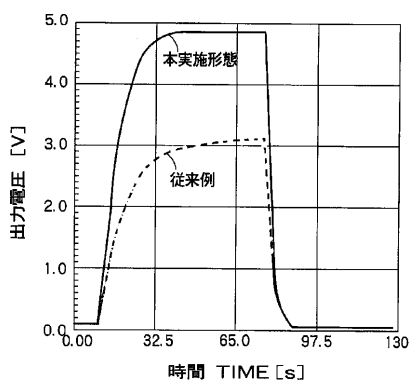
【図5】



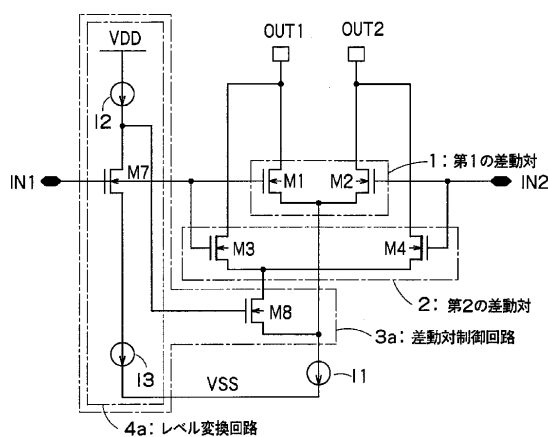
【図17】



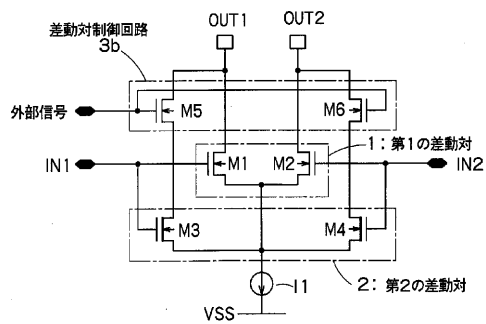
【図6】



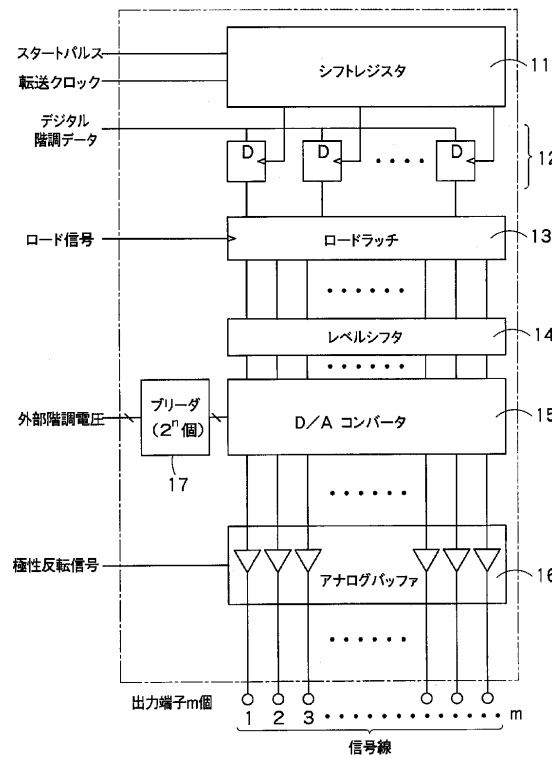
【図7】



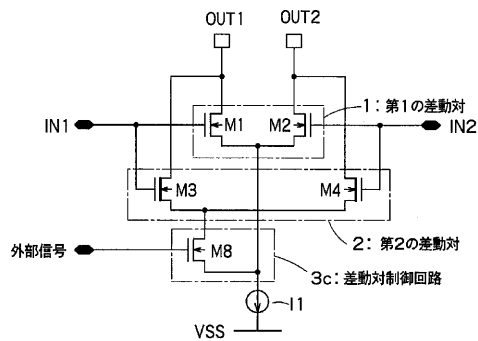
【図8】



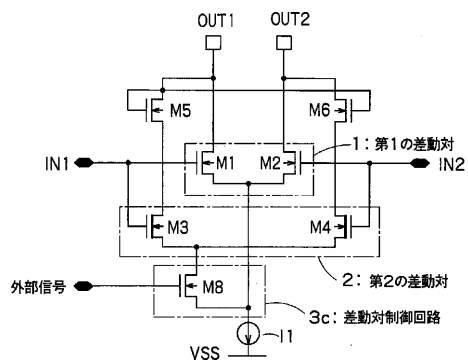
【図9】



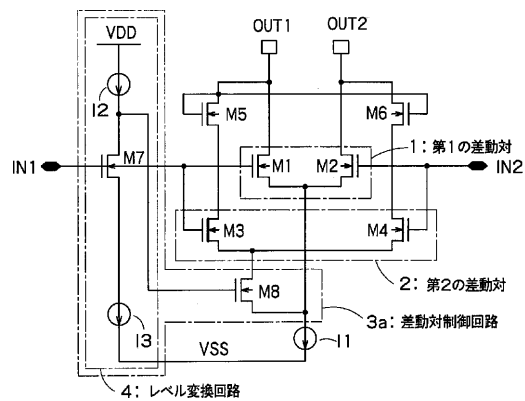
【図10】



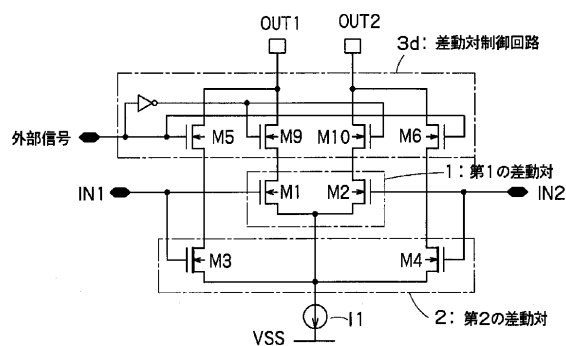
【図12】



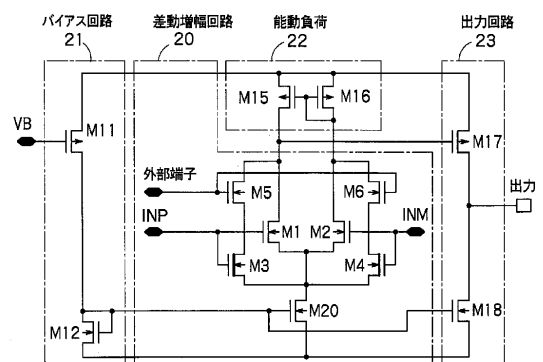
【図11】



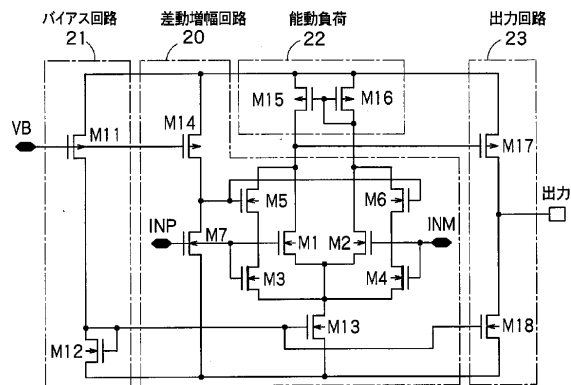
【図13】



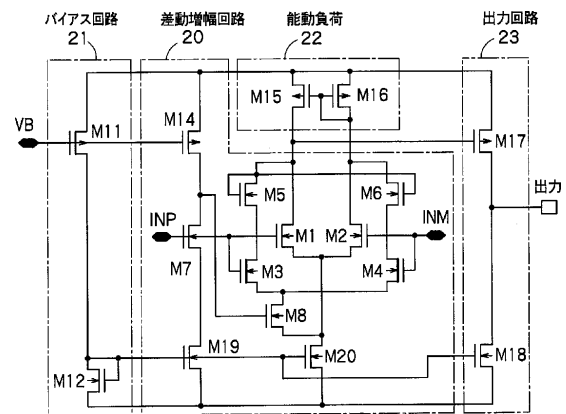
【図16】



【図 14】



【図 15】



フロントページの続き

(51)Int.Cl.⁷

識別記号

F I

テ-マコード' (参考)

5 J 5 0 0

F タ-ム(参考) 2H093 NC16 NC22 NC24 NC34 ND34
ND60
5C006 BB11 BC13 BF25 BF34 BF46
EB05
5C080 AA10 BB05 DD25 DD30 FF09
JJ02 JJ03 JJ05
5J066 AA01 AA12 AA21 CA32 CA78
FA18 HA10 HA17 HA39 KA00
KA03 KA05 KA09 KA12 KA18
KA33 KA34 KA36 ND01 ND22
ND23 PD02 SA08 TA01 TA02
TA06
5J069 AA01 AA12 AA21 CA32 CA78
FA18 HA10 HA17 HA39 KA00
KA03 KA05 KA09 KA12 KA18
KA33 KA34 KA36 SA08 TA01
TA02 TA06
5J500 AA01 AA12 AA21 AC32 AC78
AF18 AH10 AH17 AH39 AK00
AK03 AK05 AK09 AK12 AK18
AK33 AK34 AK36 AS08 AS09
AT01 AT02 AT06 DN01 DN22
DN23 DP02

专利名称(译)	差分放大器电路和用于驱动液晶显示器件的半导体集成电路		
公开(公告)号	JP2003069353A	公开(公告)日	2003-03-07
申请号	JP2001254755	申请日	2001-08-24
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
[标]发明人	南崎浩德 板倉哲朗		
发明人	南 崎 浩 德 板 倉 哲 朗		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 H03F1/02 H03F3/21 H03F3/45 H03F3/68 H03K5/24		
CPC分类号	H03F3/211 G09G3/3614 G09G2310/027 H03F1/0277 H03F2203/45371 H03F2203/7236 H03K5/2481		
FI分类号	H03F3/45.Z G02F1/133.550 G09G3/20.623.B G09G3/36 H03F3/68.B H03F3/68.220		
F-TERM分类号	2H093/NC16 2H093/NC22 2H093/NC24 2H093/NC34 2H093/ND34 2H093/ND60 5C006/BB11 5C006/BC13 5C006/BF25 5C006/BF34 5C006/BF46 5C006/EB05 5C080/AA10 5C080/BB05 5C080/DD25 5C080/DD30 5C080/FF09 5C080/JJ02 5C080/JJ03 5C080/JJ05 5J066/AA01 5J066/AA12 5J066/AA21 5J066/CA32 5J066/CA78 5J066/FA18 5J066/HA10 5J066/HA17 5J066/HA39 5J066/KA00 5J066/KA03 5J066/KA05 5J066/KA09 5J066/KA12 5J066/KA18 5J066/KA33 5J066/KA34 5J066/KA36 5J066/ND01 5J066/ND22 5J066/ND23 5J066/PD02 5J066/SA08 5J066/TA01 5J066/TA02 5J066/TA06 5J069/AA01 5J069/AA12 5J069/AA21 5J069/CA32 5J069/CA78 5J069/FA18 5J069/HA10 5J069/HA17 5J069/HA39 5J069/KA00 5J069/KA03 5J069/KA05 5J069/KA09 5J069/KA12 5J069/KA18 5J069/KA33 5J069/KA34 5J069/KA36 5J069/SA08 5J069/TA01 5J069/TA02 5J069/TA06 5J500/AA01 5J500/AA12 5J500/AA21 5J500/AC32 5J500/AC78 5J500/AF18 5J500/AH10 5J500/AH17 5J500/AH39 5J500/AK00 5J500/AK03 5J500/AK05 5J500/AK09 5J500/AK12 5J500/AK18 5J500/AK33 5J500/AK34 5J500/AK36 5J500/AS08 5J500/AS09 5J500/AT01 5J500/AT02 5J500/AT06 5J500/DN01 5J500/DN22 5J500/DN23 5J500/DP02 2H193/ZA04		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够充分扩大差分输入信号的共模电压的工作范围的差分放大器电路。差分放大器电路包括：第一差分对1，其包括NMOS晶体管M1和M2；第二差分对2，其包括NMOS晶体管M3和M4；以及第一和第二差分对。差分对控制电路3包括：电流源I1，其向对1和2提供电流；以及差分对控制电路3，其控制是否操作第二差分对2的切换。它具有连接在电流路径上的NMOS晶体管M5和M6，来自源极I1的电流流经NMOS晶体管M3和M4，以及电平转换电路4，其控制NMOS晶体管M5和M6的栅极电压。当输入IN1电压为低时，仅第二差分对2被操作，而当输入IN1电压为高时，仅第一差分对1被操作。范围可以扩大。

