

(19)日本国特許庁 (J P)

(12) **公開特許公報** (A) (11)特許出願公開番号

特開2002 - 366113

(P2002 - 366113A)

(43)公開日 平成14年12月20日(2002.12.20)

(51) Int. Cl ⁷	識別記号	F I	テ-マ-コ-ド* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	550	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	611	G 0 9 G 3/20	611 A
	622		622 C
			622 R

審査請求 未請求 請求項の数 6 O L (全 13数) 最終頁に続く

(21)出願番号 特願2001 - 171887(P2001 - 171887)

(22)出願日 平成13年6月7日(2001.6.7)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 赤井 亮仁

神奈川県川崎市麻生区王禅寺1099番地 株

式会社日立製作所システム開発研究所内

(72)発明者 工藤 泰幸

神奈川県川崎市麻生区王禅寺1099番地 株

式会社日立製作所システム開発研究所内

(74)代理人 100075096

弁理士 作田 康夫

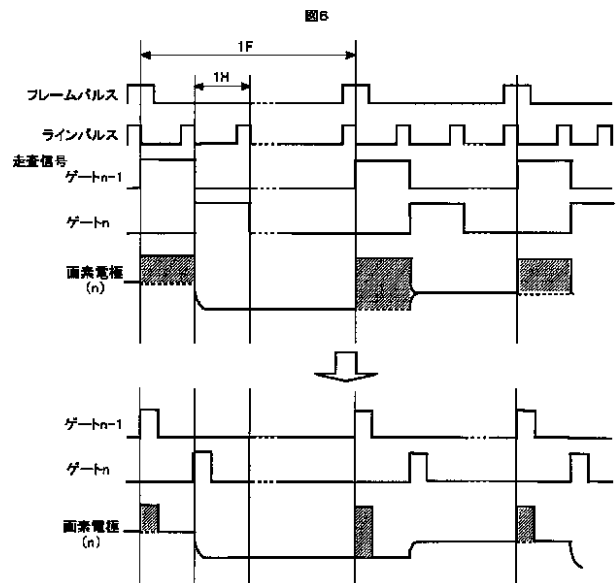
最終頁に続く

(54)【発明の名称】 液晶駆動装置

(57)【要約】

【課題】本発明は、前段のゲートパルス印加時において液晶印加電圧が変動してしまう現象を低減するために走査信号のパルス幅が調節可能であり、低消費電力化を目的としたパーシャル表示機能で非表示部の走査頻度を調節可能なゲート線駆動回路を提供することにある。

【解決手段】本発明は、ゲート線駆動回路は走査信号のハイ幅を調整するためのノンオーバーラップ期間を設定し、その期間を基準クロック数で規定し、調節可能とした。



【特許請求の範囲】

【請求項1】複数のドレイン電極とゲート電極、および液晶層の対向側にあるコモン電極のそれぞれに対し、所定の電圧を印加して表示を実現する、アクティブマトリクス型液晶パネルに対し、該ゲート電極へ走査ラインを示すゲートパルスを線順次に印加する、液晶駆動装置において、

該液晶駆動回路は、第1の走査ラインのゲート電極へ出力する第1のゲートパルスのパルス幅と、第2の走査ラインのゲート電極へ出力する第2のゲートパルスのパルス幅との間に、間隔を設けた液晶駆動装置。

【請求項2】複数のドレイン電極とゲート電極、および液晶層の対向側にあるコモン電極のそれぞれに対し、所定の電圧を印加して表示を実現する、アクティブマトリクス型液晶パネルに対し、該ゲート電極へ走査ラインを示すゲートパルスを線順次に印加する、液晶駆動装置において、

該液晶駆動回路は、全てのゲート電極にゲートパルスを出力しないノンオーバーラップ期間を、1走査期間毎に設けている液晶駆動装置。

【請求項3】請求項2の液晶駆動装置において、前記ノンオーバーラップ期間は、外部から入力される信号で規定される液晶駆動装置。

【請求項4】請求項3の液晶駆動装置において、外部から入力される信号は、1走査期間を規定する基準クロックの、クロック数に関する情報を含む液晶駆動装置。

【請求項5】複数のドレイン電極とゲート電極、および液晶層の対向側にあるコモン電極のそれぞれに対し、所定の電圧を印加して表示を実現する、アクティブマトリクス型液晶パネルに対し、該ゲート電極へ走査ラインを示すゲートパルスを線順次に印加する、液晶駆動装置において、

該液晶駆動回路は、非表示領域部のゲート電極へ印加するゲートパルスの周波数が、表示領域部のゲート電極へ印加するゲートパルスの周波数よりも低い液晶駆動装置。

【請求項6】請求項5の液晶駆動装置において、前記表示領域と非表示領域、およびゲートパルスの周波数は、外部から入力される信号で規定される液晶駆動装置。

【発明の詳細な説明】

【0001】

【発明に属する技術分野】本発明はドットマトリクス型液晶を表示するための液晶駆動装置に関する。

【0002】

【従来の技術】まず、図1に液晶パネルに対して、ドレインドライバ、電源回路、ゲートドライバの3チップで構成された従来のTFT液晶表示装置を示す。この中で、液晶パネルは画素毎にTFTが配置されており、これに接続するドレイン線とゲート線とがマトリクス状に配線されている。TFTのソースが画素電極へ接続さ

れ、液晶をはさんで対向側にあるコモン電極との印加電圧の差で表示輝度を制御することになる。ドレインドライバは各ドレイン線に階調電圧を出力し、電源回路はドレインドライバとゲートドライバへそれぞれの駆動電圧を供給するとともにコモン電極にコモン電圧を出力する。ゲートドライバはゲート線に選択期間を示すタイミングパルスを出力する。

【0003】ここで、図3は従来のゲートドライバの入出力波形のタイミングチャートをまとめたものである。ラインパルスにより、1走査期間が設定され、1走査期間×駆動ライン数で1フレーム期間が設定される。ゲートパルスはフレームパルスがハイレベル時でラインパルスの立ち下がりに同期して先頭ラインにゲート線選択電圧を与える。その後、ラインパルスに同期し、次ラインへ順次印加するものとする。

【0004】

【発明が解決しようとする課題】上記したゲートドライバの出力を、例えば、図2に示すC a d d構成のパネルに適用した場合、特にノーマリブラックの液晶において、黒の表示輝度が上昇し、適正なコントラストを得ることができないことがある。

【0005】この表示輝度浮き上がりは液晶パネルの構造がC a d d構造であることに起因する。図2に示すように画素電極は前段のゲート線とC a d dを介して接続されている。前段のゲート線にハイ電圧が印加されると、C a d dを介して、画素電極が高電圧側に遷移するため、その分表示輝度が浮き上がるのである。

【0006】図5は従来技術における入力信号群とC a d d構造におけるコモン電極と画素電極との電位差である液晶印加電圧のタイミングチャートを示す。nライン目の画素電極にかかる電圧がn-1ラインのゲートパルスにより高電位に遷移してしまい、斜線部の電位だけ実効値が上がっている。

【0007】この現象は図4に示すように駆動ライン数、すなわちゲートのパルス幅(デューティ)に依存している。特に、携帯電話向けの200ライン以下の液晶パネルでは表示輝度の上昇が無視できない。

【0008】本発明の目的は、コントラストを向上した液晶駆動装置を提供することである。

【0009】又は、本発明の目的は、消費電力を低減した液晶駆動装置を提供することである。

【0010】

【課題を解決するための手段】先に述べた課題を解決するにあたり、ゲートパルスによる画素電極の電圧変動量を少なくすることを考えると、ゲートパルスの振幅を小さくする方法、あるいはパルス幅を小さくする方法が考えられる。ただし、前者はTFTのON、OFFに必要な電圧であることから、後者のゲートパルス幅に着目した。

【0011】図6にゲートのパルス幅を小さくした場合

におけるC a d d構造における液晶印加電圧の波形を示す。この場合も液晶パネルがC a d d構造であるため、前段のゲートパルス印加時に印加電位が高電位側へ遷移してしまうが、ゲートパルス幅を小さくすることにより、印加電圧が高電位に遷移している時間が短くなり、実効値の浮き上がり量も小さくなっている。

【0012】図7は駆動ラインを162ラインとした場合の1水平期間に対するゲートパルス幅の割合と輝度特性との関係である。ゲートパルス幅を従来の1水平期間とその50%幅との場合と比較してみると、表示輝度に10
差異があり、電圧実効値で200mVの差がある。つまり、実機評価においてもゲートパルス幅を小さくすることにより、目標表示輝度に近づけることができることが判った。そこで、本発明のゲート線駆動回路において、ゲートパルス幅を小さくすると共にパルス幅を調整可能とすることにした。

【0013】

【発明の実施の形態】以下、本発明第一のゲート線駆動回路の実施の形態を図8～図9を用いて説明する。

【0014】図8は本発明第一の実施の形態に関わるゲート線駆動回路のブロック図を示したものであり、801はゲート線駆動回路、802はスキャンデータ発生回路、803はレベルシフタ、804はゲート線駆動部である。

【0015】そして、ゲート線駆動回路801への入力
は、ラインパルス、フレームパルスと、ゲートのパルス幅信号とする。なお、パルス幅信号は1水平期間を周期とし、ハイ幅はゲートパルス幅とする。

【0016】スキャンデータ発生回路802は入力されたフレームパルスとラインパルスをもとに、ゲート線選
30 択電圧の印加タイミングを生成する。ここでは、フレームパルスのハイレベル時にラインパルスの立ち下がりに同期して先頭ラインにゲート線選択電圧を与える。その後ラインパルスに同期し、次ラインへ順次印加するものとする。なお、ここで出力するスキャンデータのハイ幅は1水平期間の信号となる。

【0017】スキャンデータ発生回路802の出力であるスキャンデータAと外部から入力されたパルス幅信号Bとで数1の演算を行い、ゲートパルスCを生成する。

【0018】

【数1】

$$C = A * B$$

レベルシフタ803はロジック回路の動作電源Vcc
GNDから、ゲート線駆動部804の動作電源VGH
VGLへレベル変換する。

【0019】ゲート線駆動部804へはレベルシフタ803で変換した信号を入力し、電源回路から供給される
選択電圧VGH、非選択電圧VGLをバッファ出力する。

【0020】以上、説明した構成と動作により、本発明 50

第一の形態に関わる液晶のゲート線駆動装置801は、ゲートパルス幅を小さくすることで、液晶印加電圧の実効値を理想値に近づけることができる。また、外部から与えるパルス幅信号のハイ幅を変更することにより、ゲートパルス幅を調整することができる。したがって、本発明の目的である、適正なコントラストを得ることができる。

【0021】以下、本発明第二のゲート線駆動回路の実施の形態を、図10～図13を用いて説明する。

【0022】図10は本発明第二の実施の形態に関わるゲート線駆動回路のブロック図を示したものである。本発明は、ゲートパルス幅を小さくするためにノンオーバーラップ期間と呼ぶどのゲート線へも選択電圧が入力されない期間を設けることでゲートパルス幅を小さくする。このノンオーバーラップ期間を調整可能とすることでゲートパルス幅も可変とする。

【0023】1001はゲート線駆動回路、1002はスキャンデータ発生回路、1003はレベルシフタ、1004はゲート線駆動部、1005はノンオーバーラップ期間生成部、1006はノンオーバーラップ期間情報を格納するレジスタである。

【0024】そして、ゲート線駆動回路1001への入力
は、基準クロック、ラインパルス、フレームパルス、ノンオーバーラップ期間情報とする。ノンオーバーラップ期間は基準クロック数により規定することにしたため、ノンオーバーラップ期間情報は指定した基準クロック数となる。

【0025】次にゲート線駆動回路1001を構成する各ブロックを説明する。

【0026】スキャンデータ発生回路1002は入力されたフレームパルスとラインパルスをもとに、選択電
30 圧の印加タイミングを生成する。ここでは、フレームパルスのハイレベル時にラインパルスの立ち下がりに同期して先頭ラインにゲート線選択電圧を与える。その後ラインパルスに同期し、次ラインへ順次印加するものとする。なお、ここで出力する信号はスキャンデータのハイ幅は1水平期間の信号となる。

【0027】外部から入力されるノンオーバーラップ期間情報はまずレジスタ1006に格納される。格納された
40 ノンオーバーラップ期間を示す基準クロック数はノンオーバーラップ期間生成部1005で使用される。

【0028】ノンオーバーラップ期間生成部1005は基準クロックとノンオーバーラップ期間情報である基準クロック数をもとにしてノンオーバーラップ期間波形Eを生成する。この波形はノンオーバーラップ期間を示すVcc、
それ以外の期間を示すGNDの信号である。これらスキャンデータ発生回路1002の出力であるスキャンデータDとノンオーバーラップ生成部出力Eとで数2の演算を行い、目標とするゲートパルスFを得る。

【0029】

【数2】

$$F = D * E$$

レベルシフタ1003はゲートパルスFについて、ロジック回路の動作電源Vcc GNDから、ゲート線駆動部1004の動作電源VGH VGLへレベル変換する。

【0030】ゲート線駆動部1004へはレベルシフタ1003で変換した信号を入力し、電源回路から供給される選択電圧VGH、非選択電圧VGLをバッファ出力する。

【0031】次に、ノンオーバーラップ期間生成部1005のより詳細な動作について説明する。

【0032】ノンオーバーラップ期間生成部1005内のブロック図を図11に示す。ノンオーバーラップ期間生成部1005はカウンタ1101と比較器1102から構成されている。ここでのカウンタはラインカウンタの立ち下がりでリセットされる構成となっている。

【0033】基準クロックをこのカウンタでカウントaし、設定したノンオーバーラップ期間のクロック数mと比較する。m > aでノンオーバーラップ期間を示すVccを、m < aでGNDの信号を出力する。図9に示すノンオーバーラップ期間生成部1005の入出力信号のタイムチャートでわかるように、ノンオーバーラップ期間生成部1005の出力Eは周期が1水平期間で、ハイ幅は設定された基準クロック数で規定されたパルス信号となる。

【0034】ここで、フレームパルス、ラインパルス、スキャンデータ発生回路出力、ノンオーバーラップ生成部出力、ゲートパルス、液晶印加電圧のタイミングチャートを図13にまとめる。ゲート線駆動回路1001の出力Fはスキャンデータ発生回路1002の出力Dとノンオーバーラップ期間生成部1005の出力Eとの数2の演算で得られた信号となる。したがって、液晶印加電圧の変動量を図13に示す斜線部に抑えることができる。

【0035】以上、説明した構成と動作により、本発明第二の形態に関わる液晶のゲート線駆動装置1001は、ノンオーバーラップ期間を基準クロック数の設定により、ゲートパルス幅を任意に変位させ、液晶印加電圧の実効値を理想値に近づけることができるようになった。したがって、本発明の目的である、適正なコントラストを得ることができる。

【0036】次に、本発明第三のゲート線駆動回路の実施の形態を、図14～図19を用いて説明する。

【0037】従来の液晶駆動装置においてパネルの一部のみを表示するパーシャル表示という機能がある。しかし、パーシャル表示時に全画面をスキャンすると、非表示領域のスキャンによる無駄な電力を消費する。そこで、本発明では、図15に示すように、非表示領域は表示領域よりも遅い周期で走査することで、低消費電力化が可能であると考えた。

【0038】まず、図14にスキャン頻度(nフレーム

に1回)とパネルの充放電における消費電力との関係を示す。ここでの消費電力は1フレームに1回スキャンした場合を1として表記している。この図より、20フレームに1回以内であれば、非表示部の走査頻度を下げていくことにより、低消費電力化に効果があることが判る。ただし、走査頻度を下げていくと、非走査期間が増加し、ゲートリークによりDC電圧が印加され、画質が悪化することが判っている。そこで、設定により走査頻度を調整できるようにした。

10 【0039】次に、本発明第二の実施の形態に関わるゲート線駆動回路のブロック図を図16に示す。

【0040】1601はゲート線駆動回路、1602はスキャンデータ発生回路、1603はレベルシフタ、1604はゲート線駆動部、1605はパーシャル表示時の非走査タイミング生成部、1606はパーシャル表示機能情報を格納するレジスタである。

20 【0041】そして、ゲート線駆動回路1601への入力にはフレームパルス、ラインパルス、パーシャル表示機能情報とする。パーシャル表示機能情報は表示領域の開始ラインSSと終了ラインSE、非表示領域の走査頻度SCNとする(n = SCN)。以降、走査頻度はnフレームに1回を前提に説明する。

【0042】次に、本発明に係わる、データ線制御装置1601を構成する各ブロックを説明する。

【0043】スキャンデータ発生回路1602へは、フレームパルスとラインパルスとが入力され、選択電圧の印加タイミングを生成する。ここでは、フレームパルスのハイレベル時とラインパルスの立ち下がりに同期して先頭ラインに選択電圧を与え、その後ラインパルスに同期し、次ラインへ順次印加するものとする。なお、ここで生成される信号は毎フレーム全ライン走査する際の波形となる。

【0044】外部から入力されるパーシャル表示機能情報はレジスタ1606に格納される。格納されたパーシャル表示機能情報である表示領域の開始ラインSSと終了ラインSEのデータと非表示領域のスキャン頻度nは非走査タイミング生成部1605で使用される。

40 【0045】非走査タイミング生成部1605にはフレームクロック、ラインクロック、表示領域の開始ラインSSと終了ラインSE、スキャン頻度nが入力される。まず、非走査のタイミング生成部1605では、ラインクロックと表示領域データから表示ラインを示すGND、非表示ラインを示すVccの非表示ライン信号Gと、フレームクロックとスキャン頻度n(nフレームに1回スキャン)から非表示領域をスキャンするフレームを示すVcc、スキャンしないフレームを示すGNDの非表示スキャン信号Hを生成する。この非表示ライン信号Gと非表示スキャン信号Hとで数3の演算を行い、スキャン期間はGND、ノンスキャン期間はVccとする非走査タイミング信号Iを出力する。

【0046】

【数3】

$$I = G * H$$

次に、非走査タイミング生成部1605のより詳細な動作について説明する。

【0047】非走査タイミング生成部1605内のブロック図を図17に示す。非走査タイミング生成部1605はラインカウンタ1701、比較器1702、n進カウンタ1703、比較器1704から構成されており、前述のフレーム内の表示ラインと非表示ラインを示す信号Gはラインカウンタ1701と比較器1702で生成する。なお、ここでのカウンタ1701でフレームパルスの立ち上がりでリセットされる構成となっている。ラインパルスはこのカウンタ1701でカウントし、開始ラインSS、終了ラインSEとでそれぞれ比較する。LP < SS、LP > SEで非表示ラインを示すVccを、SS LP SEで表示ラインを示すGNDの非表示領域波形Gを出力する。非表示領域のスキャンとノンスキャンフレームを示す信号Hはn進カウンタ1703と比較器1704で生成する。フレームパルスをn進カウンタ1703でカウントし、設定したスキャン頻度nと比較する。カウンタ1703が0となった場合に非表示領域でスキャンすることを示すVccを、それ以外の場合は非表示領域でスキャンしないことを示すGNDの非表示領域スキャン信号Hを出力する。

【0048】さらに、この非表示領域波形G、非表示領域スキャン信号Hとで上記の数3の演算を行い、非走査タイミング生成部1605の非走査タイミング波形Iを生成する。

【0049】例として、図18に2ライン表示し、3ライン以降を非表示とした場合の非走査タイミング生成部1605のタイムチャートを示す。

【0050】さらに、非走査タイミング波形IとスキャンデータJとで数4の演算を行い、ゲート線駆動回路1601のゲートパルスKが得られる。

【0051】

【数4】

$$K = J * I$$

ここでフレームパルス、ラインパルス、スキャンデータ発生回路出力、非走査タイミング生成部出力、ゲートパルスのタイミングチャートを図19にまとめて示す。

【0052】以上、説明した構成と動作により、本発明第三の形態に関わる液晶のゲート線駆動装置1601は、非表示領域の走査頻度を低減する、例えば、数フレームに1回に走査とすることで、ゲート線の充放電による消費電力低減が可能となる。したがって、本発明の目的である、低消費電力化を図ることができる。

【0053】以上述べた、本発明第一～第三と第四の実施の形態は、組み合わせることが可能である。これによ

り、適正なコントラストが得られ、低消費電力化が実現できる。

【0054】本発明の実施の形態のゲート線駆動回路により、走査信号のハイ幅を調整するためのノンオーバーラップ期間を設定し、その期間を基準クロック数で規定し、調節可能とした。これにより、液晶印加実効値の変動量を削減でき、液晶印加電圧の実効値を理想値に近づけることで、適正なコントラストを得られることができる。さらに、パースナル表示機能で非表示領域の走査頻度を設定により調節可能とした。これにより、走査頻度を低減することにより、非表示領域のゲート線充放電回数が少なくなり、低消費電力化が実現できる。

【0055】本発明の実施の形態は、ライン数が少ない小型の液晶パネルを駆動するのに最適である。但し、中型、大型の液晶パネルを駆動する場合にも、同様の効果を得る。

【0056】

【発明の効果】本発明によれば、ゲートパルス幅を適正化することにより、表示画像のコントラストを向上できるという効果を奏する。

【0057】又は、本発明によれば、非表示領域のゲート線充放電回数が減少し、液晶駆動装置の消費電力を低減するという効果を奏する。

【図面の簡単な説明】

【図1】液晶表示装置の構造を説明する図である。

【図2】液晶のパネル構造を説明する図である。

【図3】従来の入力波形による、ゲート線駆動回路の動作を示すタイミング図である。

【図4】従来の入力波形による、駆動ライン数と液晶印加電圧実行値との関係を示す図である。

【図5】従来の入力波形による、ゲート線駆動回路の動作を示すタイミング図である。

【図6】本発明第一の実施の形態に係わる、ゲート線駆動回路の動作を示すタイミング図である。

【図7】本発明第一の実施の形態に係わる、実機評価でのゲートパルス幅と表示輝度との関係を示す図である。

【図8】本発明第一の実施の形態に係わる、ゲート線駆動回路の構成を示すブロック図である。

【図9】本発明第一の実施の形態に係わる、ゲート線駆動回路の動作を示すタイミング図である。

【図10】本発明第二の実施の形態に係わる、ゲート線駆動回路の構成を示すブロック図である。

【図11】本発明第二の実施の形態に係わる、ゲート線駆動回路内のノンオーバーラップ期間生成部の構成を示すブロック図である。

【図12】本発明第二の実施の形態に係わる、ゲート線駆動回路内のノンオーバーラップ期間生成部の動作を示すタイミング図である。

【図13】本発明第二の実施の形態に係わる、ゲート線駆動回路の動作を示すタイミング図である。

【図14】走査頻度と消費電力との関係を示す図である。

【図15】ゲート線駆動回路の動作を示すタイミング図である。

【図16】本発明第三の実施の形態に係わる、ゲート線駆動回路の構成を示すブロック図である。

【図17】本発明第三の実施の形態に係わる、ゲート線駆動回路内の非走査タイミング生成部の構成を示すブロック図である

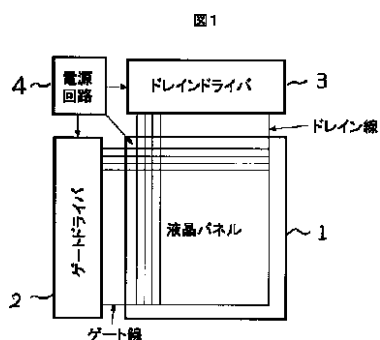
【図18】本発明第三の実施の形態に係わる、ゲート線駆動回路内の非走査タイミング生成部の動作を示すタイミング図である

【図19】本発明第三の実施の形態に係わる、ゲート線駆動の動作を示すタイミング図である

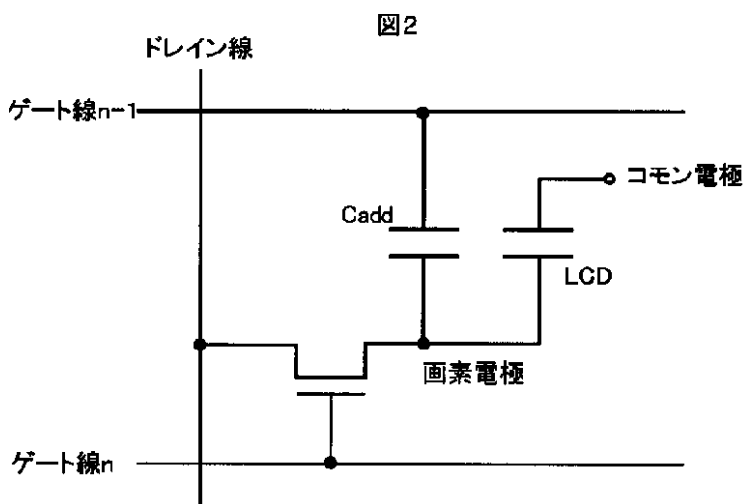
【符号の説明】

* 1...液晶パネル、2...ゲートドライバ、3...ドレインドライバ、4...電源回路、801...ゲート線駆動回路、802...スキャンデータ発生回路、803...レベルシフタ、804...ゲート線駆動部、1001...ゲート線駆動回路、1002...スキャンデータ発生回路、1003...レベルシフタ、1004...ゲート線駆動部、1005...ノンオーバーラップ期間生成部、1006...レジスタ、1101...カウンタ、1102...比較器、1601...ゲート線駆動回路、1602...スキャンデータ発生回路、1603...レベルシフタ、1604...ゲート線駆動部、1605...非走査タイミング生成部、1606...レジスタ、1701...カウンタ、1702...比較器、1703...n進カウンタ、1704...比較器。

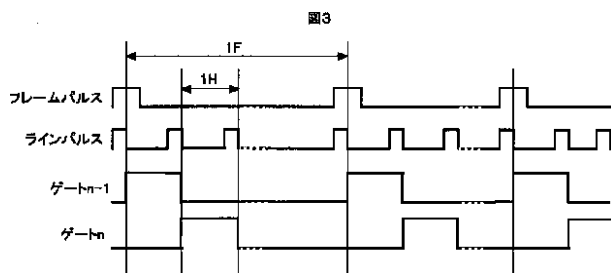
【図1】



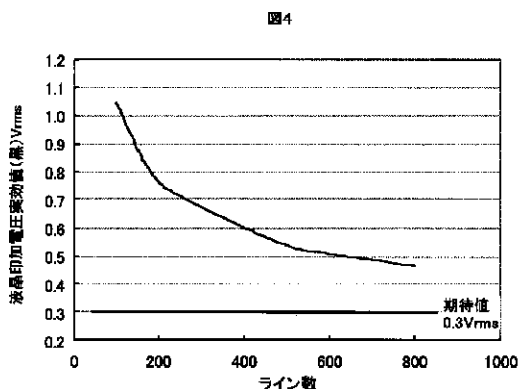
【図2】



【図3】

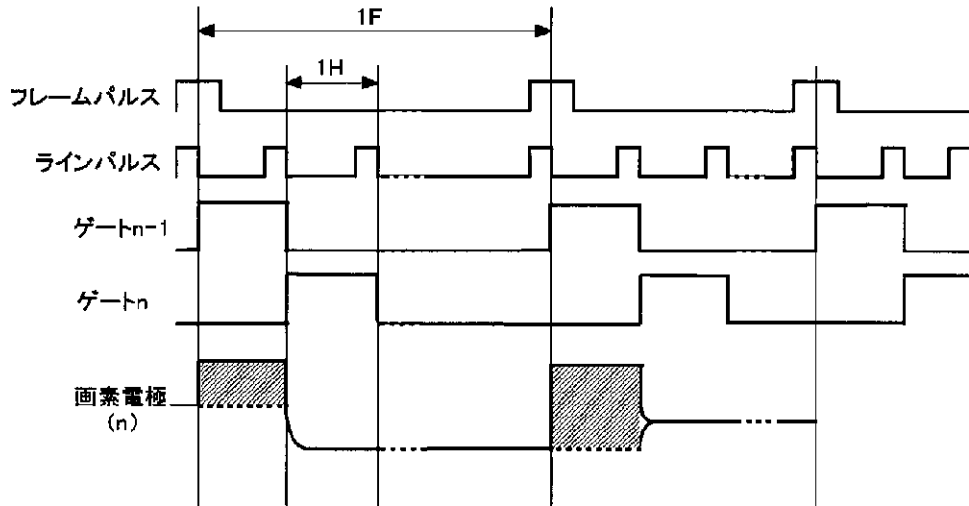


【図4】



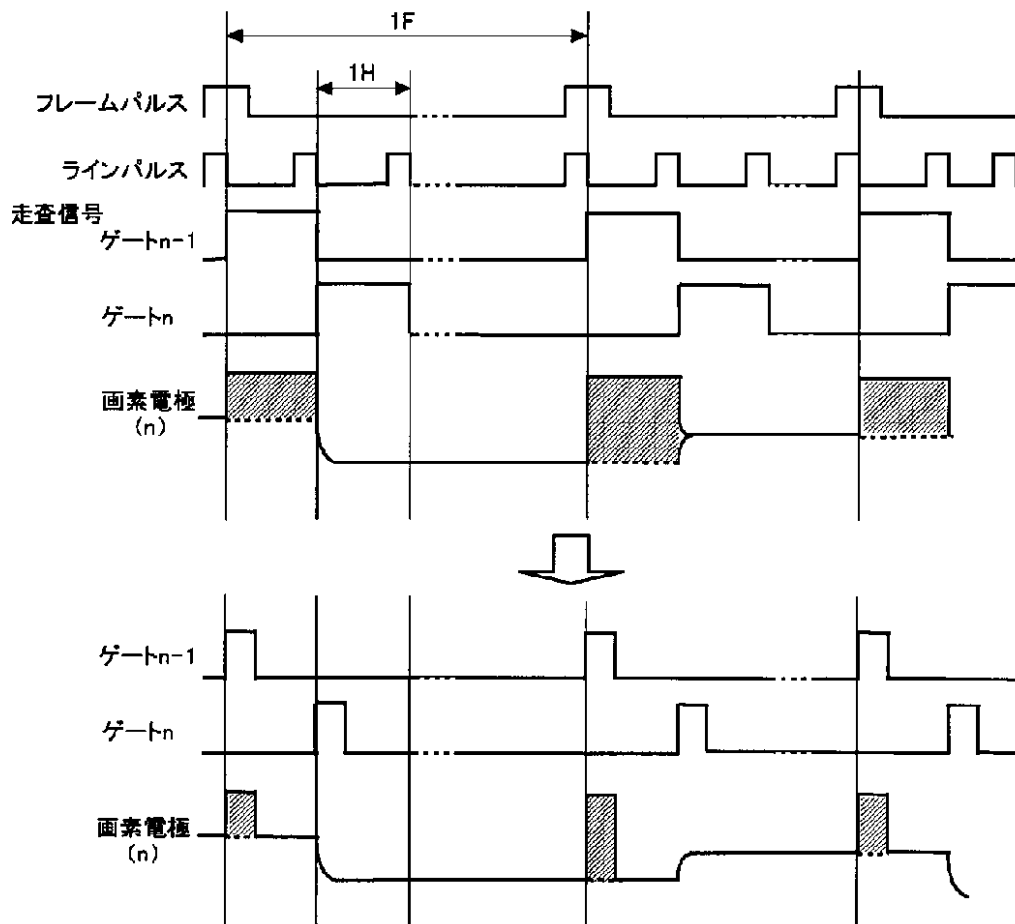
【図5】

図5



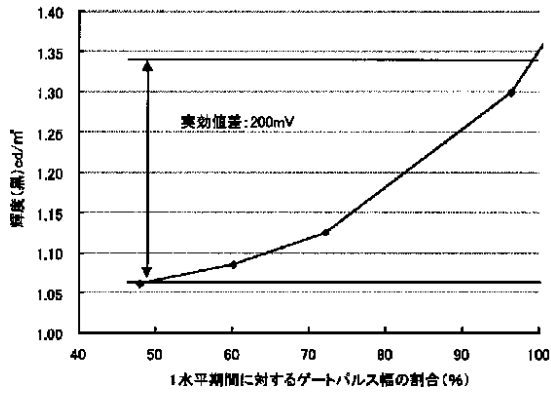
【図6】

図6



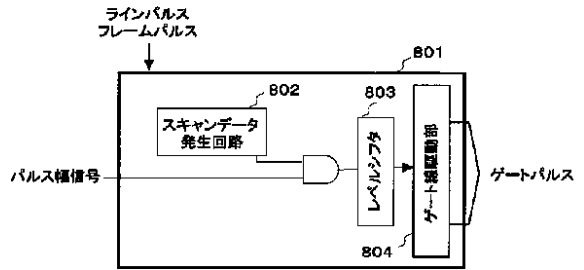
【図7】

図7



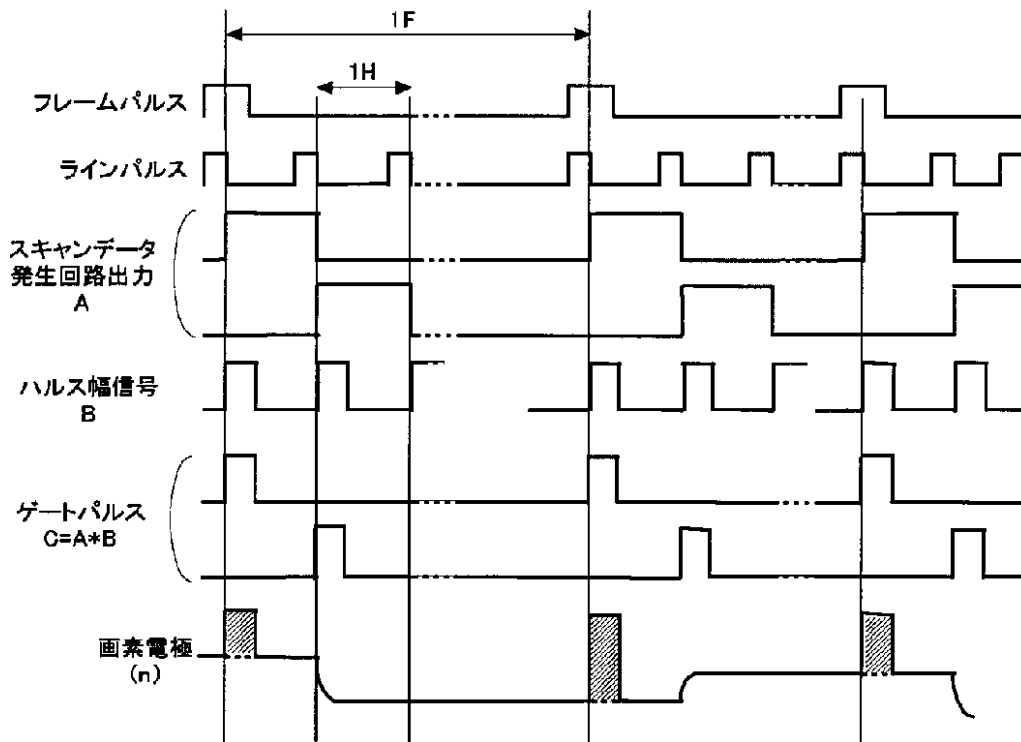
【図8】

図8



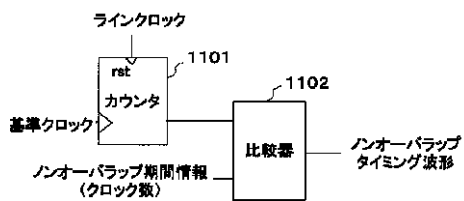
【図9】

図9



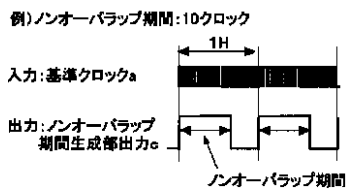
【図11】

図11



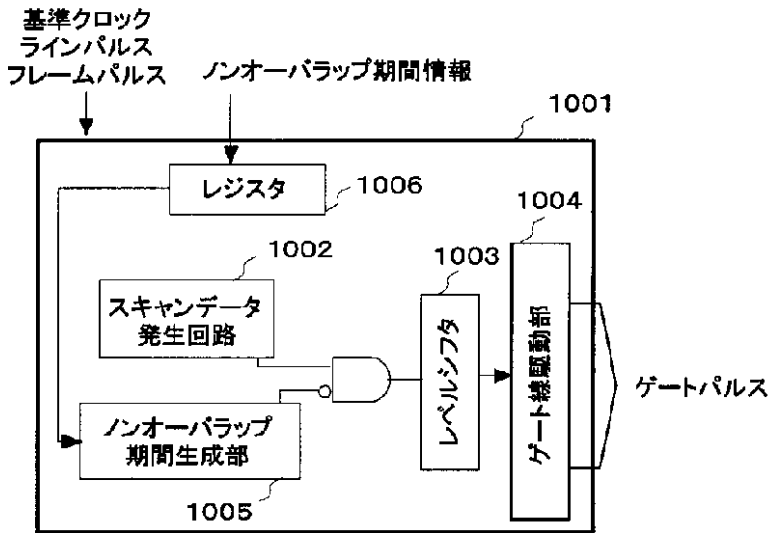
【図12】

図12



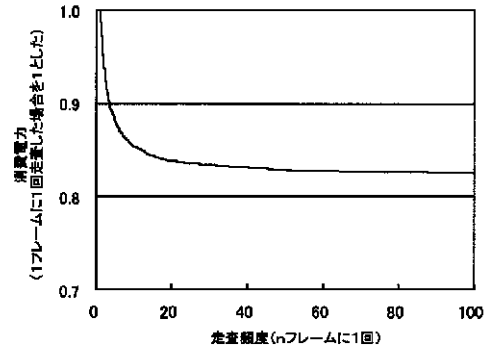
【図10】

図10



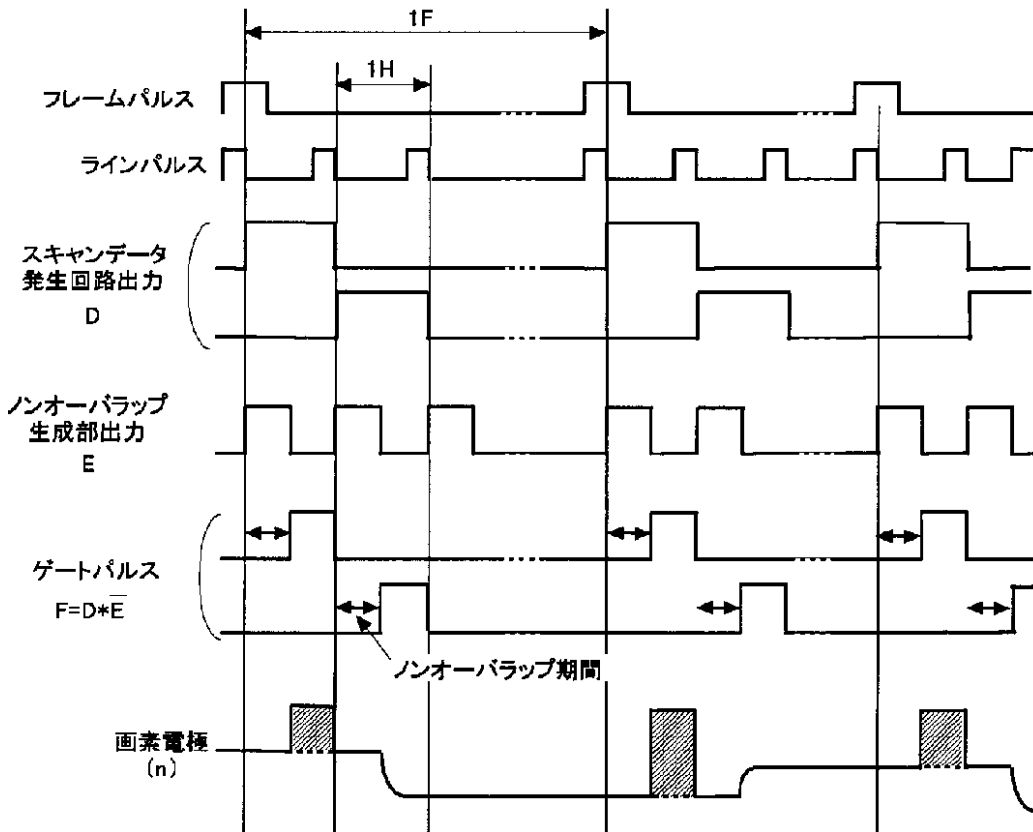
【図14】

図14



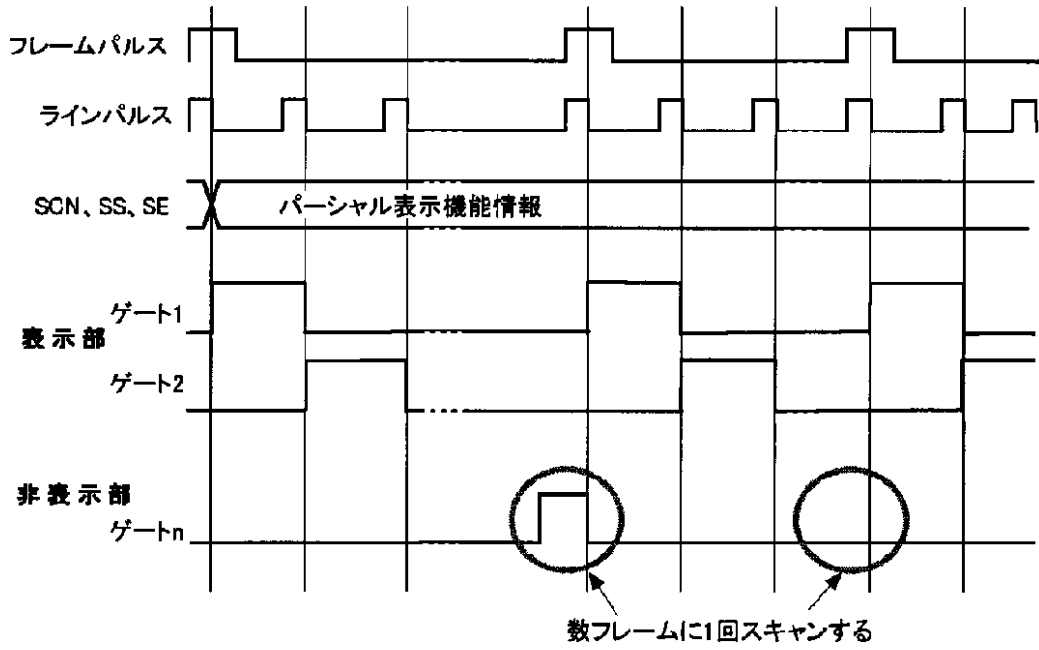
【図13】

図13



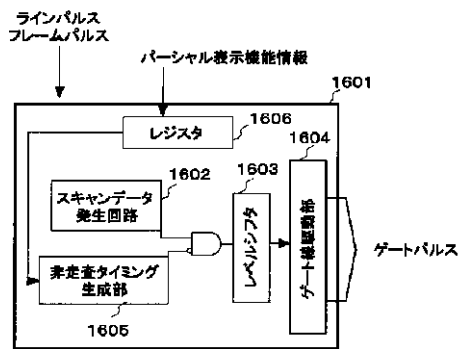
【図15】

図15



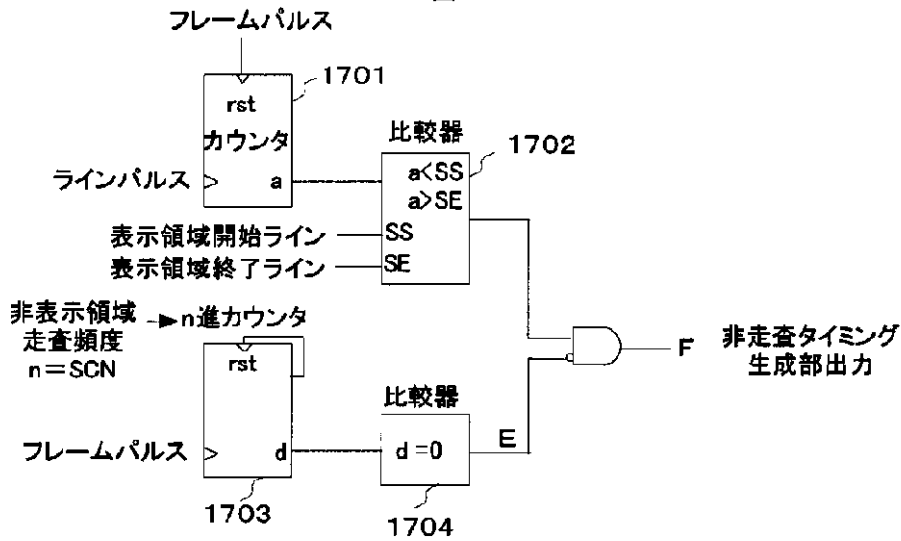
【図16】

図16



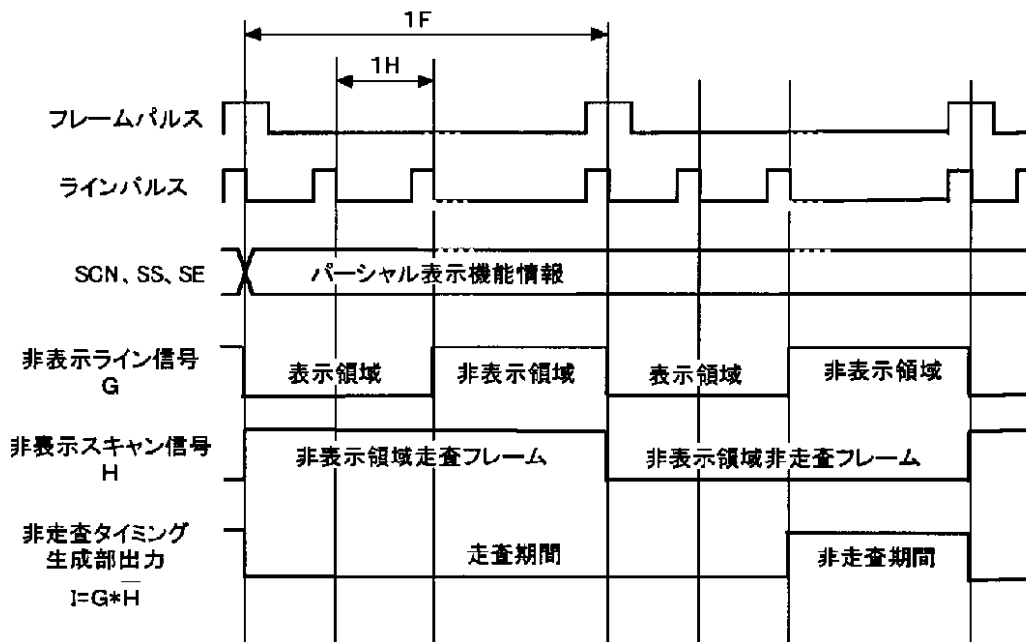
【図17】

図17



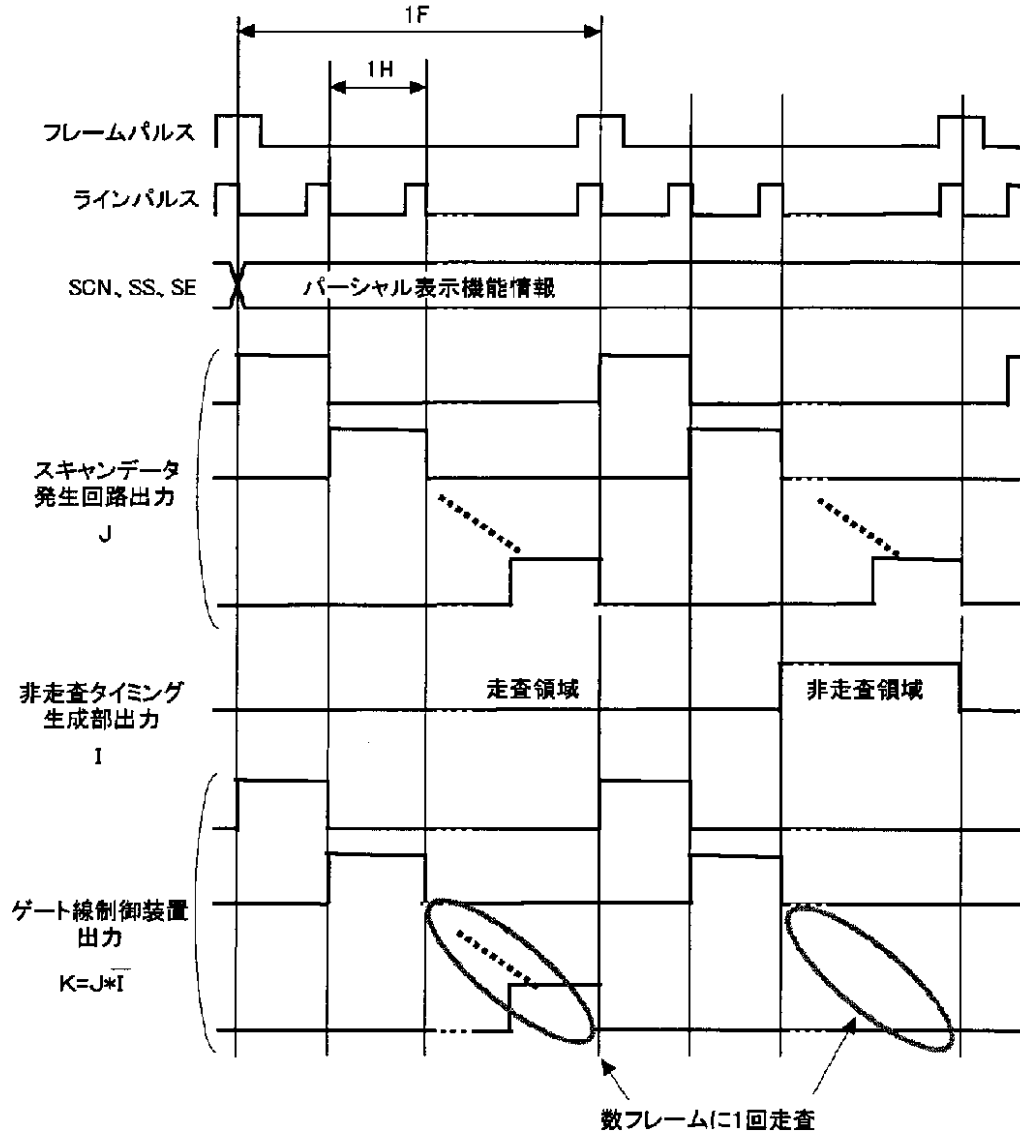
【図18】

図18



【図19】

図19



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ド [*] (参考)
G 0 9 G 3/20	6 4 1	G 0 9 G 3/20	6 4 1 A
	6 4 2		6 4 2 E

(72)発明者 大門 一夫
 千葉県茂原市早野3300番地 株式会社日立製作所半導体グループ内

(72)発明者 比嘉 淳裕
 神奈川県横浜市戸塚区吉田町292番地 株式会社日立画像情報システム内

(72)発明者 黒川 一成
 東京都小平市上水本町五丁目20番1号 株式会社日立製作所ディスプレイグループ内

F ターム(参考) 2H093 NA16 NA43 NA51 NC01 ND39
5C006 AA15 AC22 AF44 AF52 BB16
BC03 BC12 BF46 FA47 FA54
5C080 AA10 BB05 DD03 DD26 EE28
FF11 JJ02 JJ04 JJ05

专利名称(译)	显示装置		
公开(公告)号	JP2002366113A5	公开(公告)日	2006-05-11
申请号	JP2001171887	申请日	2001-06-07
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	AKAI RIYOUJIN KUDO YASUYUKI DAIMON KAZUO KUROKAWA KAZUNARI HIGA ATSUHIRO 赤井亮仁 工藤泰幸 大門一夫 黒川一成 比嘉淳裕		
发明人	赤井 亮仁 工藤 泰幸 大門 一夫 黒川 一成 比嘉 淳裕		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G2310/065 G09G3/3659 G09G2330/021 G09G3/3677		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.A G09G3/20.622.C G09G3/20.622.R G09G3/20.641.A G09G3/20.642.E		
F-TERM分类号	5C080/JJ05 2H093/ND39 5C080/DD26 2H093/NC01 5C006/BF46 5C080/AA10 5C006/BB16 5C006 /AF52 5C006/BC03 5C006/BC12 5C080/JJ02 5C080/BB05 5C006/AC22 5C080/EE28 5C006/FA47 5C080/JJ04 2H093/NA43 5C006/FA54 2H093/NA16 5C080/DD03 5C080/FF11 5C006/AA15 5C006 /AF44 2H093/NA51 2H193/ZD21 2H193/ZF01		
其他公开文献	JP2002366113A JP4566459B2		

摘要(译)

解决的问题：提供一种局部显示功能，该功能能够调节扫描信号的脉冲宽度，以减少在前一级施加栅极脉冲时液晶施加电压波动的现象，并旨在降低功耗。本发明的另一个目的是提供一种能够调整非显示部分的扫描频率的栅极线驱动电路。根据本发明，栅极线驱动电路设置用于调节扫描信号的高宽度的非重叠时段，并且该时段由参考时钟号限定以便于可调节。