

(19)日本国特許庁(J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002 - 278517

(P2002 - 278517A)

(43)公開日 平成14年9月27日(2002.9.27)

(51) Int. Cl ⁷	識別記号	F I	テ-マコード (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 0
G 0 2 F 1/133	550	G 0 2 F 1/133	2 H 0 9 2
	1/1333	500	2 H 0 9 3
	1/1368		5 C 0 0 6
G 0 9 G 3/20	611	G 0 9 G 3/20	5 C 0 8 0
		611 A	

審査請求 未請求 請求項の数 40 L (全 20数) 最終頁に続く

(21)出願番号 特願2001 - 73289(P2001 - 73289)

(22)出願日 平成13年3月15日(2001.3.15)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72)発明者 奥村 治久

千葉県茂原市早野3300番地 株式会社日立

製作所ディスプレイグループ内

(74)代理人 100075096

弁理士 作田 康夫

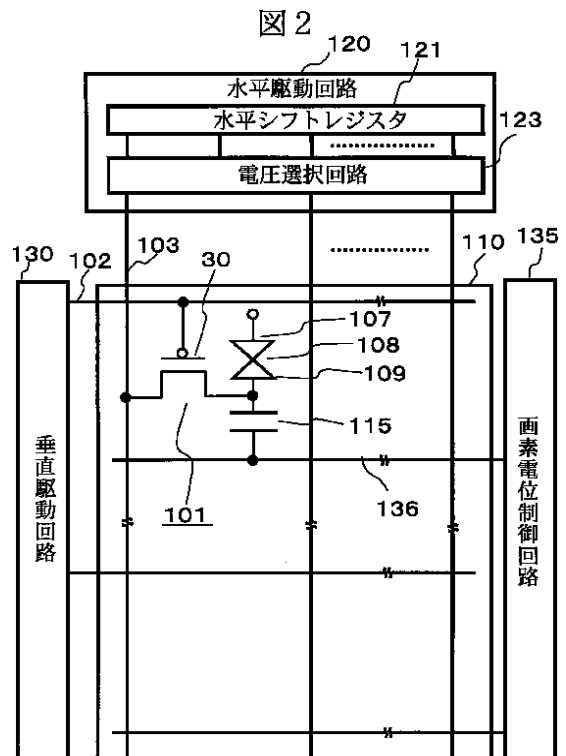
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】小型低耐圧の駆動回路を表示部と同一基板上に形成した液晶表示装置を実現する。

【解決手段】画素に階調電圧を供給する駆動回路とは別に、画素電位を降圧させる回路を形成する。画素電極には正極性の信号を書き込み、書き込み後に画素電極に接続した容量を用いて画素電極の電位を降圧する。



【特許請求の範囲】

【請求項1】第1の基板と、第2の基板と、上記第1の基板と第2の基板とに挟まれた液晶組成物と、上記第1の基板に設けられた複数の画素と、該画素に接続された画素容量と、該画素容量に画素電位制御信号を供給する画素電位制御信号線とを備えることを特徴とする液晶表示装置。

【請求項2】前記第1の基板はシリコン基板であることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】第1の基板と、第2の基板と、上記第1の基板と第2の基板とに挟まれた液晶組成物と、上記第1の基板に設けられた複数の画素電極と、該画素電極に接続された画素容量と、上記画素電極と第1の基板との間に設けられた遮光膜とを有し上記画素容量に画素電位制御信号を供給する画素電位制御信号線を前記遮光膜で形成したことを特徴とする液晶表示装置。

【請求項4】前記第1の基板はシリコン基板であることを特徴とする請求項2に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に係わり、特に、各画素に映像信号電圧を供給する回路に適用して有効な技術に関する。

【0002】

【従来の技術】近年、液晶表示装置は、小型表示装置から所謂OA機器等の表示端末用に広く普及している。この液晶表示装置は、基本的には少なくとも一方が透明なガラス板やプラスチック基板等からなる一対の絶縁基板の間に液晶組成物の層（液晶層）を挟持して所謂液晶パネル（液晶表示素子または液晶セルとも言う）を構成し、この液晶パネルの絶縁基板に形成した画素形成用の各種電極に選択的に電圧を印加して所定画素部分の液晶組成物を構成する液晶分子の配向方向を変化させて画素形成を行う形式（単純マトリクス）、上記各種電極と画素選択用のアクティブ素子を形成してこのアクティブ素子を選択することにより当該アクティブ素子に接続した画素電極と基準電極の間にある画素の液晶分子の配向方向を変化させて画素形成を行う形式（アクティブマトリクス）とに大きく分類される。画素毎にアクティブ素子（例えば、薄膜トランジスタ）を有し、このアクティブ素子をスイッチング駆動するアクティブマトリクス型液晶表示装置は、ノート型パソコン等の表示装置として広く使用されている。また、アクティブマトリクス型液晶表示装置の中で画素電極を形成した基板上に、画素電極を駆動する駆動回路をも形成する所謂駆動回路一体型液晶表示装置が知られている。

【0003】これら液晶表示装置において、液晶層に印加する電圧の極性を周期的に反転させる交流化駆動が行われている。交流化駆動を行う目的は直流電圧が液晶に印加されることによる劣化を防止するためである。画素

電極と基準電極との間に電圧を印加するアクティブマトリクス型液晶表示装置において、交流化駆動を行う一つの方法として、基準電極に定電圧を印加し、画素電極に正極性、負極性の信号電圧を印加する方法がある。しかしながら、前述した交流化駆動方法では、駆動回路は正極性側の最高電圧と負極性側の最低電圧の電位差に耐えるよう高耐圧な回路である必要がある。また、薄膜トランジスタのオン・オフを制御する制御信号（走査信号）も高電圧が必要になる。

【0004】

【発明が解決しようとする課題】近年、液晶表示装置においては、64階調、あるいは256階調へとより多階調が進みつつある。また、より画素数が多く高精細な液晶表示装置が望まれている。階調数が増加すると回路規模が大きくなり、画素数が増えると各画素に信号を供給する駆動回路は高速で駆動されることとなる、また、画素が占めることのできる面積も減少する。ところが高耐圧回路では、回路を構成する各部を微細に形成することが困難であり回路規模が大きくなってしまふ。特に小型の液晶パネルでは画素数の増加を要求されても、限られた画素の面積内に、高耐圧なアクティブ素子等の構成を形成することが困難であった。さらに駆動回路を液晶表示パネル内に組み込む駆動回路一体型の液晶表示装置では、駆動回路の面積が広がり、液晶表示パネルが大型化するという問題点が生じた。また、高耐圧回路では電極等の面積が広くなることから、容量成分が増加し高速駆動が困難で、消費電力も増加するという問題点があった。

【0005】本発明は前記従来技術の問題点を解決するためになされたものであり、本発明は液晶表示装置において、低耐圧の駆動回路で交流化駆動を可能とし、画素サイズ及び、駆動回路の回路規模を小さくし、高速駆動が可能となる技術を提供することにある。

【0006】本発明の前記目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【0007】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0008】液晶表示装置の画素電極に、画素容量を接続し、画素容量に画素電位制御信号を供給することで、画素電極の電圧を変動させる。また画素電位制御信号を供給する信号線を遮光膜で形成する。

【0009】

【発明の実施の形態】以下、本発明実施の形態について図面を参照して説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0010】図1は、本発明の実施の形態である液晶表示装置の概略構成を示すブロック図である。

【0011】本実施の形態の液晶表示装置は、液晶パネル（液晶表示素子）100と、表示制御装置111とで構成される。液晶パネル100は、マトリクス状に画素部101が設けられた表示部110と、水平駆動回路（映像信号線駆動回路）120と、垂直駆動回路（走査信号線駆動回路）130と、画素電位制御回路135から構成される。また、表示部110と水平駆動回路120と垂直駆動回路130と画素電位制御回路135とは同一基板上に設けられている。

【0012】表示制御装置111は外部から送信されてくるクロック信号、ディスプレイタイミング信号、水平同期信号、垂直同期信号等の制御信号を基に、水平駆動回路120および、垂直駆動回路130、画素電位制御回路135を制御する。また、表示制御装置111は液晶パネルに表示すべき表示信号を水平駆動回路120に供給する。131は表示制御装置111から出力する制御信号線であり、132は表示信号線である。

【0013】水平駆動回路120からは垂直方向（図中Y方向）に、複数本の映像信号線（ドレイン信号線または垂直信号線ともいう）103が伸びており、また複数本の映像信号線103は水平方向（X方向）に並んで設けられている。垂直駆動回路130からは水平方向（X方向）に複数本の走査信号線（ゲート信号線または水平信号線ともいう）102が伸びており、また複数本の走査信号線102は垂直方向（Y方向）に並んで設けられている。画素電位制御回路135からは水平方向（X方向）に複数本の画素電位制御線136が伸びており、また複数本の画素電位制御線136は垂直方向（Y方向）に並んで設けられている。

【0014】水平駆動回路120は、水平シフトレジスタ121と、電圧選択回路123とから構成される。表示制御装置111から制御信号線131や表示信号線132が水平シフトレジスタ121と電圧選択回路123とに接続され、制御信号や表示信号が送信されている。なお、表示信号はアナログ信号の場合もデジタル信号の場合も利用可能である。また各回路の電源電圧線については表示を省略したが、必要な電圧が供給されているものとする。

【0015】表示制御装置111は、外部から垂直同期信号入力後に、第1番目のディスプレイタイミング信号が入力されると、制御信号線131を介して垂直駆動回路130にスタートパルスを出力する。次に、表示制御装置111は水平同期信号に基づいて、1水平走査時間（以下1hと示す）毎に、走査信号線102を順次選択するようにシフトクロックを垂直駆動回路130に出力する。垂直駆動回路130は、シフトクロックに従い走査信号線102を選択し、走査信号線102に走査信号を出力する。すなわち、垂直駆動回路130は図1中上から順番に1水平走査時間1hの間、走査信号線102を選択する信号を出力する。

【0016】また、表示制御装置111は、ディスプレイタイミング信号が入力されると、これを表示開始と判断し、表示信号を水平駆動回路120に出力する。表示制御装置111から表示信号は順次出力されるが、水平シフトレジスタ121は表示制御装置111から送られてくるシフトクロックに従いタイミング信号を出力する。タイミング信号は、電圧選択回路123が各映像信号線102に出力すべき表示信号を取り込むタイミングを示している。

【0017】表示信号がアナログ信号である場合は、電圧選択回路123はタイミング信号に従いアナログ信号の中から一定の電圧を表示データ（階調電圧）として取り込み、該取り込んだ階調電圧を映像信号として映像信号線103に出力する。表示信号がデジタル信号の場合には、電圧選択回路123はタイミング信号に従い表示信号を取り込み、表示信号（デジタルデータ）に従い階調電圧を選択（デコード）して映像信号線103に出力する。映像信号線103に出力された階調電圧は、映像信号として垂直駆動回路130からの走査信号が出力されるタイミングに従い画素部101の画素電極に書き込まれる。

【0018】画素電位制御回路135は、表示制御装置111からの制御信号にもとづき、画素電極に書き込まれた映像信号の電圧を制御する。映像信号線103から画素電極に書き込まれた階調電圧は、対向電極の基準電圧に対してある電位差を有している。画素電位制御回路135は画素部101に制御信号を供給して画素電極と対向電極との間の電位差を変化させる。なお、画素電位制御回路135については後で詳述する。

【0019】次に図2を用いて、本発明の1実施の形態である液晶パネル100の画素部101について説明する。図2は画素部101の等価回路を示す回路図である。画素部101は表示部110の隣接する2本の走査信号線102と、隣接する2本の映像信号線103との交差領域（4本の信号線で囲まれた領域）にマトリクス状に配置される。ただし、図2では図を簡略化するため1つの画素部だけを示している。各画素部101は、アクティブ素子30と画素電極109を有している。また、画素電極109には画素容量115が接続されている。画素容量115の一方の電極は画素電極109に接続され、他方の電極は画素電位制御線136に接続されている。さらに画素電位制御線136は画素電位制御回路135に接続されている。なお、図2においては、アクティブ素子30はp型トランジスタで示している。

【0020】前述したように、走査信号線102には垂直駆動回路130から走査信号が出力している。この走査信号によりアクティブ素子30のオン・オフが制御される。映像信号線103には映像信号として階調電圧が供給されており、アクティブ素子30がオンになると、映像信号線103から画素電極109に階調電圧が供給

される。画素電極109に対向するように対向電極107(コモン電極)が配置されており、画素電極109と対向電極107との間には液晶層(図示せず)が設けられている。なお、図2に示す回路図上では画素電極109と対向電極107との間は等価的に液晶容量108が接続されているように表示した。画素電極109と対向電極107との間に電圧を印加することにより、液晶分子の配向方向等が変化し、それに伴い液晶層の光に対する性質が変化することを利用して表示が行われる。

【0021】液晶表示装置の駆動方法としては、前述したように液晶層に直流電流が印加されないように交流化駆動が行われる。交流化駆動を行うためには、対向電極107の電位を基準電位とした場合に、電圧選択回路123からは基準電位に対して正極性と負極性の電圧が階調電圧として出力する。しかしながら、電圧選択回路123を正極性と負極性の電位差に耐えるような高耐圧な回路とすると、アクティブ素子30をはじめとし回路規模が大きくなるという問題や、動作速度が遅くなるといった問題が生じることとなる。

【0022】そこで、電圧選択回路123から画素電極109に供給する映像信号は、基準電位に対して同極性の信号を用いながらも交流化駆動を行うことを検討した。例えば、電圧選択回路123から出力する階調電圧は、基準電位に対し正極性の電圧を用い、基準電位に対し正極性の電圧を画素電極に書き込んだ後に、画素電位制御回路135から画素容量115の電極に印加している画素電位制御信号の電圧を引き下げることにより、画素電極109の電圧も降下させて、基準電位に対して負極性の電圧を生じることができると、電圧選択回路123が出力する最大値と最小値との差が小さいため、電圧選択回路123は低耐圧の回路とすることが可能となる。なお1例として、画素電極109に正極性の電圧を書き込んで画素電位制御回路135により負極性の電圧を生じさせる場合について説明したが、負極性の電圧を書き込んで正極性の電圧を生じさせるには、画素電位制御信号の電圧を引き上げることに可能である。

【0023】次に図3を用いて、画素電極109の電圧を変動させる方法について説明する。図3は説明のため液晶容量108を第1のコンデンサ53で表わし、画素容量115を第2のコンデンサ54で表わし、アクティブ素子30をスイッチ104で示したものである。画素容量115の画素電極109に接続される電極を電極56とし、画素容量115の画素電位制御線136に接続される電極を電極57とする。また、画素電極109と電極56とが接続された点を節点58で示す。ここでは説明のため、他の寄生容量は無視できるものとして、第1のコンデンサ53の容量はCLで、第2のコンデンサ54の容量はCCとする。

【0024】まず図3(a)に示すように、第2のコン

デンサ54の電極57には外部から電圧V1を印加する。次に、走査信号によりスイッチ104がオンになると、映像信号線103から電圧が画素電極109及び電極56に供給される。ここで、節点58に供給された電圧をV2とする。

【0025】次に、図3(b)に示すように、スイッチ104がオフになった時点で、電極57に供給している電圧(画素電位制御信号)をV1からV3に降下させる。このとき、第1のコンデンサ53と第2のコンデンサ54とに充電された電荷の総量は変化しないことから、節点58の電圧が変化して、節点58の電圧は、 $V2 - \{CC / (CL + CC)\} \times (V1 - V3)$ となる。

【0026】ここで、第1のコンデンサ53の容量CLが第2のコンデンサ54の容量CCに比べて充分小さい場合($CL \ll CC$)は、 $CC / (CL + CC) \approx 1$ となり節点58の電圧は $V2 - V1 + V3$ となる。ここで $V2 = 0$ 、 $V3 = 0$ とすると、節点58の電圧は $-V1$ となる。

【0027】前述した方法によれば、画素電極109に映像信号線103から供給する電圧は対向電極107の基準電位に対し正極性にして、負極性の信号は電極57に印加する電圧(画素電位制御信号)を制御することにより作り出すことができる。このような方法で負極性の信号を作り出すと、電圧選択回路123からは負極性の信号を供給する必要がなくなり、周辺回路を低耐圧の素子で形成することが可能となる。

【0028】次に図4を用いて、図2に示す回路の動作タイミングについて説明する。1は映像信号線103に供給される階調電圧を示す。2は走査信号線102に供給される走査信号である。3は画素電位制御信号線136に供給される画素電位制御信号(降圧信号)である。4は画素電極109の電位を示している。なお、画素電位制御信号3は図3で示した電圧V3とV1で振幅する信号である。

【0029】図4を説明するあたり、1は正極性入力信号1Aと、負極性入力信号1Bを示している。ここで、負極性用とは画素電極に印加された電圧が画素電位制御信号により変動して、基準電位Vcomに対して負極性となる場合の信号のことである。本実施例では映像信号1として正極性入力信号1Aと負極性入力信号1B共に、対向電極107に印加された基準電位Vcomに対して電位が正極性となるような電圧が供給される場合を説明する。

【0030】図4において期間t0からt2の間では、階調電圧1が正極性入力信号1Aの場合を示している。まず、t0において画素制御信号3として電圧V1を出力する。次に時刻t1において走査信号2が選択されロウレベルとなると、図2に示すp型トランジスタ30がオン状態となり、映像信号線103に供給さ

れている正極性用入力信号 1 A が、画素電極 109 に書き込まれる。画素電極 109 に書き込まれる信号は図 4 では 4 で示している。また、図 4 において t 2 で画素電極 109 に書き込まれた電圧は V 2 A で示している。次に、走査信号 2 が非選択状態となり、ハイレベルになると、トランジスタ 30 はオフ状態となり、画素電極 109 は電圧を供給する映像信号線 103 から切り離された状態になる。液晶表示装置は画素電極 109 に書き込まれた電圧 V 2 A に従った階調を表示する。

【0031】次に、期間 t 2 から t 4 の間で階調電圧 1 が負極性用入力信号 1 B の場合を説明する。負極性用入力信号 1 B の場合、時刻 t 2 において走査信号 2 が選択され、画素電極 109 には 4 に示すような電圧 V 2 B が書き込まれる。その後、トランジスタ 30 をオフ状態とし、時刻 t 2 から 2 h (2 水平走査時間) 後の時刻 t 3 において画素容量 115 に供給している電圧を画素電位制御信号 3 に示すように V 1 から V 3 に降圧する。画素電位制御信号 3 を V 1 から V 3 に変動させると画素容量 115 が結合容量の役割を果たし、画素電位制御信号 3 の振幅に従い、画素電極の電位を下げることができる。これにより基準電位 V c o m に対して負極性の電圧 V 2 C を画素内に作り出すことができる。

【0032】前述した方法で、負極性の信号を作り出すと、周辺回路を低耐圧の素子で形成することが可能となる。すなわち、電圧選択回路 123 から出力する信号は正極性側の狭い振幅の信号であるため、電圧選択回路 123 は低耐圧の回路とすることが可能となる。さらに電圧選択回路 123 が低電圧で駆動可能であれば、他の周辺回路である、水平シフトレジスタ 120、表示制御装置 111 等は低耐圧の回路であるため、液晶表示装置全体として低耐圧の回路による構成が可能となる。

【0033】次に図 5 を用いて、画素電位制御回路 135 の回路構成を示す。SR は双方向シフトレジスタであり、上下双方向に信号をシフトすることが可能である。双方向シフトレジスタ SR はクロックインバータ 61、62、65、66 で構成されている。67 はレベルシフタで、69 は出力回路である。双方向シフトレジスタ SR 等は電源電圧 V D D で動作している。レベルシフタ 67 は双方向シフトレジスタ SR から出力する信号の電圧レベルを変換する。レベルシフタ 67 からは電源電圧 V D D より高電位である電源電圧 V B B と電源電圧 V S S (G N D 電位) との間の振幅を有する信号が出力される。出力回路 69 は電源電圧 V P P と V S S が供給されており、レベルシフタ 67 からの信号に従い、電圧 V P P と V S S とを画素電位制御線 136 に出力する。図 4 にて説明した画素電位制御信号 3 の電圧 V 1 が電源電圧 V P P で、電圧 V 3 が電源電圧 V S S となる。なお、図 5 では出力回路 69 を p 型トランジスタと n 型トランジスタからなるインバータで示している。p 型トランジスタに供給する電源電圧 V P P と n 型トランジスタ

に供給する電源電圧 V S S の値を選ぶことで、電圧 V P P と V S S とを画素電位制御信号 3 として出力することが可能である。

【0034】ただし、後述するように p 型トランジスタを形成するシリコン基板には基板電圧が供給されているので、電源電圧 V P P の値は基板電圧に対して適切な値が設定される。

【0035】26 はスタート信号入力端子で、制御信号の一つであるスタート信号を画素電位制御回路 135 に供給する。図 5 に示す双方向シフトレジスタ S R 1 から S R n は、スタート信号が入力すると外部から供給されるクロック信号のタイミングに従い、順番にタイミング信号を出力する。レベルシフタ 67 はタイミング信号に従い電圧 V S S と電圧 V B B を出力する。出力回路 69 はレベルシフタ 67 の出力に従い電圧 V P P と電圧 V S S を画素電位制御線 136 に出力する。図 4 の画素電位制御信号 3 に示すタイミングとなるように、スタート信号およびクロック信号を双方向シフトレジスタ S R に供給することで、画素電位制御回路 135 から希望するタイミングで画素電位制御信号 3 を出力することが可能である。なお 25 はリセット信号入力端子である。

【0036】次に、図 6 (a) (b) を用いて、双方向シフトレジスタ S R に用いられるクロックインバータ 61、62 を説明する。U D 1 は第 1 方向設定線、U D 2 は第 2 方向設定線である。

【0037】第 1 方向設定線 U D 1 は、図 5 では下から上に走査する場合 H レベルで、第 2 方向設定線 U D 2 は、図 5 では上から下に走査する場合 H レベルである。図 5 では図を見やすくするために結線を省略してあるが、第 1 方向設定線 U D 1、第 2 方向設定線 U D 2 は共に双方向シフトレジスタ S R を構成するクロックインバータ 61、62 に接続されている。

【0038】クロックインバータ 61 は図 6 (a) に示すように、p 型トランジスタ 71、72 と n 型トランジスタ 73、74 からなる。p 型トランジスタ 71 は第 2 方向設定線 U D 2 に接続されており、n 型トランジスタ 74 は第 1 方向設定線 U D 1 に接続されている。そのため第 1 方向設定線 U D 1 が H レベルで第 2 方向設定線 U D 2 が L レベルの場合、クロックインバータ 61 はインバータとして働き、第 2 方向設定線 U D 2 が H レベルで第 1 方向設定線 U D 1 が L レベルの場合ハイインピダンスとなる。

【0039】逆にクロックインバータ 62 は図 6 (b) に示すように、p 型トランジスタ 71 は第 1 方向設定線 U D 1 に接続されており、n 型トランジスタ 74 は第 2 方向設定線 U D 2 に接続されている。そのため第 2 方向設定線 U D 2 が H レベルの場合インバータとして働き、第 1 方向設定線 U D 1 が H レベルの場合ハイインピダンスとなる。

【0040】次にクロックインバータ 65 は図 6

(c)に示す回路構成であり、CLK1がHレベルで、CLK2がLレベルの場合に、入力を反転出力し、CLK1がLレベルで、CLK2がHレベルの場合に、ハイインピーダンスとなる。

【0041】また、クロックインバータ66は、図6(d)に示す回路構成であり、CLK2がHレベルで、CLK1がLレベルの場合に、入力を反転出力し、CLK2がLレベルで、CLK1がHレベルの場合に、ハイインピーダンスとなる。図6では、クロック信号線の結線を省略してあるが図6のクロックインバータ65、66にはクロック信号線CLK1、CLK2が接続されている。

【0042】以上説明したように、双方向シフトレジスタSRをクロックインバータ61、62、65、66で構成することで、タイミング信号を順番に出力することが可能である。また画素電位制御回路135を双方向シフトレジスタSRで構成することで、画素電位制御信号3を双方向に走査することが可能である。すなわち、垂直駆動回路130も同様の双方向シフトレジスタにより構成されており、本発明による液晶表示装置は上下双方向の走査が可能である。そのため、表示する像を上下逆転する場合などに、走査方向を反転して図中下から上に走査する。そこで垂直駆動回路130が下から上に走査する場合には、画素電位制御回路135も第1方向設定線UD1と第2方向設定線UD2の設定を変更することにより、下から上に走査するよう対応する。なお、水平シフトレジスタ121も同様の双方向シフトレジスタにより構成されている。

【0043】次に図7を用いて、本発明による反射型液晶表示装置の画素部を説明する。図7は本発明の一実施例である反射型液晶表示装置の模式断面図である。図7において、100は液晶パネル、1は第1の基板である駆動回路基板、2は第2の基板である透明基板、3は液晶組成物、4はスペーサである、スペーサ4は駆動回路基板1と透明基板2との間に一定の間隔であるセルギャップ(cell gap)dを形成している。このセルギャップdに液晶組成物3が挟持されている。5は反射電極(画素電極)で駆動回路基板1に形成されている。6は対向電極で反射電極5との間で液晶組成物3に電圧を印加する。7、8は配向膜で液晶分子を一定方向に配向させる。30はアクティブ素子で反射電極5に階調電圧を供給する。

【0044】34はアクティブ素子30のソース領域、35はドレイン領域、36はゲート電極である。38は絶縁膜、31は画素容量を形成する第1の電極で、40は画素容量を形成する第2の電極である。絶縁膜38を介し第1の電極31と第2の電極40とは容量を形成する。図7では、第1の電極31と第2の電極40とを画素容量を形成する代表的な電極として示しており、他にも画素電極と電氣的に接続した導体層と画素電位制御信

号線と電氣的に接続した導体層とが、誘電体層を挟んで対向していれば画素容量を形成することが可能である。

【0045】41は第1の層間膜、42は第1の導電膜である。第1の導電膜42はドレイン領域35から第2の電極40とを電氣的に接続している。43は第2の層間膜、44は第1の遮光膜、45は第3の層間膜、46は第2の遮光膜である。第2の層間膜43と第3の層間膜45にはスルーホール42CHが形成され、第1の導電膜42と第2の遮光膜46が電氣的に接続されている。47は第4の層間膜、48は反射電極5を形成する第2の導電膜である。アクティブ素子30のドレイン領域35から第1の導電膜42、スルーホール42CH、第2の遮光膜46を介して階調電圧は反射電極5に伝えられる。

【0046】本実施例の液晶表示装置は反射型であり、大量の光が液晶パネル100に照射される。遮光膜は駆動回路基板の半導体層に光が入射しないよう遮光している。反射型液晶表示装置において液晶パネル100に照射された光は、透明基板2側(図7中上側)から入射し、液晶組成物3を透過し反射電極5で反射し再度液晶組成物3、透明基板2を透過して液晶パネル100から出射する。しかしながら、液晶パネル100に照射される光の一部は、反射電極5の隙間から駆動回路基板側に漏れ込む。第1の遮光膜44と第2の遮光膜46はアクティブ素子30に光が入射しないように設けられている。本実施例では、この遮光膜を導電層で形成し、第2の遮光膜46を反射電極5に電氣的に接続し、第1の遮光膜44に画素電位制御信号を供給することで、遮光膜を画素容量の一部としても機能するようにしている。

【0047】なお、第1の遮光層44に画素電位制御信号を供給すると、階調電圧が供給される第2の遮光膜46と映像信号線103を形成する第1の導電層42や走査信号線102を形成する導電層(ゲート電極36と同層の導電層)との間に電氣的シールド層として第1の遮光膜44を設けることができる。このため、第1の導電層42やゲート電極36等と第2の遮光膜46や反射電極5との間の寄生容量成分が減少する。前述したように液晶容量CLに対して画素容量CCは充分大きくする必要があるが、第1の遮光膜44を電氣的シールド層として設けると、液晶容量LCと並列に接続される寄生容量も小さくなりより効率的である。さらに信号線からの雑音の飛び込みを減少することも可能となる。

【0048】また、液晶表示素子を反射型とし、駆動回路基板1の液晶組成物3側の面に反射電極5を形成した場合、駆動回路基板1として不透明なシリコン基板等を用いることが可能である。また、アクティブ素子30や配線を反射電極5の下に設けることができ、画素となる反射電極5を広くし、所謂高開口率を実現することができる利点がある。また、液晶パネル100に照射される光による熱を駆動回路基板1の裏面から放熱できるとい

った利点もある。

【0049】次に遮光膜を画素容量の一部として利用することについて説明する。第1の遮光膜44と第2の遮光膜46とは第3の層間膜45を介して対向しており、画素容量の一部を形成している。49は画素電位制御線136の一部を形成する導電層である。導電層49により第1の電極31と第1の遮光膜44とは電氣的に接続されている。また、導電層49を用いて画素電位制御回路135から画素容量までの配線を形成することが可能である。ただし、本実施例では第1の遮光膜44を配線として利用した。図8に第1の遮光膜44を画素電位制御線136として利用する構成について示す。

【0050】図8は第1の遮光膜44の配置を示す平面図である。46は第2の遮光膜であるが、位置を示すために点線で示している。42CHはスルーホールで、第1の導電膜42と第2の遮光膜46とを接続している。なお、図8は第1の遮光膜44を解り易く示すために、他の構成は省略している。第1の遮光膜44は、画素電位制御線136の機能を有しており図中X方向に連続して形成されている。第1の遮光膜44は遮光膜として機能するために表示領域全面を覆うように形成されているが、画素電位制御線136の機能も持たせるために、X方向に延在し（走査信号線102と並列の方向）、Y方向に並んでライン状に形成され、画素電位制御回路135に接続される。また、画素容量の電極としても働くために、第2の遮光膜46となるべく広い面積で重なるように形成されている。さらに、遮光膜として漏れる光が少なくなるように、隣接する第1の遮光膜44の間隔はなるべく狭くなるよう形成されている。

【0051】ただし、図8に示すように隣接する第1の遮光膜44の間隔を狭く形成すると、遮光膜44の一部が隣接する第2の遮光膜46と重なり合うことになる。前述したように、本液晶表示装置は双方向に走査可能である。そこで、双方向に画素電位制御信号を走査した場合に、次段の第2の遮光膜46と重なり合う場合と重なり合わない場合とが生じる。図8の場合では、図中上から下に走査する場合に第1の遮光膜44と次段の第2の遮光膜46とが重なり合っている。

【0052】図9を用いて遮光膜44の一部が次段の第2の遮光膜46と重なり合うことによる問題点と解決方法を説明する。図9(a)は問題点を説明するタイミング図である。2Aは任意の行の走査信号でありA行目の走査信号とする。2Bは次段の行の走査信号でありB行目の走査信号とする。なお、問題が発生する期間t2からt3の間について説明し、その他の期間については省略する。

【0053】図9(a)において、A行目において時刻t2から2h(2水平走査時間)後の時刻t3に画素電位制御信号3Aを変化させている。時刻t2から1h後には走査信号2Aの出力は終了しており、走査信号

2Aで駆動されるA行目のアクティブ素子30はオフ状態となり、A行目の画素電極109は映像信号線103から切り離されている。時刻t2から2h後の時刻t3であれば、信号の切り換わりによる遅延等を考慮しても、A行目のアクティブ素子30は十分にオフ状態となっている。しかしながら、時刻t3はB行目の走査信号2Bが切り換わる時である。

【0054】A行目の第1の遮光膜44とB行目の第2の遮光膜46とが重なり合っているため、B行目の画素電極とA行目の画素電位制御信号線との間で容量が生じていることになる。時刻t3はB行目のアクティブ素子30がオフ状態へと切り換わる時であるため、B行目の画素電極109は映像信号線103から十分に切り離されていない。この時にB行目の画素電極109との間で容量成分を有するA行目の画素電子制御信号3Aが切り換わると、画素電極109と映像信号線103との間が十分に切り離されていないため、映像信号線103と画素電極109との間で電荷が移動する。すなわち、A行目の画素電子制御信号3Aの切り換わりが、B行目の画素電極109に書き込まれる電圧4Bに影響を与えることとなる。

【0055】この画素電子制御信号3Aによる影響は、液晶表示装置の走査方向が一定であるならば均一な影響となり、あまり目立つことはない。しかしながら、赤、緑、青等の色毎に液晶表示装置を備え、各液晶表示装置の出力を重ねてカラー表示する場合に、液晶表示装置の光学的配置による理由で、例えば1つの液晶表示装置だけ下から上に走査し、他の液晶表示装置は上から下に走査することがある。このように複数の液晶表示装置のうちで走査方向が異なるものがある場合には、表示品質が不均一となり美観を損ねることとなる。

【0056】次に、図9(b)を用いて解決方法を説明する。A行目の画素電位制御信号3AをA行目の走査信号2Aの開始より3h遅れて出力するようにする。この場合、B行目の走査信号2Bも切り換わった後であり、B行目のアクティブ素子30は十分にオフ状態であるためA行目の画素電位制御信号3AによるB行目の画素電極109に書き込まれる電圧4Bに与える影響が減少する。

【0057】なお、この場合、負極性入力信号が書き込まれる時間が、正極性入力信号に対して3hもの間短くなるが、例えば走査信号線102の数が100を超えるような場合では3%以下の値となる。そのため、負極性入力信号と正極性入力信号の実効値の違いは基準電位Vcomの値等により調整することが可能である。

【0058】次に図10を用いて画素容量に供給される電圧VPPと基板電位VBとの関係について説明する。図10(a)は出力回路69を構成するインバータ回路を示している。

【0059】図10(a)において32はp型トランジスタのチャンネル領域でありシリコン基板1にイオン打ち込み等の方法によりn型ウエルが形成されている。シリコン基板1には基板電圧 V_{BB} が供給されており、n型ウエル32の電位は V_{BB} となっている。ソース領域34とドレイン領域35はp型半導体層であり、シリコン基板1にイオン打ち込み等の方法により形成される。p型トランジスタ30のゲート電極36に基板電圧 V_{BB} より低電位の電圧が印加されるとソース領域34とドレイン領域35とが導通状態となる。

【0060】一般に絶縁部を設ける等の必要がないため構造が簡単になることから、同じシリコン基板のトランジスタには共通の基板電位 V_{BB} が印加されている。本発明の液晶表示装置は同じシリコン基板1上に駆動回路部のトランジスタと、画素部のトランジスタが形成されている。画素部のトランジスタも同様の理由で、同じ電位の基板電位 V_{BB} が印加されている。

【0061】図10(a)に示すインバータ回路では、ソース領域34には画素容量に供給される電圧 V_{PP} が印加されている。ソース領域34はp型半導体層でありn型ウエル32との間はpn接合となっている。n型ウエル32の電位よりもソース領域34の電位が高くなると、ソース領域34からn型ウエル32に電流が流れるという不具合が生じる。そのため、基板電圧 V_{BB} に対して電圧 V_{PP} は低電位になるように設定される。

【0062】前述したように画素電極の電圧は、画素電極に書き込まれた電圧を V_2 、液晶容量を C_L 、画素容量を C_C 、画素電極制御信号の振幅が V_{PP} と V_{SS} とすると、電圧降下後の画素電極の電圧は、 $V_2 - \{C_C / (C_L + C_C)\} \times (V_{PP} - V_{SS})$ で表わされる。ここで、 V_{SS} にGND電位を選ぶと、画素電極の電圧変動の大きさは電圧 V_{PP} と液晶容量 C_L と画素容量 C_C で決まることになる。

【0063】図10(b)を用いて $C_C / (C_L + C_C)$ と電圧 V_{PP} との関係を示す。なお説明を簡単にするために基準電圧 V_{com} をGND電位としている。また、電圧を印加しないと白表示(ノーマリーホワイト)となる方式の場合で、黒表示(階調最小)となるよう階調電圧が画素電極に印加される場合を説明する。図10(b)の1は電圧選択回路123から画素電極に書き込まれる階調電圧を示している。1Aは正極性の場合で、2Aは負極性の場合の階調電圧である。黒表示なので基準電圧 V_{com} と画素電極に書き込まれる階調電圧の電位差が最大になるように1A、1Bともに設定される。図10(b)において1Aは正極性用信号なので、従来通り基準電圧 V_{com} との電位差が最大となるように $+V_{max}$ とし、1Bは V_{com} (GND)として、画素電極に書き込んだ後で画素容量を用いて引き下げる。

【0064】4A、4B共に画素電極の電圧を示し

ており、4Aは $C_C / (C_L + C_C)$ が1の理想的な場合を示し、4Bは $C_C / (C_L + C_C)$ が1以下となる場合を示す。4Aの負極性の場合、1Bは V_{com} (GND)が書き込まれているので、画素電極制御信号の振幅 V_{PP} に従い引き下げられた $-V_{max}$ は、 $C_C / (C_L + C_C) = 1$ より、 $-V_{max} = -V_{PP}$ となる。

【0065】対して4Bは $C_C / (C_L + C_C)$ が1以下のため、 $+V_{max} < V_{PP}$ となるような画素電極制御信号を供給する必要がある。前述したように $V_{PP} < V_{BB}$ である必要があるため、 $+V_{max} < V_{PP} < V_{BB}$ といった関係になる。ここで、低耐圧回路とするために、画素電圧を引き下げる方法を用いているが、画素電極制御信号の電圧 V_{PP} が高電圧になってしまうと、基板電圧 V_{BB} が高電圧となってしまう結局高耐圧回路となってしまうという不具合が生じる。そのため、 $C_C / (C_L + C_C)$ がなるべく1となるように、すなわち $C_L \ll C_C$ となるように、 C_L と C_C の値を定める必要がある。

【0066】なお、従来のガラス基板に薄膜トランジスタを形成する液晶表示装置では、画素電極をなるべく広く(所謂高開口率化)する必要があるため、せいぜい $C_L = C_C$ とすることが実現可能な程度である。また、本発明の液晶表示装置は駆動回路部と画素部とが同一シリコン基板上に形成されるものであるため、基板電位 V_{BB} を高電圧としては低耐圧化できないという問題点を有している。

【0067】次に図11、図12を用いてライン反転駆動する場合の実施例を説明する。図11に示す液晶表示装置100は奇数行用画素電位制御回路135(1)と偶数行用画素電位制御回路135(2)を有している。ライン反転駆動では例えば奇数行の画素電極に正極性の階調電圧が書き込まれる場合に、偶数行の画素電極に負極性の階調電圧を書き込み交流化駆動するものである。ライン反転駆動の場合、行毎に極性が反転しているために画素電位制御信号の波形も行毎に切り替える必要が生じる。そこで、図11に示すように奇数行用と偶数行用の画素電位制御信号回路を設けて、図12に示すように画素電位制御信号を3a、3bのように2種類の波形を交互に出力するようにすることでライン反転駆動が可能となる。

【0068】次に反射型液晶表示装置について説明する。反射型液晶表示素子の一つとして電界制御複屈折モード(ELECTRICALLY CONTROLLED BIREFRINGENCE MODE)が知られている。電界制御複屈折モードでは、反射電極と対向電極との間に電圧を印加し液晶組成物の分子配列を変化させ、その結果として液晶パネル中の複屈折率を変化させる。電界制御複屈折モードは、この複屈折率の変化を光透過率の変化として利用し像を形成するものである。

【0069】さらに図13を用いて、電界制御複屈折モードの1つである単偏光板ツイストネマティックモード(SPTN)について説明する。9は偏光ビームスプリッタで光源(図示せず)からの入射光L1を2つの偏光に分割し、直線偏光となった光L2を出射する。図13では、液晶パネル100に入射させる光に、偏光ビームスプリッタ9を透過した光(P波)を用いる場合を示しているが、偏光ビームスプリッタ9で反射した光(S波)を用いることも可能である。液晶組成物3は液晶分子長軸が駆動回路基板1と透明基板2に対して平行に配列し、誘電異方性が正のネマティック液晶を用いる。また、液晶分子は配向膜7、8により約90度ねじれた状態で配向している。

【0070】まず図13(a)に電圧が印加されていない場合を示す。液晶パネル100に入射した光は液晶組成物3の複屈折性により楕円偏光となり反射電極5面では円偏光となる。反射電極5で反射した光は再度液晶組成物3中を通過し再び楕円偏光となり出射時には直線偏光に戻り、入射光L2に対して90度位相が回転した光L3(S波)として出射する。出射光L3は再び偏光ビームスプリッタ9に入射するが、偏光面で反射され出射光L4となる。この出射光L4をスクリーン等に照射して表示を行う。この場合、電圧を印加していない場合に光が出射する所謂ノーマリーホワイト(ノーマリーオープン)と呼ばれる表示方式となる。

【0071】対して図13(b)に液晶組成物3に電圧が印加されている場合を示す。液晶組成物3に電圧が印加されると、液晶分子が電界方向に配列するため、液晶内で複屈折が起こらない。そのため、直線偏光で液晶パネル100に入射した光L2はそのまま反射電極5で反射され入射光L2と同じ偏光方向の光L5として出射する。出射光L5は偏光ビームスプリッタ9を透過し光源に戻る。そのため、スクリーン等に光が照射されないため、黒表示となる。

【0072】単偏光板ツイストネマティックモードでは、液晶の配向方向が基板と平行であるため、一般的な配向方法を用いることができ、プロセス安定性が良い。またノーマリーホワイトで使用するため、低電圧側でおこる表示不良に対して裕度を持たせることができる。すなわち、ノーマリーホワイト方式では、暗レベル(黒表示)が高電圧を印加した状態で得られる。この高電圧の場合には液晶分子のほとんどが基板面に垂直な電界方向に揃っているため、暗レベルの表示は、低電圧時の初期配向状態にあまり依存しない。さらに、人間の目は、輝度ムラを輝度の相対的な比率として認識し、かつ、輝度に対し対数スケールに近い反応を有する。そのため、人間の目は暗レベルの変動には敏感である。こうした理由から、ノーマリーホワイト方式は、初期配向状態による輝度ムラに対して有利な表示方式である。

【0073】上述した電界制御複屈折モードでは高いセ

ルギャップの精度が求められる。すなわち、電界制御複屈折モードでは、光が液晶中を通過する間に生じる異常光と常光との間の位相差を利用しているため、透過光強度は異常光と常光との間のリタデーション $n \cdot d$ に依存する。ここで、 n は屈折率異方性で、 d はスペーサ4によって形成される透明基板2と駆動回路基板1との間のセルギャップである。

【0074】このため、本実施例の場合、表示ムラを考慮しセルギャップ精度は、 $\pm 0.05 \mu\text{m}$ 以下とした。また、反射型では液晶に入射した光は反射電極で反射し再度液晶を通過するため、同じ屈折率異方性 n の液晶を用いる場合、透過型に対してセルギャップ d は半分になる。一般の透過型液晶表示素子の場合セルギャップ d は5~6 μm 程度であるのに対し、本実施例では約2 μm である。

【0075】本実施例では高いセルギャップ精度と、より狭いセルギャップに対応するため、従来からあるビーズ分散法に代わり柱状のスペーサを駆動回路基板1上に形成する方法を用いた。

【0076】図14に駆動回路基板1上に設けられた反射電極5とスペーサ4との配置を説明する模式平面図を示す。一定の間隔を保つように多数のスペーサ4が駆動回路基板全面にマトリクス状に形成されている。反射電極5は液晶表示素子が形成する像の最小の画素である。図14では簡略化のため、符号5A、5Bで示す縦4画素、横5画素で示した。

【0077】図14では縦4画素、横5画素の画素が、表示領域を形成している。液晶表示素子で表示する像はこの表示領域に形成される。表示領域の外側にはダミー画素111が設けられている。このダミー画素111の周辺にスペーサ4と同じ材料で周辺枠11が設けられている。さらに、周辺枠11の外側にはシール材12が塗布される。13は外部接続端子で液晶パネル100に外部からの信号を供給するのに用いられる。

【0078】スペーサ4と周辺枠11の材料には、樹脂材料を用いた。樹脂材料として例えば、株式会社JSR製の化学増幅型ネガタイプレジスト「BPR-113」(商品名)を用いることができる。反射電極5が形成された駆動回路基板1上にスピンコート法等でレジスト材を塗布し、マスクを用いてレジストをスペーサ4と周辺枠11のパターンに露光する。その後除去剤を用いてレジストを現像してスペーサ4と周辺枠11とを形成する。

【0079】スペーサ4と周辺枠11とをレジスト材等を原料として形成すると、塗布する材料の膜厚でスペーサ4と周辺枠11の高さを制御でき、高い精度でスペーサ4と周辺枠11を形成することが可能である。また、スペーサ4の位置はマスクパターンで決めることができ、希望する位置に正確にスペーサ4を設けることが可能である。液晶プロジェクタでは画素上にスペーサ4が存在すると、拡大投射された像にスペーサによる影が見

えてしまう問題がある。スペーサ 4 をマスクパターンによる露光、現像で形成することで、映像表示した際に、問題とならな位置にスペーサ 4 を設けることができる。

【0080】また、スペーサ 4 と同時に周辺枠 11 を形成しているので、液晶組成物 3 を駆動回路基板 1 と透明基板 2 との間に封入する方法として、液晶組成物 3 を駆動回路基板 1 に滴下しその後透明基板 2 を駆動回路基板 1 に貼り合わせる方法を用いることができる。

【0081】液晶組成物 3 を駆動回路基板 1 と透明基板 2 の間に配置し、液晶パネル 100 を組立てた後は、周辺枠 11 により囲まれた領域内に液晶組成物 3 が保持される。また、周辺枠 11 の外側にはシール材 12 が塗布され、液晶組成物 3 を液晶パネル 100 内に封入する。前述したように、周辺枠 11 はマスクパターンを用いて形成されるので、高い位置精度で駆動回路基板 1 上に形成することができる。そのため、液晶組成物 3 の境界を高い精度で定めることが可能である。また、周辺枠 11 はシール材 12 の形成領域の境界も高い精度で定めることが可能である。

【0082】シール材 12 は駆動回路基板 1 と透明基板 2 とを固定する役目と、液晶組成物 3 にとって有害な物質が進入することを阻止する役目がある。流動性があるシール材 12 を塗布した場合に、周辺枠 11 はシール材 12 のストッパとなる。シール材 12 のストッパとして、周辺枠 11 を設けることで、液晶組成物 3 の境界やシール材 12 の境界での設計裕度を狭くすることができ、液晶パネル 100 の端辺から表示領域までの間を狭く（挟額縁化）することが可能である。

【0083】周辺枠 11 と表示領域との間にはダミー画素 113 が設けられている。ダミー画素 113 は最外部の画素 5 B と内部の画素 5 A との表示品質を均一にするためのものである。内部の画素 5 A には隣合う画素が存在するため、隣合う画素との間で不要な電界が生じ、隣合う画素が無い場合に比較して表示品質が低下している。対して最外部の画素 5 B で、ダミー画素 113 が無い場合では、表示品質を低下する不要な電界が生じていないので、表示品質が内部の画素 5 B に比較して良くなっている。一部の画素に表示品質の差が生じると、それが表示ムラとなる。そのため、ダミー画素 113 を設けて画素 5 A、5 B と同じように信号を供給し最外部の画素 5 B と内部の画素 5 A との表示品質を同等にしている。

【0084】さらに、表示領域を囲むように周辺枠 11 が形成されていることから、駆動回路基板 1 をラビング処理する際に、周辺枠 11 により周辺枠 11 の近傍がうまくラビングできない問題がある。液晶組成物 3 を一定の方向に配向するため、配向膜を形成しラビング処理が行われる。本実施例の場合、駆動回路基板 1 にスペーサ 4、周辺枠 11 が形成された後に、配向膜 7 が塗布される。その後、液晶組成物 3 が一定方向に配向するよう、

配向膜 7 を布等を用いて擦ることラビング処理が行われる。

【0085】ラビング処理において、周辺枠 11 が駆動回路基板 1 より突出しているため、周辺枠 11 の近傍の配向膜 7 は、周辺枠 11 による段差により十分に擦られない。そのため、周辺枠 11 の近傍には液晶組成物 3 の配向が不均一な部分が生じやすい。液晶組成物 3 の配向不良による表示ムラを目立たなくするため、周辺枠 11 の内側数画素をダミー画素 113 とすることで、表示に寄与しない画素としている。

【0086】ところが、ダミー画素 113 を設け、画素 5 A、5 B と同じように信号を供給すると、ダミー画素 113 と透明基板 2 との間には液晶組成物 3 が存在するため、ダミー画素 113 による表示も観察されてしまうという問題が生じる。ノーマリホワイトで使用する場合、液晶組成物 3 に電圧を印加しないと、ダミー画素 113 が白く表示される。そのため、表示領域の境が明確でなくなり、表示品質をそこなう。ダミー画素 113 を遮光することも考えられるが、画素と画素の間隔は数 μ m のため、表示領域の境に精度良く遮光枠を形成することは困難である。そこで、ダミー画素 113 には黒表示となるような電圧を供給し、表示領域を囲む黒枠として観察されるようにした。

【0087】図 15 にダミー画素 113 の駆動方法について説明する。ダミー画素 113 には黒表示となるような電圧を供給するために、ダミー画素が設けられた領域は一面黒表示となる。一面黒表示となるならば、表示領域に設けた画素と同じように個別に設ける必要がなく、複数のダミー画素を電気的に接続して設けることができる。また、駆動に必要な時間を考えると、ダミー画素のために書き込み時間を設けことは無駄である。そこで、複数のダミー画素の電極を連続して設けて 1 つのダミー画素電極とすることが可能である。しかしながら、複数のダミー画素を接続して 1 つのダミー画素とすると画素電極の面積が増加することから、液晶容量が大きくなってしまふ。前述したように液晶容量が大きくなると画素容量を用いて画素電圧を引き下げる効率が低下する。

【0088】そこで、ダミー画素も表示領域の画素と同様に個別に設けることとした。しかしながら、有効画素と同様に 1 ライン毎の書き込みを行った場合、新たに設けた複数行のダミー行を駆動する時間が長くなる。そして、その分有効画素に書き込みを行う時間が短くなってしまふという問題が生じる。対して高精細表示を行う場合には、高速の映像信号（ドットクロックの高い信号）が入力するため、ますます画素の書き込み時間に対する制限が生じる。そこで 1 画面の書き込み期間中に数ライン分の書き込み時間を節約するために、図 15 に示すようにダミー画素については垂直駆動回路 130 の垂直双方向シフトレジスタ VSR から複数行分のタイミング信号を出力させて、複数のレベルシフト 67 と出力回路

69に入力させ走査信号を出力するようにした。また、同じく画素電極制御回路135についても双方向シフトレジスタSRから複数行分のタイミング信号を出力させて、複数のレベルシフト67と出力回路69に入力させ画素電極制御信号を出力するようにした。

【0089】次に、図16、図17を用いて駆動回路基板1上に設けられるアクティブ素子30とその周辺の構成を説明する。図16、図17において図7と同じ符号は同じ構成を示す。図14はアクティブ素子30周辺を示す概略平面図である。図16は図17のI-I線における断面図であるが、図16と図17との各構成間の距離は一致していない。また図17は走査信号線102とゲート電極36、映像信号線103とソース領域35、ドレイン領域34、画素容量を形成する第2の電極40、と第1の導電層42と、コンタクトホール35CH、34CH、40CH、42CHの位置関係を示すもので、その他の構成は省略した。

【0090】図16において、1は駆動回路基板であるシリコン基板、32はシリコン基板1にイオン打ち込みで形成した半導体領域(p型ウエル)、33はチャネルストップ、34はp型ウエル32にイオン打ち込みで導電化し形成したドレイン領域、35はp型ウエル32にイオン打ち込みで形成したソース領域、31はp型ウエル32にイオン打ち込みで導電化し形成した画素容量の第1の電極である。なお、本実施例ではアクティブ素子30をp型トランジスタで示したが、n型トランジスタとすることも可能である。

【0091】36はゲート電極、37はゲート電極端部の電界強度を緩和するオフセット領域、38は絶縁膜、39はトランジスタ間を電気的に分離するフィールド酸化膜、40は画素容量を形成する第2の電極で絶縁膜38を介しシリコン基板1に設けた第1の電極21との間で容量を形成する。ゲート電極36と第2の電極40は、絶縁膜38上にアクティブ素子30のしきい値を低くするための導電層と低抵抗の導電層とを積層した2層膜からなっている。2層膜としては例えばポリシリコンとタングステンシリサイドの膜を用いることができる。41は第1の層間膜、42は第1の導電膜である。第1の導電膜42は接触不良を防止するバリアメタルと低抵抗の導電膜の多層膜からなっている。第1の導電膜として、例えばチタンタングステンとアルミの多層金属膜をスパッタで形成して用いることができる。

【0092】図17において102は走査信号線である。走査信号線102は、図17中、X方向に延在しY方向に並設されていて、アクティブ素子30をオン・オフする走査信号が供給される。走査信号線102はゲート電極と同じ2層膜からなっており、例えばポリシリコンとタングステンシリサイドを積層した2層膜を用いることができる。映像信号線103はY方向に延在しX方向に並設されていて、反射電極5に書き込まれる映像信

号が供給される。映像信号線103は第1の導電膜42と同じ多層金属膜からなっており、例えばチタンタングステンとアルミの多層金属膜を用いることができる。

【0093】映像信号は絶縁膜38と第1の層間膜41に空けられたコンタクトホール35CHを通り第1の導電膜42によりドレイン領域35に伝わる。走査信号線102に走査信号が供給されると、アクティブ素子30はオンになり、映像信号は半導体領域(p型ウエル)32からソース領域34に伝わり、コンタクトホール34CHを通り第1の導電膜42に伝わる。第1の導電膜42に伝わった映像信号は、コンタクトホール40CHを通り画素容量の第2の電極40に伝わる。また、図16に示すように映像信号はコンタクトホール42CHを通り反射電極5へと伝わっていく。コンタクトホール42CHはフィールド酸化膜39の上に形成されている。フィールド酸化膜39は膜厚が厚いため、フィールド酸化膜の上は他の構成に比較して高い位置となっている。コンタクトホール42CHはフィールド酸化膜39上に設けられることで、上層の導電膜により近い位置とすることができ、コンタクトホールの接続部の長さを短くしている。

【0094】第2の層間膜43は、第1の導電膜42と第2の導電膜44とを絶縁している。第2の層間膜43は、各構成物により生じている凹凸を埋める平坦化膜43Aとその上を覆う絶縁膜43Bとの2層で形成されている。平坦化膜43AはSOG(spin on glass)を塗布して形成している。絶縁膜43BはTEOS膜であり、反応ガスとしてTEOS(Tetraethylorthosilicate)を用いSiO₂膜をCVDにより形成したものである。

【0095】第2の層間膜43の形成後、CMP(ケミカル・メカニカル・ポリッシング)により第2の層間膜43は研磨される。第2の層間膜43はCMPにより研磨することで平坦化する。平坦化された第2の層間膜の上に第1の遮光膜44が形成される。第1の遮光膜44は第1の導電膜42と同じタングステンとアルミの多層金属膜で形成している。

【0096】第1の遮光膜44は駆動回路基板1の略全面を被っており、開口は図16に示すコンタクトホール42CHの部分だけである。第1の遮光膜44の上に第3の層間膜45がTEOS膜で形成されている。さらに第3の層間膜45の上に第2の遮光膜46が形成されている。第2の遮光膜46は第1の導電膜42と同じタングステンとアルミの多層金属膜で形成している。第2の遮光膜46はコンタクトホール42CHで第1の導電膜42と接続されている。コンタクトホール42CHでは、接続をとるために第1の遮光膜44を形成する金属膜と第2の遮光膜46を形成する金属膜とが積層されている。

【0097】第1の遮光膜44と第2の遮光膜46を導

電膜で形成し、間に第3の層間膜45を絶縁膜(誘電膜)で形成し、第1の遮光膜44に画素電位制御信号を供給し、第2の遮光膜46に階調電圧を供給すると、第1の遮光膜44と第2の遮光膜46とで画素容量を形成することができる。また、階調電圧に対する第3の層間膜45の耐压と、膜厚を薄くして容量を大きくすることを考慮すると、第3の層間膜45は150nmから450nmが好ましく、より好ましくは、約300nmである。

【0098】次に、図18に駆動回路基板1に透明基板2を重ね合わせた図を示す。駆動回路基板1の周辺部には、周辺枠11が形成されており、液晶組成物3は周辺枠11と駆動回路基板1と透明基板2とに囲まれた中に保持される。重ね合わされた駆動回路基板1と透明基板2との間で周辺枠11の外側には、シール材12が塗布される。シール材12により駆動回路基板1と透明基板2とが接着固定され液晶パネル100が形成される。13は外部接続端子である。

【0099】次に図19に示すように、液晶パネル100に外部からの信号を供給するフレキシブルプリント配線板80が外部接続端子13に接続される。フレキシブルプリント配線板80の両外側の端子は他の端子に比較して長く形成され、透明基板2に形成された対向電極5に接続され、対向電極用端子81を形成している。すなわち、フレキシブルプリント配線板80は、駆動回路基板1と透明基板2の両方に接続されている。

【0100】従来の対向電極5への配線は駆動回路基板1に設けられた外部接続端子にフレキシブルプリント配線板が接続され、駆動回路基板1を経由して対向電極5に接続されるものであった。本実施例の透明基板2にはフレキシブルプリント配線板80との接続部82が設けられ、フレキシブルプリント配線板80と対向電極5とが直接接続される。すなわち、液晶パネル100は透明基板2と駆動回路基板1とが重ね合わされて形成されるが、透明基板2の一部は駆動回路基板1より外側に出て接続部82を形成しており、この透明基板2の外側に出た部分でフレキシブルプリント配線板80と接続されている。

【0101】図20、図21に液晶表示装置200の構成を示す。図20は液晶表示装置200を構成する各構成物の分解組立て図である。また図21は液晶表示装置200の平面図である。

【0102】図20に示すように、フレキシブルプリント配線板80が接続された液晶パネル100は、クッション材71を間に挟んで、放熱板72に配置される。クッション材71は高熱伝導性であり、放熱板72と液晶パネル100との隙間を埋めて、液晶パネル100の熱が放熱板72に伝わり易くする役目を持つ。73はモールドで、放熱板72に接着固定されている。

【0103】また図21に示すように、フレキシブルプ

*リント配線板80はモールド73と放熱板72との間を通りをモールド73の外側に取り出されている。75は遮光板で、光源からの光が液晶表示装置200を構成する他の部材にあたることを防いでいる。76は遮光枠で液晶表示装置200の表示領域の外枠を表示する。

【0104】以上、本発明者によってなされた発明を、前記発明の実施の形態に基づき具体的に説明したが、本発明は、前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0105】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0106】本発明によれば、液晶表示素子内に駆動回路を組み込む場合に、駆動回路を低耐压の回路とすることができ、回路が占有する面積及び1画素の占有する面積を少なくすることが可能となり、回路の高速駆動が可能となる。また、本発明によれば、液晶表示素子を小型高精細化することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態である液晶表示装置の概略構成を示すブロック図である。

【図2】本発明の実施の形態である液晶パネルの一例を示すブロック図である。

【図3】画素電位を制御する方法を説明する概略回路図である。

【図4】図2に示す液晶パネルの駆動方法を示すタイミング図である。

【図5】画素電位制御回路の構成を示す概略回路図である。

【図6】画素電位制御回路に用いられるクロックインバータを示す概略回路図である。

【図7】本発明の実施の形態である液晶表示装置の画素部を示す概略断面図である。

【図8】遮光膜を用いて画素電位制御線を形成する構成を示す概略平面図である。

【図9】本発明の実施の形態である液晶表示装置の駆動方法を示すタイミング図である

【図10】本発明の実施の形態である液晶表示装置の動作を示す概略図である。

【図11】本発明の実施の形態である液晶表示装置を示す概略平面図である。

【図12】本発明の実施の形態である液晶表示装置の駆動方法を示すタイミング図である

【図13】本発明の実施の形態である液晶表示装置を示す概略図である。

【図14】本発明の実施の形態である液晶表示装置の液晶パネルを示す概略断面図である。

【図15】本発明の実施の形態である液晶表示装置を示

す概略平面図である。

【図16】本発明による液晶表示装置の一実施の形態を説明するアクティブ素子周辺の概略断面図である。

【図17】本発明による液晶表示装置の一実施の形態を説明するアクティブ素子周辺の概略平面図である。

【図18】本発明の実施の形態である液晶表示装置の液晶パネルを示す概略図である。

【図19】本発明の実施の形態である液晶表示装置の液晶パネルにフレキシブルプリント基板を接続した状態を示す概略図である。

【図20】本発明の実施の形態である液晶表示装置を示す概略組み立て図である。

【図21】本発明の実施の形態である液晶表示装置を示す概略図である。

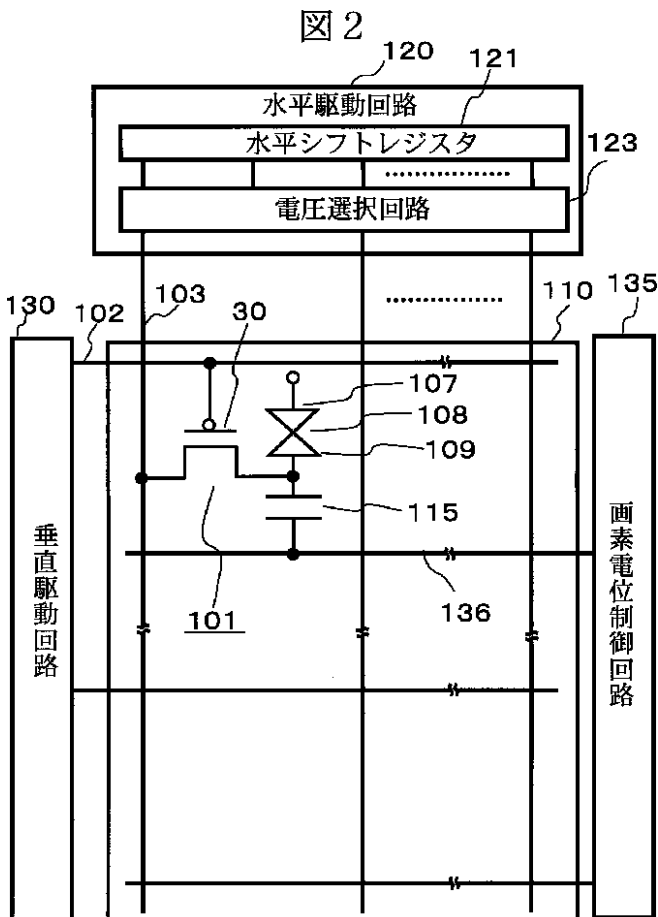
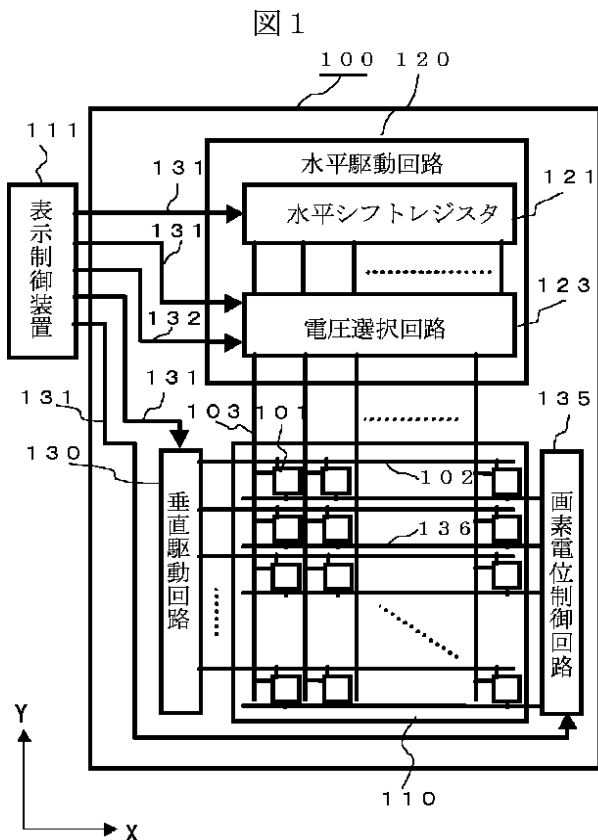
【符号の説明】

11...周辺枠、12...シール材、14...外部接続端子、25...走査リセット信号入力端子、26...走査スタート信号入力端子、27...走査終了信号出力端子、28...リ*

*セット用トランジスタ、30...アクティブ素子、34...ソース領域、35...ドレイン領域、36...ゲート領域、38...絶縁膜、39...フィールド酸化膜、41...第1の層間膜、42...第1の導電膜、43...第2の層間膜、44...第1の遮光膜、45...第3の層間膜、46...第2の遮光膜、47...第4の層間膜、48...第2の導電膜、61~62...クロックインバータ、65~66...クロックインバータ、71...クッション材、72...放熱板、73...モールド、74...保護用接着材、75...遮光板、76...遮光枠、80...フレキシブル配線板、100...液晶パネル、101...画素部、102...走査信号線、103...映像信号線、104...スイッチング素子、107...対向電極、108...液晶容量、109...画素電極、110...表示部、111...表示制御装置、120...水平駆動回路、121...水平シフトレジスタ、122...表示データ保持回路、123...電圧選択回路、130...垂直駆動回路、131...制御信号線、132...表示データ線。

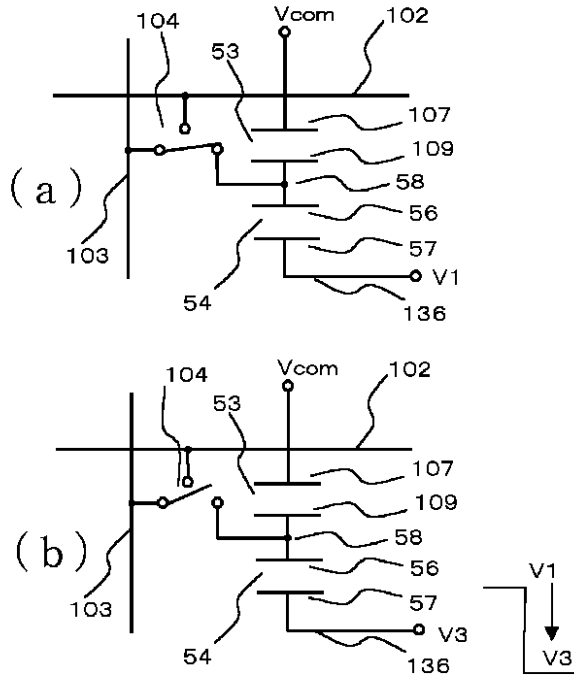
【図1】

【図2】



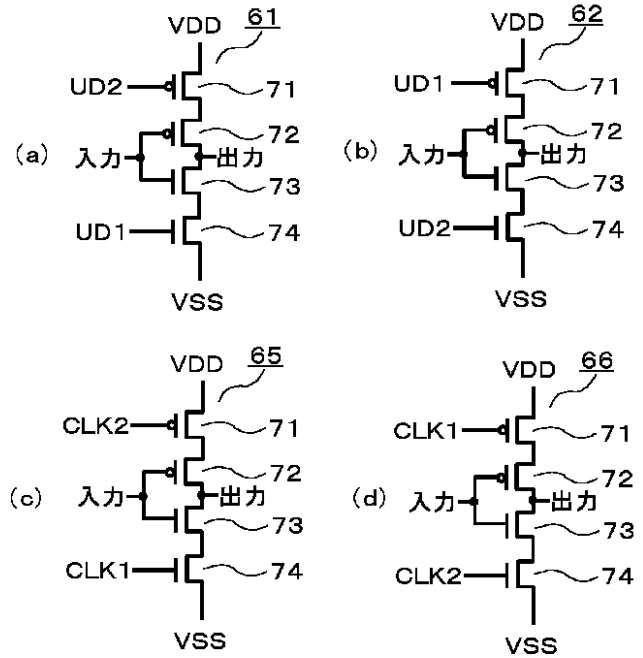
【図3】

図3



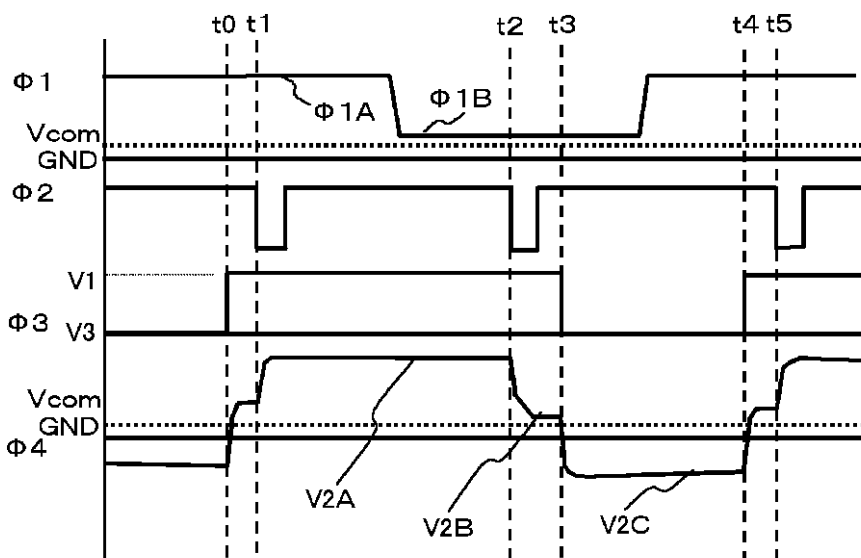
【図6】

図6

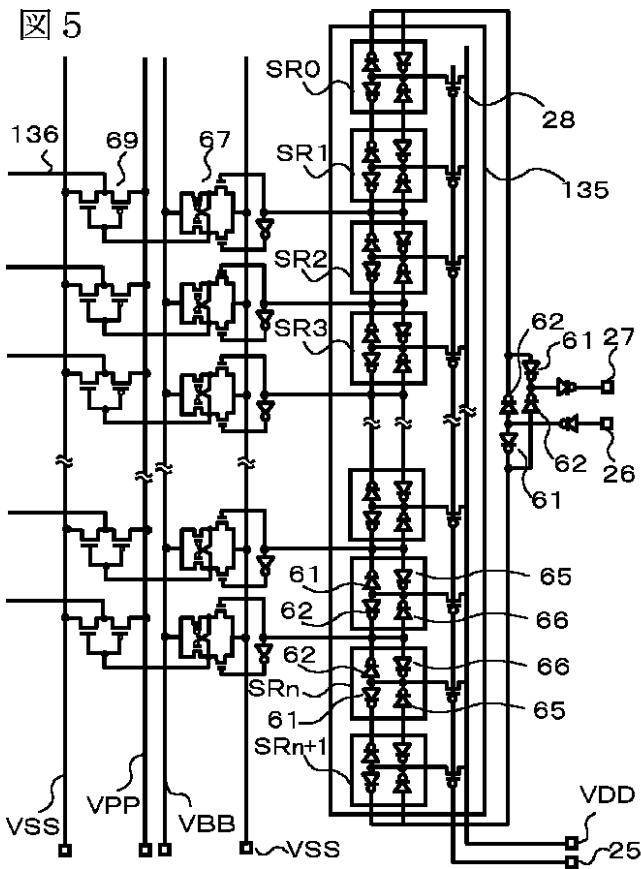


【図4】

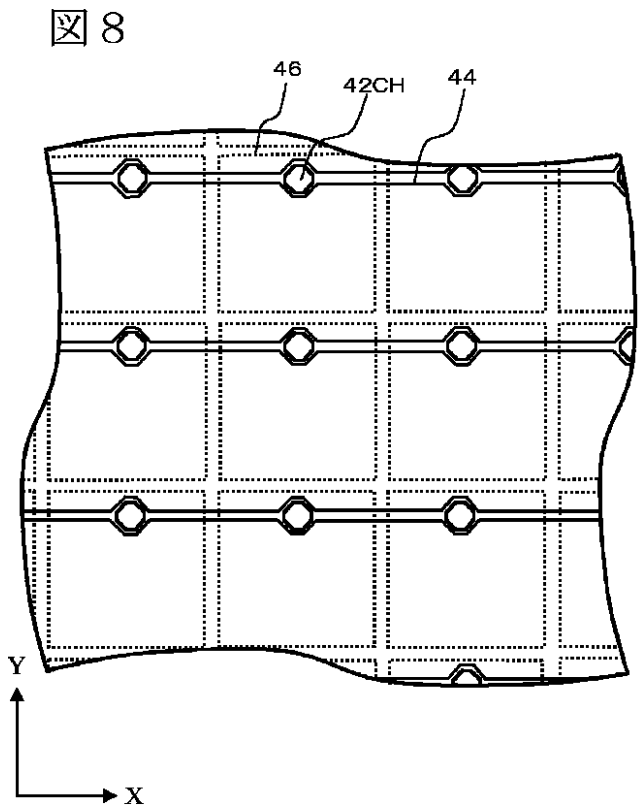
図4



【図5】

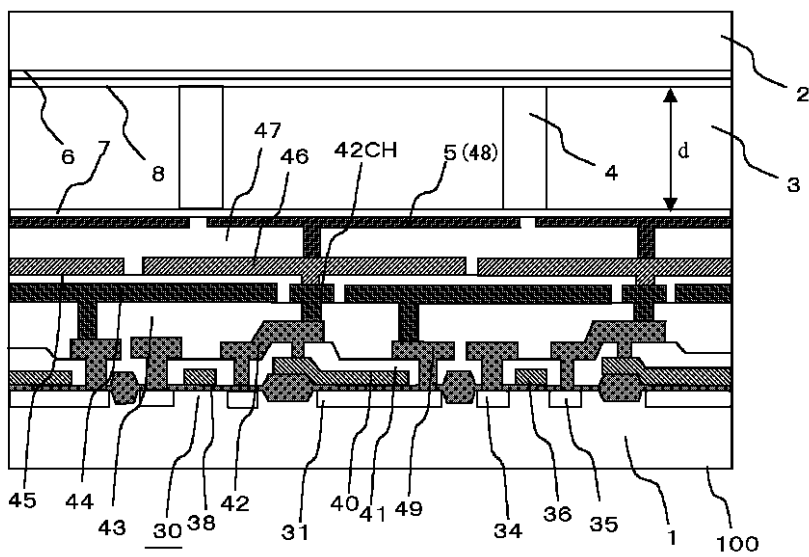


【図8】

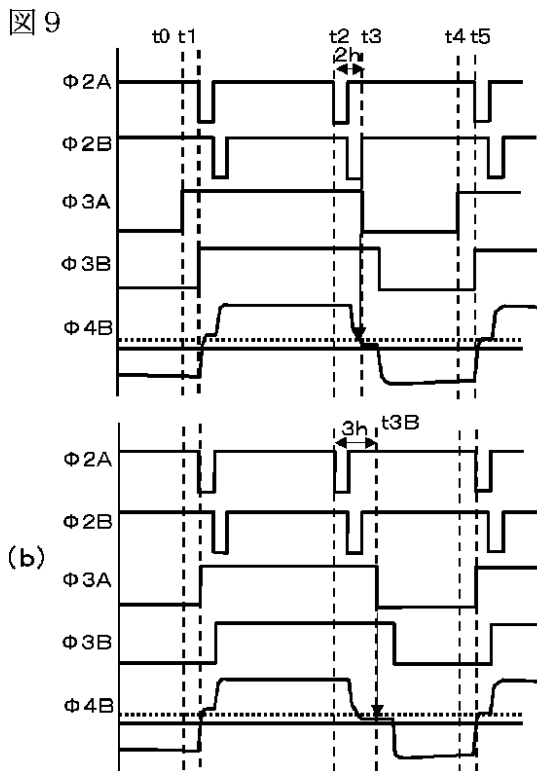


【図7】

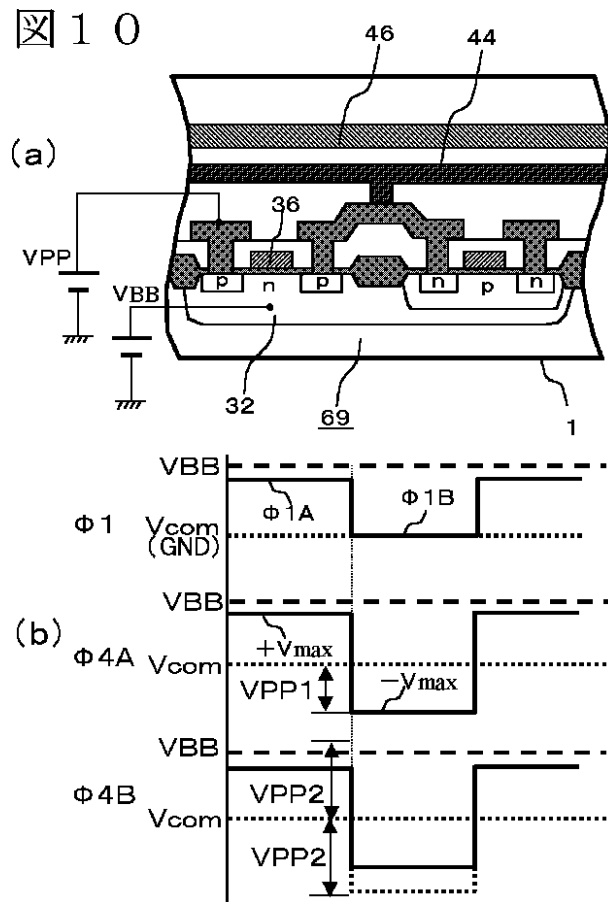
図 7



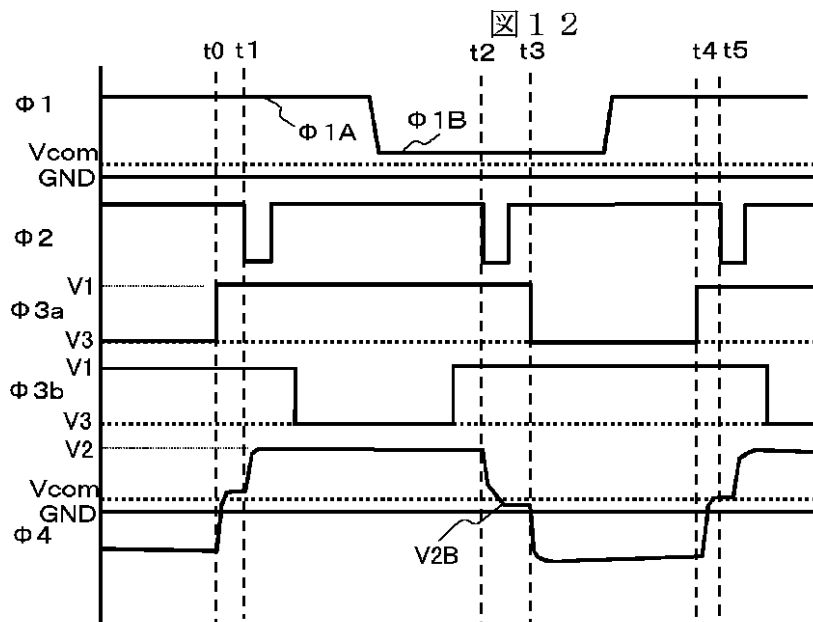
【図9】



【図10】

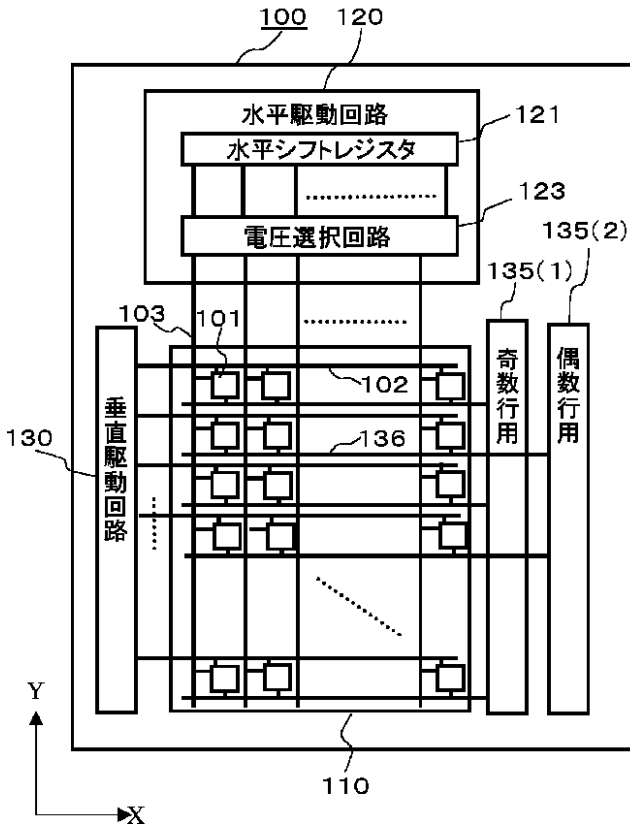


【図12】



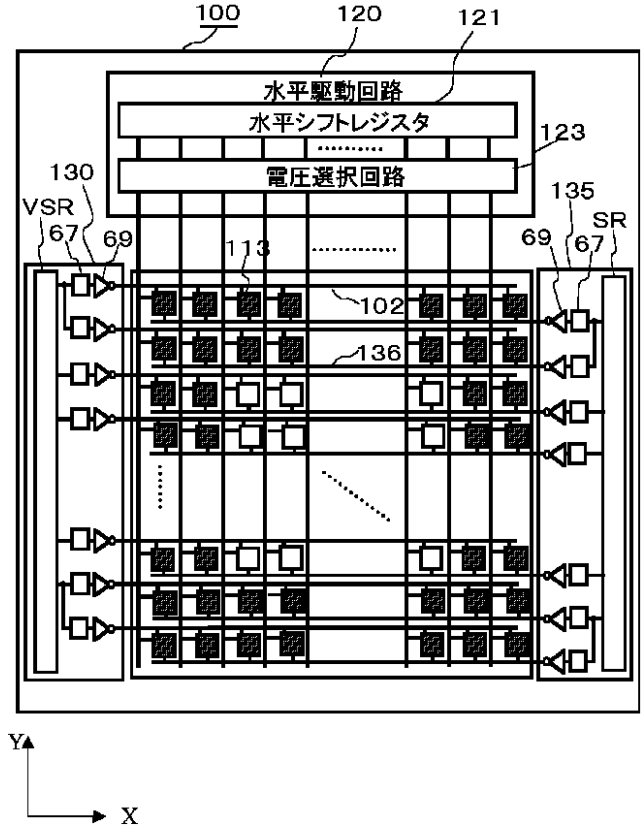
【図11】

図11



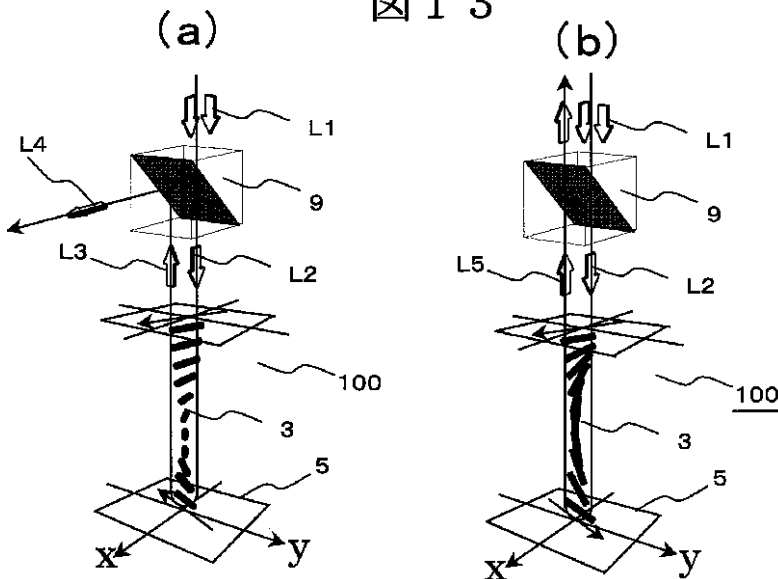
【図15】

図15



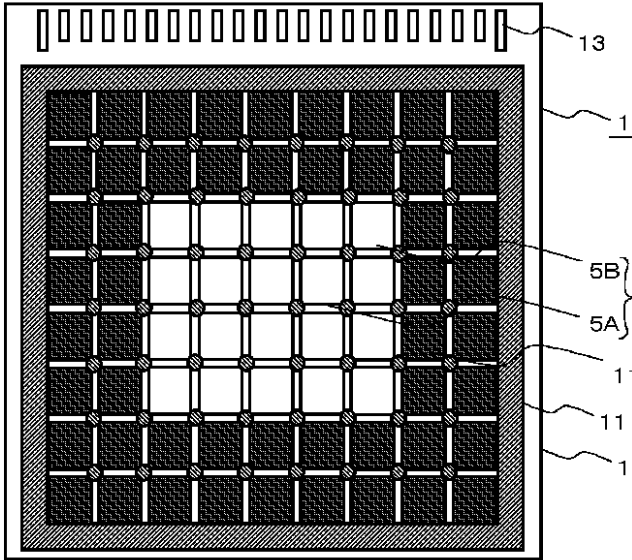
【図13】

図13



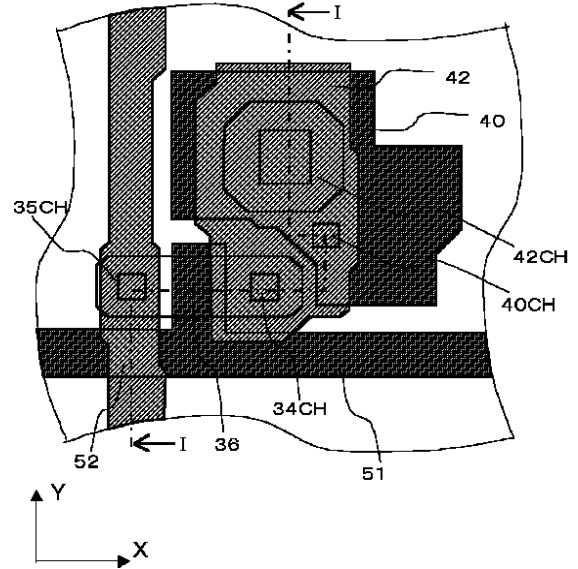
【図14】

図14



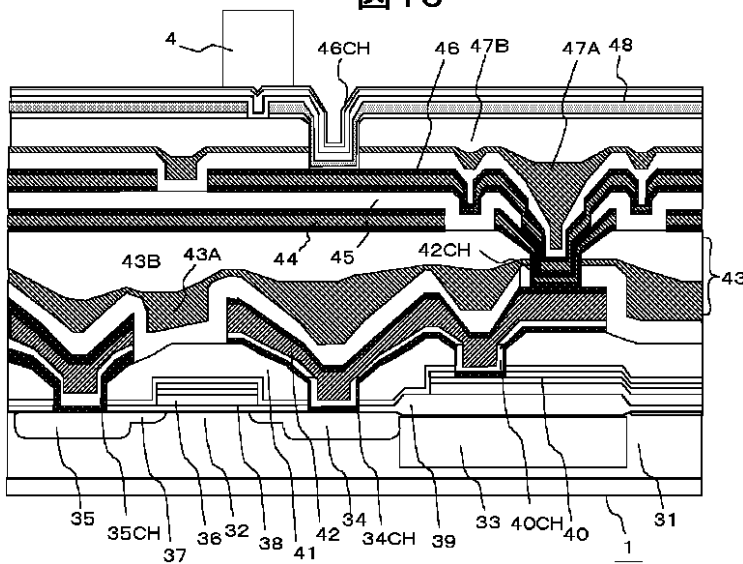
【図17】

図17



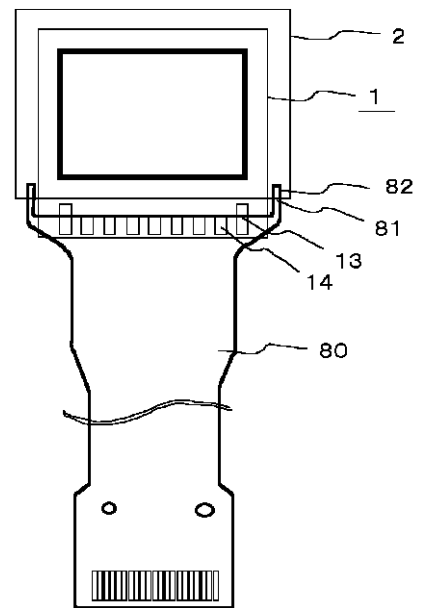
【図16】

図16



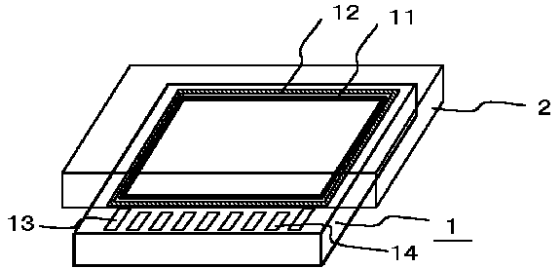
【図19】

図19



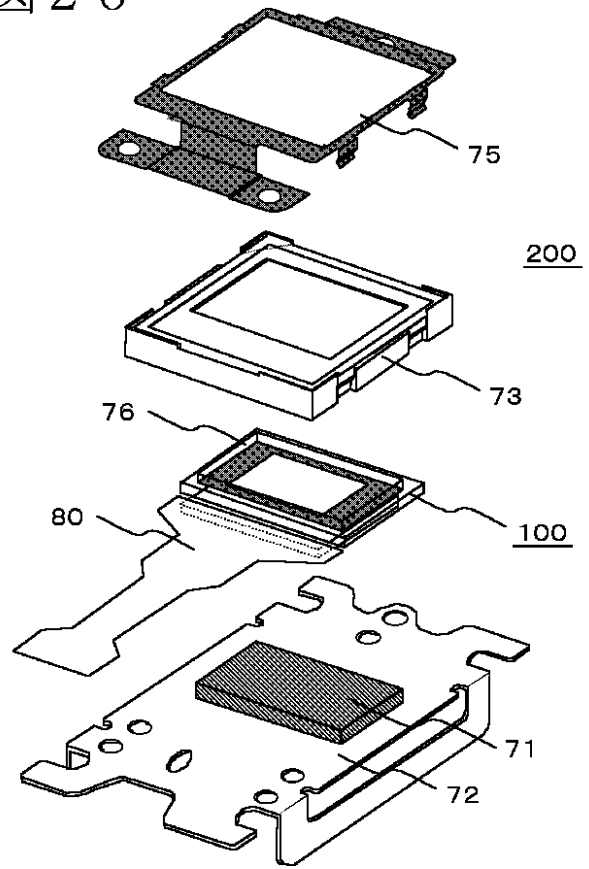
【図18】

図18



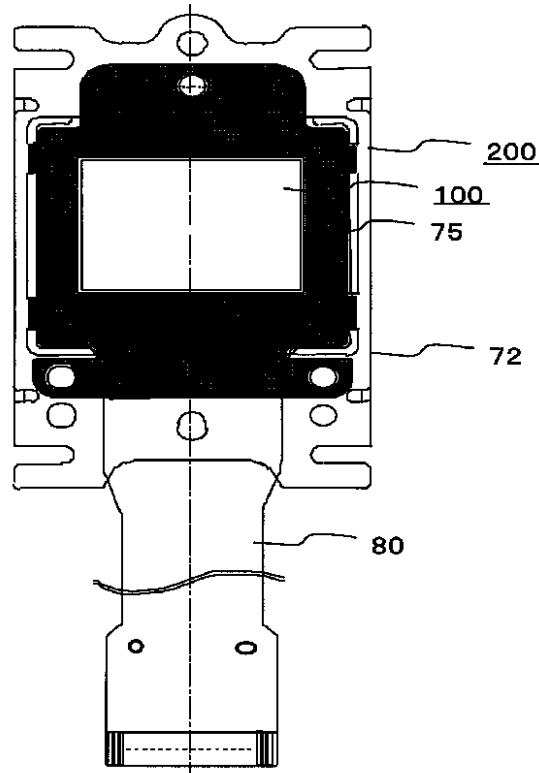
【図20】

図20



【図21】

図21



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	ターム(参考)
G 0 9 G 3/20	6 2 1	G 0 9 G 3/20	6 2 1 F
	6 2 4		6 2 1 H
			6 2 4 C

(72)発明者 竹本 一八男
 千葉県茂原市早野3300番地 株式会社日立
 製作所ディスプレイグループ内

(72)発明者 松本 克巳
 千葉県茂原市早野3681番地 日立デバイス
 エンジニアリング株式会社内

(72)発明者 足立 重雄
 千葉県茂原市早野3681番地 日立デバイス
 エンジニアリング株式会社内

Fターム(参考) 2H090 JA16 JB04 LA04
 2H092 GA59 JA23 JA24 JB07 JB54
 JB69 KA03 NA25 PA01 PA09
 PA12
 2H093 NA16 NC33 NC34 NC35 NC36
 NC90 ND38 ND49 NE01
 5C006 AC25 AF69 BB16 BC06 BC20
 EB05 FA12 FA41 FA46 FA47
 5C080 AA10 BB05 DD08 DD22 DD26
 DD30 JJ02 JJ03 JJ04 JJ06

专利名称(译)	液晶表示装置		
公开(公告)号	JP2002278517A	公开(公告)日	2002-09-27
申请号	JP2001073289	申请日	2001-03-15
[标]申请(专利权)人(译)	株式会社日立制作所 日立器件工程株式会社		
申请(专利权)人(译)	株式会社日立制作所 日立设备工程有限公司		
[标]发明人	奥村治久 竹本一八男 松本克巳 足立重雄		
发明人	奥村 治久 竹本 一八男 松本 克巳 足立 重雄		
IPC分类号	G02F1/1333 G02F G02F1/13 G02F1/133 G02F1/1335 G02F1/1362 G02F1/1368 G09G G09G3/20 G09G3/36 G09G5/00		
CPC分类号	G09G3/3655 G02F1/133308 G02F1/133512 G02F1/136213 G09G3/3614		
FI分类号	G09G3/36 G02F1/133.550 G02F1/1333.500 G02F1/1368 G09G3/20.611.A G09G3/20.621.F G09G3/20.621.H G09G3/20.624.C		
F-TERM分类号	2H090/JA16 2H090/JB04 2H090/LA04 2H092/GA59 2H092/JA23 2H092/JA24 2H092/JB07 2H092/JB54 2H092/JB69 2H092/KA03 2H092/NA25 2H092/PA01 2H092/PA09 2H092/PA12 2H093/NA16 2H093/NC33 2H093/NC34 2H093/NC35 2H093/NC36 2H093/NC90 2H093/ND38 2H093/ND49 2H093/NE01 5C006/AC25 5C006/AF69 5C006/BB16 5C006/BC06 5C006/BC20 5C006/EB05 5C006/FA12 5C006/FA41 5C006/FA46 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD08 5C080/DD22 5C080/DD26 5C080/DD30 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H190/JA16 2H190/JB04 2H190/LA04 2H192/AA24 2H192/BC31 2H192/BC33 2H192/BC34 2H192/BC72 2H192/CB02 2H192/CC32 2H192/CC57 2H192/DA42 2H192/DA72 2H192/EA03 2H192/EA04 2H192/EA13 2H192/EA32 2H192/FA02 2H192/FA73 2H192/FB02 2H192/FB43 2H192/GA02 2H192/GD61 2H192/GD81 2H192/HA88 2H193/ZA03 2H193/ZA04 2H193/ZA07 2H193/ZA08 2H193/ZB14 2H193/ZP01		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了实现液晶显示器，其中在同一基板上形成小尺寸的低击穿强度驱动电路，其中显示部分位于该基板上。解决方案：除了向像素提供灰度电压的驱动电路之外，还形成用于降低像素电位的电路。将具有正极性的信号写入像素电极，并且在写入之后通过使用连接到像素电极的电容器来减小像素电极的电位。

