

(19)日本国特許庁(J P)

(12) 公開特許公報 (A) (11)特許出願公開番号

特開2002 - 202760

(P2002 - 202760A)

(43)公開日 平成14年7月19日(2002.7.19)

(51) Int.CI ⁷	識別記号	F I	テマコード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	505	G 0 2 F 1/133	5 C 0 0 6
	575		5 C 0 8 0
G 0 9 G 3/20	611	G 0 9 G 3/20	611 C
	623		623 Z

審査請求 未請求 請求項の数 150 L (全 33数) 最終頁に続く

(21)出願番号 特願2000 - 399460(P2000 - 399460)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日 平成12年12月27日(2000.12.27)

(72)発明者 藤本 和志

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 竹本 高広

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100105511

弁理士 鈴木 康夫 (外1名)

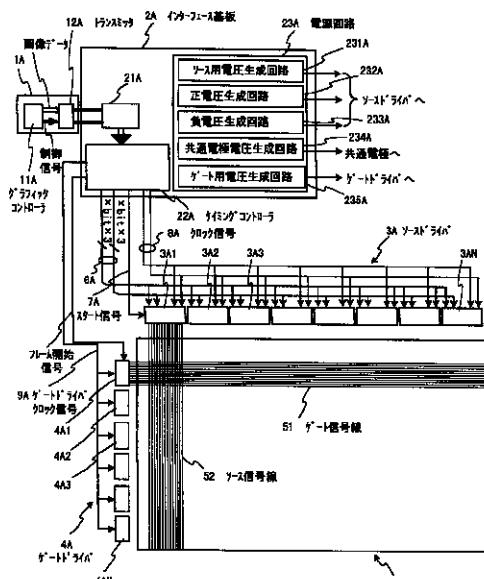
最終頁に続く

(54)【発明の名称】 液晶表示装置の駆動方法及び駆動回路

(57)【要約】

【課題】 画像データを液晶パネルへ転送するためのクロック周波数を低減させ、バスラインで転送される画像データの各ビットの変化量を低減させ、EMI特性を改善する。

【解決手段】 タイミングコントローラ2Aは、グラフィックコントローラ11Aから入力する画像データを複数系統のデータに分岐して、複数のデータバス6Aを介してソースドライバ3Aに供給するとともに、クロック信号を映像データのデータレートの1/2以下に低下させて出力する。更にタイミングコントローラ2Aは、データバス上に出力する画像データの過半数が変化する場合には該画像データの全部を反転して出力することでデータの変化量を抑制してEMI特性を改善する。



【特許請求の範囲】

【請求項1】 複数の画像データを出力する複数のバスラインを有する液晶表示装置の駆動方法において、データレート I (I は正の整数) の入力画像データをデータレート $I/2$ の $2J$ (J は正の整数) 系統の画像データとし、前記画像データに同期するクロック周波数 $I/4$ のクロック信号と共に前記バスラインを介して液晶表示装置のソースドライバに供給し、前記ソースドライバは前記クロック信号により前記 $2J$ 系統の画像データを取り込み階調電圧に変換して液晶表示装置を駆動することを特徴とする液晶表示装置の駆動方法。
10

【請求項2】 複数の画像データを出力する複数のバスラインを有する液晶表示装置の駆動方法において、データレート I (I は正の整数) の入力画像データをデータレート $I/2$ の $4J$ (J は正の整数) 系統の画像データとし、前記画像データに同期するクロック周波数 $I/4$ のクロック信号と共に前記バスラインを介して液晶表示装置のソースドライバに供給し、前記ソースドライバは前記クロック信号により前記 $4J$ 系統の画像データを取り込み階調電圧に変換して液晶表示装置を駆動することを特徴とする液晶表示装置の駆動方法。
20

【請求項3】 複数の画像データを出力する複数のバスラインを有する液晶表示装置の駆動方法において、データレート I (I は正の整数) の入力画像データをデータレート I の $4J$ (J は正の整数) 系統の画像データとし、前記画像データに同期するクロック周波数 $I/2$ のクロック信号と共に前記バスラインを介して液晶表示装置のソースドライバに供給し、前記ソースドライバは前記クロック信号により前記 $4J$ 系統の画像データを取り込み階調電圧に変換して液晶表示装置を駆動することを特徴とする液晶表示装置の駆動方法。
30

【請求項4】 前記クロック信号は、互いに半周期ずれたクロック信号であり、ソースドライバは、前記複数の画像データをクロック信号の立ち上がり又は立ち下がりにより画像データを取り込むことを特徴とする請求項1、2又は3記載の液晶表示装置の駆動方法。

【請求項5】 前記クロック信号は単一のクロック信号であり、ソースドライバは、前記クロック信号の立ち上がり及び立ち下がりにより複数の画像データを取り込むことを特徴とする請求項1、2又は3記載の液晶表示装置の駆動方法。
40

【請求項6】 入力画像データを複数の画像データに分岐してクロック信号とともに複数のバスラインに出力するタイミングコントローラと、前記バスラインからの画像データを取り込むソースドライバとを有する液晶表示装置の駆動回路において、

前記タイミングコントローラは、データレート I (I は正の整数) の入力画像データをデータレート $I/2$ の $2J$ (J は正の整数) 系統の画像データとし、前記画像データに同期するクロック周波数 $I/4$ のクロック信号と
50

共に前記バスラインを介して液晶表示装置のソースドライバに供給し、前記ソースドライバは前記クロック信号により前記 $2J$ 系統の画像データを取り込み階調電圧に変換して液晶表示装置を駆動することを特徴とする液晶表示装置の駆動回路。

【請求項7】 入力画像データを複数の画像データに分岐してクロック信号とともに複数のバスラインに出力するタイミングコントローラと、前記バスラインからの画像データを取り込むソースドライバとを有する液晶表示装置の駆動回路において、

前記タイミングコントローラは、データレート I (I は正の整数) の入力画像データをデータレート $I/2$ の $4J$ (J は2以上の正の整数) 系統の画像データとし、前記画像データに同期するクロック周波数 $I/4$ のクロック信号と共に前記バスラインを介して液晶表示装置のソースドライバに供給し、前記ソースドライバは前記クロック信号により前記 $4J$ 系統の画像データを取り込み階調電圧に変換して液晶表示装置を駆動することを特徴とする液晶表示装置の駆動回路。

【請求項8】 入力画像データを複数の画像データに分岐してクロック信号とともに複数のバスラインに出力するタイミングコントローラと、前記バスラインからの画像データを取り込むソースドライバとを有する液晶表示装置の駆動回路において、

前記タイミングコントローラは、データレート I (I は正の整数) の入力画像データをデータレート I の $4J$ (J は2以上の正の整数) 系統の画像データとし、前記画像データに同期するクロック周波数 $I/2$ のクロック信号と共に前記バスラインを介して液晶表示装置のソースドライバに供給し、前記ソースドライバは、前記クロック信号により前記 $4J$ 系統の画像データを取り込み階調電圧に変換して液晶表示装置を駆動することを特徴とする液晶表示装置の駆動回路。

【請求項9】 前記クロック信号は、互いに半周期ずれた2相のクロック信号であり、ソースドライバは、前記複数の画像データを各クロック信号の立ち上がり又は立ち下がりにより画像データを取り込むことを特徴とする請求項6、7又は8記載の液晶表示装置の駆動回路。

【請求項10】 前記クロック信号は単一のクロック信号であり、ソースドライバは、前記クロック信号の立ち上がり及び立ち下がりにより複数の画像データを取り込むことを特徴とする請求項6、7又は8記載の液晶表示装置の駆動回路。

【請求項11】 前記タイミングコントローラは、前記バスラインへ出力する前記画像データが前記バスラインの過半数より多くのデータ信号に極性の変化を生じさせる場合に、前記画像データの極性を全て反転して前記バスラインへ出力することを示す極性反転信号を出力するデータ極性反転判定手段と、前記データ極性反転判定手段が出力する前記極性反転信号に応じて、前記画像デー

タの極性を全て反転して出力する極性反転手段と、を具備することを特徴とする請求項6乃至10の何れか1つの請求項記載の液晶表示装置の駆動回路。

【請求項12】 前記タイミングコントローラは、前記データ極性反転判定手段と前記極性反転手段とは複数のバスラインに対応してそれぞれ具備することを特徴とする請求項11に記載の液晶表示装置の駆動回路。

【請求項13】 前記タイミングコントローラは、前記画像データをクロック信号に同期してラッチし、複数の第一のデータ信号として出力する第一のラッチ回路と、第一の極性反転信号が所定の反転指示レベルの場合に、前記複数の第一のデータ信号の極性を全て反転し、複数の第二のデータ信号として出力する極性反転回路と、前記複数の第一のデータ信号と前記複数の第二のデータ信号の対応する信号同士の極性の異なるデータ信号数が過半数より多い場合に、第二の極性反転信号を前記反転指示レベルとして出力するデータ極性反転判定回路と、前記第二の極性反転信号を前記クロック信号に同期してラッチし、前記第一の極性反転信号として出力する第二のラッチ回路と、を具備することを特徴とする請求項6乃至10の何れか1つの請求項記載の液晶表示装置の駆動回路。

【請求項14】 前記複数の第二のデータ信号を前記クロック信号に同期してラッチし、前記画像データとして出力する第三のラッチ回路と、前記第一の極性反転信号を前記クロック信号に同期してラッチし、第三の極性反転信号として出力する第四のラッチ回路と、を具備することを特徴とする請求項13記載の液晶表示装置の駆動回路。

【請求項15】 前記第一乃至第四のラッチ回路と前記極性反転回路と前記データ極性反転判定回路とを複数のバスラインに対応してそれぞれ具備することを特徴とする請求項14記載の液晶表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶パネル等の液晶表示装置の駆動方法及び駆動回路に関し、特に、EMI (Electro Magnetic Interference) の低減、超高精細化及び多階調表示を可能とする液晶装置の駆動方法及び駆動回路に関する。

【0002】

【従来の技術】マトリクス状に配置された画素電極に対し、スイッチング用の薄膜トランジスタ (Thin Film Transistor : 以下、「TFT」という。) を介して階調電圧を印加する構成の液晶パネルを備える液晶表示装置 (TFT LCD) においては、超高精細化、大型画面化に伴う画素数の増加により、液晶パネルの駆動の高速化が重要である。

【0003】図32は、従来の液晶表示装置の構成を示す図である。液晶パネル50の上辺側に配置されるN個

のソースドライバ30と、側面側に配置されるM個のゲートドライバ40と、グラフィックコントローラ11と、前記グラフィックコントローラ11の出力により前記各ドライバを制御するインターフェース基板20とを備える。

【0004】前記インターフェース基板20には、グラフィックコントローラ11からの情報をトランスマッタ12を介して受信するレシーバ201と、該レシーバ201からの入力画像データ、タイミング情報を入力し、前記各ドライバ30、40に対する画像データとスタート信号、クロック信号とを出力する表示制御装置202と、前記各ドライバへ各種の電源を供給する電源回路203とから構成されている。なお、グラフィックコントローラ11はコンピュータから送信されてくるクロック等の表示用のタイミング情報、水平同期信号、垂直同期信号等の各表示制御用の制御信号、画像データの各情報を前記インターフェース基板20に出力する。

【0005】また、画像データ及び制御信号は、グラフィックコントローラ11からトランスマッタ12にパラレルに送られ、トランスマッタ12でパラレル・シリアル変換された後、シリアルにレシーバ201に送られる。レシーバ201では受信した画像データ及び制御信号をシリアル・パラレル変換し、パラレルデータとして表示制御装置202に送る。

【0006】なお、トランスマッタ12からのシリアル化されたデータは、1～複数本の信号線からなる低電圧差動信号、例えばLVDS (Low Voltage Differential Signaling)、TMDS (Transition Minimized Differential Signaling)、GVID (Gigabit Video Interface)、LDI (LVDS Display Interface) などの伝送方式によりレシーバ201に送られる。

【0007】ソースドライバ30は、その詳細な構成及び動作を後述するように、直列接続の複数段構成になり、スタート信号及びクロック信号のタイミングでそれぞれのソースドライバが画像データを取り込み、1ライン分の各画素毎の画像データをそれぞれ電圧値に変換して、1ラインの対応する液晶パネルの画素電極にTFTのドレイン電極を介して供給する。

【0008】ゲートドライバ40は、表示制御装置202から出力されるフレーム開始信号およびクロック信号に基づき、クロック信号に同期して、1ライン単位で前記各TFTのゲート電極の全てを制御し、上方の1ライン分の各TFTから順次導通させることにより、導通時点にソースドライバ30から供給される階調電圧を画素電極に印加する。

【0009】以上の動作による液晶パネルの画像データの表示制御においては、ソースドライバへの画像データとクロック信号の供給、及びソースドライバでの画像データの取り込み動作タイミングについて、いくつかの方式が提案されている。

【0010】図33～図34は、第1の従来例の画像データ及びクロック信号に関する駆動方式を示す図である。この従来例では、図34に示すようにタイミングコントローラにおいて赤(R)、緑(G)、青(B)の三原色の入力画像データ(例えば、赤、緑、青のそれぞれ8ビット(8信号線)の信号データ)を液晶パネルの水平方向の解像度に対し、奇数番目の画素の画像データ(「奇数データ」ともいう。)と偶数番目の画素のデータ(「偶数データ」ともいう。)とに分岐し、AポートデータとBポートデータの2系統の画像データとし、また、クロック信号として、前記画像データのデータレートと同一の繰り返し周波数のクロック信号を生成して、両者をタイミングコントローラからソースドライバに供給し、ソースドライバでは、前記画像データを前記クロック信号の立ち上がりのタイミングで取り込んで階調電圧を生成し液晶パネルに出力する駆動方式である。図33は、タイミングコントローラとソースドライバとの接続構成を示す図であり、Aポートデータ、Bポートデータ及びクロック信号は全て各ソースドライバに共通に供給される。

【0011】図35～図36は、第2の従来例の画像データ及びクロック信号に関する駆動方式を示す図である。図36は、タイミングコントローラとソースドライバ間の信号のタイムチャートを示す図であり、第2の従来例は、タイミングコントローラは画像データを4系統の画像データに変換し、4系統の画像データのデータレートと同一の繰り返し周波数の單一のクロック信号とともにソースドライバに出力し、ソースドライバでは4系統の画像データを前記單一のクロック信号により取り込むようにした駆動方式である。

【0012】具体的には、図35に示すように、タイミングコントローラは、入力画像データを入力し、A、B、C及びDポートデータとして、例えば8ビット×3(三原色のデータ)の4系統の画像データを出力し、Aポートデータ及びBポートデータは奇数段のソースドライバ3B1、3B3…に供給し、Cポートデータ及びDポートデータは偶数段のソースドライバ3B2、3B4…に供給し、更にクロック信号は全てのソースドライバに供給する構成としている。4系統の画像データは、図36に示すように隣接する2つのソースドライバ3B1、3B2で扱う画像データを奇数と偶数の2系統の画像データとするとともに、後続の2つのソースドライバ3B3、3B4で扱う画像データも奇数と偶数の2系統の画像データとしたデータ配列とする。

【0013】タイミングコントローラでは、A、B、C及びDポートデータとして、入力画像データの1ラインデータ数(画素数)/N単位の4つのデータを対象として、最初の2データ単位を偶数及び奇数に分岐してそれぞれA、Bポートデータとし、後続の2データ単位を偶数及び奇数に分岐してC、Dポートデータとすることに

より生成する。また、ソースドライバでは、4系統の画像データを單一のクロック信号の立ち上がりのタイミングにより取り込んで、それを階調電圧に変換して出力する。

【0014】図37～図38は、第3の従来例の画像データ及びクロック信号に関する駆動方式を示す図である。図38は、タイミングコントローラとソースドライバ間の信号のタイムチャートを示す図である。第3の従来例では、第2の従来例と同様にタイミングコントローラにおいて4系統の画像データへの変換を行うものであるが、A、BポートデータとC、Dポートデータは互いにデータ周期の半周期位相がずれたデータ構成としている。タイミングコントローラは、4系統の画像データを、該画像データのデータレートと同一の繰り返し周波数の第1、第2のクロック信号とともにソースドライバに出力し、ソースドライバでは第1、第2のクロック信号によりそれぞれの画像データを取り込むように構成している。第1、第2のクロック信号は、図38に示すようにそれぞれ互いに逆相の2クロック信号として画像データを取り込むように構成することも可能である。

【0015】タイミングコントローラでは、A、B、C及びDポートデータとして、入力画像データの1ラインデータ数(画素数)/N単位の4つのデータを対象として、最初の2データ単位を偶数及び奇数に分岐してそれぞれA、Bポートデータとし、後続の2データ単位を偶数及び奇数に分岐してデータ周期の半周期遅延してC、Dポートデータとすることにより生成される。

【0016】具体的には、タイミングコントローラは、入力画像データを入力し、A、Bポートデータは奇数段のソースドライバに供給し、C、Dポートデータは偶数段のソースドライバに供給し、更に第1、第2のクロック信号はそれぞれ奇数段及び偶数段のソースドライバに供給する構成としている。4系統の画像データは、図37に示すように隣接する2つのソースドライバで扱う画像データを奇数と偶数の2系統の画像データとするとともに、後続の2つのソースドライバで扱う画像データも奇数と偶数の2系統の画像データとしたデータ配列とする。

【0017】タイミングコントローラでは、A、B、C及びDポートデータとして、入力画像データの1ラインデータ数(画素数)/N単位の4つのデータを対象として、最初の2データ単位を偶数及び奇数に分岐してそれぞれA、Bポートデータとし、後続の2データ単位を偶数及び奇数に分岐してデータの半周期遅延してC、Dポートデータとすることにより生成する。また、ソースドライバでは、4系統の画像データを第1、第2のクロック信号の立ち上がりタイミングにより取り込んで、それを階調電圧に変換して出力する。

【0018】図39～図40は、第4の従来例の画像デ

ータ及びクロック信号に関する駆動方式であり、特開平10-340070号公報記載の2つのクロック信号の場合の例を示す図である。第4の従来例は、画像データのバス幅を増やすことなくクロック信号の周波数を低下させることを特徴とするものである。

【0019】第4の従来例では、同図に示すようにタイミングコントローラにおいて入力画像データを奇数データと偶数データに分岐して2系統の画像データとし、クロック信号として前記画像データのデータレートの1/2の繰り返し周波数であり、互いに逆相の第1、第2のクロック信号を生成して、前記両画像データはソースドライバに共通に供給し、前記第1、第2のクロック信号はそれぞれ偶数段及び奇数段のソースドライバに供給する構成としている。ソースドライバは前記画像データを前記クロック信号により取り込んで、それぞれ階調電圧を生成して液晶パネルに出力する。

【0020】図39に示すように隣接する2つのソースドライバで扱う画像データを奇数と偶数の2系統の画像データとともに、後続の2つの2つのソースドライバで扱う画像データも奇数と偶数の2系統の画像データとした後、各2系統の画像データを時分割多重化した2系統のA、Bポートのデータ配列とする。

【0021】

【発明が解決しようとする課題】前述の第1～第3の従来の駆動方式は、入力画像データを2又は4系統の画像データとし、前記2又は4系統の画像データと、該画像データのデータレートと同一の繰り返し周波数のクロック信号をソースドライバに送り、各画像データを前記クロック信号の立ち上がり又は立ち下がりのタイミングでソースドライバに取り込む方式である。

【0022】ところが、このような駆動方式ではクロック信号の繰り返し周波数が2又は4系統の画像データのデータレートと同一であるために、クロック信号には2又は4系統の画像データに対し実質的に2倍の変化点が生じる。

【0023】このため、第1～第3の従来の駆動方式では、液晶パネルの高精細化及び大型化により1ライン当たりの画像データの増加によるクロック周波数の高速化に伴って、電磁妨害雑音特性(EMI特性)が悪くなるという問題がある。

【0024】また、第4の従来例においては、2系統の画像データのデータレートに対しクロック信号の繰り返し周波数を1/2とするものであり、クロック周波数を低減することが可能であるが、同公報に記載されているようにバス幅、つまりバス数を増やすことなくクロック周波数を低減するものであるから、画像データの高速化の点で問題がある。特に、画像データとして2系統のデータとするものであるから、液晶パネルの高精細化及び大型化の点で問題がある。

【0025】更に、従来の液晶表示装置の駆動回路で

は、画像データは液晶パネルの周囲、横方向等に配線される長いバスラインで転送され、バスラインは三原色分と本数も多いことから、画像データが経時にビットの変化量が多いと、この各ビットの値の変化に起因してもEMI特性が悪くなる。

【0026】このような電磁妨害雑音は、周辺の電子機器に誤動作等の悪影響を与える原因となるものであり、精密電子機器の近傍や計算機室などにおいて使用される液晶表示装置において、非常に大きな問題となる。また、電磁妨害雑音の放射を低減させるために高価なEMI対策用部品を使用する必要があり、液晶表示装置のコストが大きくなる。さらに、放射される電磁妨害雑音がバスラインに起因するノイズか否かを切り分けることが難しく、その放射要因の特定ができないという問題もある。

【0027】また、バスラインの画像データのビットの変化量が多い場合には、バスライン間のクロストークノイズが発生してデータ誤りの原因になるという問題もある。

【0028】(目的)本発明は、このような事情を考慮してなされたもので、画像データを液晶パネルへ転送するためのクロック信号周波数を低減させることを可能とする液晶表示装置の駆動方法及び回路を提供することを目的とする。

【0029】本発明は、クロック信号周波数の低速化に加えてバスラインで転送される画像データの各ビットの変化量を低減させることを可能とし、EMI特性を改善することを可能とした液晶表示装置の駆動方法及び回路を提供することを目的とする。

【0030】本発明は、画像データの高速化とクロック周波数の低速化を可能とする液晶表示装置の駆動方法及び駆動回路を提供することを目的とする。

【0031】

【課題を解決するための手段】本発明の液晶表示装置の駆動方法は、複数の画像データを出力する複数のバスラインを有する液晶表示装置の駆動方法において、データレート I (I は正の整数)の入力画像データをデータレート $I/2$ の $2J$ (J は正の整数)系統の画像データとし、前記画像データに同期するクロック周波数 $I/4$ の

クロック信号と共に前記バスラインを介して液晶表示装置のソースドライバに供給し、前記ソースドライバは前記クロック信号により前記 $2J$ 系統の画像データを取り込み階調電圧に変換して液晶表示装置を駆動すること、又は、データレート I (I は正の整数)の入力画像データをデータレート $I/2$ の $4J$ (J は正の整数)系統の画像データとし、前記画像データに同期するクロック周波数 $I/4$ のクロック信号と共に前記バスラインを介して液晶表示装置のソースドライバに供給し、前記ソースドライバは前記クロック信号により前記 $4J$ 系統の画像データを取り込み階調電圧に変換して液晶表示装置を駆

動すること、又は、データレート I (I は正の整数) の入力画像データをデータレート I の $4J$ (J は正の整数) 系統の画像データとし、前記画像データに同期するクロック周波数 $I/2$ のクロック信号と共に前記バスラインを介して液晶表示装置のソースドライバに供給し、前記ソースドライバは前記クロック信号により前記 $4J$ 系統の画像データを取り込み階調電圧に変換して液晶表示装置を駆動すること、を特徴とする。

【0032】前記クロック信号は、互いに半周期ずれたクロック信号であり、ソースドライバは、前記複数の画像データをクロック信号の立ち上がり又は立ち下がりにより画像データを取り込む、又は、前記クロック信号は単一のクロック信号であり、ソースドライバは、前記クロック信号の立ち上がり及び立ち下がりにより複数の画像データを取り込むことを特徴とする。

【0033】本発明の液晶表示装置の駆動回路は、入力画像データを複数の画像データに分岐してクロック信号とともに複数のバスラインに出力するタイミングコントローラと、前記バスラインからの画像データを取り込むソースドライバとを有する液晶表示装置の駆動回路において、前記タイミングコントローラは、データレート I (I は正の整数) の入力画像データをデータレート $I/2$ の $2J$ (J は正の整数) 系統の画像データとし、前記画像データに同期するクロック周波数 $I/4$ のクロック信号と共に前記バスラインを介して液晶表示装置のソースドライバに供給し、前記ソースドライバは前記クロック信号により前記 $2J$ 系統の画像データを取り込み階調電圧に変換して液晶表示装置を駆動すること、又は、前記タイミングコントローラは、データレート I (I は正の整数) の入力画像データをデータレート $I/2$ の $4J$ (J は2以上の正の整数) 系統の画像データとし、前記画像データに同期するクロック周波数 $I/4$ のクロック信号と共に前記バスラインを介して液晶表示装置のソースドライバに供給し、前記ソースドライバは前記クロック信号により前記 $4J$ 系統の画像データを取り込み階調電圧に変換して液晶表示装置を駆動すること、又は、前記タイミングコントローラは、データレート I (I は正の整数) の入力画像データをデータレート $I/2$ の $4J$ (J は2以上の正の整数) 系統の画像データとし、前記画像データに同期するクロック周波数 $I/2$ のクロック信号と共に前記バスラインを介して液晶表示装置のソースドライバに供給し、前記ソースドライバは、前記クロック信号により前記 $4J$ 系統の画像データを取り込み階調電圧に変換して液晶表示装置を駆動すること、を特徴とする。

【0034】また、前記クロック信号は、互いに半周期ずれた2相のクロック信号であり、ソースドライバは、前記複数の画像データを各クロック信号の立ち上がり又は立ち下がりにより画像データを取り込むこと、又は、前記クロック信号は単一のクロック信号であり、ソース

ドライバは、前記クロック信号の立ち上がり及び立ち下がりにより複数の画像データを取り込むことを特徴とする。

【0035】更に、前記タイミングコントローラは、前記バスラインへ出力する前記画像データが前記バスラインの過半数より多くのデータ信号に極性の変化を生じさせる場合に、前記画像データの極性を全て反転して前記バスラインへ出力することを示す極性反転信号を出力するデータ極性反転判定手段と、前記データ極性反転判定手段が出力する前記極性反転信号に応じて、前記画像データの極性を全て反転して出力する極性反転手段と、を具備する。

【0036】また、前記タイミングコントローラは、前記データ極性反転判定手段と前記極性反転手段とは複数のバスラインに対応してそれぞれ具備する。また、前記タイミングコントローラは、前記画像データをクロック信号に同期してラッチし、複数の第一のデータ信号として出力する第一のラッチ回路と、第一の極性反転信号が所定の反転指示レベルの場合に、前記複数の第一のデータ信号の極性を全て反転し、複数の第二のデータ信号として出力する極性反転回路と、前記複数の第一のデータ信号と前記複数の第二のデータ信号の対応する信号同士の極性の異なるデータ信号数が過半数より多くある場合に、第二の極性反転信号を前記反転指示レベルとして出力するデータ極性反転判定回路と、前記第二の極性反転信号を前記クロック信号に同期してラッチし、前記第一の極性反転信号として出力する第二のラッチ回路と、を具備する。

【0037】また、前記複数の第二のデータ信号を前記クロック信号に同期してラッチし、前記画像データとして出力する第三のラッチ回路と、前記第一の極性反転信号を前記クロック信号に同期してラッチし、第三の極性反転信号として出力する第四のラッチ回路と、を具備する。また、前記第一乃至第四のラッチ回路と前記極性反転回路と前記データ極性反転判定回路とを複数のバスラインに対応してそれぞれ具備することを特徴とする。

【0038】

【発明の実施の形態】次に、本発明の液晶表示装置の駆動方法及び装置の実施の形態について説明する。

(第1の実施の形態) 図1～図5は、本発明の第1の実施の形態の液晶表示装置の全体と各部の構成及び信号タイムチャートを示す図である。図1に示すように、本実施の形態の全体構成は、液晶パネル5Aと、液晶パネル5Aの上辺側に配置される複数のソースドライバ3Aと、同側面側に配置される複数のゲートドライバ4Aと、主にソースドライバ3Aに画像データ、クロック信号及びスタート信号を出し、ゲートドライバ4Aにクロック信号及びフレーム開始信号を出し、更に各種電圧を出力するインターフェース基板2Aと、コンピュータPC(図示せず)に接続されたグラフィックコントロ

ーラ11A及びトランスマッタ12Aを有し、インターフェース基板2Aに前記トランスマッタ12Aを介して入力画像データ及びクロック情報や各種同期情報等の制御信号を出力するコンピュータ側回路1Aと、を備える。

【0039】前記液晶表示装置のインターフェース基板2Aは、具体的には、前記トランスマッタ12Aを介してグラフィックコントローラ11Aからの画像データ及び制御信号を受信するレシーバ21A、前記レシーバ21Aからの信号を受信し、ソースドライバ3Aに対する10画像データ6A、クロック信号8A、1ラインの表示スタートのタイミングを示す前記スタート信号7A、ゲートドライバ4Aに対するフレーム開始信号及びゲートドライバクロック信号9Aを出力するタイミングコントローラ22A、液晶パネル5AのTFT等に対する各種電圧を出力する電源回路23Aとが搭載される。なお、トランスマッタ12とレシーバ21A間の機能及び信号形式等は従来例で説明したものと同様である。

【0040】液晶パネル5Aは、ガラス基板上に交差して配置された複数のソース線及びゲート線と、その交差部分に配置されたマトリクス状の画素電極と、前記ソース線及びゲート線にそれぞれドレイン及びゲート電極が接続され、前記画素電極にソース電極が接続された複数のTFTと、その上部のコモン電極との間に挟まれた液晶とからなり、ゲート線の制御により、ソースドライバからソース線に供給された階調電圧がTFTを介して前記画素電極に印加される（書き込まれる）ことにより、前記画素電極とコモン電極間の階調電圧値に応じて表示が行われるように構成されている。

【0041】前記電源回路23Aは、ソースドライバを駆動する電圧を生成するソース用電圧生成回路231Aと、画素電極の駆動電圧の電源となる正電圧生成回路232A及び負電圧生成回路234Aと、コモン電極に印加する駆動電圧を生成する共通電極電圧生成回路235Aと、ゲート用電圧生成回路236Aとから構成されている。

【0042】ここで、ソース用電圧生成回路231Aは、ソースドライバのデジタル回路とアナログ回路に必要な電圧を生成する回路であり、図中では1本の出力線を示しているが前記回路毎の2系統の出力線からなる。また、正電圧生成回路232Aと負電圧生成回路233Aは、後述するソースドライバ（図3、図13）のD/Aコンバータに供給する出力階調基準電圧を生成する回路である。正電圧生成回路232Aと負電圧生成回路233Aの出力は、図中では1本で示しているが、電圧の異なる複数系統の出力線でなる。共通電極電圧生成回路235Aは、液晶パネル5Aの共通電極へ給電する直流電圧を生成する回路である。ゲート用電圧生成回路235Aは、ゲートドライバのデジタル回路、高圧ロジック回路並びに低圧ロジック回路に必要な電源電圧を生成50

する回路で図中では1本で表示しているが、3系統の出力線でなる。

【0043】前記タイミングコントローラ22A及びソースドライバ3A等の機能の概要は以下のとおりである。

【0044】前記タイミングコントローラ22Aは、半導体集積回路（LSI）により構成され、グラフィックコントローラ11A、トランスマッタ12Aを介してコンピュータ側から送信されてくるクロック信号、ディスプレイタイミング信号、水平同期信号、垂直同期信号の各表示制御信号、表示用データに基いてソースドライバ3Aおよびゲートドライバ4Aを制御、駆動する。

【0045】タイミングコントローラ22Aは、上述のように通常トランスマッタ21Aと別プロックとして構成されるが、前記LSIに前記レシーバ21Aをも内蔵させ両者を一体構成することが可能であり、以下説明の便宜上、前記レシーバ21A内に設けられるシリアル・パラレル変換回路等についてもタイミングコントローラ内の構成として説明することとする。後述する実施の形態においても同様である。

【0046】ソースドライバ3Aは、複数のソースドライバ3A1、3A2、…3ANに分割されており、各ソースドライバ3A1、3A2、…3ANはスタート信号7Aにより左側から右側に順次動作し、それぞれは1ラインの画素数/Nの数のソース線に対して同時に画像データを出力する。このため各ソースドライバは、タイミングコントローラ22Aから出力される画像データ6A、スタート信号7A及びクロック信号8Aに基づいて、画像データをクロック信号8Aのタイミングで内部のレジスタにラッチし、DA変換して各ソース信号線に出力する。また、ゲートドライバ4Aは4A1、4A2～4AMに分割されており、フレーム開始信号及びゲートドライバクロック信号9Aにより上側から順次動作し、それぞれはライン数/Mの数のゲート線に対して走査信号を出力する。

【0047】以上の構成により液晶パネルは、各画素単位でソース線に供給された画像データの電圧がTFTを介してソースに供給され、ゲート線の走査信号が前記TFTのゲートに供給されることにより前記TFTが導通し、該当する画素電極に前記電圧が書き込まれる。このような書き込み動作は、ライン（水平）方向に、1ラインの画素数/N（Nはソースドライバ数）の画素の単位で左側から右側に行われるとともに、上側から下側へライン単位で走査されることにより前記電圧に対応する液晶の透過度が各画素単位で制御されて表示制御が実現される。

【0048】次に、本実施の形態の特徴とするタイミングコントローラ22A及びソースドライバ3Aのより詳細な構成及び動作を説明する。

【0049】図2は、本実施の形態のタイミングコント

ローラの構成を示すブロック図である。タイミングコントローラ22Aは、入力画像データ及び該画像データのデータレートのドットクロック信号を入力するシリアル・パラレル変換ブロック221Aと、前記両信号及び同期信号を入力する位相調整回路223Aと、ドットクロック信号等を入力するクロック信号発生回路222Aから構成される。

【0050】シリアル・パラレル変換ブロック221Aは、入力画像データとして赤、緑、青の三原色の信号データ(例えば、それぞれ8ビットの赤、緑、青の信号データ)と、該信号データのデータレートのドットクロック信号を入力するとともに、位相調整回路223Aからの1ライン単位のリセット信号を入力とし、画像データを奇数と偶数に分離しそれぞれをAポートとBポートに分岐出力する。クロック信号発生回路222Aは、ドットクロック信号とリセット信号に基づいてAポートとBポートのデータレートの互いに逆相関係の第1及び第2のクロック信号を出力する。

【0051】図4は、前記ソースドライバの動作のタイムチャートを示す図である。前記AポートとBポートの三原色の画像データと、該画像データのデータレートの1/2の繰り返し周波数の互いに逆相関係の第1及び第2のクロック信号の関係が示されている。

【0052】同図において、R0、R1…RN-、G0、G1…GN-、B0、B1…BN-は、三原色のデータであり、複数bitの信号で構成される、各信号はタイミングコントローラの入力画像データを各色毎に最初から順番に割り付けていたもので、液晶パネルの水平方向の解像度分の数が必要になる。具体的には縦1280本×横1024本の解像度であればR0～R1279、G0～G1279、B0～B1279となる。

【0053】なお、同図では2系統の画像データの例を示しているが、4系統の画像データのデータバスの場合には、CポートデータはAポートにDポートデータはBポートに入力することになる。

【0054】図3は、本実施の形態のN個のソースドライバのうちの1個の構成を示すブロック図である。スタート信号と第1及び第2のクロック信号を入力とし前記スタート信号をシフトし各段から順次シフトしたシフト信号を出力するシフトレジスタ31と、前記シフト信号によりA、Bポートの画像データを順次レジスタに記憶するデータレジスタ32Aと、データレジスタに記憶されたデータを1ライン単位でラッチするデータラッチ33Aと、データラッチ出力をレベルシフトするレベルシフタ34Aと、レベルシフタの出力データを電圧値に変換するD/Aコンバータ35Aと、D/Aコンバータ35Aの出力を液晶パネルのソース線に供給する出力バッファ36Aとから構成される。

【0055】以下、本実施の形態の動作を図1及び図4を参照して説明する。

【0056】図2に示すシリアル・パラレル変換ブロック221Aは、入力画像データを例えば、図示しないメモリに一旦記憶した後、1/2のデータレートで読み出し偶数と奇数のデータに分岐し2系統のAポートとBポートの画像データとすることにより、図4に示すように時間圧縮し、画像データの存在する画像データ有効期間と、同データの存在しない画像データ無効期間を有する画像データとして、タイミングコントローラ22Aからソースドライバ3Aに出力する。ここで画像データ有効期間は液晶パネルの1ラインの画像データに相当する。

【0057】また、図2のクロック発生回路222Aでは、ドットクロック信号から第1、第2のクロック信号を発生し、ソースドライバ3Aに前記2系統の画像データに同期してスタート信号と第1及び第2のクロック信号を出力する。第1及び第2のクロック信号は、前記2系統の画像データのデータレートの1/2のクロック周波数を有し、前記スタート信号は画像データの先頭位置に位置する。

【0058】図3に示すシフトレジスタ31Aは、1ラインの画素数/N(例えば、1ラインデータ数(画素数)が1280、ソースドライバ数Nが8の場合、128)段のフリップフロップで構成され、入力したスタート信号を第1及び第2の2相のクロック信号により順次シフトし、前記段数の各出力からクロック信号の立ち上がり及び立ち下がりタイミングで立ち上がる(又は立ち下がる)タイミング信号を順次出力する。そして、スタート信号がシフトレジスタ31Aの最終段に達すると、次のクロック信号で次段のドライバのシフトレジスタにスタート信号がシフトされ当該シフトレジスタで同様の動作が繰り返される。

【0059】データレジスタ32Aでは、前記画素数/8個のレジスタ(8ビットレジスタ)を有し、Aポート及びBポートの前記三原色の画像データを入力し、前記シフトレジスタ31Aからの前記タイミング信号毎に該当するレジスタにデータを入力する。

【0060】データラッチ33Aは、1ラインの画像データが8個のソースドライバのデータレジスタ32にセットされた後に入力する、図4に示すデータラッチパルスにより、それぞれのデータレジスタ32Aのデータをそれぞれラッチする。

【0061】データラッチ33Aにデータがラッチされると、レベルシフタ34Aはそのデータに所望の直流データを加減する等のデータ変換を行い、D/Aコンバータ35Aは、出力階調基準電圧を電源として、前記データを階調電圧に変換、生成し、出力バッファ36Aは、データラッチパルスに同期して生成された前記階調電圧を液晶パネルのソース線に出力する。なお、このとき次のデータレジスタへのデータのセットに備えて、データラッチパルスによりシフトレジスタをリセットする。また、階調電圧が常に特定極性で液晶に印加されると液晶

の「焼けつき」を起こすから、これを防止するために、極性信号によりデータラッチへのデータの極性ビットをフレーム毎に切り替えて、フレーム毎に階調電圧の極性を変える。

【0062】以上の動作のうちシフトレジスタ31A及びデータレジスタ32Aの動作は、後続のソースドライバのスタート信号の引継により同様に連続的に順次に行われ、1ライン単位のデータラッチ33Aから出力バッファ36Aまでの動作は、データラッチパルス以降、各ソースドライバにおいて同時に実行され1ラインの表示動作も同時に実行される。

【0063】本実施の形態の第1、第2のクロック信号として、各クロック信号のそれぞれの立ち上がりをトリガエッジとして使用する例を説明したが、前記各クロック信号の各立ち上がり及び立ち下がりをトリガエッジとして使用するダブルエッジトリガを行うように構成することができ、この場合にクロック信号は単一のクロック信号とすることも可能である。

【0064】図5は、本実施の形態の画像データとクロック信号の関係を示すタイムチャートである。同図において、RA0～RAx、GA0～GAx、BA0～BAxは、Aポートに入力される複数bitの信号で構成される画像データを示しており、番号0～xは、複数bitの信号の上位／下位bitを示している。Bポートも同様である。また、R0～、G0～、B0～は、図4のものと同様である。

【0065】図5(a)は、第1、第2のクロック信号はその立ち上がり及び立ち下がりをトリガエッジとしてそれぞれAポートデータ及びBポートデータの画像データの取り込みに使用する例である。図5(b)は、ダブルエッジトリガによる画像データの取り込みの例である。第1、第2のクロック信号を単一のクロック信号として、ソースドライバ内で2相にして使用することも可能であるが2つのクロック信号とすることにより、クロック源のファンアウトを低下させることができるので高速化等に好適である。

【0066】以上詳細に説明したように本実施の形態では、ソースドライバ3A1～3ANに入力する画像データを、例えば偶数及び奇数のデータの2系統のデータとし、この画像データを取り込むクロック信号(第1、第2クロック信号)を前記2系統の画像データのデータレートの1/2の繰り返し周波数とし、その前縁及び/又は後縁で取り込むように構成することにより、前記クロック信号の繰り返し周波数を低下させ、かつタイムマージンを確保することを可能とし、EMIの低減及び超高精細化を可能とする。

【0067】なお、前記実施の形態では、入力画像データをそのデータレートの1/2の2系統の画像データとし、前記画像データに同期するクロック周波数1/4のクロック信号と共に前記バスラインを介して液晶表示装

置のソースドライバに供給し、前記ソースドライバは前記クロック信号により前記2系統の画像データを取り込み階調電圧に変換して液晶表示装置を駆動する例を示したが、これは一般に、入力画像データをそのデータレートの1/2の2J(Jは正の整数)系統の画像データとし、前記画像データに同期するクロック周波数1/4のクロック信号と共に前記バスラインを介して液晶表示装置のソースドライバに供給し、前記ソースドライバは前記クロック信号により前記2J系統の画像データを取り込み階調電圧に変換して液晶表示装置を駆動するように構成することができる。

(第2の実施の形態)図6～図9は、本発明の第2の実施の形態を示す図である。本実施の形態では図8のタイムチャートに示すように、画像データを4系統の画像データに変換して、4系統の画像データのデータレートの1/2の繰り返し周波数の第1、第2のクロック信号により画像データをソースドライバに取り込むように構成したものである。

【0068】図8は、タイミングコントローラ22Bとソースドライバ3B間の信号のタイムチャートを示す図である。タイミングコントローラ22Bは、画像データを入力し、A、B、C及びDポートデータとして、例えば8ビット×3(三原色のデータ)の4系統の画像データを出し、Aポートデータ及びBポートデータは奇数段のソースドライバ3B1、3B3…に供給し、Cポートデータ及びDポートデータは偶数段のソースドライバ3B2、3B4…に供給し、更に第1、第2のクロック信号は全てのソースドライバに供給する構成としている。

【0069】4系統の画像データは、図8に示すように隣接する2つのソースドライバ3B1、3B2で扱う画像データを奇数と偶数の2系統の画像データとともに、後続の2つのソースドライバ3B3、3B4で扱う画像データも奇数と偶数の2系統の画像データとしたデータ配列とする。

【0070】図7は、タイミングコントローラ22Bの構成を示すブロック図である。グラフィックコントローラ11Aから送信された画像データ及び制御信号にもとづく入力画像データ、ドットクロック信号及び同期信号(Vsync、Hsync、DE(データイネーブル)等)を入力とし、クロック発生回路222Bではドットクロック信号から第1、第2のクロック信号を発生し各ソースドライバに供給する。シリアル・パラレル変換ブロック221Bでは、例えば、入力画像データを少なくとも1ライン分を記憶できるメモリに記憶した後、前記メモリのデータを読み出し、前記A～Dポートデータを出し、第1のメモリを介して前記A、Bポートデータを、第2のメモリを介してC、Dポートデータを出し、それぞれの2系統の画像データを奇数及び偶数のソースドライバに供給する。

【0071】図9は、前記A～Dポートデータの構成法を示す図である。入力画像データ(Ⅰ)の1ラインデータ数(画素数)/N(Nはソースドライバ数)単位の4つのデータ(イ)～(ニ)を対象として、データ(イ)、(ロ)を偶数及び奇数に分岐してそれぞれA、Bポートデータとし、データ(ハ)、(ニ)を偶数及び奇数に分岐してD、Eポートデータとすることにより構成される。これらのメモリ制御は同期信号を入力とするメモリ・位相調整回路224Bからの制御信号により行う。

【0072】第2の実施の形態においては、入力画像データを4系統の画像データに変換するとともに、クロック信号の繰り返し周波数は、前記4系統の画像データのデータレートの1/2にしており、ソースドライバでは、前記クロック信号の前縁及び/又は後縁で画像データを取り込むように構成しているから、クロック信号の繰り返し周波数を低下させ、かつタイムマージンを確保することを可能とし、EMIの低減及び超高精細化を可能としている。

【0073】なお、前記実施の形態では、入力画像データをそのデータレートの1/2の4系統の画像データとし、前記画像データに同期するクロック周波数1/4のクロック信号と共に前記バスラインを介して液晶表示装置のソースドライバに供給し、前記ソースドライバは前記クロック信号により前記4系統の画像データを取り込み階調電圧に変換して液晶表示装置を駆動する例を示したが、これは、一般にデータレートI(Iは正の整数)の入力画像データをデータレートI/2の4J(Jは正の整数)系統の画像データとし、前記画像データに同期するクロック周波数I/4のクロック信号と共に前記バスラインを介して液晶表示装置のソースドライバに供給し、前記ソースドライバは前記クロック信号により前記4J系統の画像データを取り込み階調電圧に変換して液晶表示装置を駆動するように構成することができる。

(第3の実施の形態)図10～図15は、本発明の第3の実施の形態を示す図である。本実施の形態も第2の実施の形態と同様に画像データを4系統の画像データに変換して、4系統の画像データのデータレートの1/2の繰り返し周波数のクロック信号により画像データをソースドライバに取り込むように構成したものである。

【0074】第2の実施の形態と比較して、画像データとクロック信号とは繰り返し周波数において同様の関係を有するものであるが、第2の実施の形態の図8のタイムチャートと本実施の形態の図15に示すタイムチャートとの比較で分かるように、Aポートデータ～Dポートデータのデータの配列構成が異なる。本実施の形態の4系統の画像データの配列は、図8に示すAポートデータ～Dポートデータのデータの配列の1ラインデータ数(画素数)/N(Nはソースドライバ数)単位で前半のデータに後半のデータを時分割で多重化した画像データ

の配列とした点に特徴を有する。図10は、このようなデータ配列による液晶表示装置の駆動回路を示す図である。図1の構成と同様であるが4系統の画像データ及びクロック信号のソースドライバ3C1～3CNへの入力構成が異なる。

【0075】図11は、タイミングコントローラ22Cとソースドライバ3C間の信号のタイムチャートを示す図である。タイミングコントローラ22Cは、入力画像データを入力し、A、B、C及びDポートデータとして、8ビット×3(三原色のデータ)の4系統の画像データを出力し、Aポートデータ及びBポートデータは奇数段のソースドライバ3C1、3C3…に供給し、Cポートデータ及びDポートデータは偶数段のソースドライバ3C2、3C4…に供給し、更に第1、のクロック信号はソースドライバ3C1、3C2、3C5、3C6…のように2ソースドライバ単位でとびとびに供給し、第2のクロック信号はソースドライバ3C3、3C4、3C7、3C8…のように2ソースドライバ単位でとびとびに供給する構成としている。

【0076】図12は、タイミングコントローラ22Cの構成を示すブロック図である。クロック発生回路222Cではドットクロック信号から第1、第2のクロック信号を発生し前述のようにソースドライバに供給する。シリアル・パラレル変換ブロック221Cでは、例えば、入力画像データを少なくとも1ライン分を記憶できるメモリに記憶した後、前記メモリのデータを読み出し、1ラインデータ数(画素数)/N(Nはソースドライバ数)×4の単位で図12のA～Dポートのデータ配列を第1～第4のメモリ224C～227Cを介して生成し、次にマルチプレクサ228C、229Cにより第1、第3のメモリの出力、つまりAポートデータとCポートデータ、BポートデータとDポートデータをそれぞれ時分割多重化することにより、図15に示すような1ラインデータ数/Nのデータ単位で前半のデータに後半のデータを多重化した画像データの配列を実現する。これらのメモリ制御は同期信号を入力とするメモリ・位相調整回路224Bからの制御信号により行う。

【0077】図13は、第3の実施の形態のソースドライバの構成を示す図である。ソースドライバにはクロック信号として前記第1、第2のクロック信号が入力される。データレジスタからの出力が時分割多重化(インターリープ)によるデータ配列を入力画像データのデータ配列に変換されるようにデータレジスタに入力される点を除いて図3の機能及び構成と同様である。

【0078】図14は、本実施の形態の1ラインの動作を示すタイムチャートである。多重化データとクロック信号による画像データの取り込み及び4系統の画像データのラッチとソースドライバ出力の様子が示されている。基本的動作は図4におけるものと同様である。

【0079】第3の実施の形態においても、入力画像デ

ータを4系統の画像データに変換するとともに、クロック信号の繰り返し周波数は、前記4系統の画像データのデータレートの1/2にしており、ソースドライバでは、前記クロック信号の前縁及び/又は後縁で画像データを取り込むように構成しているから、前記クロック信号の繰り返し周波数を低下させ、かつタイムマージンを確保することを可能としている。特に、本実施の形態では、入力画像データが4系統でかつ多重化を行うことにより、一層の時間圧縮を可能とし、1ラインの画素数の増加による高精細化が可能となる。

【0080】なお、本実施の形態においても、一般にデータレートI(Iは正の整数)の入力画像データをデータレートI/2の4J(Jは正の整数)系統の画像データとし、前記画像データに同期するクロック周波数I/4のクロック信号と共に前記バスラインを介して液晶表示装置のソースドライバに供給し、前記ソースドライバは前記クロック信号により前記4J系統の画像データを取り込み階調電圧に変換して液晶表示装置を駆動するように構成することができる。

(第4の実施の形態)図16～図19は、本発明の第4の実施の形態を示す図である。本実施の形態では、画像データを4系統の画像データに変換して、4系統の画像データのデータレートの1/2の繰り返し周波数の第1、第2のクロック信号により画像データをソースドライバで取り込むように構成したものである。第3の実施の形態と比較して、画像データとクロック信号とは繰り返し周波数において同様の関係を有するものであるが、第3の実施の形態の図15のタイムチャートと本実施の形態の図19のタイムチャートとの比較で分かるように、Aポートデータ～Dポートデータのデータの配列構成が異なる。

【0081】本実施の形態の4系統の画像データの配列は、第2の実施の形態の図8に示すAポートデータ～Dポートデータのデータの配列の1ラインデータ数/N単位として、AポートデータにCポートデータを、BポートデータにDポートデータを多重化して、それぞれAポートデータ及びBポートデータとし、次の1ラインデータ数/Nのデータも、AポートデータにCポートデータを、BポートデータにDポートデータを多重化して、それぞれCポートデータ及びDポートデータとし4系列の40画像データの配列とした点に特徴を有する。

【0082】図16は、このようなデータ配列による液晶表示装置の駆動回路を示す図である。図1の構成と同様であるが4系統の画像データ及びクロック信号のソースドライバ3D1～3DNへの入力構成が異なる。

【0083】図17は、タイミングコントローラ22Dとソースドライバ3D間の信号線の構成を示す図である。タイミングコントローラ22Dは、画像データを入力し、Aポートデータ、Bポートデータ、Cポートデータ及びDポートデータとして、8ビット×3(三原色の50

データ)の4系統のデータを出力し、Aポートデータ及びBポートデータは3D1、3D2、3D5、3D6...のように2ソースドライバ単位でとびとびに供給し、Cポートデータ及びDポートデータは3D3、3D4、3D7、3D8...のように2ソースドライバ単位でとびとびに供給し、更に第1のクロック信号は奇数段のソースドライバ3D1、3D3...に供給し、第2のクロック信号は偶数段のソースドライバ3D2、3D4...に供給する構成としている。

10 【0084】図18は、タイミングコントローラ22Dの構成を示すブロック図である。クロック発生回路22Dではドットクロック信号から第1、第2のクロック信号を発生し前述のようにソースドライバに供給する。シリアル・パラレル変換ブロック221Dでは、例えば、入力画像データを少なくとも1ライン分を記憶できるメモリに記憶した後、前記メモリのデータを読み出し、1ラインデータ数(画素数)/N×4の単位で図18のA～Dポートデータのデータ配列を第1～第4のメモリ224D～227Dを介して生成し、次にマルチブレクサ228D、229Dにより第1、第2のメモリの出力、つまりAポートデータとBポートデータ、CポートデータとDポートデータをそれぞれ時分割で多重化することにより、図19に示すような1ラインデータ数/Nのデータ単位でAポートとBポートの多重化した前半のデータと、CポートとDポートを多重化した後半のデータとを多重化した4系列の画像データの配列を実現する。これらのメモリ制御は同期信号を入力とするメモリ・位相調整回路223Dからの制御信号により行う。

【0085】本実施の形態のソースドライバとしては、クロック信号として前記第1、第2のクロック信号が入力され、データレジスタからの出力が時分割多重化(インターリーブ)によるデータ配列を入力画像データのデータ配列に変換されるようにデータレジスタに入力される点を除いて図3の機能及び構成と同様である。

【0086】第4の実施の形態においても、入力画像データを4系統の画像データに変換するとともに、クロック信号の繰り返し周波数は、前記4系統の画像データのデータレートの1/2にしており、ソースドライバでは、前記クロック信号の前縁及び/又は後縁で画像データを取り込むように構成しているから、前記クロック信号の繰り返し周波数を低下させ、かつタイムマージンを確保することを可能としている。特に、本実施の形態では、入力画像データが4系統でかつ多重化を行うことにより、一層の時間圧縮を可能とし、1ラインの画素数の増加による高精細化が可能となる。

【0087】なお、以上の実施の形態では、入力画像データをそのデータレートの4系統の画像データとし、前記画像データに同期するクロック周波数1/2のクロック信号と共に前記バスラインを介して液晶表示装置のソースドライバに供給し、前記ソースドライバは前記クロ

ック信号により前記4系統の画像データを取り込み階調電圧に変換して液晶表示装置を駆動する例を示したが、これは一般的にデータレートI(Iは正の整数)の入力画像データをデータレートIの4J(Jは正の整数)系統の画像データとし、前記画像データに同期するクロック周波数I/2のクロック信号と共に前記バスラインを介して液晶表示装置のソースドライバに供給し、前記ソースドライバは前記クロック信号により前記4J系統の画像データを取り込み階調電圧に変換して液晶表示装置を駆動するように構成することができる。

(他の実施の形態)以上の実施の形態において、クロック信号として主に第1、第2の2つのクロック信号を使用した例により説明したが、使用するクロック信号は第1のクロック信号と第2のクロック信号とでは、互いに位相が180°異なる信号、つまり反転信号又は半周期ずれの関係にあるから、タイミングコントローラから出力するクロック信号として単一のクロック信号として、ソースドライバ内、特にシフトレジスタ等において反転信号を生成し、シフトレジスタ内部の第1、第2のクロック信号により、又は単一のクロック信号の前縁及び後縁を検出して、実質的にソースドライバへ入力するクロック信号の両縁で画像データを取り込むダブルエッジトリガ構成として動作させるように構成することができる。また、図20に示すように、第1、第2のクロック信号を同一としてそれぞれの前縁及び後縁により画像データを取り込むように構成することによりファンアウトを減少させ高速化を可能とすることができます。

【0088】以上の実施の形態の液晶表示装置の駆動回路においては、クロック信号の繰り返し周波数の低下により、EMI特性を改善するものであるが、本発明の画像データでは複数系統に分岐してタイミングコントローラからソースドライバに転送することから、バスラインが複数構成となるためバスラインからの電磁波の放射の影響も大きなものとなるので、画像データによる電磁波の放射を抑制する手段を併用すると好適である。

【0089】そこで、更に他の実施の形態として、バスラインの画像データの極性をそのビット変化量に応じて制御することにより画像データによる電磁波の放射を抑制するようにした、当出願人の出願(特願平11-35344号)に係るEMI特性の改善手段を併用する実施の形態について説明する。

【0090】以下、図面を参照して前述のバスラインの画像データの切り換え技術について説明する。

【0091】図21は同実施の形態による液晶表示装置の駆動回路の構成を示すブロック図である。同図において、5Eは液晶パネルであり、2Eはタイミングコントローラである。タイミングコントローラは画像データを24ビットずつデータBUS-A1~24、BUS-B1~24、BUS-C1~24、BUS-D1~24として4個のポートに分割して出力し、また、第1、第2

のクロック信号CLK1、CLK2、画像データのビット変化量に応じて出力する後述する極性反転信号INV-A~D及び第1、第2の制御信号SP1、SP2を出力し、画像表示を制御する。3-mはソースドライバ(以下、「SD」という。)であり、各SDは、複数の画素表示に対応する各駆動信号を発生し、m個のSD3-mによって液晶パネル5E全体を駆動し画像を表示する。

【0092】例えば、液晶パネル5Eの1ラインデータ数(画素数)は1280とすると、1個のSDの画素駆動数は128、SDの個数を示すmは10である。この10個のSD3-1~10の内、3-1が第一番目のSD、3-2が第二番目のSD、3-3が第三番目のSD、3-4が第四番目のSDであり、第五番目から第十番目のSD3-5~10は図示していない。なお、各SD3-1~10は、1画素当たり赤(R)、緑(G)、青(B)の3原色分を駆動するので、1個当たりのSDの出力数は128の3倍である384となっているが、図21ではそれら384本の出力を1本で代表して示している。

【0093】図21に示されるタイミングコントローラ2Eが出力するデータBUS-A1~24とBUS-B1~24とは、各々24ビット幅のバスラインを介して、SD3-1~10の内で奇数番目の各SD3-1、3、5、7、9に接続される。

【0094】同様に、タイミングコントローラ2Eが出力する極性反転信号INV-A、INV-Bとクロック信号CLK1および制御信号SP1も、奇数番目の各SD3-1、3、5、7、9に接続される。

【0095】一方、タイミングコントローラ2Eが出力するデータBUS-C1~24とBUS-D1~24とは、各々24ビット幅のバスラインを介して、SD3-1~10の内で偶数番目の各SD3-2、4、6、8、10に接続され、同様に、タイミングコントローラ2Eが出力する極性反転信号INV-C、INV-Dとクロック信号CLK2および制御信号SP2も、偶数番目の各SD3-2、4、6、8、10に出力される。

【0096】なお、上述した図21に示す実施の形態においては、奇数番目の各SD3-1、3、5、7、9と偶数番目の各SD3-2、4、6、8、10とに各々2ポートの出力を割り当てるによって、クロック信号CLK1またはCLK2の1クロック信号当たりの駆動画素数を2画素として各クロック周波数を1/2に減らしている。例えば、SD3-1においては、クロック信号CLK1の1クロック時間で、同時に、データBUS-A1~24とデータBUS-B1~24のデータが各々2つの画素に供給される。

【0097】また、上記データBUS-A1~24、B1~24、C1~24、D1~24のそれぞれ24ビットの信号の内訳は、赤(R)、緑(G)、青(B)の各

8ビットの信号であり、これらR、G、B信号によって256階調のカラー表示が実現される。

【0098】次に、上述した図21に示される構成の液晶表示装置の駆動回路において、液晶パネル5Eが駆動されて画像が表示される動作について説明する。

【0099】先ず、奇数番目の各SD3-1、3、5、7、9にはタイミングコントローラ2Eからクロック信号CLK1に同期して出力されるデータBUS-A1～24、BUS-B1～24、極性反転信号INV-A、INV-Bの各信号が入力され、同じく入力される制御信号SP1のタイミングでそれら入力される信号はラッチされる。このラッチされた極性反転信号INV-Aは、同じくラッチされたデータBUS-A1～24の極性が反転されているか否かを示しており、また、ラッチされた極性反転信号INV-Bは、同じくラッチされたデータBUS-B1～24の極性が反転されているか否かを示す。次いで、これらラッチした極性反転信号INV-A、INV-Bに応じて、各SD3-1、3、5、7、9はラッチしたデータBUS-A1～24、BUS-B1～24の極性を反転する。

【0100】一方、偶数番目の各SD3-2、4、6、8、10にはタイミングコントローラ2Eからクロック信号CLK2に同期して出力されるデータBUS-C1～24、BUS-D1～24、極性反転信号INV-C、INV-Dの各信号が入力され、同じく入力される制御信号SP2のタイミングでそれら入力される信号はラッチされる。このラッチされた極性反転信号INV-CはラッチされたデータBUS-C1～24の極性が反転されているか否かを示し、同様に、ラッチされた極性反転信号INV-DはラッチされたデータBUS-D1～24の極性が反転されているか否かを示す。次いで、各SD3-2、4、6、8、10は、それら極性反転信号INV-C、INV-Dに応じて、データBUS-C1～24、BUS-D1～24の極性を反転する。

【0101】次いで、各SD3-1～10は、液晶パネル5Eへの駆動開始を指示する各信号(図示されていない)が入力されると、それぞれに極性が反転されたあるいは未反転のデータBUS-A1～24、BUS-B1～24またはデータBUS-C1～24、BUS-D1～24に基づき階調電圧を発生する。前記階調電圧は液晶パネル5Eに入力され画像が表示される。

【0102】次に、図22～図27を参照して、上述したタイミングコントローラ2Eのデータ出力部の構成とその動作について説明する。

【0103】図22は、タイミングコントローラ2Eのデータ出力部の構成を示すブロック図である。図22に示されるように、データ出力部4は4個のポートA～Dを有し、各ポートA～Dが、上述した画像データBUS-A1～24、BUS-B1～24、BUS-C1～24、BUS-D1～24およびINV-A～Dをそれぞ

れ出力する。各ポートA～DのデータはポートA～D毎のデータ極性反転判定・生成部10-1～10-4によって生成される。

【0104】データ極性反転判定・生成部10-1～10-4には、96ビットのデータBUS1～96が、24ビットずつ四つに分割されて入力される。四つに分割されるデータBUS1～96の内、データBUS1～24はデータ極性反転判定・生成部10-1に、データBUS25～48はデータ極性反転判定・生成部10-2に、データBUS49～72はデータ極性反転判定・生成部10-3に、データBUS73～96はデータ極性反転判定・生成部10-4に、それぞれ入力される。また、クロック信号CLK1はデータ極性反転判定・生成部10-1、10-2へ入力され、クロック信号CLK2はデータ極性反転判定・生成部10-3、10-4へ入力される。これらクロック信号CLK1、2はタイミングコントローラ2Eから出力される。

【0105】次いで、ポートAのデータ極性反転判定・生成部10-1はデータBUS1～24の極性を反転するか否かを判定し、この判定結果に応じてデータ極性を反転しデータBUS-A1～24として出力する。さらに、この出力されるデータBUS-A1～24の極性が反転されている時には、同時に、極性が反転していることを示す極性反転信号INV-Aを「H」として出力する。また、他のポートB～Dの各データ極性反転判定・生成部10-2～4においては、同様に、各々入力されるデータBUS25～48、BUS49～72、BUS73～96の極性を反転するか否かを判定し、これらの判定結果に応じてデータ極性を反転しデータBUS-B1～24、BUS-C1～24、BUS-D1～24として出力する。また、データBUS-B1～24、BUS-C1～24、BUS-D1～24の極性が反転されている時には、同時に、各ポートB～Dが出力する極性反転信号INV-B～Dを各々「H」として出力する。

【0106】図23は、上述したクロック信号CLK1、2およびデータBUS1～96、BUS-A1～24、BUS-B1～24、BUS-C1～24、BUS-D1～24の位相関係を示す波形図である。図23(a)～(c)に示されるように、データBUS1～48はクロック信号CLK1の立ち上がりエッジ(図23ではPA1～3のタイミング)に同期して変化し、データBUS-A1～24、BUS-B1～24はクロック信号CLK1の立ち下がりエッジ(図23ではPB1～3のタイミング)に同期して変化する。一方、図23(d)～(f)に示されるように、データBUS49～96はクロック信号CLK2の立ち上がりエッジ(図23ではPB1～3のタイミング)に同期して変化し、データBUS-C1～24、BUS-D1～24はクロック信号CLK2の立ち下がりエッジ(図23ではPA1～3のタイミング)に同期して変化する。

~ 3 のタイミング) に同期して変化する。また、図 z (a)、(d) に示されるように、クロック信号 C L K 1 の位相とクロック信号 C L K 2 の位相とは半周期 (180°) ずれている。

【0107】ところで、タイミングコントローラ 2 E からはデータ B U S 1 ~ 9 6 が 4 個のポート A ~ D に分かれて出力されるが、これらポート A ~ D が同じタイミングで各信号を変化して出力するとタイミングコントローラ 2 E の瞬時電流が大きくなってしまう。この問題を解決するために、上記のようにクロック信号 C L K 1 の位相とクロック信号 C L K 2 の位相とを半周期ずらし、ポート A、B の出力変化とポート C、D の出力変化とは半周期ずれたタイミングとしている。このようにポート A、B とポート C、D の各出力変化をずらすことによって、4 個のポート A ~ D に分けて出力する場合においても同時に出力が変化するのは高々 2 ポート分なので、コントローラ 2 E の瞬時電流を 2 個のポートで出力する場合の瞬時電流と同程度に抑えることができる。

【0108】次に、データ極性反転判定・生成部 10 - 1 ~ 4 の構成とその動作について説明する。図 24 はデータ極性反転判定・生成部 10 - 1 ~ 4 のいずれか 1 つの一構成例を示すブロック図であって、データ極性反転判定・生成部 10 - 1 ~ 4 は全て同じ構成である。

【0109】図 24 において、図 22 の各データ極性反転判定・生成部 10 - 1 ~ 4 への入力であるデータ B U S 1 ~ 2 4、B U S 2 5 ~ 4 8、B U S 4 9 ~ 7 2、B U S 7 3 ~ 9 6 が入力されるデータ d a 1 ~ 2 4 であり、クロック信号 C L K 1、2 が入力されるクロック信号 c l k である。また、出力されるデータ d d 1 ~ 2 4 が各データ極性反転判定・生成部 10 - 1 ~ 4 から出力されるデータ B U S - A 1 ~ 2 4、B U S - B 1 ~ 2 4、B U S - C 1 ~ 2 4、B U S - D 1 ~ 2 4 であり、出力される信号 i n v 3 が極性反転信号 I N V - A ~ D である。1 1 はデータ d a 1 ~ 2 4 とデータ d c 1 ~ 2 4 の各 2 4 ビットの内で値の異なるビットが過半数以上 (13 ビット以上) あった場合に、データ極性の反転を指示する信号 i n v 1 を「H」として出力するデータ極性反転判定回路、1 2 は入力される信号 i n v 2 が「H」の区間に入力されるデータ d b 1 ~ 2 4 の全ビットの極性を反転して出力する極性反転回路である。1 3 - 1 ~ 2 4 は入力されるデータ d a 1 ~ 2 4 をクロック信号 c l k の立ち下がりエッジで各々ラッチし、データ d b 1 ~ 2 4 として出力する D フリップフロップ、1 4 - 1 ~ 2 4 は入力されるデータ d c 1 ~ 2 4 をクロック信号 c l k の立ち下がりエッジで各々ラッチし、データ d d 1 ~ 2 4 として出力する D フリップフロップである。1 5、1 6 は各々入力される信号 i n v 1、i n v 2 をクロック信号 c l k の立ち下がりエッジでラッチし、信号 i n v 2、i n v 3 として各々出力する D フリップフロップである。

【0110】図 25 は、上述した図 24 に示されるデータ極性反転判定・生成部 10 - 1 ~ 4 の各部の波形を示す波形図である。いま、クロック信号 c l k を図 25 (a) に、また入力データ d a 1 ~ 2 4 を図 25 (b) に示すものとする。図 25 (b) に示されるように入力データ d a 1 ~ 2 4 は初め 2 4 ビット全てが 1 であり、クロック信号 c l k の立ち上がりエッジ t 1 のタイミングで 2 4 ビット全てが 1 から 0 に変化し、立ち上がりエッジ t 3 のタイミングで 2 4 ビット全てが 0 から 1 に変化する。このように変化するデータ d a 1 ~ 2 4 が入力されると D フリップフロップ 1 3 - 1 ~ 2 4 の出力は図 25 (c) に示す波形となり、クロック信号 c l k の立ち下がりエッジ t 2 のタイミングで 2 4 ビット全てが 1 から 0 に変化し、立ち下がりエッジ t 4 のタイミングで 2 4 ビット全てが 0 から 1 に変化する。

【0111】図 25 (d) は極性反転回路 1 2 の出力データ d c 1 ~ 2 4 の波形を示し、図 25 (e) の波形に示す D フリップフロップ 1 5 の出力信号 i n v 2 が「H」の区間に入力されるデータ d b 1 ~ 2 4 の全ビットが、極性反転回路 1 2 によって 0 から 1 に反転されて出力される。図 25 (b) のデータ d a 1 ~ 2 4 と図 25 (d) のデータ d c 1 ~ 2 4 とがデータ極性反転回路 1 1 に入力されると、t 1 のタイミングでデータ d a 1 ~ 2 4 が全て 0 となることによってデータ d c 1 ~ 2 4 と異なるビット数が過半数以上となり、データ極性反転回路 1 1 は信号 i n v 1 を「H」として出力する。このデータ極性反転回路 1 1 から出力される信号 i n v 1 の「H」を t 2 のタイミングで D フリップフロップ 1 5 がラッチして信号 i n v 2 に「H」を出力する。次いで、t 3 のタイミングでデータ d a 1 ~ 2 4 が全て 1 となることによってデータ d c 1 ~ 2 4 と異なるビット数が過半数未満となり、データ極性反転回路 1 1 は信号 i n v 1 を「L」として出力し、t 4 のタイミングで D フリップフロップ 1 5 によってラッチされ、信号 i n v 2 は「L」となる。

【0112】図 25 (f) は D フリップフロップ 1 4 - 1 ~ 2 4 が出力するデータ d d 1 ~ 2 4 の波形を示し、図 25 (d) に示すデータ d c 1 ~ 2 4 がクロック信号 c l k の立ち下がりエッジのタイミングでラッチされ出力されており、全ビット変化が無く 1 である。また、図 25 (g) は D フリップフロップ 1 6 が出力する信号 i n v 3 の波形を示し、入力データ d a 1 ~ 2 4 の極性が 0 から 1 に反転されてデータ d d 1 ~ 2 4 に出力されるタイミング t 4 ~ t 5 の区間に「H」となる。

【0113】次に、図 26 はデータ極性反転判定回路 1 1 の一構成例を示す回路図である。この図において、2 1 は 2 4 個の E O R (Exclusive OR) 回路 2 3 で構成され、図 24 のデータ d a 1 ~ 2 4 とデータ d c 1 ~ 2 4 との対応する各ビット同士で排他的論理和をとることによって、データ d c 1 ~ 2 4 からデータ d a 1 ~ 2 4 へ

の各ビットの極性の変化を検出する極性変化検出回路、22は24個のEOR回路23の出力から13個の出力を選択して論理積をとる組合せ数分の13入力AND回路24とそれら13入力AND回路24の全ての出力の論理和をとるOR回路25で構成される多数決回路である。この多数決回路によって、極性変化検出回路21の各出力A1～24のうち、「H」となる出力数が過半数の13以上の場合に出力信号inv1を「H」とし、「H」となる出力数が過半数未満の12以下の場合に出力信号inv1を「L」とする。

【0114】図27は極性変化検出回路21の動作を説明するための表であり、第一行目は入力データda1～24、dc1～24および極性変化検出回路21の出力A1～24の各ビット番号n(nは1～24の整数)であり、第二～第四行目は各ビット番号nに対応するデータdan、dcn、EOR回路23の出力Anの値の例である。この表において、ビット番号2～5、23のデータdan、dcnの値が異なっており、それら値が異なっているビットに対応するビット番号2～5、23の出力Anの値が「H」となる。このように検出された異なるビットの数が過半数の13以上の場合に、出力信号inv1には「H」が出力される。

【0115】図28は上述したデータ出力部4において、出力ポートを4個のポートA～Dに分割し、ポートA～D毎にデータ極性を反転することにより得られる効果を説明するための表である。なお、説明の便宜上、データ極性反転判定・生成部に入力されるデータの総ビット数を24とし、出力ポートを2個のポートに分割して12ビットずつデータ極性を反転する場合について説明する。

【0116】図28(a)～(d)において、第一行目は第二～第四行目に示すデータのビット番号n(nは1～24の整数)であり、第二行目は1クロック前の出力データXn、第三行目は現在の入力データYn、第四行目は第三行目に示す現在の入力データYnに対応する出力データZnである。

【0117】なお、図28(a)～(d)に示す表中のデータXn、Yn、Znの値は一例であり、これらの表においては、データXnに対して、データYnの24ビットの内で半分の12ビットの極性が変化する例が示されている。また、図28(a)に示す表はデータ極性反転判定・生成部を1個用いて、24ビット単位でデータ反転を行った場合の例であり、図28(b)～(d)に示す表はデータ極性反転判定・生成部を2個用いて、24ビットのデータをビット番号1～12と13～24の二つに分割して、12ビット単位でデータ反転を行った場合の例である。

【0118】先ず、図28(a)に示す表のデータXnは全て「L」、データYnは、ビット番号1～7、13～17の12ビットが「H」である。この図28(a)

の場合は、24ビット単位で過半数以上のデータの変化が有るか否かが判定されるので、過半数未満の12ビットの変化のためにデータ反転されずデータYnがそのまま出力データZnとなる。この結果、データ出力の変化量は12ビットとなり、24ビット単位でデータ反転を行う場合の最大変化量となる。

【0119】次いで、図28(b)に示す表のデータXnは全て「L」、データYnは、ビット番号1～7、13～17の12ビットが「H」であり、図28(a)の10場合と同じである。しかし、この図28(b)の場合は、12ビット単位で過半数以上のデータの変化が有るか否かが判定されるので、ビット番号1～12の判定結果は過半数以上の7ビットの変化のためにデータ反転となり、ビット番号1～12の出力データZnはデータYnがデータ反転されたものとなる。一方、ビット番号13～24では5ビットしか変化せず、変化量が過半数に及ばないためデータ反転は行われない。この結果、データ出力の変化量はビット番号8～12の5ビット分とビット番号13～17の5ビット分の合計10ビットとなり、24ビット単位でデータ反転を行う場合に比して2ビット分変化量が少ない。

【0120】同様に、図28(c)に示す表の場合は、ビット番号1～12のデータYnがデータ反転されてデータZnとして出力された結果、このデータ出力の変化量はビット番号9～12の4ビット分とビット番号13～16の5ビット分の合計8ビットとなり、24ビット単位でデータ反転を行う場合に比して4ビット分変化量が少なくなる。

【0121】さらに、図28(d)に示す表の場合で30は、ビット番号1～12のデータYnがデータ反転されてデータZnとして出力された結果、このデータ出力の変化量はビット番号10～12の3ビット分とビット番号13～15の3ビット分の合計6ビットとなり、24ビット単位でデータ反転を行う場合に比して6ビット分変化量が少くなり、変化量を半分に抑えることができる。

【0122】さらに、図示していないが、データYnのビット番号1～11、13の12ビットが「H」である場合には、同様にデータYnがデータ反転されてデータZnとして出力された結果、このデータ出力の変化量はビット番号12、13の2ビット分となる。また、データYnのビット番号1～12の12ビットが「H」である場合には、同様にデータYnがデータ反転されてデータZnとして出力された結果、このデータ出力の変化量は0ビット分(出力に極性の変化無し)となる。

【0123】上述したように24ビットの内で同じ12ビットの変化量のデータ入力に対し12ビットずつ二つに分割してデータ反転を行うことによって、24ビット単位でデータ反転を行う場合の最大変化量が12ビットである時に、二つに分割してデータ反転した場合の最小

変化量は2ビットとなる。すなわち、12ビットずつ二つに分割してデータ反転を行うことによって、24ビット単位でデータ反転を行う場合に比してデータ出力の変化量を最大で0に減らすことができる。

【0124】なお、図28では説明の便宜上、入力されるデータのビット数を24とし出力ポートを2個のポートに分割する例について説明したが、上述した一実施の形態のように96ビットのデータBUS1～96を4個のポートA～Dに分割し、24ビット単位でデータ反転する場合においてもデータ出力の変化量を減らす効果が得られる。また、上述した一実施の形態では、R、G、B各8ビットずつの合計24ビット単位でデータ反転する構成としたが、各色毎の8ビット単位でデータ反転する構成にしても良い。

【0125】なお、上述した一実施の形態では、256階調3色表示の場合について示したが、階調数または色数については種々変更することができる。

【0126】このようにデータ出力の変化量が減ることによって、データ出力部4のデータ出力に要する消費電力が低減される効果が得られる。この消費電力が低減される効果によって、上述した一実施の形態による液晶表示装置の駆動回路では、データ反転機能を使用しない従来の液晶表示装置の駆動回路に比して、消費電力が25%も低減した。

【0127】さらに、データ出力の変化に起因して発生するノイズが低減されるという効果も得られる。

【0128】図29はこのノイズが低減されるという効果が得られた測定結果を示す波形図であり、この図に示す波形は、上述した一実施の形態による液晶表示装置の駆動回路を用いて液晶パネル5Eを駆動した時のEMI特性の測定結果である。なお、図29に示すEMI特性の測定においては、液晶表示装置に取り付けられるシールド板を外し、液晶表示装置の駆動回路および液晶パネル5Eから直接放射される電磁妨害雑音を測定した。

【0129】また、図31に示す波形は、図29に示すEMI特性の測定と同一条件において測定された波形であって、図30に示すようなデータ反転機能を使用しない従来の液晶表示装置の駆動回路を用いて液晶パネルを駆動した時のEMI特性を示す。

【0130】図29と図31に示す波形において、横軸は電磁妨害雑音の周波数をメガヘルツ(MHz)単位で示し、縦軸は電磁妨害雑音の強さをデシベル(dB)単位で示す。これら図29と図31の波形に示されるEMI特性を比較すると、上述した一実施の形態による液晶表示装置の駆動回路を用いることによって、40～230MHzの周波数帯域において10dB以上の電磁妨害雑音の低減効果が得られた。

【0131】

【発明の効果】以上詳細に説明したように本発明によれば、データレートI(Iは正の整数)の入力画像データ

をデータレートI/2の2J(Jは正の整数)系統の画像データとして2Jのバスラインを介して液晶表示装置のソースドライバに供給し、この画像データを取り込むクロック信号(第1、第2クロック信号)を前記画像データに同期するクロック周波数I/4の2相又は単一のクロック信号とし、ソースドライバでは、実質的に前記クロック信号の前縁及び後縁のタイミングで前記画像データを取り込むように構成しているから、従来の液晶表示装置の駆動回路と比較してクロック信号の繰り返し周波数を低下させ、かつタイムマージンを確保することを可能としている。

【0132】また、データレートI(Iは正の整数)の入力画像データをデータレートI/2の4J(Jは2以上の正の整数)系統の画像データとして、4Jのバスラインを介して液晶表示装置のソースドライバに供給し、この画像データを取り込むクロック信号を画像データに同期するクロック周波数I/4の2相又は単一のクロック信号とし、ソースドライバでは、実質的に前記クロック信号の前縁及び後縁で画像データを取り込むように構成しているから、従来の液晶表示装置の駆動回路と比較してクロック信号の繰り返し周波数を低下させ、かつタイムマージンを確保することを可能としている。

【0133】更に、データレートI(Iは正の整数)の入力画像データをデータレートIの4J(Jは2以上の正の整数)系統の画像データとし、前記画像データに同期するクロック周波数I/2の2相又は単一のクロック信号と共に前記バスラインを介して液晶表示装置のソースドライバに供給し、前記ソースドライバでは実質的に前記クロック信号の前縁及び後縁のタイミングで前記4J系統の画像データを取り込むようになっているから、従来の液晶表示装置の駆動回路と比較してクロック信号の繰り返し周波数を低下させ、かつタイムマージンを確保することを可能としている。特に、入力画像データが4J系統でかつ多重化を行うことにより、一層の時間圧縮を可能とし、1ラインの画素数の増加による高精細化が可能となる。

【0134】また、本発明によれば、画像データの変化するビット数が過半数以上ある場合に、全画像データの極性(論理状態)を反転してバスラインへ出力し、また、このバスラインへ出力される画像データの極性の反転を示す極性反転信号を出力しソースドライバで画像データを正しく再現するように構成することにより、バスラインにおけるビット変化量を画像データの半数以下に低減することができ従来の液晶表示装置の駆動回路に比して消費電力を少なくすることが可能であるとともに、EMI特性を改善することが可能である。

【0135】また、EMI特性が改善されることによって、従来の液晶表示装置の駆動回路において必要であった高価なEMI対策用部品を使用する必要が無くなるの

で、従来の液晶表示装置に比してコストを低減することができる。

【0136】さらに、本発明を使用した液晶表示装置のEMI特性と未使用の液晶表示装置のEMI特性とを比較することによって、バスラインに起因するノイズがどの周波数で放射されているか分かるので、従来においては困難であった液晶表示装置から放射される電磁妨害雑音がバスラインに起因するノイズか否かを切り分けることが可能となる。

【0137】また、バスラインへの出力の極性の変化量が低減されることによって、データ誤りの原因となるバスライン間のクロストークノイズが低減されるという効果も得られる。

【0138】さらに、データ極性反転判定手段と極性反転手段とをバスライン毎に設けるようにしたので、バスライン毎にデータの極性が反転されることにより、バスラインへの出力の極性の変化量をより低減することができる。

【0139】さらに、半数のバスラインのクロックと他の半数のバスラインのクロックとでは位相を半周期ずらすようにしたので、バスラインへの出力において同時に極性が変化する量を減らせることが可能となり、バスラインを駆動するタイミングコントローラの瞬時電流を低減することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の液晶表示装置の全体構成を示す図である。

【図2】タイミングコントローラ22Aの構成を示すブロック図である。

【図3】ソースドライバ3Aの構成を示す図である。

【図4】図1の液晶表示装置の1ラインの動作を示すタイムチャートである。

【図5】画像データとクロック信号の関係を示すタイムチャートである。

【図6】第2の実施の形態のタイミングコントローラとソースドライバの接続構成を示す図である。

【図7】タイミングコントローラ22Bの構成を示すブロック図である。

【図8】画像データとクロック信号の関係を示すタイムチャートである。

【図9】前記A～Dポートデータの構成法を示す図である。

【図10】第3の実施の形態の液晶表示装置の全体構成を示す図である。

【図11】タイミングコントローラとソースドライバの接続構成を示す図である。

【図12】タイミングコントローラ22Cの構成を示すブロック図である。

【図13】ソースドライバの構成を示す図である。

【図14】本実施の形態の1ラインの動作を示すタイム

チャートである。

【図15】本実施の形態の画像データとクロック信号の関係を示すタイムチャートである。

【図16】第4の実施の形態の液晶表示装置の全体構成を示す図である。

【図17】タイミングコントローラとソースドライバの接続構成を示す図である。

【図18】タイミングコントローラ22Dの構成を示すブロック図である。

【図19】画像データとクロック信号の関係を示すタイムチャートである。

【図20】画像データとクロック信号の関係を示すタイムチャートである。

【図21】バスラインの画像データの切り換え技術を適用した他の実施の形態を示すブロック図である。

【図22】図21のタイミングコントローラの構成を示す図である。

【図23】図22のデータ出力部の信号の位相関係を示す図である。

【図24】図22の極性反転判定・生成部10-1～4の一構成例を示すブロック図である。

【図25】図24に示されるデータ極性反転判定・生成部10-1～4の動作を示す図である。

【図26】図25のデータ極性反転判定回路11の一構成例を示す図である。

【図27】図26の極性変化検出回路21の動作を説明するための表である。

【図28】図21の実施の形態の効果を説明するための表である。

【図29】図21の実施の形態のEMI特性の計測結果を示す図である。

【図30】バスラインの画像データの切り換え技術を適用しない従来例の駆動回路を示す図である。

【図31】図30に示す駆動回路にバスラインの画像データの切り換え技術を適用した場合のEMI特性の計測結果を示す図である。

【図32】従来例の液晶表示装置の全体構成を示す図である。

【図33】従来の液晶表示装置のタイミングコントローラとソースドライバの接続構成を示す図である。

【図34】従来例の画像データ及びクロック信号に関する駆動方式を示す図である。

【図35】第2の従来例の液晶表示装置のタイミングコントローラとソースドライバの接続構成を示す図である。

【図36】タイミングコントローラとソースドライバ間の信号のタイムチャートを示す図である。

【図37】第3の従来例の液晶表示装置のタイミングコントローラとソースドライバの接続構成を示す図である。

33

34

【図3.8】タイミングコントローラとソースドライバ間の信号のタイムチャートを示す図である。

【図39】第4の従来例の液晶表示装置のタイミングコントローラとソースドライバの接続構成を示す図である。

【図40】タイミングコントローラとソースドライバ間の信号のタイムチャートを示す図である。

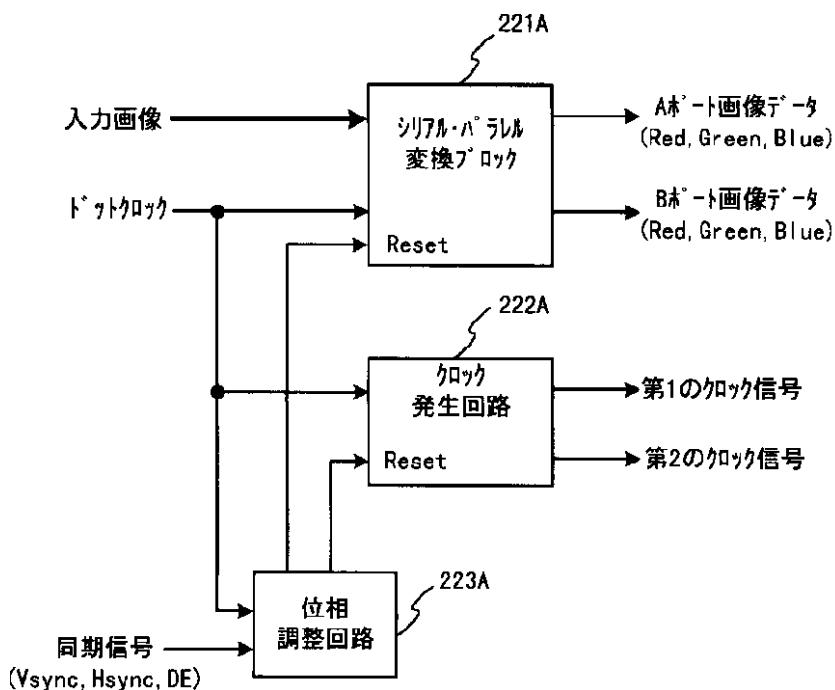
【符号の説明】

- 1 グラフィックコントローラ
 - 1 2 トランスマッタ
 - 2 インターフェース
 - 2 1 レシバ
 - 2 2 タイミングコントローラ
 - 2 3 電源回路

- * 2 2 1 シリアル・パラレル変換ブロック
 - 2 2 2 クロック発生回路
 - 2 2 3 位相調整回路
 - 2 2 7 メモリ
 - 3 ソースドライバ
 - 3 1 シフトレジスタ
 - 3 2 データレジスタ
 - 3 3 データラッチ
 - 3 4 レベルシフタ
 - 3 5 D / A コンバータ
 - 3 6 出力バッファ
 - 4 ゲートドライバ
 - 5 液晶パネル

*

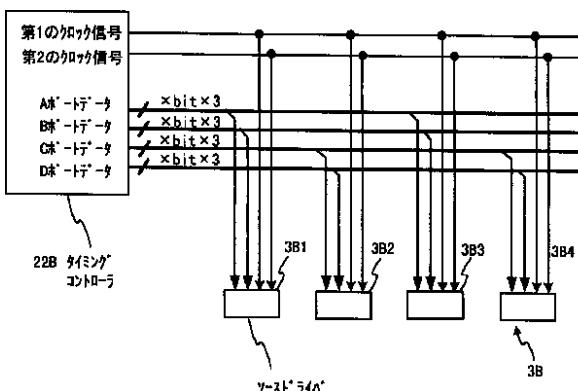
【図2】



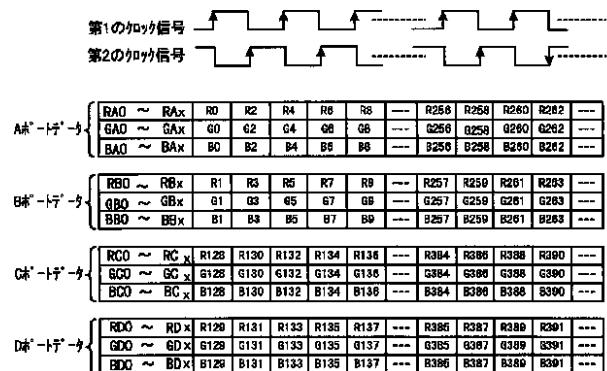
【図9】



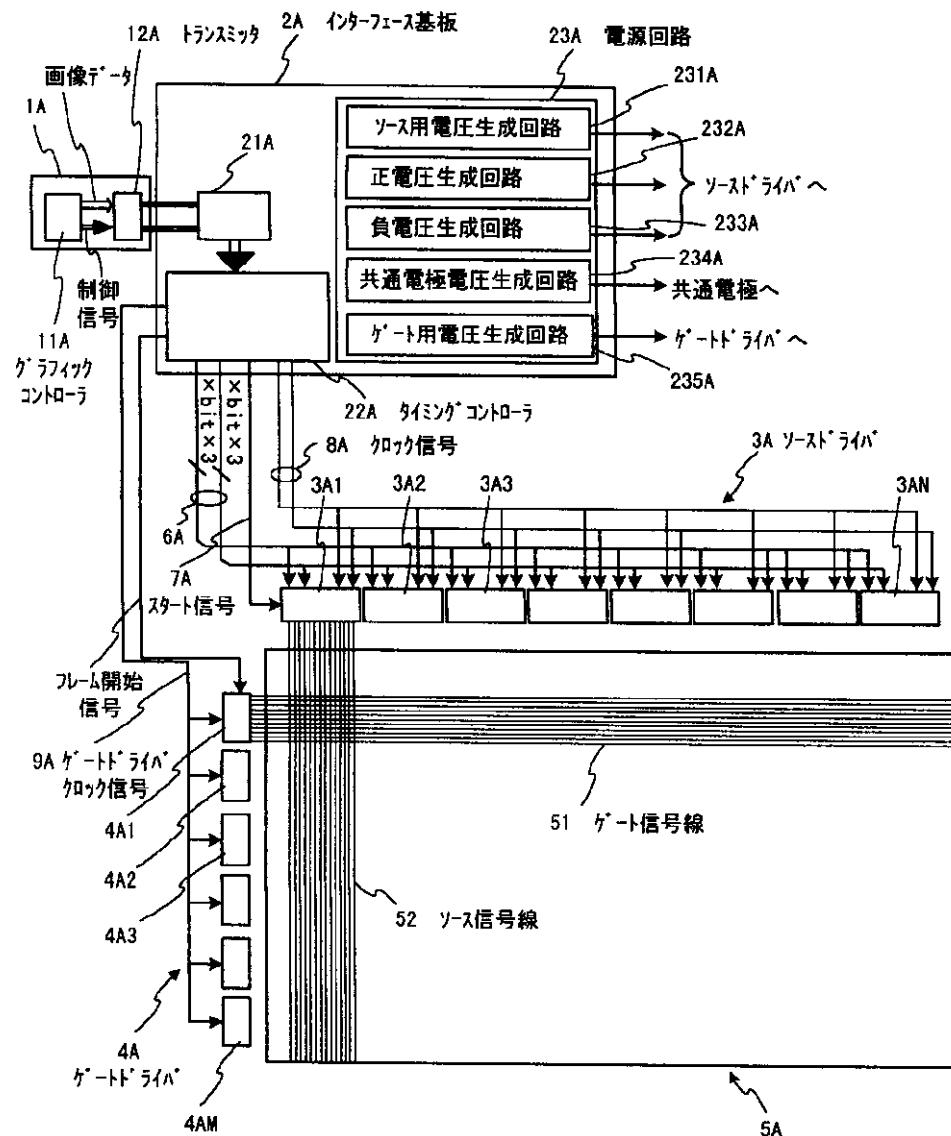
【図6】



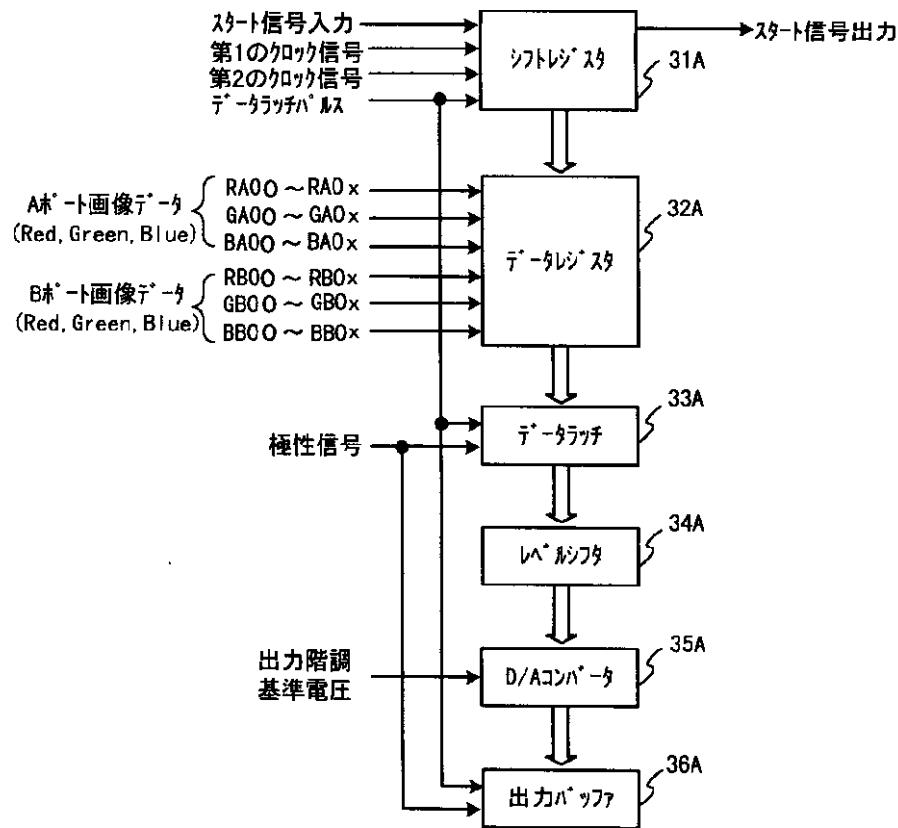
【図8】



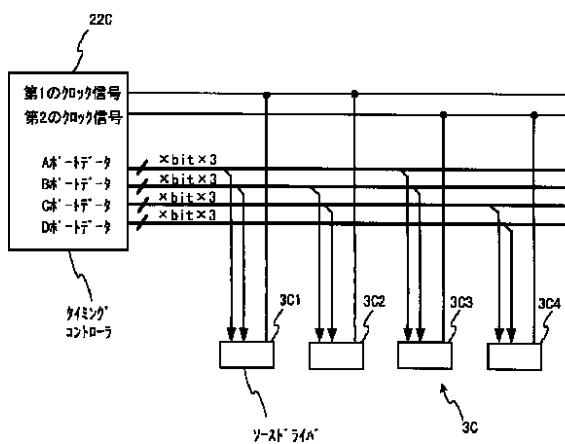
【図1】



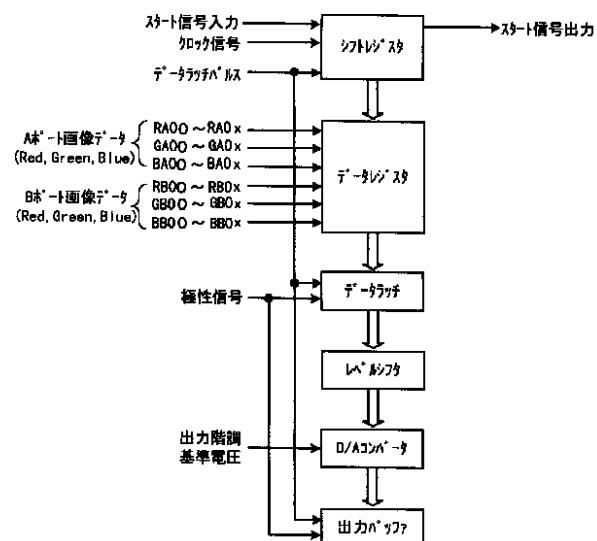
【図3】



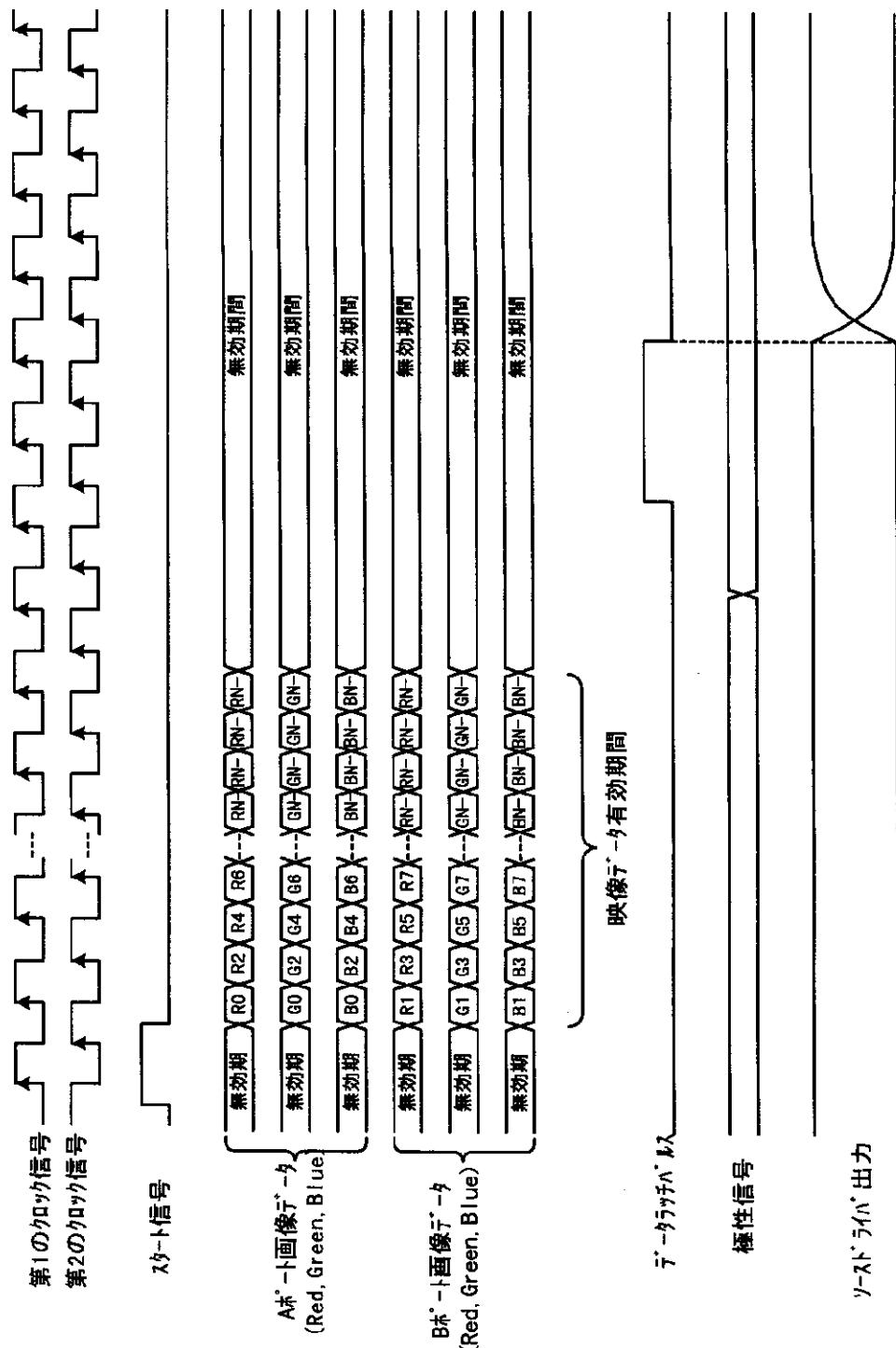
【図11】



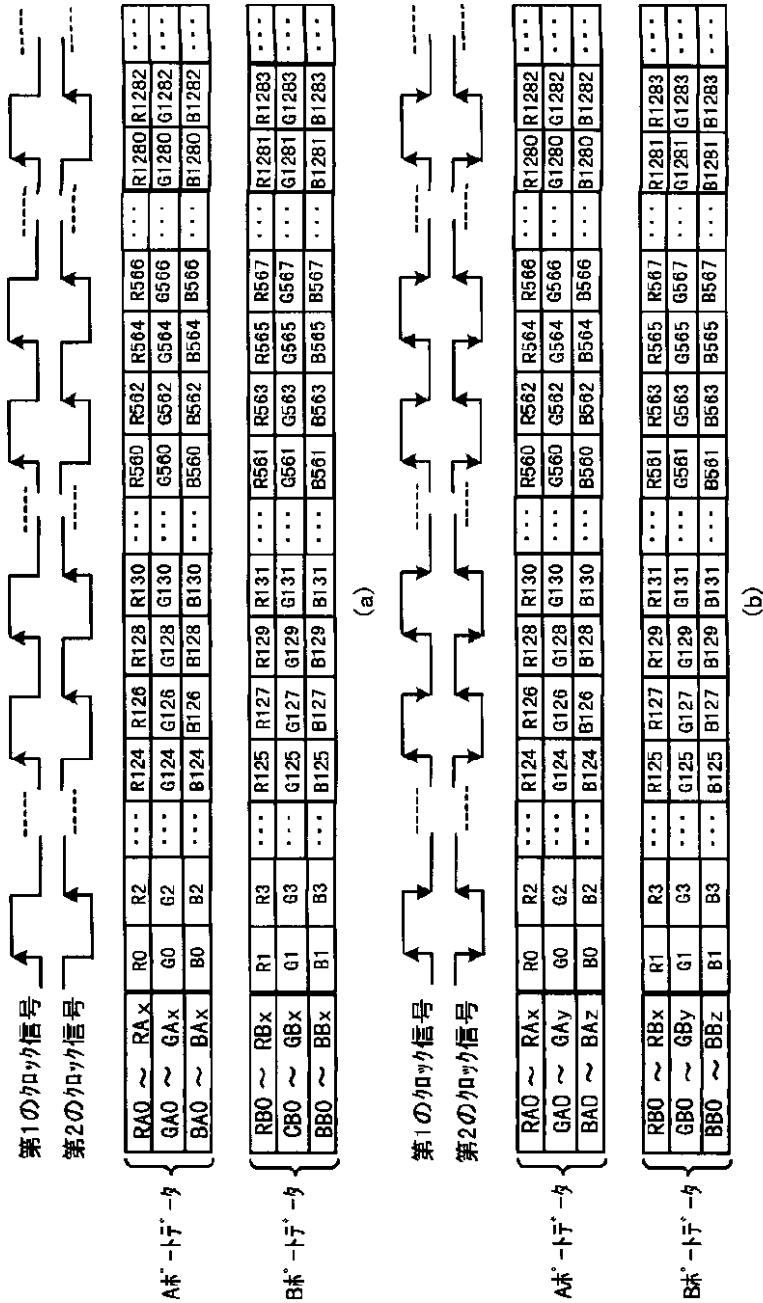
【図13】



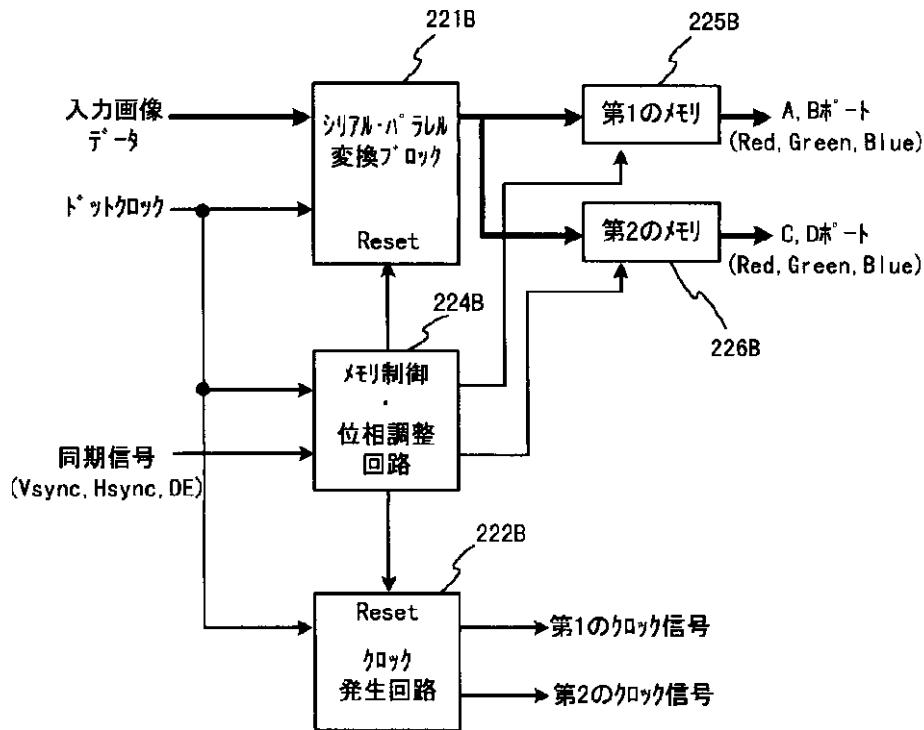
【図4】



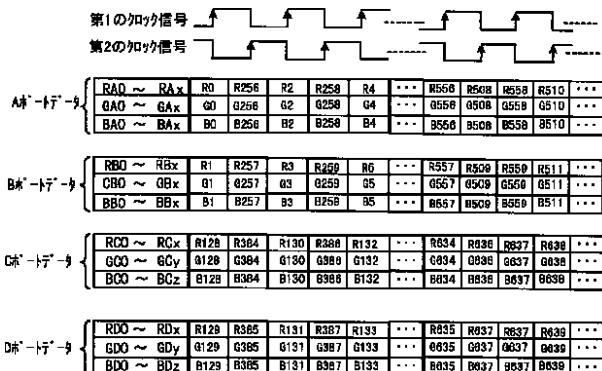
【図5】



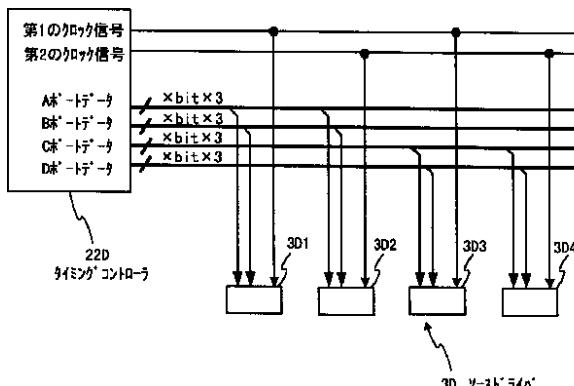
【図7】



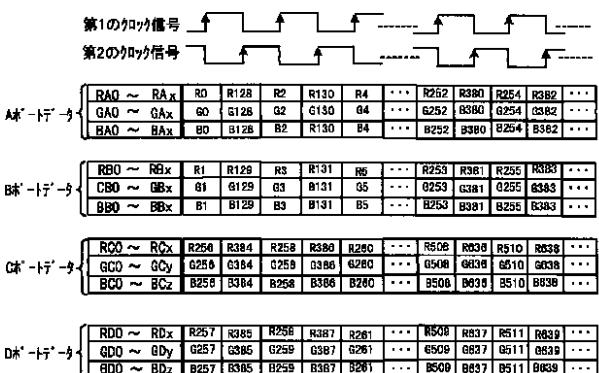
【図15】



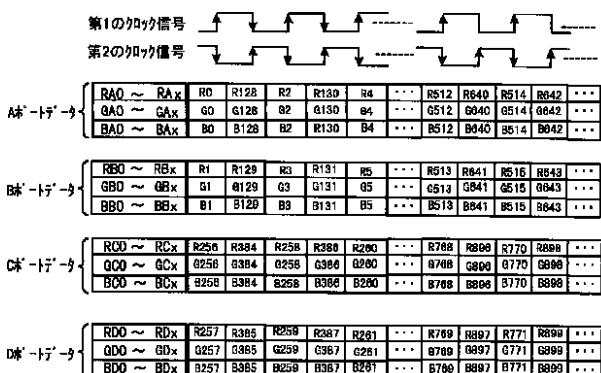
【図17】



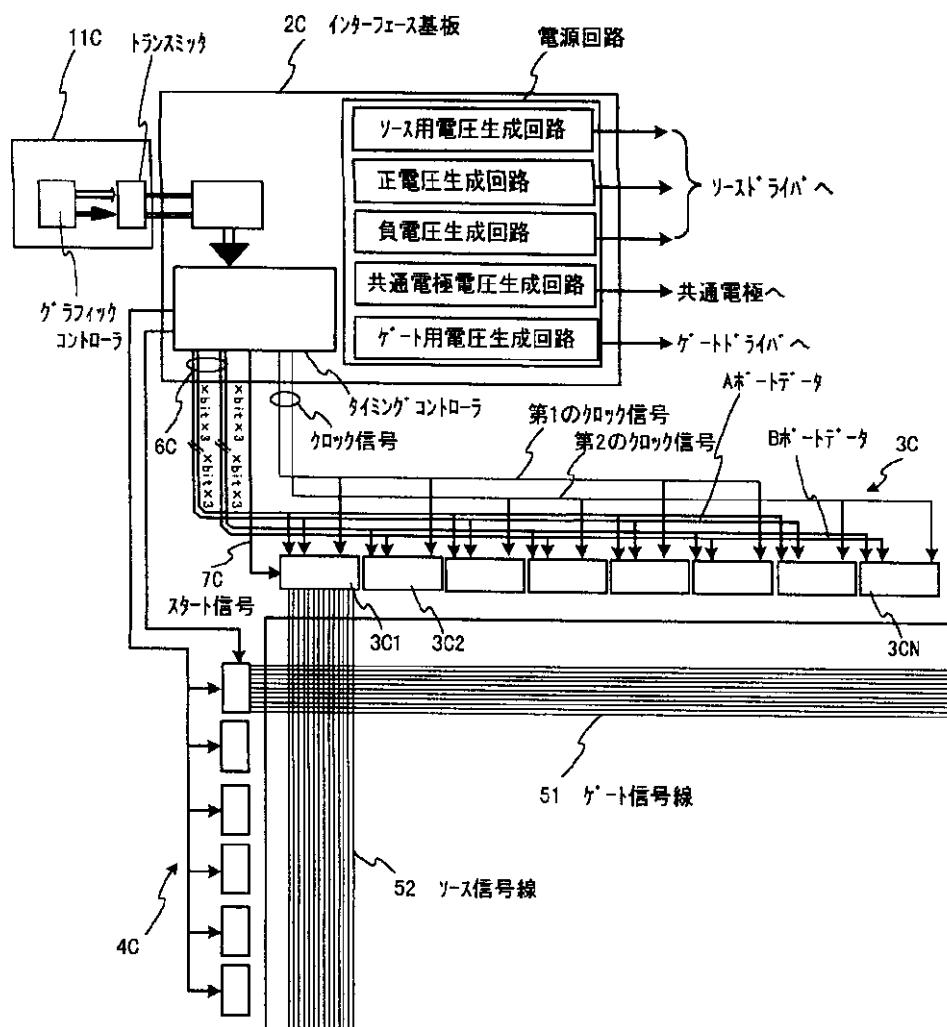
【図19】



【図20】



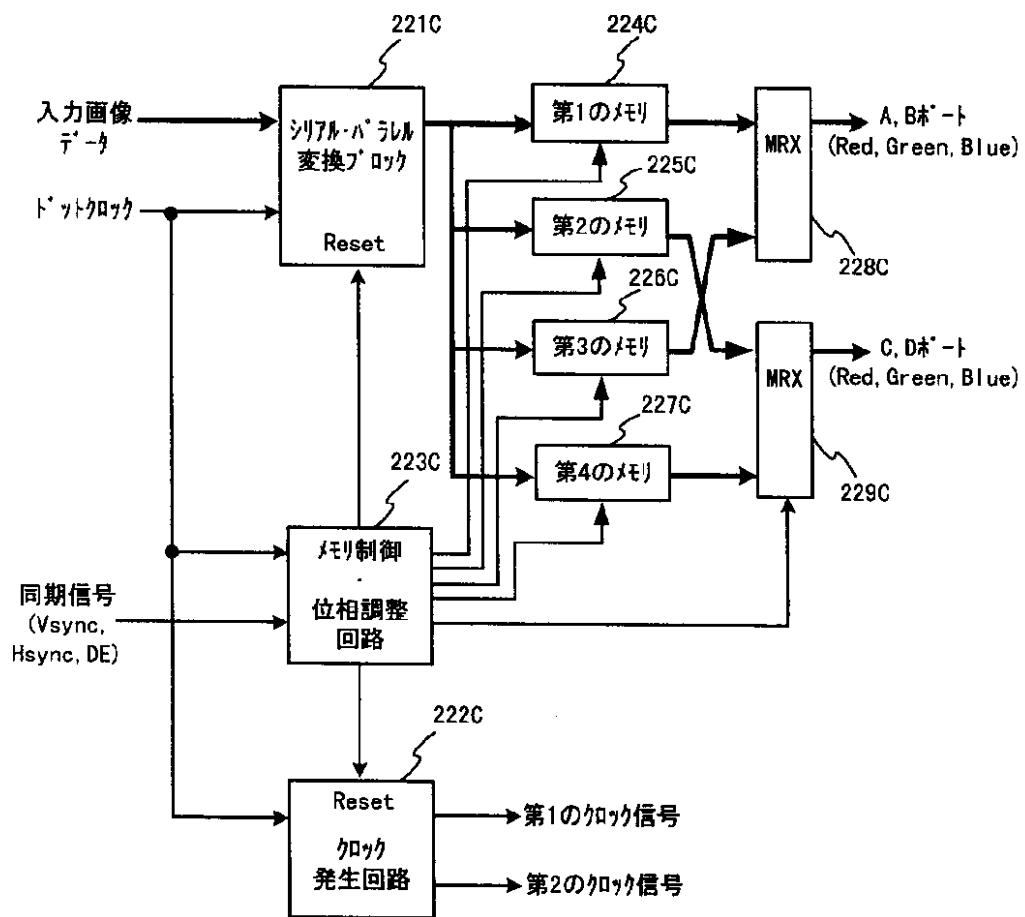
【図10】



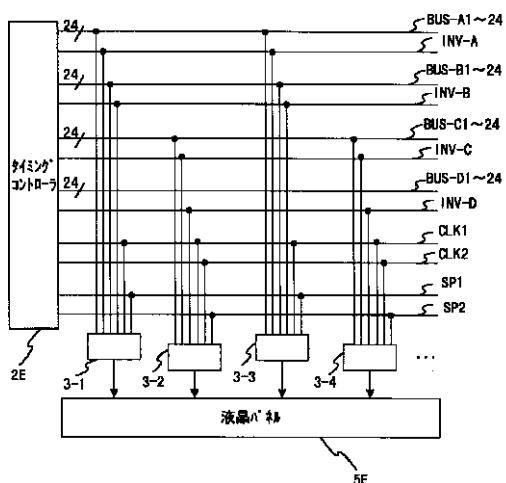
【図27】

n	1	2	3	4	5	22	23	24
dat	H	H	L	H	H	H	H	H
dcl	H	L	H	L	L	H	L	H
An	L	H	H	H	H	L	H	L

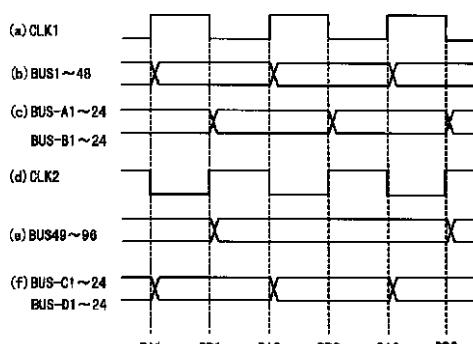
【図12】



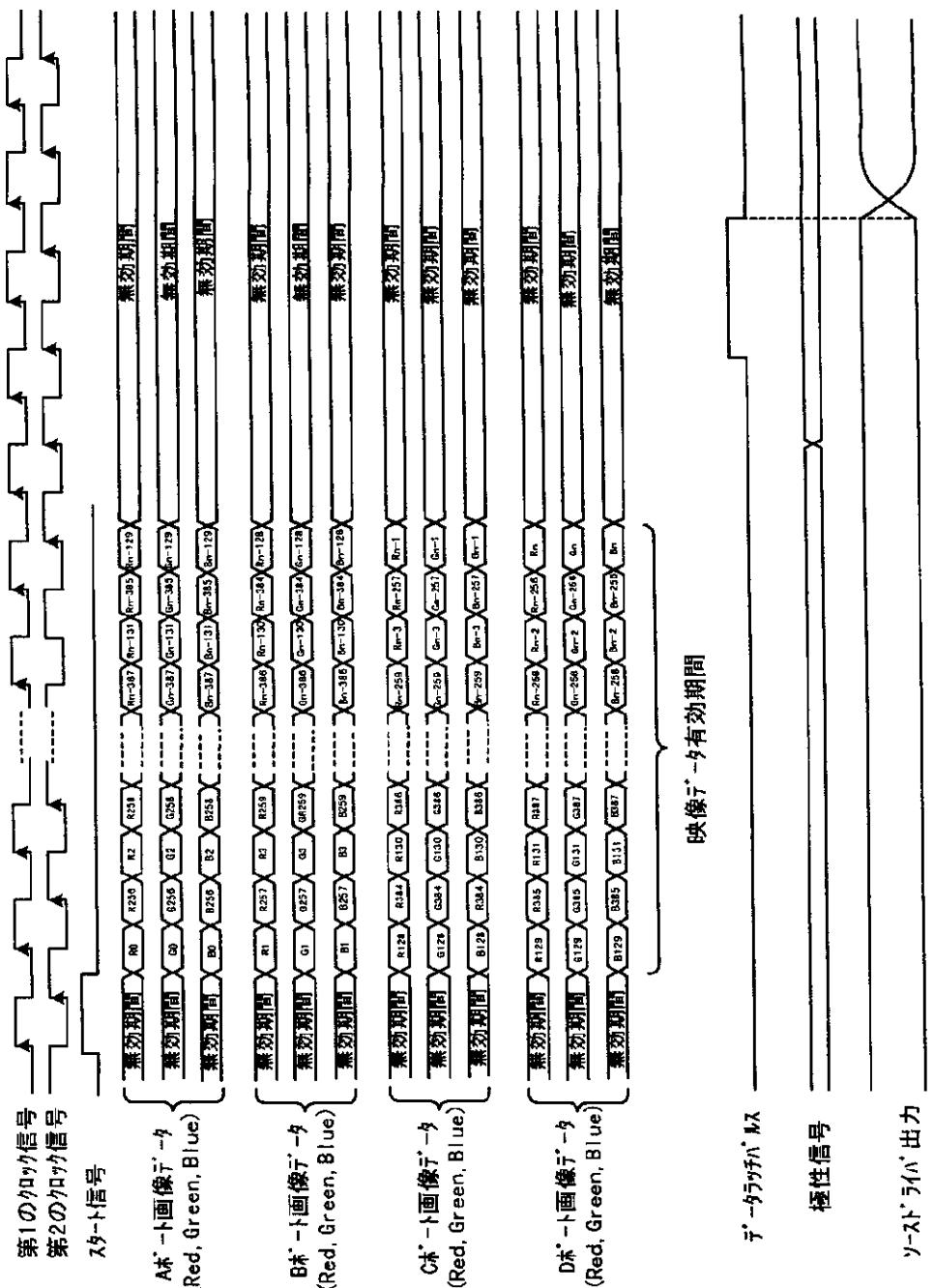
【図21】



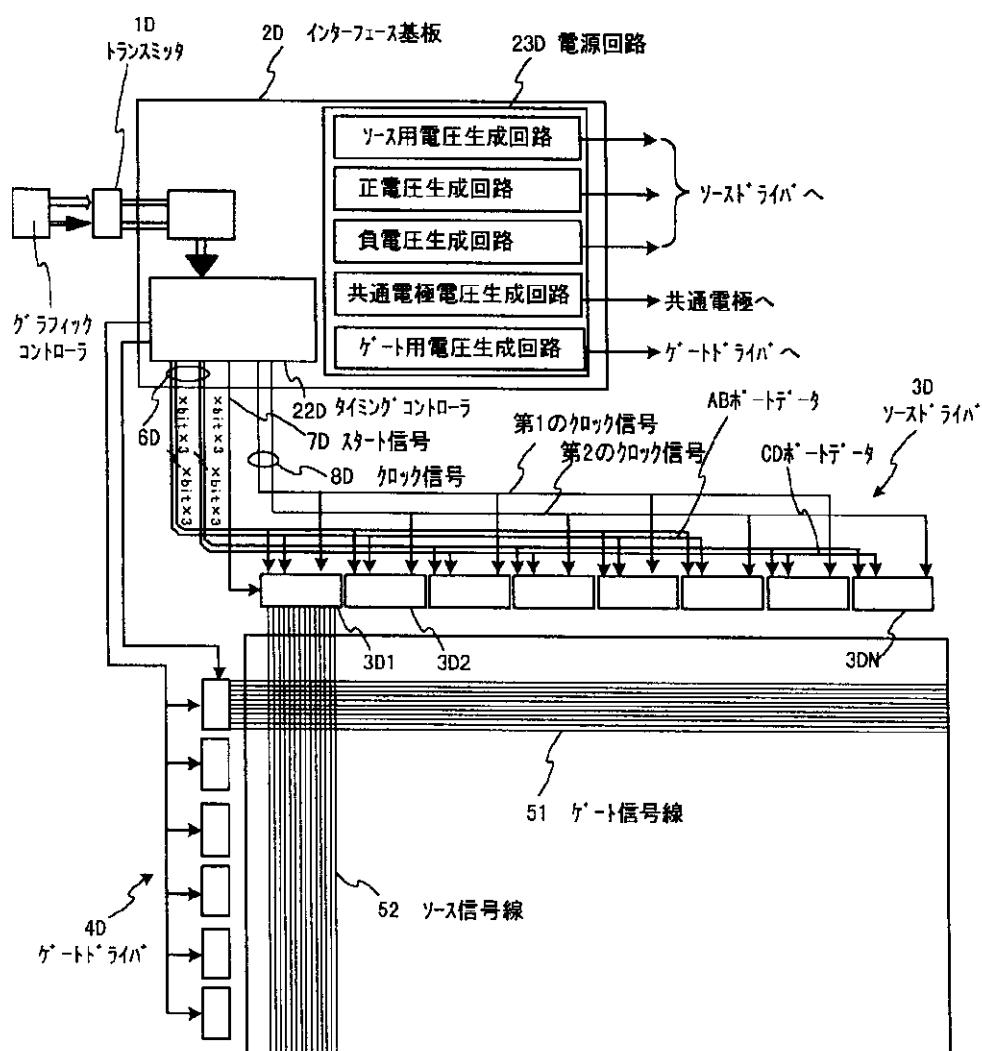
【図23】



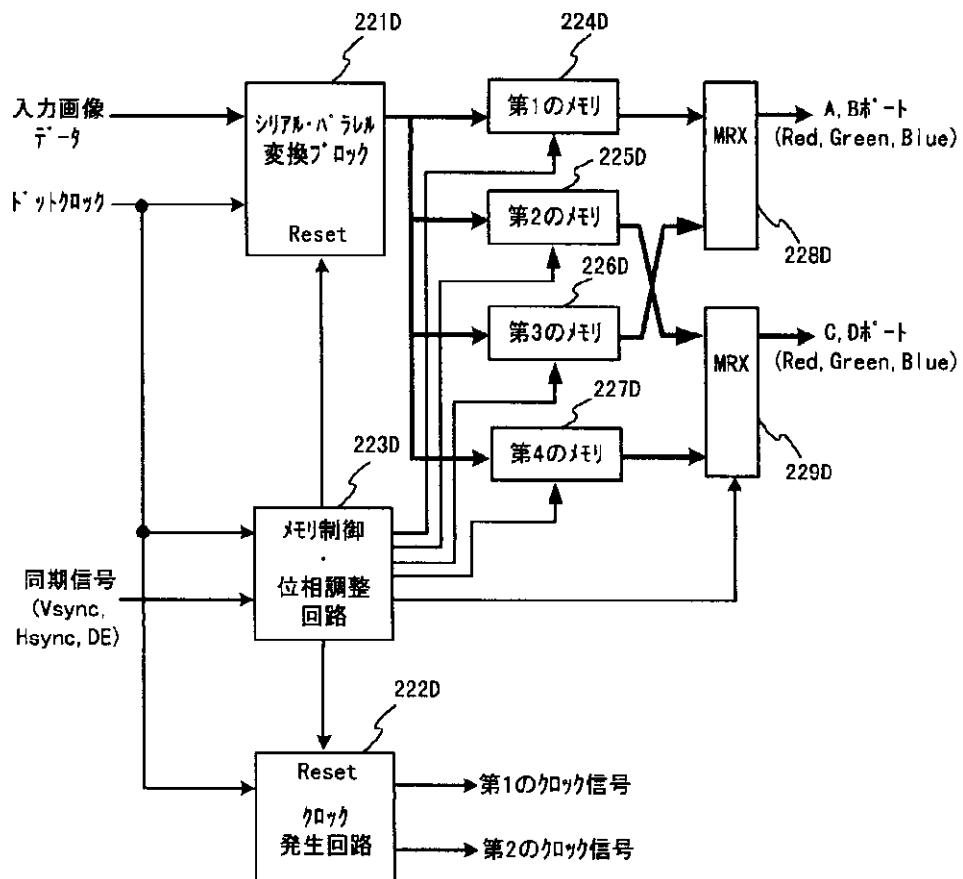
【図14】



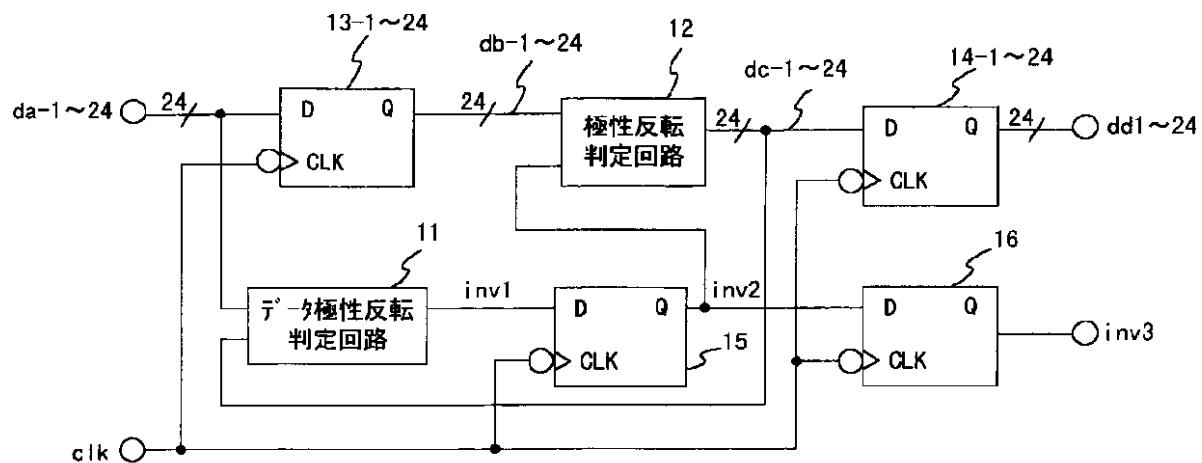
【図16】



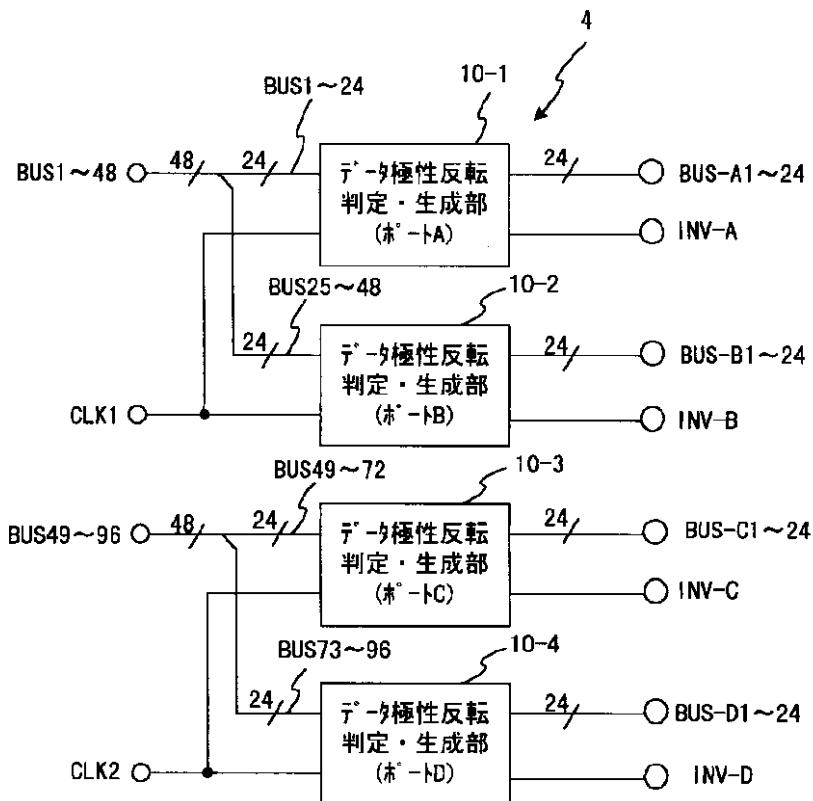
【図18】



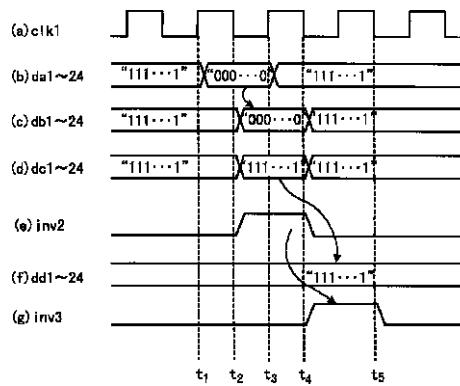
【図24】



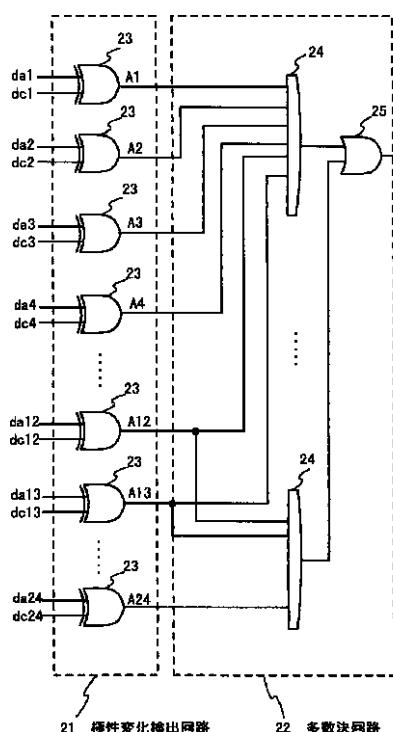
【図22】



【図25】



【図26】



【図28】

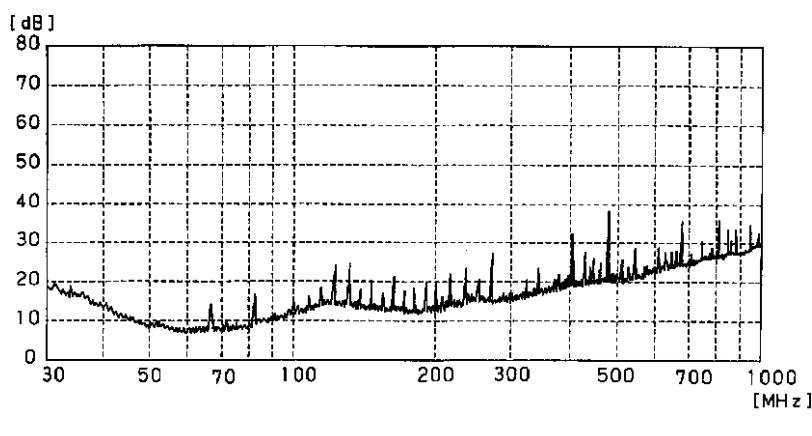
(a)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
Xn	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
Yn	H	H	H	H	H	H	L	L	L	L	H	H	H	H	H	L	L	L	L	L	L	L	L	
Zn	H	H	H	H	H	H	H	L	L	L	L	H	H	H	H	H	L	L	L	L	L	L	L	

(b)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
Xn	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
Yn	H	R	H	H	H	H	H	L	L	L	L	H	H	H	H	H	L	L	L	L	L	L	L	
Zn	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	L	L	L	L	L	L	L	

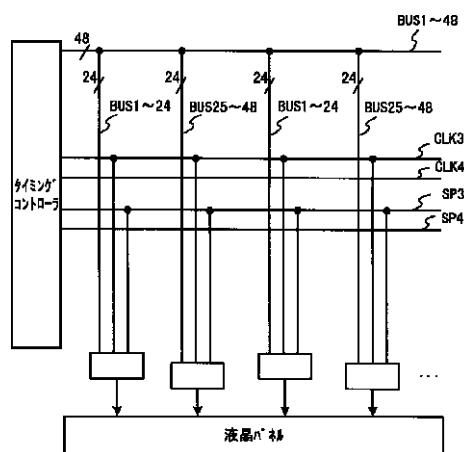
(c)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
Xn	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	
Yn	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	L	L	L	L		
Zn	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	L	L	L	L	L	L		

(d)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
Xn	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L		
Yn	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	L	L	L			
Zn	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	L	L	L	L			

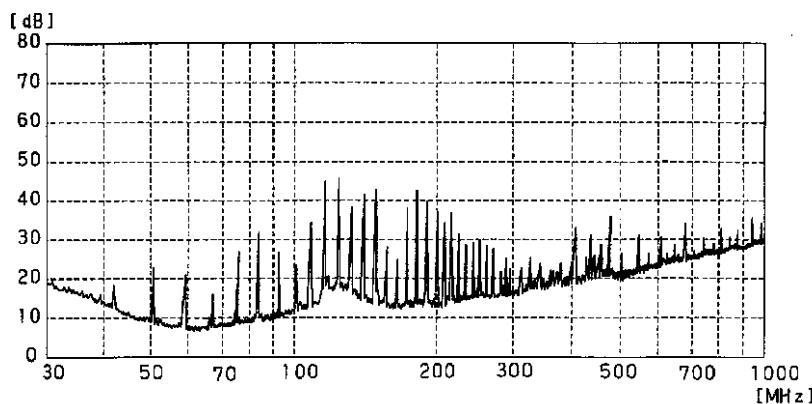
【図29】



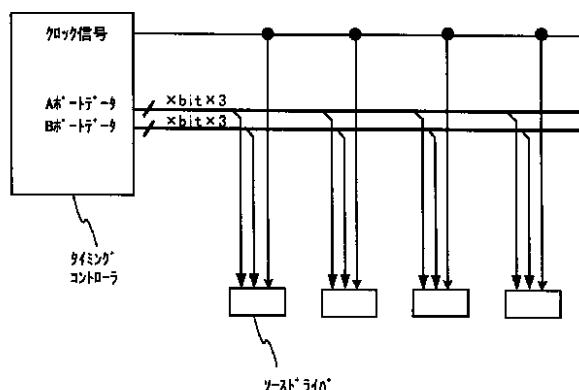
【図30】



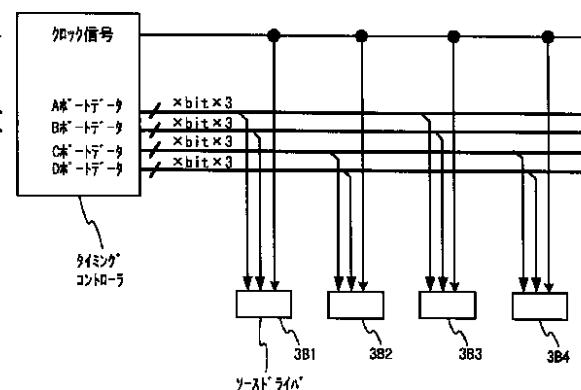
【図31】



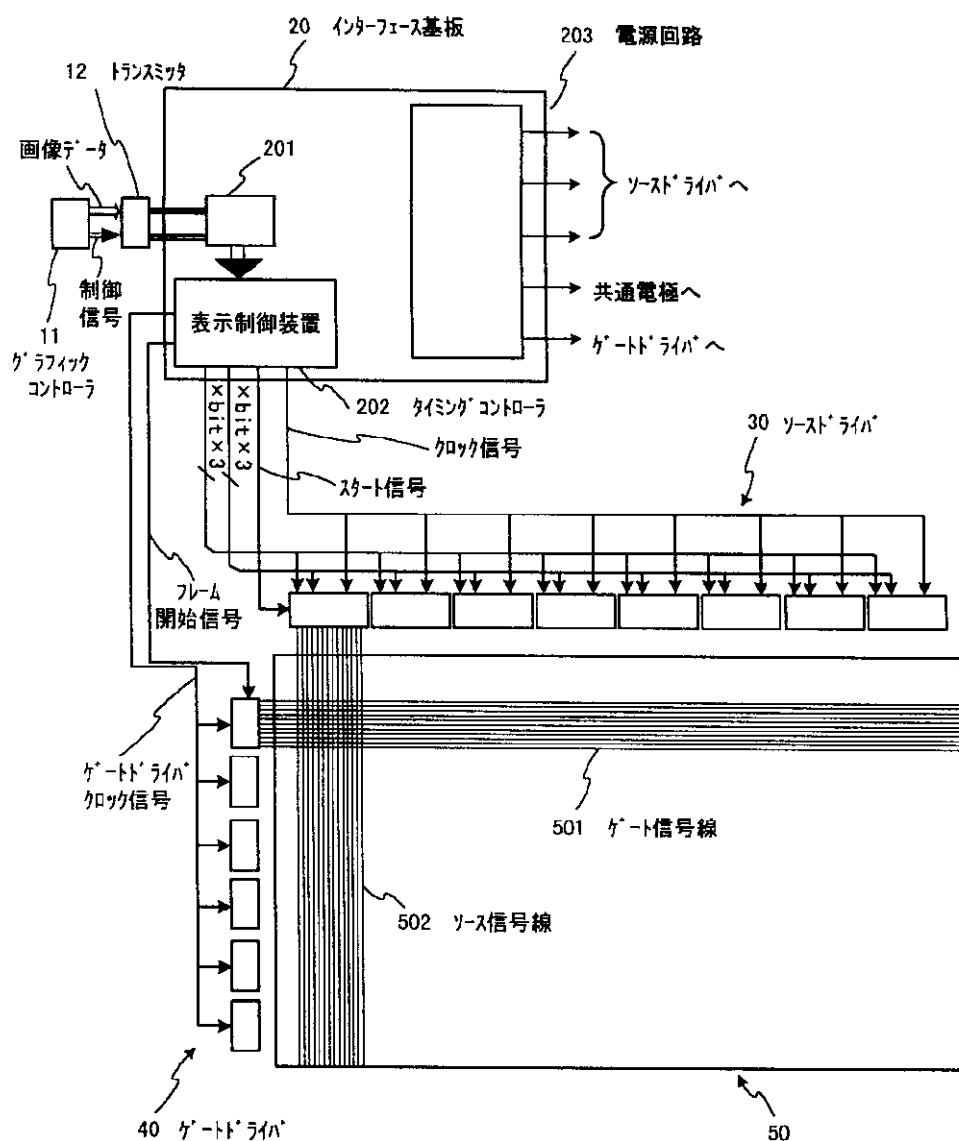
【図33】



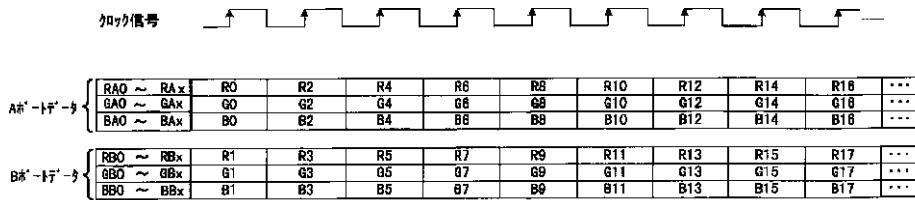
【図35】



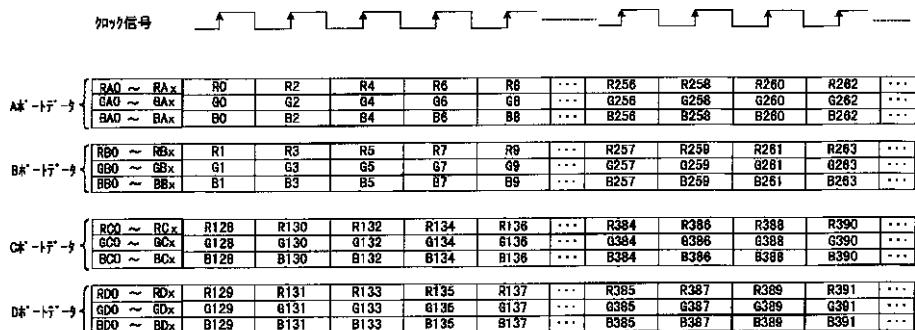
【図32】



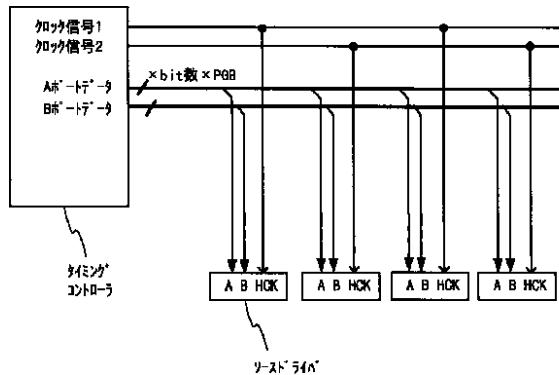
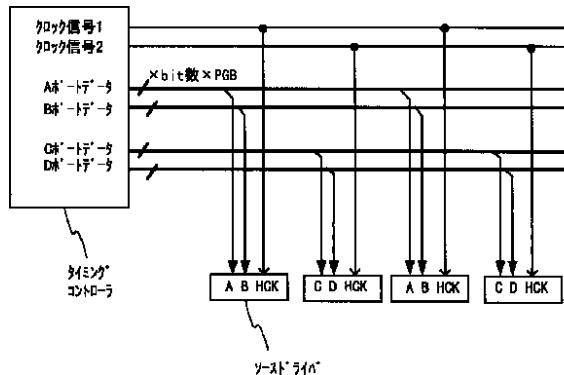
【図34】



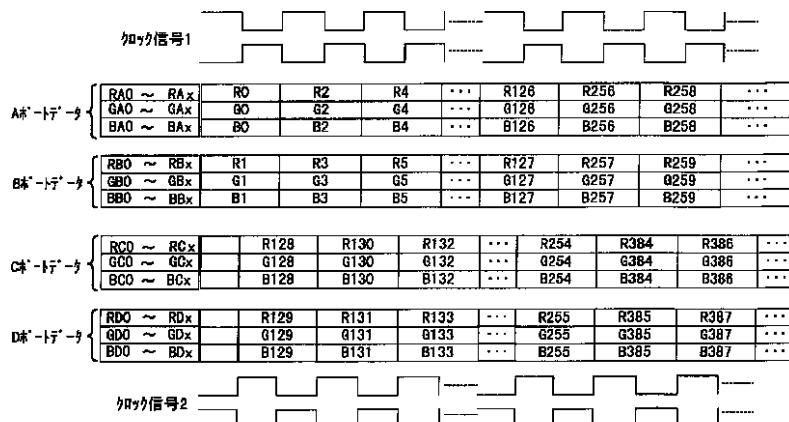
【図36】



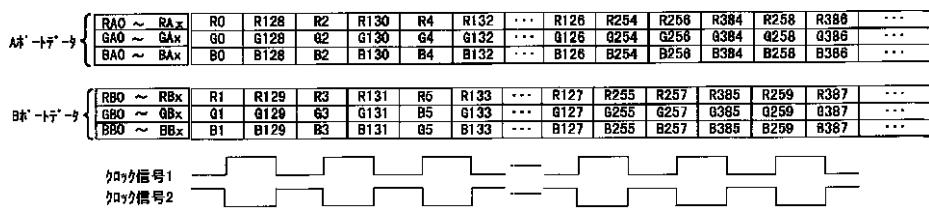
【図37】



【図38】



【図40】



フロントページの続き

(51) Int.CI. ⁷	識別記号	F I	テ-マコ-ド [®] (参考)
G 0 9 G 3/20	6 3 3	G 0 9 G 3/20	6 3 3 C
			6 3 3 U

F ター-ム(参考) 2H093 NA16 NA53 NC12 NC26 NC34
ND06 ND52 ND60
5C006 AA22 BC16 BF26 FA13 FA32
FA48 FA56
5C080 AA10 BB05 CC03 DD10 DD12
EE29 EE30 FF11 JJ02 JJ03
JJ04 JJ05

专利名称(译)	液晶显示装置的驱动方法和驱动电路		
公开(公告)号	JP2002202760A	公开(公告)日	2002-07-19
申请号	JP2000399460	申请日	2000-12-27
申请(专利权)人(译)	NEC公司		
[标]发明人	藤本和志 竹本高広		
发明人	藤本 和志 竹本 高広		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3611 G09G3/3685 G09G2310/027 G09G2310/0297		
FI分类号	G09G3/36 G02F1/133.505 G02F1/133.575 G09G3/20.611.C G09G3/20.623.Z G09G3/20.633.C G09G3 /20.633.U		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NC12 2H093/NC26 2H093/NC34 2H093/ND06 2H093/ND52 2H093 /ND60 5C006/AA22 5C006/BC16 5C006/BF26 5C006/FA13 5C006/FA32 5C006/FA48 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD10 5C080/DD12 5C080/EE29 5C080/EE30 5C080 /FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 2H193/ZA04 2H193/ZD23 2H193/ZF36		
外部链接	Espacenet		

摘要(译)

减少了用于将图像数据传输到液晶面板的时钟频率，减少了通过总线传输的图像数据的每个比特的变化量，并且改善了EMI特性。定时控制器2A将从图形控制器11A输入的图像数据分成多个数据系统，将它们经由多个数据总线6A提供给源驱动器3A，并将时钟信号提供给视频数据。输出降低到速率的1/2或更小。此外，当在数据总线上输出的大多数图像数据改变时，定时控制器2A反转并输出所有图像数据以抑制数据改变量并改善EMI特性。

