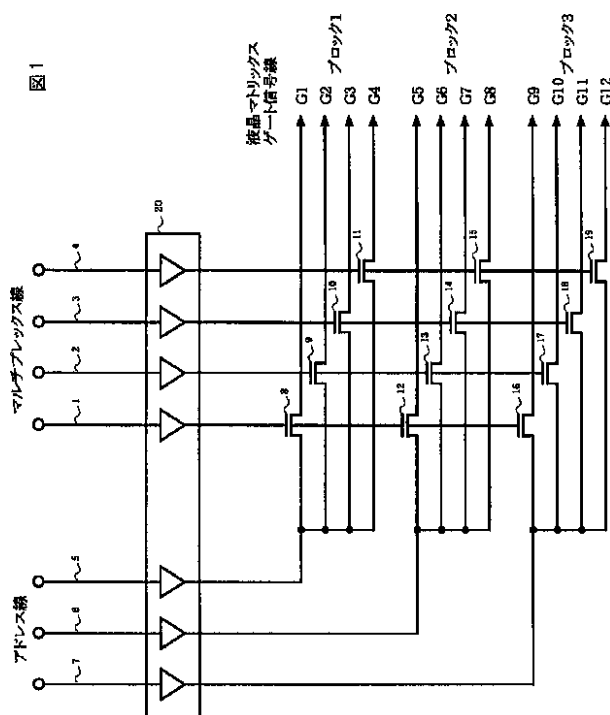




【特許請求の範囲】

【請求項 1】 複数の画素、前記複数の画素に対応する複数の行電極及び列電極を有する液晶マトリックスと、前記複数の行電極を駆動する行電極駆動回路と、前記複数の列電極を駆動する列電極駆動回路と備えて構成される液晶表示装置において、前記行電極駆動回路は、前記液晶マトリックスの複数の行電極を、複数の行電極を有する複数のブロックに分割して駆動するため、前記ブロックを選択する第 1 アドレス線と、前記ブロックに含まれる行電極を選択する第 2 のアドレス線と、前記第 1 及び第 2 のアドレス線上の信号によりその 1 つが駆動されて前記行電極を選択するそれぞれの行電極に接続されたスイッチング素子とを備えて構成され、前記第 1 のアドレス線上の信号により前記ブロックを順次選択し、この選択されているブロックに含まれる行電極を、前記第 2 のアドレス線上の信号により順次選択することを特徴とする液晶表示装置。

【請求項 2】 選択された行電極を駆動するための駆動電圧を生成するレベルシフト回路を備え、該レベルシフト回路は、前記第 1、第 2 のアドレス線上の信号を行電極を駆動するための駆動電圧に生成して、前記スイッチング素子に印加することを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】 前記行電極の駆動のために前記スイッチング素子の 1 つに与えられる前記第 1、第 2 のアドレス線上の信号は、選択期間のうちの初めの期間で駆動電圧を行電極に出力し、後の期間で駆動電圧を行電極に印加しないようにスイッチング素子を制御することを特徴とする請求項 1 または 2 記載の液晶表示装置。

【請求項 4】 前記スイッチング素子は、MOS トランジスタであることを特徴とする請求項 1、2 または 3 記載の液晶表示装置。

【請求項 5】 前記行電圧駆動回路は、前記液晶マトリックスと同一の基板上に形成されたことを特徴とする請求項 1 ないし 4 のうちいずれか 1 記載の液晶表示装置。

【請求項 6】 前記行電圧駆動回路の前記第 1、第 2 のアドレス線上に与える信号を生成するコントローラを備え、該コントローラは、水平同期信号と垂直同期信号とに基づいて、前記第 1、第 2 のアドレス線上に与える信号を生成することを特徴とする請求項 1 ないし 5 のうちいずれか 1 記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に係り、特に、アクティブマトリックス型の液晶を駆動するための駆動回路を備えた液晶表示装置に関する。

【0002】

【従来の技術】アクティブマトリックス型の液晶は、一般に、各画素を駆動するデータ信号線とゲート信号線とをガラス基板上にマトリックスに配置し、データ信号線

とゲート信号線との交点近傍に薄膜トランジスタ（以下、TFT という）を形成し、TFT のゲート電極にゲート信号線が接続され、TFT のドレイン電極にデータ信号線が接続され、TFT のソース電極に画素電極が接続されて構成されている。前述したような構成を有するアクティブマトリックス型の液晶は、表示情報に応じて画素電極に与える電圧を変えることにより表示を実現する。

【0003】前述のようなアクティブマトリックス型の液晶の各画素に配置される TFT としては、アモルファス TFT が使用されるのが主流であるが、最近、多結晶 TFT を用いたアクティブマトリックス型の液晶が実用化されている。多結晶 TFT は、その製造過程でアモルファス TFT にレーザーアニール工程を導入してアモルファス TFT を結晶化させたものである。多結晶 TFT は、電子及びホールの移動度がアモルファス TFT に比べて格段に高く、電気的性能を大幅に向上しているの

で、画素に配置した TFT だけでなく、液晶ドライバ回路をも画素と同一のガラス基板上に形成することが可能となる。

【0004】従来技術による液晶ドライバ回路は、単結晶シリコンの素子で製造し、これを TAB により液晶ガラス基板に接続するものであるため、部品点数も多く、製造工程も煩雑なものであった。一方、多結晶 TFT を用いて液晶ドライバ回路をも含む液晶ディスプレイを構成することができれば、部品点数を削減し製造工程も単純化することができるのでコストダウンを図ることが可能となる。

【0005】

【発明が解決しようとする課題】前述したように、多結晶 TFT は、その電気的性能がアモルファス TFT に比べて向上しているため、周辺の駆動回路も形成することが可能であるが、単結晶シリコンの素子に比べてその性能がまだまだ劣るため、全ての回路を同等に形成することができるわけではない。例えば、CMOS による論理反転回路は、P チャネル MOS トランジスタと N チャネル MOS トランジスタとをカスケードに接続して構成されるが、正しく動作させるためには、P チャネル及び N チャネルのそれぞれの MOS トランジスタの電気的特性が適正に揃っている必要がある。

【0006】仮に、これら電気的特性が不適正（不揃い）の場合、これらの素子を使用した論理反転回路は、入力の論理信号電圧が正しく伝達されなかったり、カスケードに接続された P チャネル及び N チャネルの MOS トランジスタに電源からグランドに向かって定常的に貫通電流が流れたりする等の不具合が生じる。さらに、液晶駆動回路として比較的単純な走査ドライバ回路は、シフトレジスタ回路を構成する必要がある。走査ドライバ回路をシフトレジスタ回路で構成する方法は、広く知られており、例えば、特開平 11 - 202838 号公報等

にも記載されている。シフトレジスタ回路も、該回路を構成するPチャネル及びNチャネルのMOSトランジスタの電気的特性が適正に揃っていないとしないのは言うまでもない。

【0007】多結晶TFTは、電気的特性がアモルファスTFTに比べて向上しているものの、レーザーアニール工程によるレーザーエネルギーのばらつき等の影響や製造工程中の不純物によりTFTの品質が左右されやすく、Pチャネル及びNチャネルのMOSトランジスタの電気的特性を適正に揃えることが困難であるという問題点を有している。このため、Pチャネル及びNチャネルのMOSトランジスタに多結晶TFTを使用してCMOS論理回路を構成し、これを液晶ドライバ回路として使用した場合、そのドライバ回路は、前述で説明したように、論理信号電圧が正しく伝達されない可能性が生じ、また、定常的な貫通電流による消費電力が増大してしまう可能性が生じるという問題点を有するものとなる。

【0008】本発明の目的は、液晶を駆動するドライバを多結晶TFTで構成する場合に、Pチャネル及びNチャネルのMOSトランジスタの特性のばらつきの影響を受けるシフトレジスタ回路を用いることなく、特に、走査ドライバ回路の定常的な貫通電流による消費電力の増大をなくした低消費電力の液晶駆動回路備えた液晶表示装置を提供することにある。

【0009】

【課題を解決するための手段】本発明によれば前記目的は、複数の画素、前記複数の画素に対応する複数の行電極及び列電極を有する液晶マトリックスと、前記複数の行電極を駆動する行電極駆動回路と、前記複数の列電極を駆動する列電極駆動回路と備えて構成される液晶表示装置において、前記行電極駆動回路が、前記液晶マトリックスの複数の行電極を、複数の行電極を有する複数のブロックに分割して駆動するため、前記ブロックを選択する第1アドレス線と、前記ブロックに含まれる行電極を選択する第2のアドレス線と、前記第1及び第2のアドレス線上の信号によりその1つが駆動されて前記行電極を選択するそれぞれの行電極に接続されたスイッチング素子とを備えて構成され、前記第1のアドレス線上の信号により前記ブロックを順次選択し、この選択されているブロックに含まれる行電極を、前記第2のアドレス線上の信号により順次選択することにより達成される。

【0010】また、前記目的は、前記行電極の駆動のために前記スイッチング素子の1つに与えられる前記第1、第2のアドレス線上の信号は、選択期間のうちの最初の期間で駆動電圧を行電極に出力し、後の期間で駆動電圧を行電極に印加しないようにスイッチング素子を制御することにより、さらに、前記行電圧駆動回路が、前記液晶マトリックスと同一の基板上に形成されることにより達成される。

【0011】

【発明の実施の形態】以下、本発明による液晶表示装置の実施形態を図面により詳細に説明する。なお、以下に説明する本発明の実施形態のそれぞれにおける走査ドライバ回路に入力されるゲート信号線の選択と駆動のための信号が、アドレス線への信号とマルチプレックス線への信号であるとして説明する。これらの信号は、液晶マトリックスの行電極であるゲート信号線を選択駆動するものであるので、第1のアドレス線への信号と第2のアドレス線への信号と呼んでよいものであるが、説明の煩雑さを避けるために、以下の説明では、これらの信号を前述のように、アドレス線への信号とマルチプレックス線への信号と記述する。

【0012】図1は本発明の第1の実施形態による液晶表示装置に使用する走査ドライバ回路の構成を示すブロック図、図2は図1に示す走査ドライバ回路の動作タイミングを説明する図、図3は図1に示す走査ドライバ回路の1つのスイッチ回路の詳細な動作タイミングについて説明する図、図4は本発明の第1の実施形態による液晶表示装置の全体の構成を示すブロック図、図5は図4に示す液晶表示装置における走査ドライバ回路の動作タイミングを説明する図、図6は図4に示す液晶表示装置におけるデータドライバ回路の動作タイミングを説明する図、図7はコントローラの構成を示すブロック図である。図1、図4、図7において、1～4はマルチプレックス線、5～7はアドレス線、8～19はスイッチ回路を構成するMOSトランジスタ、20はレベルシフト回路、21は走査ドライバ回路、22は液晶マトリックス、23はデータドライバ回路、24は走査ドライバ回路を駆動するコントローラ、25は液晶モジュール、26は表示データ、27はデータクロック、28は水平同期信号、29は垂直同期信号、51は4ビットカウンタ、52、53はデコーダ、54はゲートオフ時間設定回路、55はゲート回路である。

【0013】なお、以下に説明する本発明の実施形態は、液晶表示装置の画素数を、16ドット×12ラインであるとして説明する。これは説明のために画素数を定めたのであって、液晶表示装置に要求される表示解像度に応じてその画素数を任意に増減することができる。

【0014】図1に示す本発明の第1の実施形態による液晶表示装置に使用する行電極駆動回路としての走査ドライバ回路は、液晶マトリックスを駆動する行電極であるゲート信号線（走査信号線）がG1～G12の12本であるとし、これらのゲート信号線をゲート信号線G1～G4の第1のブロック、ゲート信号線G5～G8の第2のブロック、ゲート信号線G9～G12の第3のブロックに分けて駆動するように構成される。そして、各ゲート信号線G1～G12のそれぞれは、MOSトランジスタ8～19を介して各ブロック毎に纏められている。また、第1のブロックのゲート信号線に接続されたMOSトランジスタ8～11には、アドレス線5がレベルシ

フト回路 20 を介して接続され、第 2 のブロックのゲート信号線に接続された MOS トランジスタ 12 ~ 15 には、アドレス線 6 がレベルシフト回路 20 を介して接続され、第 3 のブロックのゲート信号線に接続された MOS トランジスタ 16 ~ 19 には、アドレス線 7 がレベルシフト回路 20 を介して接続されている。

【0015】さらに、MOS トランジスタ 8、12、16 のゲート端子には、マルチプレックス線 1 がレベルシフト回路 20 を介して接続され、MOS トランジスタ 9、13、17 のゲート端子には、マルチプレックス線 2 がレベルシフト回路 20 を介して接続され、MOS トランジスタ 10、14、18 のゲート端子には、マルチプレックス線 3 がレベルシフト回路 20 を介して接続され、MOS トランジスタ 11、15、19 のゲート端子には、マルチプレックス線 4 がレベルシフト回路 20 を介して接続されている。

【0016】レベルシフト回路 20 は、マルチプレックス線 1 ~ 4 及びアドレス線 5 ~ 7 の論理信号を液晶のゲート信号線及び MOS トランジスタによるスイッチ回路を駆動できる電圧レベルに増幅する回路である。論理信号は、5 ボルト振幅の信号であるが、最近ではより低電圧化された 3.3 ボルト振幅や 2.5 ボルト振幅の信号である。一方、液晶パネルのゲート信号線は、高い電圧が必要であり、例えば、10 ボルト振幅の信号である。レベルシフト回路 20 は、前述したような低電圧振幅の論理信号電圧を高電圧振幅に増幅しており、これにより、液晶のゲート信号線を駆動することができるようになる。

【0017】次に、前述のように構成される走査ドライバ回路の動作を図 2 に示すタイミングチャートを参照して説明する。

【0018】走査ドライバ回路は、図 2 にゲート信号線 G1 ~ G12 として示しているように、各ゲート信号線 G1 ~ G12 を線順次に走査する走査電圧を生成する。そして、すでに説明したように、ゲート信号線 G1 ~ G12 は、3 つのブロックに分けて、それぞれゲート信号線 G1 ~ G4 をブロック 1、ゲート信号線 G5 ~ G8 をブロック 2、ゲート信号線 G9 ~ G12 をブロック 3 に分けられている。走査ドライバ回路は、マルチプレックス線 1 ~ 4 とアドレス線 5 ~ 7 とに与えられる信号パルスにより、ゲート信号線 G1 ~ G12 に線順次の走査電圧を与える。

【0019】このため、まず、ブロック 1 のゲート信号線に走査電圧を与えるため、ブロック 1 の走査電圧パルス生成期間において、走査ドライバ回路のマルチプレックス線 1 ~ 4 に順に信号パルスを与え、この信号パルスをレベルシフト回路 20 を介して MOS トランジスタ 8 ~ 11 のゲート端子に与える。また、これに同期してアドレス線 5 に 4 回の信号パルスを与え、この信号パルスをレベルシフト回路 20 を介して MOS トランジスタ 8 ~ 11 のドレイン端子に与える。

【0020】詳細には、ブロック 1 の走査電圧パルス生成期間内、始めにマルチプレックス線 1 に信号パルスを与え、これに同期してアドレス線 5 に 1 つ目の信号パルスを与える。このとき、MOS トランジスタ 8 は、そのゲート端子にマルチプレックス線 1 による信号パルスがレベルシフト回路 20 を介して与えられるために MOS トランジスタ 8 のドレイン及びソース間の抵抗が小さくなる。その結果、アドレス線 5 から与えられた信号パルスがゲート信号線 G1 に伝達されてゲート信号線 G1 に走査電圧が印加される。次に、マルチプレックス線 2 に対して信号パルスを与え、これに同期してアドレス線 5 に 2 つ目の信号パルスを与える。このとき、前述と同様に、MOS トランジスタ 9 は、そのゲート端子にマルチプレックス線 2 による信号パルスがレベルシフト回路 20 を介して与えられるために MOS トランジスタ 9 のドレイン及びソース間の抵抗が小さくなる。その結果、アドレス線 5 から与えられた信号パルスがゲート信号線 G2 に伝達されてゲート信号線 G2 に走査電圧が印加される。以後、前述と同様にして、マルチプレックス線 3、4 に対して順次信号パルスを与え、これに同期してアドレス線 5 に 3 つ目及び 4 つ目の信号パルスを与える。その結果、前述と同様に MOS トランジスタ 10 及び 11 のドレイン及びソース間の抵抗が順次小さくなるために、アドレス線 5 から与えられた信号パルスが順次ゲート信号線 G3、G4 に伝達されてゲート信号線 G3、G4 に走査電圧が印加される。前述のようにして、ブロック 1 の各ゲート信号線に対して走査電圧が印加される。

【0021】次に、ブロック 2 のゲート信号線に対する走査電圧を生成するために、前述した一連の動作のアドレス線 5 に替えて、アドレス線 6 に前述と同様に信号パルスを順次与える。これにより、前述と同様に、ブロック 2 の各ゲート信号線に対して走査電圧を印加することができる。さらに、ブロック 3、4 のゲート信号線に対する走査電圧を生成するために、前述した一連の動作のアドレス線 5 に替えて、アドレス線 7、8 に前述と同様に順次信号パルスを与える。これにより、前述と同様に、ブロック 3、4 の各ゲート信号線に対して走査電圧を印加することができる。

【0022】前述したように、マルチプレックス線 1 ~ 4 及びアドレス線 5 ~ 7 に順次信号パルスを与えることにより、図 1 に示す走査ドライバ回路は、ゲート信号線 G1 ~ G12 に順次走査信号を与えることができる。

【0023】次に、前述した一連の走査ドライバ回路の動作のうち、スイッチ回路を構成する各 MOS トランジスタ 8 ~ 19 の動作タイミングについて、図 3 を参照して詳細に説明する。

【0024】図 3 (a) に図 1 の走査ドライバ回路を構成する MOS トランジスタ 8 ~ 19 のうちの 1 つを代表

して示しており、図 3 (b) にその動作タイミングを示している。図 3 (a) に示す MOS トランジスタは、すでに説明したように、MOS トランジスタのゲート端子がマルチプレックス線に接続され、MOS トランジスタのドレイン端子がアドレス線に、MOS トランジスタのソース端子がゲート信号線に接続されている。そして、図 3 (b) に示すようなタイミングでマルチプレックス線及びアドレス線から信号パルスが MOS トランジスタに与えられる。ここで、それぞれの信号パルスに着目すると、マルチプレックス線及びアドレス線のパルスの始まりはそれぞれほぼ同期しているが、パルスの終わりに関しては、マルチプレックス線よりも早くアドレス線のパルスが終了している。そして、アドレス線のパルス終了からマルチプレックス線のパルス終了までの間が、ゲート線オフ期間として設定されている。このゲート線オフ期間は、マルチプレックス線に信号パルスが与えられている期間の中で、アドレス線に信号パルスを与える期間と信号パルスを与えないゲート線オフ期間との 2 つの期間に分けてゲート信号線パルス（走査電圧）を生成させることにより、信号パルスを与えない期間で生成される。

【0025】ゲート線オフ期間を設けている理由は、次に説明する通りである。MOS トランジスタのゲート端子に信号パルスが与えられている期間、MOS トランジスタのドレイン端子及びソース端子間の抵抗が小さくなるため、ドレイン端子に与えた信号パルスは、ソース端子に伝達されるが、MOS トランジスタのゲート端子の信号パルスを終了した後、MOS トランジスタのドレイン端子及びソース端子間の抵抗が非常に大きくなり、ドレイン端子に与えた信号パルスは、ソース端子に伝達されなくなる。仮に、MOS トランジスタに与えるマルチプレックス線の信号パルスの終了タイミングとアドレス線の信号パルスの終了タイミングをほぼ同時、あるいは、アドレス線の信号パルスの終了タイミングをマルチプレックス線の信号パルスの終了タイミングよりも遅らせた場合、ゲート信号線の信号パルス電圧に相当する電荷がゲート信号線上に保持されることになる。すなわち、MOS トランジスタのゲート端子の信号パルスを終了した後、MOS トランジスタのドレイン端子及びソース端子間の抵抗が非常に大きくなるためゲート信号線上に不要な電荷が居残ることになる。この結果、液晶マトリックス上の TFT トランジスタのゲート端子にこの居残った不要な電荷に相当する電圧が保持されることとなるので、液晶に与える電圧の変動をきたして画質の低下を招くことになる。従って、本発明の実施形態は、図 3 (b) に示すようにゲート線オフ期間を設けて MOS トランジスタのドレイン端子及びソース端子間の抵抗が確実に小さい期間にゲート信号線上に居残った電荷を放電して、不要な電圧を生じないようにしている。これにより、図 1 の走査ドライバ回路は、液晶マトリックス上の

TFT トランジスタを正しく動作させることが可能となり、高画質な液晶表示装置を実現できる。

【0026】次に、前述したような走査ドライバ回路を用いた本発明の実施形態による液晶表示装置の構成と動作とを図 4 を参照して説明する。

【0027】本発明の実施形態による液晶表示装置は、すでに説明した走査ドライバ回路 21、及び、ゲート信号線 G1 ~ G12、データ信号線 D1 ~ D16 を持ち、その交点近傍に TFT トランジスタを配置した液晶マトリックス 22 を多結晶の TFT で 1 つのガラス基板上に形成した液晶モジュール 25 と、データ信号線 D1 ~ D16 に表示データに応じた液晶階調電圧を生成して液晶マトリックスの列電極であるデータ信号線 D1 ~ D16 に与える列電極駆動回路であるデータドライバ 23 と、走査ドライバ回路 21 を駆動するためのマルチプレックス線 1 ~ 4 及びアドレス線 5 ~ 7 に与える信号を生成するコントローラ 24 とにより構成されている。そして、コントローラ 24 から液晶モジュール 25 への信号線であるマルチプレックス線 1 ~ 4 及びアドレス線 5 ~ 7 と、データドライバ 23 から液晶モジュール 25 への信号線であるデータ信号線 D1 ~ D16 とは、図示しないコネクタ等を介して液晶モジュール 25 と接続される。このように構成される液晶表示装置に印加される信号としては、表示データ 26、表示データ 26 に同期したデータクロック 27、水平同期信号 28、垂直同期信号 29 があり、表示データ 26、データクロック 27、水平同期信号 28 はデータドライバ 23 に入力され、水平同期信号 28、垂直同期信号 29 はコントローラ 24 に入力される。

【0028】次に、前述したように構成され本発明の実施形態による液晶表示装置の動作を図 5、図 6 に示す動作タイミングチャートを参照して説明する。

【0029】液晶モジュール 25 に与えられる表示データ 26、データクロック 27、水平同期信号 28、垂直同期信号 29 のタイミングは、図 6 に示すようになる。すなわち、表示データ 26 は、水平同期信号 28 の 1 周期の間に、データクロック 27 に同期して、16 ドット分すなわち 1 ライン（行）分転送される。そして、表示データ 26 は、水平同期信号 28 に区切られながら 12 ライン分が転送されて、垂直同期信号 29 の 1 周期の間に 1 画面分の表示データが転送される。このように、転送されてくる表示データ 26 は、データドライバ 23 に入力される。データドライバ 23 は、入力された表示データ 26 を 1 ライン分蓄えてから、次の水平同期信号 28 のタイミングで表示データの対応した液晶階調電圧をデータ信号線 D1 ~ D16 のそれぞれに出力する。

【0030】一方、コントローラ 24 は、図 5 に示すように、垂直同期信号 29 と水平同期信号 28 とからマルチプレックス線 1 ~ 4 の信号パルスと、アドレス線 5 ~ 7 の信号パルスとを生成する。このコントローラ 24 の

詳細な構成の例を図 7 に示しており、以下、これについて説明する。

【0031】コントローラ 24 は、図 7 に示すように、水平同期信号 28 のパルス数をカウントし、垂直同期信号 29 でそのカウント値がクリアされる 4 ビットカウンタ 51 と、4 ビットカウンタ 51 がカウントした水平同期信号 28 のパルス数を示す 4 ビットの信号 Q0 ~ Q3 のうち、下位ビットの Q0 と Q1 とをデコードしてマルチプレックス線 1 ~ 4 の信号パルスを生成するデコーダ 52 と、4 ビットの信号 Q0 ~ Q3 のうち、上位ビット 10 の Q2 と Q3 とをデコードしてアドレス線 5 ~ 7 の信号パルスを生成するデコーダ 53 と、デコーダ 53 で生成された信号パルスをゲートしてパルス幅を制御するゲート回路 55 と、すでに説明したゲート線オフ時間を設定してゲート回路 55 にゲート信号を出力するゲート線オフ時間設定回路 54 とを備えて構成される。

【0032】前述のように構成されるコントローラ 24 の動作を示す図 5 のタイミングチャートにおいて、コントローラ 24 に入力される水平同期信号 28 と垂直同期信号 29 とは、4 ビットカウンタ 51 に入力される。そ 20 して、始めに垂直同期信号 29 が入力されることにより 4 ビットカウンタ 51 のカウント値がクリアされ、デコーダ 52 は、マルチプレックス線 1 に信号パルスを出力する。次に、水平同期信号 28 が入力される毎に 4 ビットカウンタ 51 のカウント値がカウントアップされていき、デコーダ 52 は、マルチプレックス線 1 ~ 4 に図 5 に示すような信号パルスを順に出力する。

【0033】一方、アドレス線 5 ~ 7 の信号パルスは、4 ビットカウンタ 51 がカウントした 4 ビットの信号の上位 2 ビットの Q2 ~ Q3 をデコーダ 53 に入力して得 30 られるデコード信号を元に生成される。デコーダ 53 でデコードされた信号は、4 つの水平同期信号期間の長さを持つものとして順に出力され、この出力信号がゲート回路 55 でゲートされた後にそれぞれアドレス線 5 ~ 7 の信号パルスとして出力される。ゲート回路 55 は、デコーダ 53 でデコードされた信号をゲート線オフ時間設定回路 54 で設定された期間に基づいて出力パルス幅を決定して出力する。この結果、アドレス線 5 ~ 7 に出力される信号は、図 5 に示すようなパルス信号となる。

【0034】前述したようにしてコントローラ 24 から 40 生成されたマルチプレックス線 1 ~ 4 の信号パルスとアドレス線 5 ~ 7 の信号パルスとは、走査ドライバ回路 21 に入力される。走査ドライバ回路 21 は、図 2 に示すように、ゲート信号線 G1 ~ G12 に順に走査信号を出力する。この走査信号は、液晶マトリックス 22 のゲート信号線 G1 ~ G12 に入力される。走査信号が入力されたゲート信号線は、ゲート信号線 G1 ~ G12 のうちの 1 つのみである。これらゲート信号線 G1 ~ G12 には、それぞれ液晶マトリックスの TFT トランジスタのゲート端子が接続されており、走査信号が入力されるこ 50

とにより、そのライン（行）の 1 ライン分の TFT トランジスタがオンとなり、すでに説明したデータドライバ 23 が出力する階調電圧が液晶に印加されて表示が行われる。

【0035】前述した本発明の第 1 の実施形態は、走査ドライバ回路 21 自体を MOS トランジスタによるスイッチマトリックスで構成しているため、ドライバ回路自体の電力消費がなく、特に、従来技術における走査ドライバとして広く用いられているシフトレジスタ回路を用いることなく走査ドライバ回路を構成することができる。本発明の実施形態は、これにより、従来技術におけるシフトレジスタによる走査ドライバ回路が、P チャンネル MOS トランジスタと N チャンネル MOS トランジスタとによる論理回路で構成され、それぞれの MOS トランジスタの特性のばらつきによる定常的な貫通電流による消費電力が多いという問題点を解決し、走査ドライバ自体を MOS トランジスタによるスイッチマトリックスで構成しているため、MOS トランジスタの特性のばらつきによる定常的な貫通電流等を生じさせることなく、低消費電力の走査ドライバ回路を備えた液晶表示装置を実現することができる。また、前述した本発明の実施形態によれば、走査ドライバ回路と液晶マトリックスとを同一のガラス基板上に構成することができ、しかも、走査ドライバ回路を構成する MOS トランジスタを多結晶シリコンによる高性能なものとして形成することができる。

【0036】図 8 は本発明の第 2 の実施形態による液晶表示装置に使用する走査ドライバ回路の構成を示すブロック図、図 9 は図 8 に示す走査ドライバ回路の動作タイミングを説明する図、図 10 は本発明の第 2 の実施形態による液晶表示装置の全体の構成を示すブロック図、図 11 は図 10 に示す液晶表示装置における走査ドライバ回路の動作タイミングを説明する図、図 12 はコントローラの構成を示すブロック図である。図 8、図 10、図 12 において、31 ~ 33 はマルチプレックス線、34 ~ 37 はアドレス線、38 ~ 49 はスイッチ回路を構成する MOS トランジスタ、56、57 はデコーダであり、他の符号は図 1、図 4、図 7 の場合と同一である。以下に説明する本発明の第 2 の実施形態は、走査ドライバ回路を構成する MOS トランジスタによるスイッチマトリックス回路を他の構成で実現する例である。

【0037】第 2 の実施形態に使用する走査ドライバ回路は、液晶マトリックスを駆動するゲート信号線（走査信号線）が G1 ~ G12 の 12 本であるとし、これらのゲート信号線をゲート信号線 G1 ~ G4 の第 1 のブロック、ゲート信号線 G5 ~ G8 の第 2 のブロック、ゲート信号線 G9 ~ G12 の第 3 のブロックに分けて駆動するように構成される。そして、各ゲート信号線 G1 ~ G12 のそれぞれには、MOS トランジスタ 38 ~ 49 によるスイッチ回路が接続されている。また、第 1 のブロッ

クのゲート信号線に接続された MOS トランジスタ 38 ~ 41 のゲート端子には、マルチプレックス線 31 がレベルシフト回路 20 を介して接続され、第 2 のブロックのゲート信号線に接続された MOS トランジスタ 42 ~ 45 のゲート端子には、マルチプレックス線 32 がレベルシフト回路 20 を介して接続され、第 3 のブロックのゲート信号線に接続された MOS トランジスタ 46 ~ 49 には、マルチプレックス線 33 がレベルシフト回路 20 を介して接続される。

【0038】さらに、MOS トランジスタ 38、42、46 のドレイン端子には、アドレス線 34 がレベルシフト回路 20 を介して接続され、MOS トランジスタ 39、43、47 のドレイン端子には、アドレス線 35 がレベルシフト回路 20 を介して接続され、MOS トランジスタ 40、44、48 のドレイン端子には、アドレス線 36 がレベルシフト回路 20 を介して接続され、MOS トランジスタ 41、45、49 のドレイン端子には、アドレス線 37 がレベルシフト回路 20 を介して接続されている。

【0039】レベルシフト回路 20 は、マルチプレックス線 31 ~ 33 及びアドレス線 34 ~ 37 の論理信号を液晶のゲート信号線及び MOS トランジスタによるスイッチ回路を駆動できる電圧レベルに増幅する回路である。

【0040】次に、前述のように構成される走査ドライバ回路の動作を図 9 に示すタイミングチャートを参照して説明する。

【0041】走査ドライバ回路は、図 9 にゲート信号線 G1 ~ G12 として示しているように、各ゲート信号線 G1 ~ G12 を線順次に走査する走査電圧を生成する。そして、すでに説明したように、ゲート信号線 G1 ~ G12 は、3 つのブロックに分けて、それぞれゲート信号線 G1 ~ G4 をブロック 1、ゲート信号線 G5 ~ G8 をブロック 2、ゲート信号線 G9 ~ G12 をブロック 3 に分けられている。走査ドライバ回路は、マルチプレックス線 31 ~ 33 とアドレス線 34 ~ 37 とに与えられる信号パルスにより、ゲート信号線 G1 ~ G12 に線順次の走査電圧を与える。

【0042】このため、まず、ブロック 1 のゲート信号線に走査電圧を与えるため、ブロック 1 の走査電圧パルス生成期間において、走査ドライバ回路のアドレス線 34 ~ 37 に順に信号パルスを与え、この信号パルスをレベルシフト回路 20 を介して MOS トランジスタ 38 ~ 49 のドレインゲート端子に与える。また、これに同期してマルチプレックス線 31 に信号パルスを与え、この信号パルスをレベルシフト回路 20 を介して MOS トランジスタ 38 ~ 41 のゲート端子に与える。

【0043】詳細には、ブロック 1 の走査電圧パルス生成期間内で、始めにマルチプレックス線 31 に信号パルスを与え、これに同期してアドレス線 34 に信号パルス

を与える。このとき、MOS トランジスタ 38 は、そのゲート端子にマルチプレックス線 31 による信号パルスがレベルシフト回路 20 を介して与えられるために MOS トランジスタ 38 のドレイン及びソース間の抵抗が小さくなる。その結果、アドレス線 34 から与えられた信号パルスがゲート信号線 G1 に伝達されてゲート信号線 G1 に走査電圧が印加される。次に、マルチプレックス線 31 をそのままとして、アドレス線 35 に対して信号パルスを与える。このとき、前述と同様に、MOS トランジスタ 39 は、そのゲート端子にマルチプレックス線 31 による信号パルスがレベルシフト回路 20 を介して与えられるために MOS トランジスタ 39 のドレイン及びソース間の抵抗が小さくなる。この結果、アドレス線 35 から与えられた信号パルスがゲート信号線 G2 に伝達されてゲート信号線 G2 に走査電圧が印加される。同様にして、アドレス線 36、37 に対して順次信号パルスが与えられることにより、前述と同様に、MOS トランジスタ 40 及び 41 のドレイン及びソース間の抵抗は小さくなって、アドレス線 36 及び 37 から順次与えられた信号パルスが順次ゲート信号線 G3、G4 に伝達されてゲート信号線 G3、G4 に走査電圧が印加される。

【0044】また、ブロック 2 のゲート信号線に対する走査電圧を生成は、前述した一連の動作におけるマルチプレックス線 31 に替えてマルチプレックス線 32 に信号パルスを与えることにより同様に実現することができる。さらに、ブロック 3 のゲート信号線に対する走査電圧の生成は、前述した一連の動作のマルチプレックス線 31 に替えてマルチプレックス線 33 に信号パルスを順次与えることにより同様に実現することができる。

【0045】前述したように、マルチプレックス線 31 ~ 33 及びアドレス線 34 ~ 37 に順次信号パルスを与えることにより本発明の第 2 の実施形態に使用する走査ドライバ回路は、ゲート信号線 G1 ~ G12 に順次走査信号を与えることができる。

【0046】次に、前述した図 8 に示す走査ドライバ回路を用いた本発明の第 2 の実施形態による液晶表示装置の構成と動作とを図 10 を参照して説明する。

【0047】図 10 に示す本発明の第 2 の実施形態における液晶表示装置は、走査ドライバ回路 21 が図 8 により説明した構成を持つものであり、走査ドライバ回路 21 を駆動するためのマルチプレックス線 31 ~ 33 及びアドレス線 34 ~ 37 の信号パルスを生成するコントローラ 24 が後述する構成を持つものである点で、前述した本発明の第 1 の実施形態の場合と異なるだけで、他の部分は第 1 の実施形態と同様に構成される。

【0048】前述のように構成される本発明の第 2 の実施形態による液晶表示装置の動作については、液晶モジュール 25 に与えられる表示データ 26、データクロック 27、水平同期信号 28、垂直同期信号 29 の入力タイミングからデータドライバ 23 が液晶階調電圧をデー

タ信号線 D 1 ~ D 1 6 のそれぞれに出力するまでの様子がすでに第 1 の実施形態で説明した通りであるので、その詳細な説明は省略する。そして、水平同期信号 2 8、垂直同期信号 2 9 の入力タイミングとマルチプレックス線 3 1 ~ 3 3 及びアドレス線 3 4 ~ 3 7 の信号パルスの出力タイミングとは、図 1 1 に示すような関係となっている。

【0049】コントローラ 2 4 は、垂直同期信号 2 9 と水平同期信号 2 8 とからマルチプレックス線 3 1 ~ 3 3 の信号パルスと、アドレス線 3 4 ~ 3 7 の信号パルスとを生成するものである。このコントローラ 2 4 の詳細な構成の例を図 1 2 に示しており、以下、これについて説明する。

【0050】コントローラ 2 4 は、図 1 2 に示すように、水平同期信号 2 8 のパルス数をカウントし垂直同期信号 2 9 でそのカウント値がクリアされる 4 ビットカウンタ 5 1 と、4 ビットカウンタ 5 1 がカウントした水平同期信号 2 8 のパルス数を示す 4 ビットの信号 Q 0 ~ Q 3 のうち、下位 2 ビットの Q 0 と Q 1 とをデコードしてアドレス線 3 4 ~ 3 7 の信号パルスを生成するデコーダ 5 6 と、4 ビットの信号 Q 0 ~ Q 3 のうち、上位 2 ビットの Q 2 と Q 3 とをデコードしてマルチプレックス線 3 1 ~ 3 3 の信号パルスを生成するデコーダ 5 7 とによる構成される。

【0051】次に、コントローラ 2 4 の動作タイミングチャートを示す図 9 を参照して、まず、コントローラ 2 4 がアドレス線 3 4 ~ 3 7 の信号パルスを生成する動作を説明する。コントローラ 2 4 に入力される水平同期信号 2 8 と垂直同期信号 2 9 とは、図 1 2 に示すように、4 ビットカウンタ 5 1 に入力され、始めに垂直同期信号 2 9 が入力されることにより 4 ビットカウンタ 5 1 のカウント値がクリアされるので、デコーダ 5 6 は、アドレス線 3 4 に信号パルスを出力する。次に、水平同期信号 2 8 が入力される毎に 4 ビットカウンタ 5 1 のカウント値はカウントアップされるので、デコーダ 5 6 は、アドレス線 3 4 ~ 3 7 に順に信号パルスを出力する。

【0052】次に、コントローラ 2 4 がマルチプレックス線 3 1 ~ 3 3 の信号パルスを生成する動作を説明する。マルチプレックス線 3 1 ~ 3 3 の信号パルスは、4 ビットカウンタ 5 1 のカウントした 4 ビットの信号の上位 2 ビットの Q 2 ~ Q 3 をデコーダ 5 7 に入力して得られるデコード信号を元にそれぞれマルチプレックス線 3 1 ~ 3 3 の信号パルスとして出力される。

【0053】コントローラ 2 4 は、前述したような動作により、水平同期信号 2 8 と垂直同期信号 2 9 とからマルチプレックス線 3 1 ~ 3 3 の信号パルスとアドレス線 3 4 ~ 3 7 の信号パルスを生成することができる。

【0054】前述したような動作によりコントローラ 2 4 から生成されたマルチプレックス線 3 1 ~ 3 3 の信号パルスとアドレス線 3 4 ~ 3 7 の信号パルスとは走査ド

ライバ回路 2 1 に入力される。走査ドライバ回路 2 1 の構成と動作とは、すでに説明したので、ここではその動作の詳細な説明を省略する。走査ドライバ回路 2 1 は、図 9 のタイミングチャートに示す様にゲート信号線 G 1 ~ G 1 2 に順に走査信号を出力する。この走査信号は、液晶マトリックス 2 2 のゲート信号線 G 1 ~ G 1 2 に入力される。走査信号が入力されたゲート信号線は、ゲート信号線 G 1 ~ G 1 2 のうちの 1 つのみである。これらゲート信号線 G 1 ~ G 1 2 には、それぞれ液晶マトリックスの T F T トランジスタのゲート端子が接続されており、走査信号が入力されることにより、そのライン（行）の 1 ライン分の T F T トランジスタがオンとなり、これにより、すでに説明したデータドライバ 2 3 が出力する階調電圧が液晶に印加されて表示が行われる。

【0055】前述した本発明の第 2 の実施形態は、走査ドライバ回路 2 1 自体を M O S トランジスタによるスイッチマトリックスで構成しているため、ドライバ回路自体の電力消費がなく、特に、従来技術における走査ドライバとして広く用いられているシフトレジスタ回路を用いることなく走査ドライバ回路を構成することができる。本発明の実施形態は、これにより、従来技術におけるシフトレジスタによる走査ドライバ回路が、P チャネル M O S トランジスタと N チャネル M O S トランジスタとによる論理回路で構成され、それぞれの M O S トランジスタの特性のばらつきによる定常的な貫通電流による消費電力が多いという問題点を解決し、走査ドライバ自体を M O S トランジスタによるスイッチマトリックスで構成しているため、M O S トランジスタの特性のばらつきによる定常的な貫通電流等を生じさせることなく、低消費電力の走査ドライバ回路を備えた液晶表示装置を実現することができる。また、前述した本発明の実施形態によれば、走査ドライバ回路と液晶マトリックスとを同一のガラス基板上に構成することができ、しかも、走査ドライバ回路を構成する M O S トランジスタを多結晶シリコンによる高性能なものとして形成することができる。

【0056】さらに、本発明の第 2 の実施形態は、すでに説明した第 1 の実施形態に比較して判るように、コントローラの構成を簡略にすることができる。すなわち、本発明の第 1 の実施形態におけるコントローラは、図 7 により説明したように、ゲートオフ時間設定回路 5 4 とゲート回路 5 5 とを有するものであるが、第 2 の実施形態におけるコントローラは、これらの回路を必要とせず構成することができる。

【0057】図 1 3 は本発明の第 3 の実施形態による液晶表示装置の構成を示すブロック図、図 1 4 は液晶マトリックス内の表示画素の構成例を示す図、図 1 5 はカラー表示データの転送タイミングを説明する図であり、以下、これらの図を参照して本発明の第 3 の実施形態について説明する。本発明の第 3 の実施形態は、前述で説明

した本発明の第 1 の実施形態に使用した走査ドライバ回路をカラー液晶表示装置に適用したものである。図 13 において、26R、26G、26B はカラーの表示データ、58 は液晶マトリックス、59 は液晶モジュールであり、他の符号は図 4 の場合と同一である。

【0058】図 13 に示す本発明の第 3 の実施形態による液晶表示装置は、基本的に図 4 に示す第 1 の実施形態と同様に構成されている。そして、第 3 の実施形態は、データドライバ 23 に入力される表示データが、赤色、緑色、青色の明るさを示すカラー表示データ 26R、26G、26B とされ、データドライバ 23 が、カラー液晶マトリックス 58 の 48 本のデータ信号線 D1R、D1G、D1B ~ D16R、D16G、D16B を駆動するように構成され、また、液晶マトリックス 58 が、12 本のゲート信号線 G1 ~ G12 と 48 本のデータ信号線 D1R、D1G、D1B ~ D16R、D16G、D16B を持ち、その交点近傍に TFT トランジスタを配置したカラーのアクティブマトリックス型の液晶表示装置である。データドライバ 23 は、48 本のデータ信号線 D1R、D1G、D1B ~ D16R、D16G、D16B にカラー表示データ 26R、26G、26B に応じた液晶に対する階調電圧を生成して与える。液晶マトリックス 58 と走査ドライバ回路 21 とは、多結晶の TFT で 1 つのガラス基板上に形成されて液晶モジュール 59 として構成されている。アクティブマトリックス型の液晶マトリックス 58 における各画素の構造概略を図 14 に示しているが、この構成は、公知の構成であるので、その説明を省略する。

【0059】次に、前述したように構成される本発明の第 3 の実施形態の動作を図 15 を参照して説明する。

【0060】液晶モジュール 59 に与えられるカラー表示データ 26R、26G、26B、データクロック 27、水平同期信号 28、垂直同期信号 29 のタイミングは、図 15 (b) に示すように、水平同期信号 28 の 1 周期の間にデータクロック 27 に同期してカラー表示データ 26R、26G、26B が 16 ドット分、すなわち、1 ライン (行) 分の表示データ 26 が転送されてくるようにされている。そして、カラー表示データ 26R、26G、26B は、図 15 (a) に示すように、水平同期信号 28 に区切られながら 12 ライン分が転送されて、垂直同期信号 29 の 1 周期の間に 1 画面分の表示データが転送される。このように転送されてくるカラー表示データ 26R、26G、26B は、データドライバ 23 に入力される。データドライバ 23 は、入力されたカラー表示データ 26R、26G、26B を 1 ライン分蓄えてから、次の水平同期信号 28 のタイミングで表示データの対応した液晶階調電圧をデータ信号線 D1R、D1G、D1B ~ D16R、D16G、D16B のそれぞれに出力する。

【0061】コントローラ 24 は、第 1 の実施形態で説

*明した通りに動作しているので、詳細な説明を省略する。コントローラ 24 は、垂直同期信号 29 と水平同期信号 28 とからマルチプレックス線 1 ~ 4 の信号パルスと、アドレス線 5 ~ 7 の信号パルスを生成する。そして、コントローラ 24 から生成されたマルチプレックス線 1 ~ 4 の信号パルスとアドレス線 5 ~ 7 の信号パルスは走査ドライバ回路 21 に入力される。走査ドライバ回路 21 の構成と動作とは、第 1 の実施形態で説明したので、ここではその動作の詳細な説明を省略する。走査ドライバ回路 21 は、図 2 のタイミングチャートに示す様にゲート信号線 G1 ~ G12 に順に走査信号を出力する。この走査信号は、液晶マトリックス 58 のゲート信号線 G1 ~ G12 に入力される。走査信号を入力されたゲート信号線は、ゲート信号線 G1 ~ G12 のうちの 1 つのみである。これらのゲート信号線 G1 ~ G12 には、それぞれ液晶マトリックスの TFT トランジスタのゲート端子が接続されており、走査信号が入力されることにより、そのライン (行) の 1 ライン分の TFT トランジスタがオンとなり、これにより、すでに説明したデータドライバ 23 が出力する階調電圧が液晶のデータ信号線 D1R、D1G、D1B ~ D16R、D16G、D16B に印加されて表示が行われる。

【0062】前述した本発明の第 3 の実施形態によれば、第 1 及び第 2 の実施形態の場合と同様に、低消費電力の走査ドライバ回路を備えたカラー液晶表示装置を実現することができる。また、前述した本発明の第 3 の実施形態によれば、走査ドライバ回路と液晶マトリックスとを同一のガラス基板上に構成することができ、しかも、走査ドライバ回路を構成する MOS トランジスタを多結晶シリコンによる高性能なものとして形成することができる。

【0063】

【発明の効果】以上説明したように本発明によれば、走査ドライバ回路の定常的な貫通電流による消費電力の増大をなくした低消費電力の液晶駆動回路備えた液晶表示装置を提供することができる。また、本発明によれば、走査ドライバ回路を液晶マトリックスと同一のガラス基板上に構成することができ、しかも、走査ドライバ回路を構成する MOS トランジスタを多結晶シリコンによる高性能なものとして形成することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態による液晶表示装置に使用する走査ドライバ回路の構成を示すブロック図である。

【図 2】図 1 に示す走査ドライバ回路の動作タイミングを説明する図である。

【図 3】図 1 に示す走査ドライバ回路の 1 つのスイッチ回路の詳細な動作タイミングについて説明する図である。

【図 4】本発明の第 1 の実施形態による液晶表示装置の

全体の構成を示すブロック図である。

【図5】図4に示す液晶表示装置における走査ドライバ回路の動作タイミングを説明する図である。

【図6】図4に示す液晶表示装置におけるデータドライバ回路の動作タイミングを説明する図である。

【図7】コントローラの構成を示すブロック図である。

【図8】本発明の第2の実施形態による液晶表示装置に使用する走査ドライバ回路の構成を示すブロック図である。

【図9】図8に示す走査ドライバ回路の動作タイミングを説明する図である。

【図10】本発明の第2の実施形態による液晶表示装置の全体の構成を示すブロック図である。

【図11】図10に示す液晶表示装置における走査ドライバ回路の動作タイミングを説明する図である。

【図12】コントローラの構成を示すブロック図である。

【図13】本発明の第3の実施形態による液晶表示装置の構成を示すブロック図である。

【図14】液晶マトリクス内の表示画素の構成例を示す図である。

*【図15】カラー表示データの転送タイミングを説明する図である。

【符号の説明】

1～4、31～33 マルチプレックス線

5～7、34～37 アドレス線

8～19、38～49 MOSトランジスタ

20 レベルシフト回路

21 走査ドライバ回路

22、58 液晶マトリクス

23 データドライバ回路

24 コントローラ

25、59 液晶モジュール

26、26R、26G、26B 表示データ

27 データクロック

28 水平同期信号

29 垂直同期信号

51 4ビットカウンタ

52、53、56、57 デコーダ

54 ゲートオフ時間設定回路

55 ゲート回路

【図1】

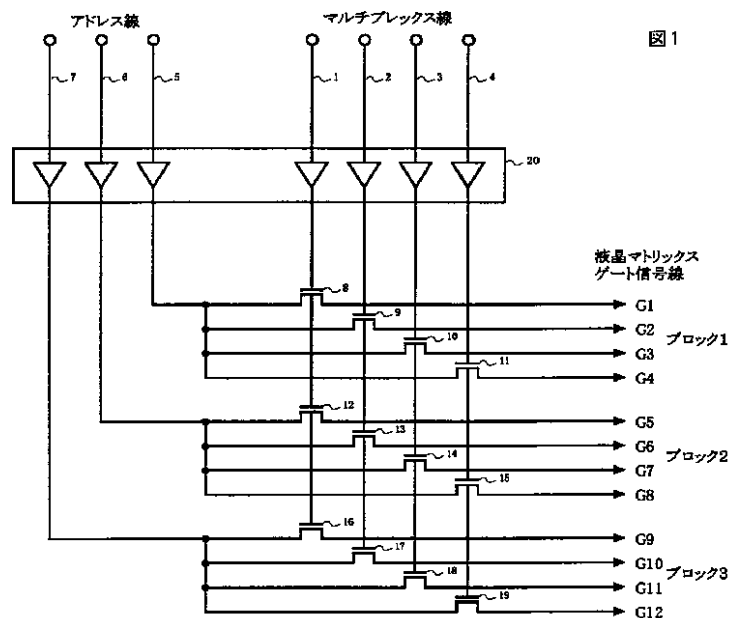
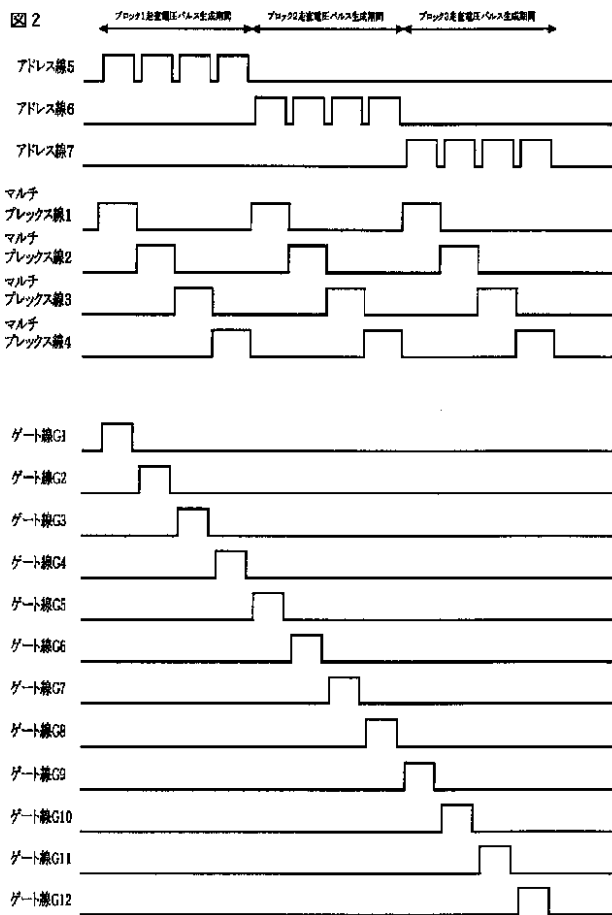
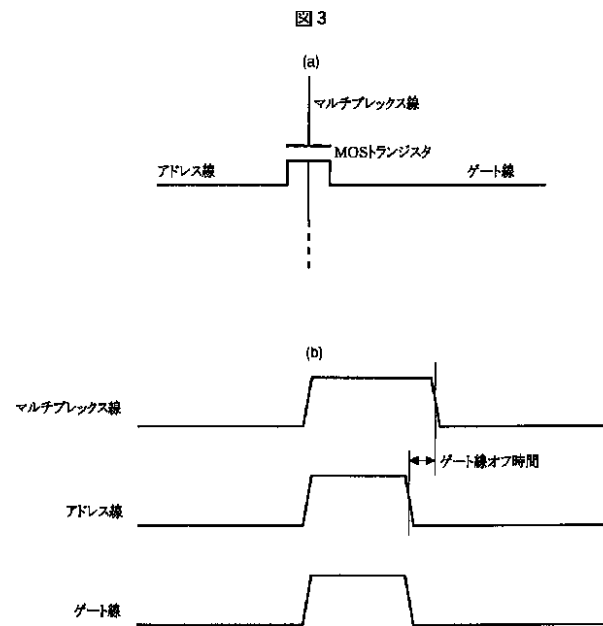


図1

【図2】

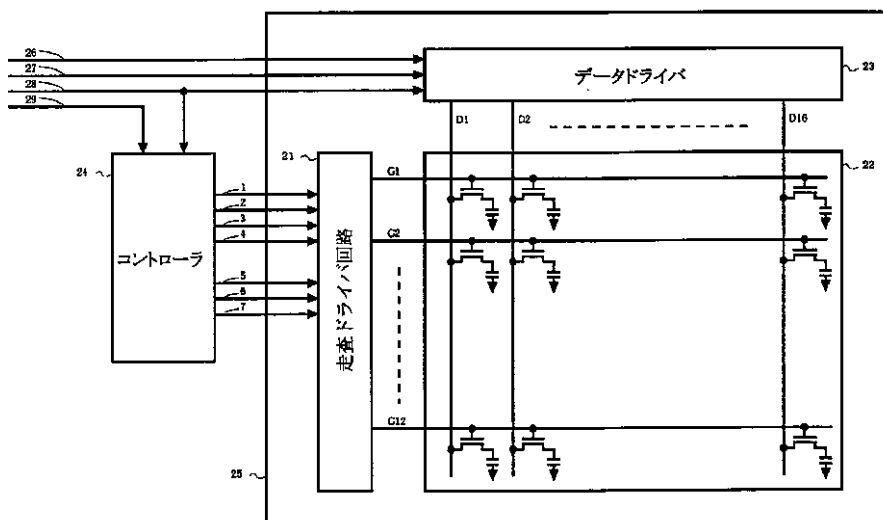


【図3】



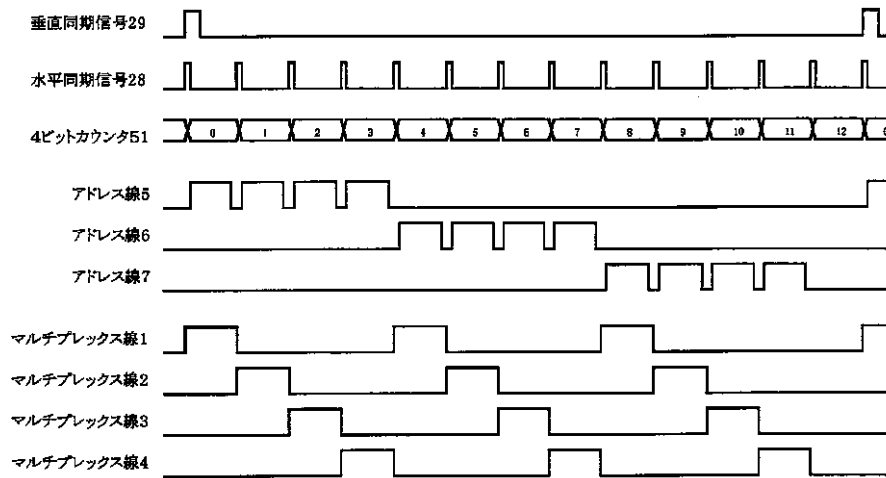
【図4】

図4



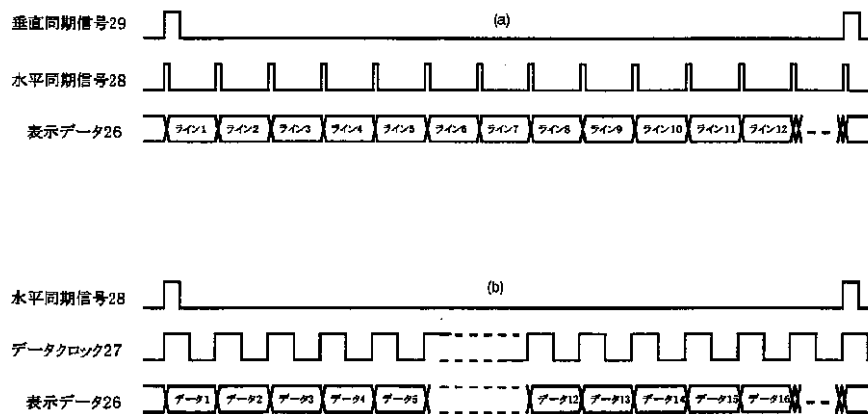
【図5】

図5



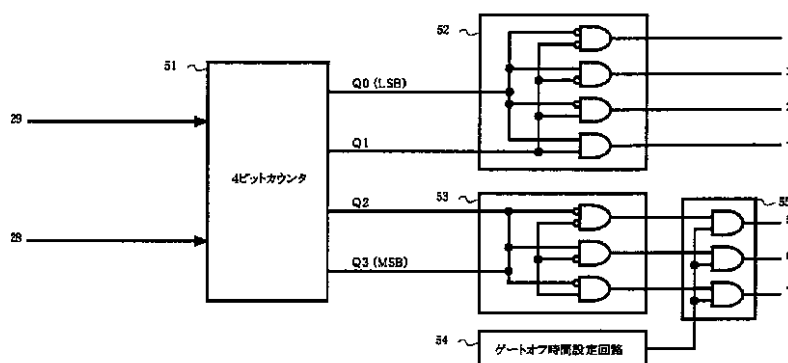
【図6】

図6

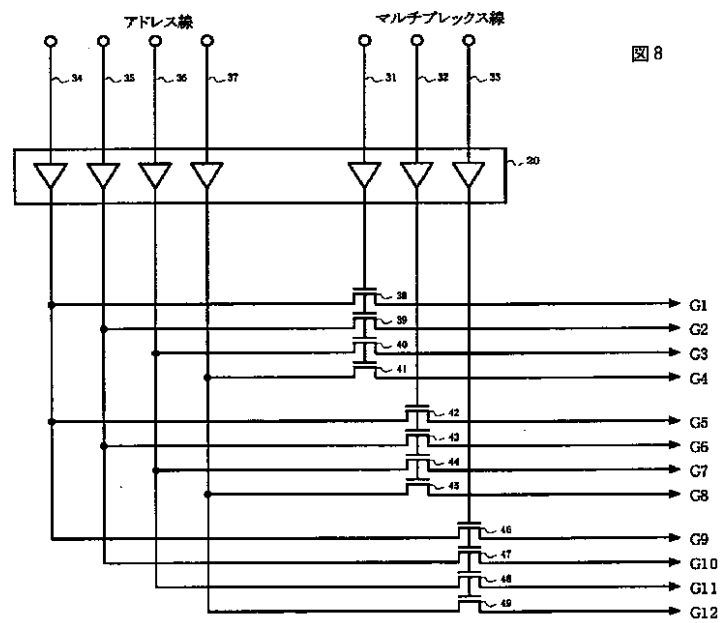


【図7】

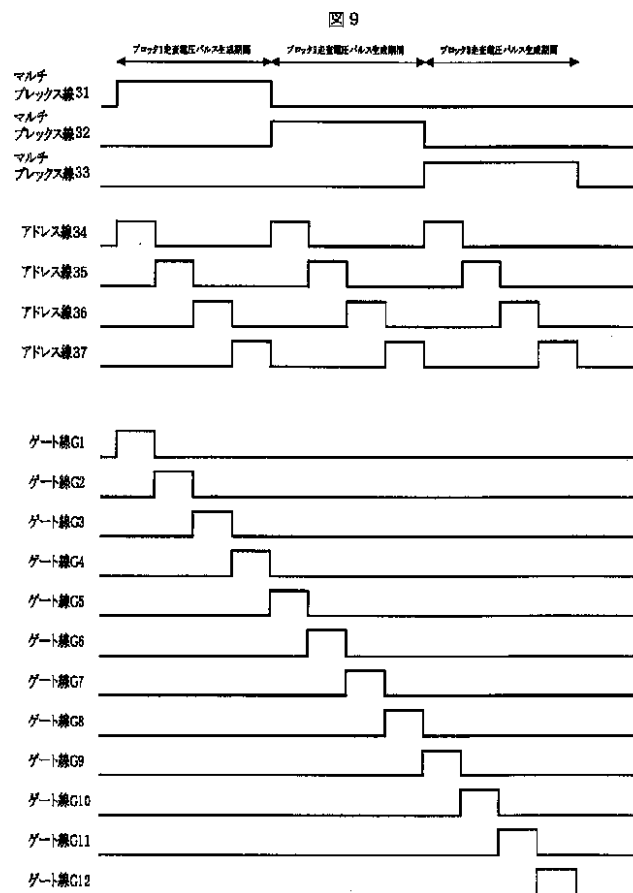
図7



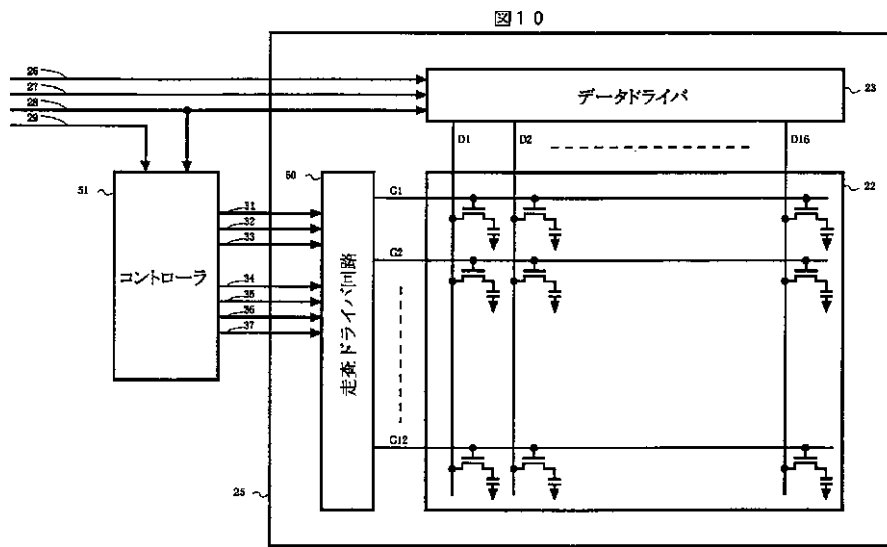
【図8】



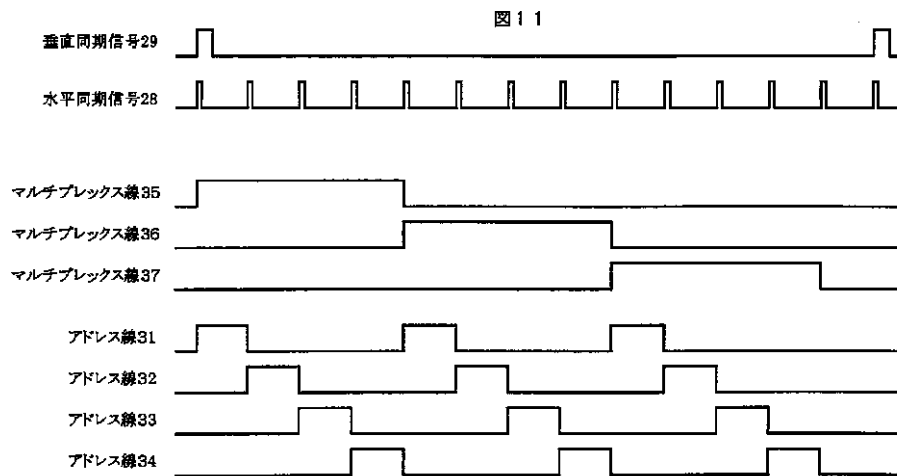
【図9】



【図10】

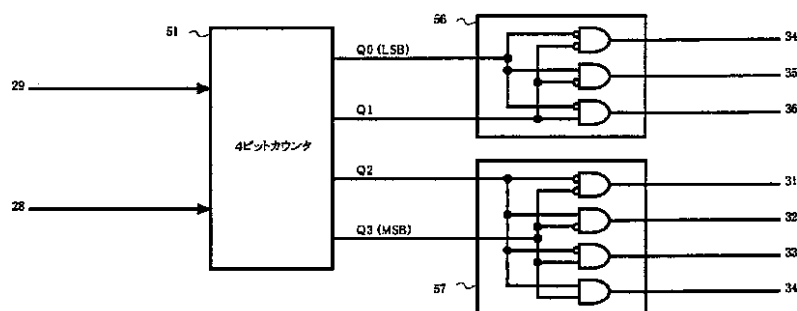


【図11】

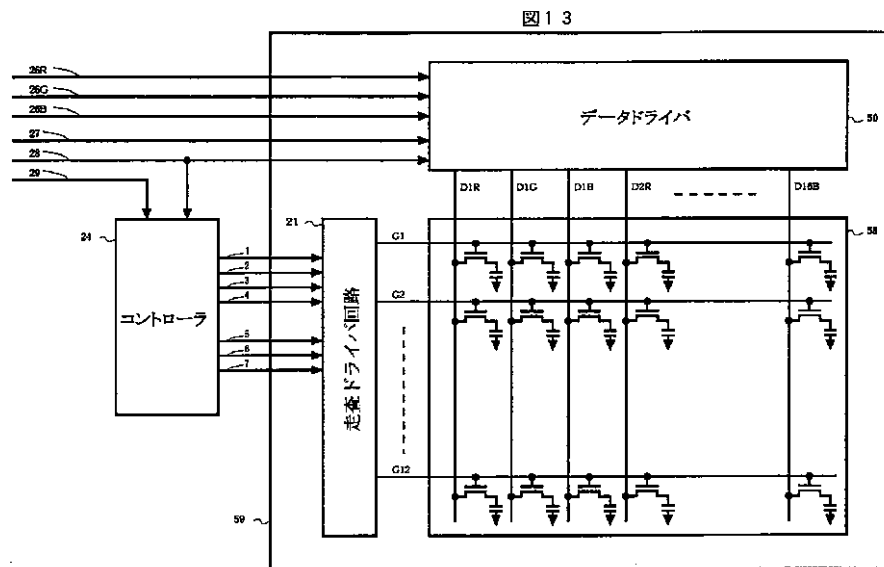


【図12】

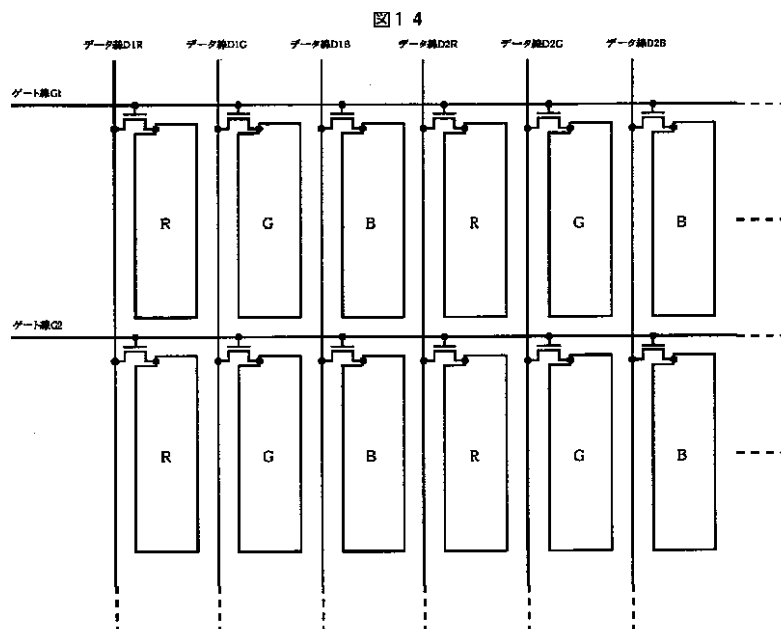
図12



【図13】

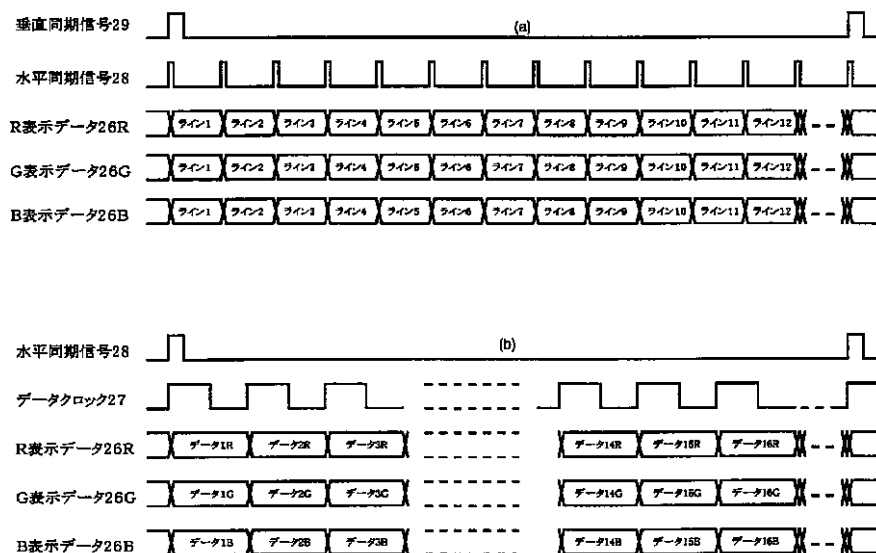


【図14】



【図15】

図15



フロントページの続き

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 9 G 3/20	6 2 1	G 0 9 G 3/20	6 2 1 L
	6 2 2		6 2 2 K
	6 8 0		6 8 0 G

(72)発明者 萬場 則夫
神奈川県川崎市麻生区王禅寺1099番地 株
式会社日立製作所システム開発研究所内

(72)発明者 宮沢 敏夫
千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

F タ-ム(参考) 2H092 GA59 JA24 NA25 PA06
2H093 NA16 NA43 NA53 NC09 NC16
NC27 NC34 ND06 ND34 ND39
5C006 AA22 BB16 BC03 BC12 BC20
BF22 BF24 BF34 BF46 EB04
EB05 FA47
5C080 AA10 BB05 CC03 DD26 DD28
FF11 JJ02 JJ03 JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2002169518A	公开(公告)日	2002-06-14
申请号	JP2000368737	申请日	2000-12-04
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	西谷茂之 古橋勉 萬場則夫 宮沢敏夫		
发明人	西谷 茂之 古橋 勉 萬場 則夫 宮沢 敏夫		
IPC分类号	G02F1/1368 G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.550 G02F1/1368 G09G3/20.611.A G09G3/20.621.M G09G3/20.621.L G09G3/20.622.K G09G3/20.680.G		
F-TERM分类号	2H092/GA59 2H092/JA24 2H092/NA25 2H092/PA06 2H093/NA16 2H093/NA43 2H093/NA53 2H093/NC09 2H093/NC16 2H093/NC27 2H093/NC34 2H093/ND06 2H093/ND34 2H093/ND39 5C006/AA22 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BC20 5C006/BF22 5C006/BF24 5C006/BF34 5C006/BF46 5C006/EB04 5C006/EB05 5C006/FA47 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD26 5C080/DD28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H192/AA24 2H192/CB34 2H192/FB03 2H192/GD61 2H193/ZA04 2H193/ZD23 2H193/ZF22		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了防止由于扫描驱动器电路的直通电流导致的功耗增加，可以将电路与液晶矩阵安装在同一玻璃基板上，并使构成该电路的MOS晶体管成为由多晶硅制成的高性能晶体管。可以形成。解决方案：用于驱动液晶矩阵的栅极信号线（扫描信号线）G1至G12分为第一块至第三块，并且栅极信号线G1至G12分别通过MOS晶体管8至19连接。收集每个块。作为开关的MOS晶体管8至19以矩阵布置，并通过地址线和多路复用线的信号顺序驱动栅极信号线G1至G12。所示的包括电平移位电路20的扫描驱动器电路可以由多晶TFT构成，并且可以与有源矩阵液晶配置在同一玻璃基板上。

