

【特許請求の範囲】

【請求項 1】 液晶パネルと、入力される表示データに対応した階調電圧を前記液晶パネルに印加する複数のデータドライバと、前記液晶パネルの走査ラインを順次選択状態とする走査ドライバと、制御信号及び表示データを前記データドライバ及び走査ドライバに供給する液晶コントロール回路と、前記液晶コントロール回路及び各データドライバを直列に接続して、表示データ及び制御信号を伝送する複数の伝送線路とを備えた液晶表示装置において、

前記データドライバに入力された表示データと同期した転送クロックのデューティ比を、前記液晶コントロール回路から出力されたデューティ比に再生する再生回路と、

前記再生回路から出力されるデューティ比の再生された転送クロックに基づき表示データのラッチを行うラッチ回路を有するデータドライバを具備することを特徴とする液晶表示装置。

【請求項 2】 請求項 1 記載の液晶表示装置において、前記再生回路は、データドライバに入力する前記データドライバに入力する転送クロックとデューティ比の再生された転送クロックとを比較することで出力を得るフィードバック回路で構成することを特徴とする液晶表示装置。

【請求項 3】 液晶パネルと、入力される表示データに対応した階調電圧を前記液晶パネルに印加するデータドライバと、前記液晶パネルの走査ラインを順次選択状態とする走査ドライバと、制御信号及び表示データを前記データドライバ及び走査ドライバに供給する液晶コントロール回路を有し、前記液晶コントロール回路とデータドライバとは直列に接続して、表示データ及び制御信号の伝送を行うことを特徴とする液晶表示装置において、前記データドライバは、その内部において最初に表示データの取り込みを行う回路のセットアップ／ホールド時間のマージンを増加すべく、転送クロック及び表示データの変換を行う回路を有し、前記転送クロック及び表示データの変換回路からの出力を次段のデータドライバに伝送することを特長とする液晶表示装置。

【請求項 4】 請求項 3 記載の液晶表示装置において、前記セットアップ／ホールド時間のマージンが増加した転送クロック変換回路からの出力信号の 2 通倍信号を生成する手段を有し、前記 2 通倍信号に基づき表示データの最初の取り込みを行うことを特長とするデータドライバを具備する液晶表示装置。

【請求項 5】 液晶パネルと、入力される表示データに対応した階調電圧を前記液晶パネルに印加するデータドライバと、前記液晶パネルの走査ラインを順次選択状態とする走査ドライバと、制御信号及び表示データを前記データドライバ及び走査ドライバに供給する液晶コントロ

ール回路を有し、

前記液晶コントロール回路とデータドライバとは直列に接続して、表示データ及び制御信号の伝送を行うことを特徴とする液晶表示装置において、

表示データと同期した転送信号の周期を T_0 、ローレベル期間とハイレベル期間の差を T_x とする場合、前記データドライバの内部において、 T_r 期間速く立ち上がり、 $T_x - T_r$ 期間遅く立ち下がる信号を新たに生成し（但し、 $T_x > 0$ の場合において $T_x > T_r > 0$ であり、） $T_x < 0$ の場合において $0 > T_r > T_x$ である。、前記内部で新たに生成された信号に基づき前記データドライバは動作することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示装置に係る液晶ドライバにおいて制御信号及び表示データを転送するための技術に関する。

【0002】

【従来の技術】 液晶表示装置の低価格化と表示領域の周辺に当たる額縁部分の低スペース化を実現する技術として、液晶ドライバをガラス基板上に直接配置すると共に、上記ドライバ内に伝送線を有し、これを直列に接続して転送する方式があり、以下この接続方式をカスケード接続方式とする。

【0003】 カスケード接続方式における制御信号及び表示データの転送方式の従来例としては、例えば特開平 9-360943 号公報に記されている方式があり、以下前記従来方式について、図 2～4 を用いて説明する。

【0004】 図 2 は従来例におけるデータドライバのブロック図であり、図 1 において後述する本発明のデータドライバのブロック図と同等の機能を有する回路及び信号線に対しては、同じ番号を記してあり、その動作については、本発明の実施例において説明する。201 は従来例におけるデータドライバ、202、203 は入出力バッファ、204 は転送信号の極性を決定する DREV 信号である。

【0005】 図 3 は従来例におけるデータドライバを適用しない場合のデータバスにおける信号波形の変化を示す図、図 4 はデータドライバ 201 を適用した場合のデータバスにおける信号波形の変化を示す図である。

【0006】 図 2 に示すように、データドライバ 201 は、転送信号の論理レベルを反転させる出力バッファ回路を持つ入力バッファ回路 202 及び 203 と、その入力バッファ回路の出力側に挿入される排他的論理和回路 (EX-OR) とを有する。

【0007】 EX-OR は、自ドライバに取り込む信号の論理レベルを本来の論理レベルに戻すためのものである。EX-OR は DREV 信号 204 に従い、入力バッファ回路の出力をそのまま反転するか、または、論理レ

ベルを反転してから出力する。なお、DRE V信号 204の論理レベルは各データドライバにおいて固定であるため、例えば基盤上の配線により、DRE V信号の入力端子に、対応する電圧(Vcc又はGND)を供給するようにする。

【0008】論理レベルの反転を行わない同じ回路構成のバッファ回路を多段に接続してパルス伝送を行った場合には、伝送パルスのデューティ比が変化する。例えば、そのバッファ回路が、伝送パルスの立ち下がりに比べ立ち上がりの応答特性が鈍いものである場合には、図3に示すように、バッファ回路を通過する毎に伝送信号の立ち上がりが遅延し、パルス幅の減少による伝送品質の低下が起こる。

【0009】従来例では、図4に示すように、データドライバ201の出力バッファ回路を通過する毎に、伝送信号(表示データ205及びデータ転送クロック206)の論理レベルが反転するため、伝送信号の立ち上がり及び立ち下りの一方が極端に遅延することを防止できる。

【0010】

【発明が解決しようとする課題】上記従来技術を用いれば、データドライバ毎に転送クロック及び表示データを反転することができ、それによって反転させない場合よりも高速転送が可能となる。

【0011】しかしながら、上記従来技術では、次の課題を解決することができない。

【0012】(1) 信号を反転させるのみであり、一度発生したデューティ差を解消することができない。例えば1個目のデータドライバにおけるデューティが50%、3個目のデータドライバにおけるデューティが45%となったとき、5個目のデータドライバにおいては40%程度になると予測でき、少なくとも再度デューティ50%に戻ることは期待できない。

【0013】(2) これに伴い、表示データを転送クロックの立ち上がり／立ち下がりでデータドライバに取り込むデュアルエッジ転送においては、上記転送クロックのエッジに対するセットアップ／ホールド時間のマージンが、立ち上がりエッジと立ち下がりエッジでは異なってくる。即ち、デュアルエッジ駆動では、転送クロックと表示データの最大周波数は共に等しいため、入出力バッファや伝送線の線幅を転送クロックと表示データで等しくし、これによって上記データドライバにおける出力バッファから入力バッファまでの、立ち上がり時の遅延時間及び立ち下がり時の遅延時間の転送クロックと表示データの差を少なくできる。一方、遅延時間は立ち上がり立ち下がりでは異なるため、転送クロックの立ち上がりエッジではセットアップ時間のマージンは十分あるにもかかわらず、ホールド時間のマージンは少なくなり、逆に転送クロックの立ち下がりエッジではホールド時間のマージンは十分あるにもかかわらず、セットアッ

プ時間のマージンは少なくなる、等の現象が発生する。セットアップ／ホールド時間のマージンは両方のエッジに対して要求されるため、結果として、セットアップ／ホールド時間ともにマージンが少なくなる。

【0014】(3) 更に、従来例の方法においては、データドライバを介する毎に信号を反転する必要があるため、奇遇を判別するための制御信号(従来例においてはDRE V信号)が必要となるため、チップ上のピン数増加につながる。

【0015】以上のように(1)(2)は多数のデータドライバをカスケード接続する必要がある大画面化、及び転送周波数が高速となる高精細化を進める上での課題となり、(3)は低価格化を進める上での課題となる。

【0016】本発明の目的は、上記課題を鑑み、ドライバをカスケード接続する場合において、大画面、高精細、及び低価格化を進めることの可能な液晶表示装置を供給することを目的とする。

【0017】

【課題を解決するための手段】上記目的を解決するた

め、本発明の液晶表示装置におけるドライバは、少なくとも内部に転送クロックのデューティを液晶コントロール回路から出力されたデューティ、即ち50%に再生するクロック再生回路を有すると共に、前記クロック再生回路にて生成されたクロックは、表示データとの位相関係が明確化するように再生し、セットアップ／ホールド時間のマージンが十分に得られにする。以上によって発明が解決しようとする課題において示した(1)

(2)が解決され、大画面化、高精細化を実現できる。

【0018】更に転送クロック及び表示データは反転することなく出力できるようにし、これによって(3)を解決し、低価格化を図ることができる。

【0019】

【発明の実施の形態】以下、第一の実施例について、図1、図5～13を用いて説明する。

【0020】図1は第一の実施例におけるデータドライバの構成を示すブロック図であり、101はデータドライバであり、本実施例において、384本の液晶出力線を有するものとする。102は入力転送クロック、103は入力表示データ、104は入力イネーブル信号である。データドライバ101は、入力イネーブル信号104に基づき、入力転送クロック102の立ち上がりエッジと立ち下がりエッジで表示データ103の取り込みを行うものとする。105は表示データに応じた電圧を液晶表示パネルに出力する入力液晶印加信号、106は液晶表示パネルに出力する電圧を決定する入力液晶基準電圧である。107はクロック再生回路、108はクロック再生回路で入力転送クロック102に基づき再生された再生転送クロックであり、109はラッチクロックであり、再生転送クロック108の2倍信号である。110はイネーブル制御回路、111はラッチアドレス開

始信号、112は出力開始信号、113は出力イネーブル信号であり、111～113は入力イネーブル信号104及び入力転送クロック102に基づきイネーブル制御回路110で生成される。114は入力表示データ103をラッチクロック109の立ち上がりエッジでラッチするラッチ回路、115はラッチ回路114でラッチされた表示データである。116、118は出力バッファであり、出力開始信号112がローレベルの場合はハイインピーダンス状態となる。117は出力転送クロック、119は出力表示データである。120はラッチアドレス生成回路、121はラッチアドレスであり、ラッチアドレス121はラッチクロック109、ラッチアドレス開始信号111に基づきラッチアドレス生成回路120で生成される。122はラッチ回路(1)、123はラッチ回路(1)122においてラッチアドレス121に基づき取り込まれた表示データである。124はラッチ回路(2)、125はラッチ回路(2)124において入力液晶印加信号105に基づき出力される表示データである。126は液晶駆動回路、127は表示データ125に基づき入力液晶基準電圧から生成された液晶印加電圧である。128は入力液晶印加信号105をバッファリングした出力液晶印加信号、129は入力液晶基準電圧106を電流増幅した出力液晶基準電圧である。

【0021】図5は本発明における液晶表示装置の構成を示す図である。501は液晶表示装置であり、本実施例における表示領域のサイズは、1024×3(RGB)×768のXGAと呼ばれる規格とする。502は液晶コントローラ、503-1～503-8は図1において示したデータドライバ、504-1～504-3はゲートドライバであり、ゲートドライバは256本の出力数を有するとともに、データドライバ503-1～503-8、ゲートドライバ504-1～504-3は液晶表示装置501のガラス基板上に配置されたものとする。505-1～505-8はデータドライバ信号群であり、前段の液晶コントローラ502及びデータドライバ503と次段のデータドライバとの間で接続されている。506-1～506-3はゲートドライバ信号群であり、データドライバ信号群と同様に前段の液晶コントローラ502及びゲートドライバと次段のゲートドライバとの間で接続されている。

【0022】図6はクロック再生回路107の構成を示す図であり、601は入力転送クロック102の入力バッファ、602はその出力である。603、604は反転回路、605、606は各々入力転送クロック602、比較信号619を反転回路603、604で反転した信号である。607、608は入力信号におけるエッジ同士の位相差を比較し、その差を出力するエッジ比較回路、609-up、610-upはそれぞれエッジ比較回路607、608における位相進み信号、609-dwn、6

10-dwnはそれぞれエッジ比較回路107、108における位相遅れ信号である。611はエッジ判別回路であり、エッジ比較回路607、608の出力に基づきエッジを判別すべく演算を行い、その結果を位相進み信号612-up、位相遅れ信号612-dwnとして出力する。613はチャージポンプ回路、614はバイアス電圧であり、図中においてはCMOS回路で構成され、位相進み信号612-upと位相遅れ信号612-dwnの論理レベルに応じてバイアス電圧614が変化する。615はループフィルタであり、バイアス電圧614の高周波成分を取り除きバイアス電圧616を生成する。617は入力電位レベルに応じて出力周波数が変化するVCO(電圧制御発振器)である。618は分周回路であり、ラッチクロック109を分周し、比較信号619を生成する。620は比較信号619の反転回路であり、再生転送クロック108を出力する。

【0023】図7は図6で示したエッジ比較回路607、608の構成を示す図である。図8はエッジ比較回路の動作を示すタイミング図、図9はエッジ判別回路の構成を示す図であり、NOR回路901-1～901-3と反転回路902で構成される。

【0024】図10はVCO617の構成を示す図であり、1001はバイアス入力のある反転回路、1002は出力バッファであり、VCO617は奇数個の反転回路1001を接続すると共に、最終段の出力を初段の入力とすることで、発振周波数を得ている。

【0025】図11はバイアス電圧とVCO617の発振周波数の関係を示す図であり、図12はクロック再生回路108の動作を示すタイミング図、図13はデータドライバ101の動作を示すタイミング図である。以上の図面に基づき、本実施例の動作について説明する。

【0026】図5に示すように、液晶コントローラ502において生成されたデータドライバ信号群505-1は、一段目のデータドライバ503-1に転送される。ここで、データドライバ503の動作について説明する。図13に示すように、入力転送クロック102は立ち上がり／立ち下がりエッジで入力表示データ103の取り込みができるタイミングで前段の回路から転送されてくる。しかしながら、従来例においても説明したように、前段回路における出力バッファや自段回路における入力バッファ、伝送線のインピーダンス等によって、入力転送クロック102や入力表示データ103等はデューティが変化してしまう。

【0027】データドライバ503においては、初めに図1に示すクロック再生回路107において入力転送クロック102からラッチクロック109と再生転送信号108を生成する。この過程について図6～12を用いて説明する。クロック再生回路107に入力した入力転送クロック102は、図6に示すように入力バッファを介した後、比較信号619との立ち上がりエッジ同士を

比較するエッジ比較回路607、前記602と619をそれぞれ反転回路603、604で反転することによって立ち下がりエッジ同士を比較するエッジ比較回路608に入力する。エッジ比較回路607、608は図7に示す構成となっており、そのタイミング図は、例えば607の場合には図8に示すように、2入力信号の立ち上がりエッジを比較し、両者の立ち上がりタイミングが等しければ、出力である609-up、609-dwnを共に、ローレベルとし、入力転送クロック602が比較クロック620よりも速く立ち上がる場合は、602がハイレベルで620がローレベルの期間において609-dwnをハイレベルとする。逆に602が620よりも遅く立ち上がる場合は、602がローレベルで620がハイレベルの期間において609-upをハイレベルとする。

【0028】従ってクロック生成回路107においては、例えば入力転送クロック602に対して、比較信号619が同じ周期及びデューティで、比較信号619の位相がわずかに遅れていた場合、エッジ比較回路607においては入力転送クロック602の立ち上がりから比較信号619の立ち上がりまでの期間において位相遅れ信号609-dwnがハイレベルとなり、又入力転送クロック602の立ち下がりから比較信号619の立ち下がりまでの期間において位相遅れ信号610-dwnがハイレベルとなり、その他の期間においては位相進み信号609-up、610-up、位相遅れ信号609-dwn、610-dwn共にローレベルとなり、結果として前記位相進み信号と位相遅れ信号は入力転送クロック602と比較信号619の立ち上がりと立ち下がりにおける位相差情報を有することとなる。

【0029】このようにして生成された位相進み信号609-up、610-up、及び位相遅れ信号609-dwn、610-dwnはエッジ判別回路611において、立ち上がりと立ち下がりで別個に生成した位相差情報それぞれの論理和を取ることによって立ち上がりと立ち下がりでの位相進み情報、位相遅れ情報をそれぞれ一つの情報とすると共に、後段のチャージポンプ回路613に適した信号レベルとするため、位相進み信号においては、位相差が発生した場合はローレベルとなるように論理変換を行う。更に、位相差信号は位相進みと位相遅れが同時に発生してはならないが、単に論理和演算を行ったのみでは、例えば位相進み信号609-UPと位相遅れ信号610-DWNが共にハイレベルとなる期間を有する可能性がある。従って、位相遅れ信号に対しては、NOR回路901-2で論理和演算を行った後、反転回路902でハイアクティブとした位相進み信号によって、NOR回路901-3を用いてマスクしている。

【0030】以上のように生成された位相進み信号612-up、位相遅れ信号612-dwnは、チャージポンプ回路613に入力する。チャージポンプ回路613は、

図6に示すように、位相進み信号612-upはソース側を高電位レベルとしたPMOSのゲートに入力し、位相遅れ信号612-dwnはソース側を低電位レベルとしたNMOSのゲートに入力する。前記PMOSとNMOSのドレイン側は接続し、そのノードからバイアス電圧614を得ている。従って、位相進み信号612-upがローレベルとなれば高電位側から電流を流れこむことでバイアス電圧614の電位が上昇し、位相遅れ信号612-dwnがローレベルとなれば低電位側に電流を流すことでバイアス電圧614の電位が低下する。更に612-upがハイレベル、612-dwnがローレベルの場合は何れのソース側も電流を流さないため、バイアス電圧614は変化しない。以上のような動作によって生成されたバイアス電圧614はループフィルタ615によって高周波成分を取り除いた後、VCO回路617に入力する。

【0031】次に、このVCO回路617の動作について説明する。VCO回路617は図11に示すように、バイアス電圧と発振周波数の間に線形性を有している。従ってバイアス電圧614がVLとVHの範囲においては、バイアス電圧がV1からV2に変化した場合の周波数変化とV2からV1に変化した場合の周波数変化は等しくなる。

【0032】以上のVCO回路617によって発生した信号が再生転送クロック109として、クロック再生回路から出力すると共に、前記エッジ比較回路607にフィードバックすると共に、反転回路604を介してエッジ比較回路608にもフィードバックする。

【0033】以上の動作を結果、クロック再生回路107の入力における入力転送クロック102として、デューティ $t_0/T_0\%$ (T_0 は入力信号の1周期分の期間、 t_0 はハイレベルの期間)の信号が入力した場合、図12に示すように、比較信号619は、入力転送クロック102の立ち上がりに対して t_{rm} 期間速く立ち上がり、102の立ち下がりに対して t_{fm} 期間遅く立ち下がる。この時、 t_{rm} と t_{fm} はVCO回路617の特性から等しくなり、従って $t_{rm}=t_{fm}=(T_0-t_0)/2$ となり、比較信号619はデューティ50%で、入力転送クロック102に対して前後に同じ幅だけ遅延時間の変化した信号となり、これを反転した再生転送クロック109も同様となる。

【0034】以上によって生成されたラッチクロック108及び再生転送クロック109に基づきデータドライバ101は動作を行う。そこで、本ラッチクロック及び再生転送クロックを用いた場合のデータ取り込み方法について図13を用いて説明する。

【0035】前段のデータドライバから出力される出力転送クロック117及び表示データ119のデューティが50%であった場合においても、入出力バッファや伝送線のインピーダンスによって、自段に入力する入力

転送クロック102及び入力表示データ103はデューティーが変化する。しかしながら、入出力バッファの駆動能力及び伝送線のインピーダンスが何れの伝送路でも等しい場合、図13に示すように、転送クロックが立ち上がりにおいて t_{dr} 秒遅延し、立ち下がりにおいて t_{df} 秒遅延する場合、表示データにおいても立ち上がりでは t_{dr} 秒遅延し、立ち下がりでは t_{df} 秒遅延することとなり、即ち1周期 T_0 に対して、デューティーは 50% であったものが、 $(50 + (T_{df} - T_{dr}) / T_0) \%$ に変化する。ここで、図1において、入力表示データ103はラッチ回路114で再生転送クロック109によってラッチすることとなるが、仮に入力転送クロック102でラッチするとした場合、セットアップ／ホールド時間マージンは、 $T_{dr} > T_{df}$ の場合、図13からクロック立ち下がりエッジにおいてセットアップ時間のマージンは $Trsu$ のままであるが、ホールド時間のマージンは $Trho' = Trho - (T_{dr} - T_{df})$ となる。これに対して、立ち下がりエッジにおいてセットアップ時間のマージンは $Tfsu' = Tfsu - (T_{dr} - T_{df})$ となる。立ち上がり時と立ち下がり時では同時にセットアップ／ホールド時間のマージンを満

たす必要があるため、回路としてのセットアップ時間のマージンは $Tsu' = Tfsu - (T_{dr} - T_{df})$ 、ホールド時間のマージンは $Tho' = Trho - (T_{dr} - T_{df})$ となる。

【0036】これに対して、本実施例を適用した場合の再生転送クロックにおいては、デューティーが 50% となり、且つ立ち上がり／立ち下がりにおいて、入力転送クロックと比較して、立ち上がりでは $(T_{dr} - T_{df})/2$ 秒速く立ち上がり、立ち下がりでは $(T_{dr} - T_{df})/2$ 秒遅く立ち下がるため、立ち上がりでのセットアップ／ホールド時間のマージンはそれぞれ $Trsu' = Trsu - (T_{dr} - T_{df})/2$ 、 $Thsu' = Tfsu' + (T_{dr} - T_{df})/2 = Tfsu - (T_{dr} - T_{df})/2$ 、立ち下がりでのセットアップ／ホールド時間のマージンは $Tfsu' = Tfsu' + (T_{dr} - T_{df})/2 = Tfsu - (T_{dr} - T_{df})/2$ 、 $Tfho' = Tfsu - (T_{dr} - T_{df})/2$ となり、セットアップ／ホールド時間のマージンはクロックの立ち上がり／立ち下がりでの差が無くなり、セットアップ／ホールド時間の両方において $(T_{dr} - T_{df})/2$ 秒のマージンが発生し、その分高速伝送が可能となる。

【0037】次に第二の実施例として、第一の実施例とは異なる構成のクロック再生回路を用いた場合について、図1、図14～21を用いて説明する。

【0038】図14は第二の実施例におけるクロック再生回路の構成を示すブロック図である。1401は第一遅延回路であり、入力転送クロック102のハイレベル幅の半分だけ位相を遅延し、遅延転送クロック(1)1402を生成する。1403はデューティー再生回路であり、遅延転送クロック(1)1402の立ち上がりと同期して、デューティーを 50% とした再生転送クロック(1)1404を生成する。1405は第二遅延回路であり、第一遅延回路(1)1401と同様の機能を有することで、再生転送クロック(1)1404のハイレ

ベル幅の半分だけ位相を遅延し、再生転送クロック108を生成する。1406は排他的論理和回路であり、再生転送クロック(1)と再生転送クロック108の排他的論理和演算を行うことで、ラッチクロック109を生成する。

【0039】図15は第一遅延回路1401の構成を示す図である。1501-1、2は同一の構成からなる遅延回路であり、共に遅延制御信号1502に基づき入力信号を遅延させる。ここでは、遅延回路1501-1は入力転送クロック102を遅延することで、遅延転送クロック(1)1402を生成し、遅延回路1501-2は遅延転送クロック(1)1402を遅延することで、遅延転送クロック(2)1503を生成する。1504は反転回路、1505は反転回路1504によって生成された入力転送クロック102の反転信号である。1506はエッジ比較回路であり、遅延転送クロック(2)1503と反転信号1505の立ち上がりエッジの位相差を判定し、その結果を位相進み信号1507-up、位相遅れ信号1507-dwnとして出力する。1508は遅延回路、1509は反転信号1505の遅延信号である。1510はアップ／ダウンカウンタであり、遅延信号1509に同期して、位相進み信号1507-upが有効である場合はカウントアップを行い、位相遅れ信号1507-dwnが有効である場合はカウントダウンを行い、結果をカウント信号1511として生成する。1512はデコーダであり、 n ビットからなるカウント信号1511を、 2^n ビットのうち1ビットのみが有効となる遅延制御信号1502に変換する。

【0040】図16は遅延回路1501の構成を示す図である。遅延回路1501は、 2^n 個からなる遅延回路1601-1～1601- 2^n を有し、入力である入力転送クロック102を 2^n 段階に遅延し、遅延信号1602-1～1602- 2^n を生成する。1603-1～1603- 2^n はスイッチング回路であり、 2^n ビットからなる遅延制御信号1502に基づき多くとも一つのスイッチング回路をオン状態とすることで、出力である遅延転送クロック(1)1402を得る。尚、遅延回路1501-1と1502-2は同等の回路からなる。

【0041】図17はエッジ比較回路の構成を示す図であり、1701-1、1701-2は遅延回路、1702-1、1702-2はラッチ回路である。図17に示す構成によってエッジ比較回路1506は、遅延転送クロック(2)1503に対して、反転信号1505が遅延回路1701-1における遅延分よりも位相が進んでいる場合には1507-upがハイレベルとなり、逆に反転信号1505に対して、遅延転送クロック(2)1503が遅延回路1701-2における遅延分よりも位相が進んでいる場合には1507-dwnがハイレベルとなる。

【0042】図18は第一遅延回路の動作を示すタイミング図である。

【0043】図19はデューティ再生回路1403の構成を示す図である。1901-1、2は同一の構成からなる遅延回路であり、共に遅延制御信号1902に基づき入力信号を遅延させる。ここでは、遅延回路1901-1は遅延転送クロック(1)1402を遅延することで、クリア信号1903を生成し、遅延回路1501-2はクリア信号1903を遅延することで、遅延転送クロック(3)1904を生成する。1905はエッジ比較回路であり、例えば図17において示した回路と同様の機能を有し、遅延転送クロック(3)1904と遅延転送クロック(1)1402の位相差の比較を行い、その結果を位相進み信号1906-up、位相遅れ信号1906-dwnとして出力する。1907は遅延回路、1908は遅延回路1907で遅延した遅延転送クロック(1)1402の遅延信号である。1910はアップ/ダウンカウンタであり、遅延信号1908に同期して、位相進み信号1906-upが有効である場合はカウントアップを行い、位相遅れ信号1906-dwnが有効である場合はカウントダウンを行い、結果をカウント信号1911を生成する。1912はデコーダであり、 n ビットからなるカウント信号1911を、 2^n ビットのうち1ビットのみが有効となる遅延制御信号1902に変換する。1913はエッジクリア機能付きのラッチ回路であり、遅延転送クロック(1)1402に同期してハイレベル電圧をラッチすると共に、クリア信号1903の立ち下がりで非同期のクリア動作を行い、再生転送クロック108を生成する。

【0044】図20はデューティ再生回路の動作タイミングを示す図である。以上の図面に基づき、第二の実施例の動作について詳細に説明する。

【0045】第一の実施例と同じく、データドライバ101に対してはデューティの変化した入力転送クロック102が入力される。データドライバ101においては前記外部から入力される入力転送クロック102は、図14に示す本実施例のクロック再生回路108におけるクロック再生回路107に転送される。ここでクロック再生回路の動作について、図15～20を用いて説明する。

【0046】図15において、入力転送クロック102は遅延回路1501-1に転送される。遅延回路1501-1は、図16に示す構成であり、 2^n 個の遅延回路1601-1～1601- 2^n を用いることで、入力転送クロック102を 2^n 段階に遅延させている。以上の回路によって生成された 2^n 段階の遅延信号1602-1～1602- 2^n から、遅延制御信号1502によってスイッチング回路1603-1～1603- 2^n のうち、只一つのスイッチング回路が選択されることによって、遅延転送クロック(1)1402が生

成される。このようにして生成された遅延転送クロック(1)1402は遅延回路1501-2に入力する。ここで遅延回路1501-2は遅延回路1501-1と全く等しい回路であり、遅延制御信号は共通なため、遅延回路1501-1の遅延時間と遅延回路1501-2の遅延時間は等しくなる。このように遅延回路1501-2を介することで、遅延転送クロック(2)1503を生成する。遅延転送クロック(2)1503と前記反転信号1505はエッジ比較回路1506に入力する。エッジ比較回路1506は、図17に示すような構成であり、入力信号同士の位相差が、遅延回路1701-1と1701-2によって決定される遅延時間の範囲内にあれば、即ちデジタル的に1503と1505の位相差が周期の倍数となったとみなされ、位相進み信号1507-upと位相遅れ信号1507-dwnは共にロウレベルとなり、入力転送クロック(2)1503が反転信号1505に対して遅延回路1701-1による遅延時間分よりも進んでいれば1507-upがハイレベル、反転信号1505が入力転送クロック(2)1503に対して遅延回路1701-2による遅延時間分よりも進んでいれば1507-dwnがハイレベルとなる。尚、この回路は実質的に第一の実施例におけるエッジ比較回路607、608と同等の意味を有するが、本実施例においては位相差の幅に関する情報は大きな意味をゆうしないため、図17に示した回路を用いることができる。

【0047】位相進み信号1507-upと位相遅れ信号1507-dwnは遅延信号1509と共にアップ/ダウンカウンタ1510に入力する。アップ/ダウンカウンタ1510は位相進み信号1507-upがハイレベルである場合にはカウントアップ動作を、位相遅れ信号1507-dwnがハイレベルである場合にはカウントダウン動作を遅延信号1509に基づき行う。従って、図18の動作タイミング図に示すように、位相進み信号1507-upがハイレベルであるときは、カウント信号1511は3、4、5とカウントアップ動作を行い、1507-up、1507-dwnが共にロウレベルとなると、カウント動作を停止し、その計数値を保持する。以上のようにして生成された n ビットのカウント信号1511はデコーダ1512で、 2^n ビットにデコードされ、遅延制御信号1502を生成する。以上の動作によって、入力転送クロック102の立ち上がりに対して遅延信号(3)1503の立ち上がりエッジがある範囲内に入ること立ち上がりエッジが一致したとみなされる場合には、その状態を保持することができる。

【0048】ここで、遅延回路1501-1と1501-2は同じ回路であるため、遅延回路1501-1で生成される遅延転送クロック(1)1402の立ち上がりエッジは入力転送クロック102のハイレベル期間の半分ずれた位置となる。

【0049】次にデューティ再生回路1403の動作に

ついて、図 19、20 を用いて説明する。図 19 において、遅延転送クロック (1) 1402 はラッチ回路 1913 と共に遅延回路 1901-1 に転送される。遅延回路 1901-1 は遅延回路 1501-1 と同じく図 16 に示す構成であり、遅延制御信号 1902 によって、只一つのスイッチング回路が選択されることによって、リセット信号 1903 が生成される。このようにして生成されたリセット信号 1903 はラッチ回路 1913 のクリア信号として適用されると共に、遅延回路 1901-2 に入力する。ここで遅延回路 1901-1 と 1901-2 と全く等しい回路であり、遅延制御信号は共通なため、遅延回路 1901-1 の遅延時間と遅延回路 1901-2 の遅延時間は等しくなる。ここで遅延制御信号 1902 の生成方法は、図 15 を用いて説明した第一遅延回路 1401 の場合と同等である。ラッチ回路 1913 は、遅延転送クロック (1) 1402 の立ち上がりエッジでハイレベルをラッチし、クリア信号 1903 の立ち上がりでロウレベルにクリアされるため、その出力である再生転送信号 108 は、図 20 に示すように入力転送信号 102 と等しい周期であり、且つデューティが 50% である信号となる。更に、遅延転送クロック (1) 1402 は入力転送クロック 102 に対してハイレベル幅の半周期分位相がずれているため、再生転送クロック 108 も又、入力転送クロック 102 のハイレベル幅の半周期分位相がずれ、目的の信号を生成することが可能となる。このようにして生成された再生転送クロック 108 は更に第二遅延回路 1405 に入力する。第二遅延回路 1405 は第一遅延回路 1401 と全く同様の機能を有し、入力信号のハイレベルの半周期分位相を出力する。ここで第二遅延回路 1405 の入力信号となる再生転送クロック 1404 は、デューティが 50% であるため、再生転送クロック 108 は再生転送クロック 1404 に対して 1/4 周期分位相のずれた信号となり、前記 2 信号を排他的論理和回路 1406 で EXOR 演算することで、ラッチクロック 109 の生成を行う。

【0050】以上のによって、入力転送クロック 102 に対して、周期が等しくデューティが 50% であり、且つ入力転送クロック 102 のデューティ差の半分の時間だけ速く（又は遅く）立ち上がり、遅く（又は速く）立ち下がる信号を生成することが可能となり、従って第一の実施例と同等の効果を有する再生転送クロックをデジタル回路のみで構成することが可能となる。

【0051】尚、本発明においては液晶表示装置において、特にデータドライバを直列に接続したカスケード接続に限って説明してきたが、本発明は勿論これに限ったことはなく、データドライバを並列に接続した方式においても適用することが可能である。さらに本発明は液晶表示装置に限ることはなく、伝送線や入出力バッファを有することでデータのデューティが変化する恐れのある

全ての装置に対して適用可能であることは言うまでもない。

【0052】

【発明の効果】以上で説明したように、本発明によれば、データドライバに転送クロックの再生回路を設けることによって、自段のドライバにおいて表示データの取り込みを容易なものとすると共に、次段のドライバへ転送信号及び表示データのデューティを変えることなく転送することが可能となることから、より多くのデータドライバを接続することができ、更に表示データのセットアップ/ホールドマージンを増加させることが可能となることから、転送周波数を上昇させることが可能となり、これらによって低価格化を実現できるカスケード方式の液晶表示装置においても大画面化、高精細化を実現できる。

【図面の簡単な説明】

【図 1】第一の実施例におけるデータドライバの構成を示すブロック図

【図 2】従来例におけるデータドライバの構成を示すブロック図

【図 3】データバスにおける信号波形の変化を示す図

【図 4】従来例のデータバスにおける信号波形の変化を示す図

【図 5】本発明における液晶表示装置の構成を示す図

【図 6】クロック再生回路の構成を示す図

【図 7】位相比較回路の構成を示す図

【図 8】位相比較回路の動作を示す図

【図 9】エッジ判別回路の構成を示す図

【図 10】VCO の構成を示す図

【図 11】バイアス電圧と VCO 発振周波数の関係を示す図

【図 12】クロック再生回路のタイミング関係を示す図

【図 13】データドライバのタイミング関係を示す図

【図 14】第二の実施例におけるクロック再生回路の構成を示す図

【図 15】第一遅延回路の構成を示す図

【図 16】遅延回路の構成を示す図

【図 17】エッジ比較回路の構成を示す図

【図 18】第一遅延回路の動作を示すタイミング図

【図 19】デューティ再生回路の構成を示す図

【図 20】デューティ再生回路の動作を示すタイミング図

【符号の説明】

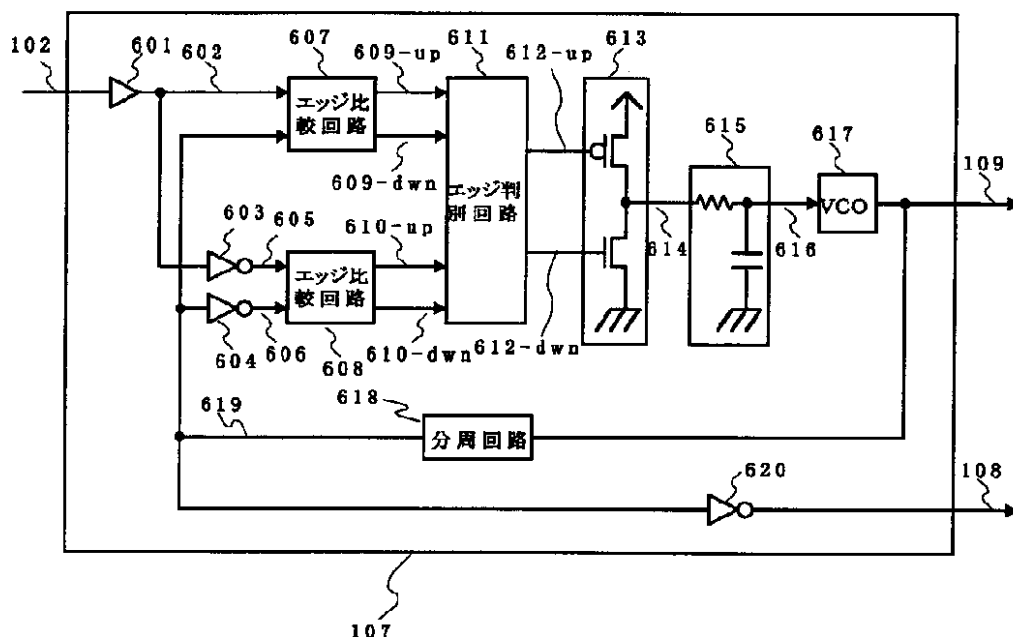
101…データドライバ、102…入力転送クロック、103…入力表示データ、104…入力イネーブル信号、105…入力液晶印加信号、106…入力液晶基準電圧、107…クロック再生回路、108…再生転送クロック、109…ラッチクロック、110…イネーブル制御回路、111…ラッチアドレス開始信号、112…出力開始信号、113…出力イネーブル信号、114…

ラッチ回路、115…表示データ、116…出力バッファ、117…出力転送クロック、118…出力バッファ、119…出力表示データ、120…ラッチアドレス生成回路、121…ラッチアドレス、122…ラッチ回路(1)、123…表示データ、124…ラッチ回路(2)、125…表示データ、126…液晶駆動回路、127…液晶印加電圧、128…出力液晶印加信号、129…出力液晶基準電圧、201…データドライバ、202…入力バッファ、203…出力バッファ、204…DREV信号、205…表示データ、206…データ転送クロック、501…液晶表示装置、502…液晶コントローラ、503-1~503-8…データドライバ、504-1~504-3…ゲートドライバ、505-1~505-8…データドライバ信号群、506-1~506-3…ゲートドライバ信号群、601…入力バッファ、602…入力バッファ、601の出力、603…反転回路、604…反転回路、605…反転回路603で反転した信号、606…反転回路604で反転した信号、607…エッジ比較回路、608…エッジ比較回路、609-up…エッジ比較回路607の位相進み信号、609-dwn…エッジ比較回路607の位相遅れ信号、610-up…エッジ比較回路608の位相進み信号、610-dwn…エッジ比較回路608の位相遅れ信号、611…エッジ判別回路、612-up…エッジ判別回路611の位相進み信号、612-dwn…エッジ判別回路611の位相遅れ信号、613…チャージポンプ回路、614…バイアス電圧、615…ループフィルタ、*

*616…バイアス電圧、617…VCO、618…分周回路、619…比較信号、620…反転回路
901-1~901-3…論理和回路、902…反転回路、1001…電流制御反転回路、1002…出力バッファ、1401…第一遅延回路、1402…遅延転送クロック(1)、1403…デューティ再生回路、1404…遅延転送クロック(1)、1405…第二遅延回路、1406…排他的論理和回路、1501-1、2…遅延回路、1502…遅延制御信号、1503…遅延転送クロック(2)、1504…反転回路、1505…反転信号、1506…エッジ比較回路、1507-up…位相進み信号、1507-dwn…位相遅れ信号、1508…遅延回路、1509…遅延信号、1510…アップ/ダウンカウンタ、1511…カウント信号、1512…デコーダ、1601-1~1601-2^n…遅延回路、1602-1~1602-2^n…遅延信号、1603-1~1603-2^n…スイッチング回路、1701-1、2…遅延回路、1702-1、2…ラッチ回路、1901-1、2…遅延回路、1902…遅延制御信号、1903…クリア信号、1904…遅延転送クロック(3)、1905…エッジ比較回路、1906-up…位相進み信号、1906-dwn…位相遅れ信号、1907…遅延回路、1908…遅延信号、1910…アップ/ダウンカウンタ、1911…カウント信号、1912…デコーダ、1913…エッジクリア機能付きラッチ回路、

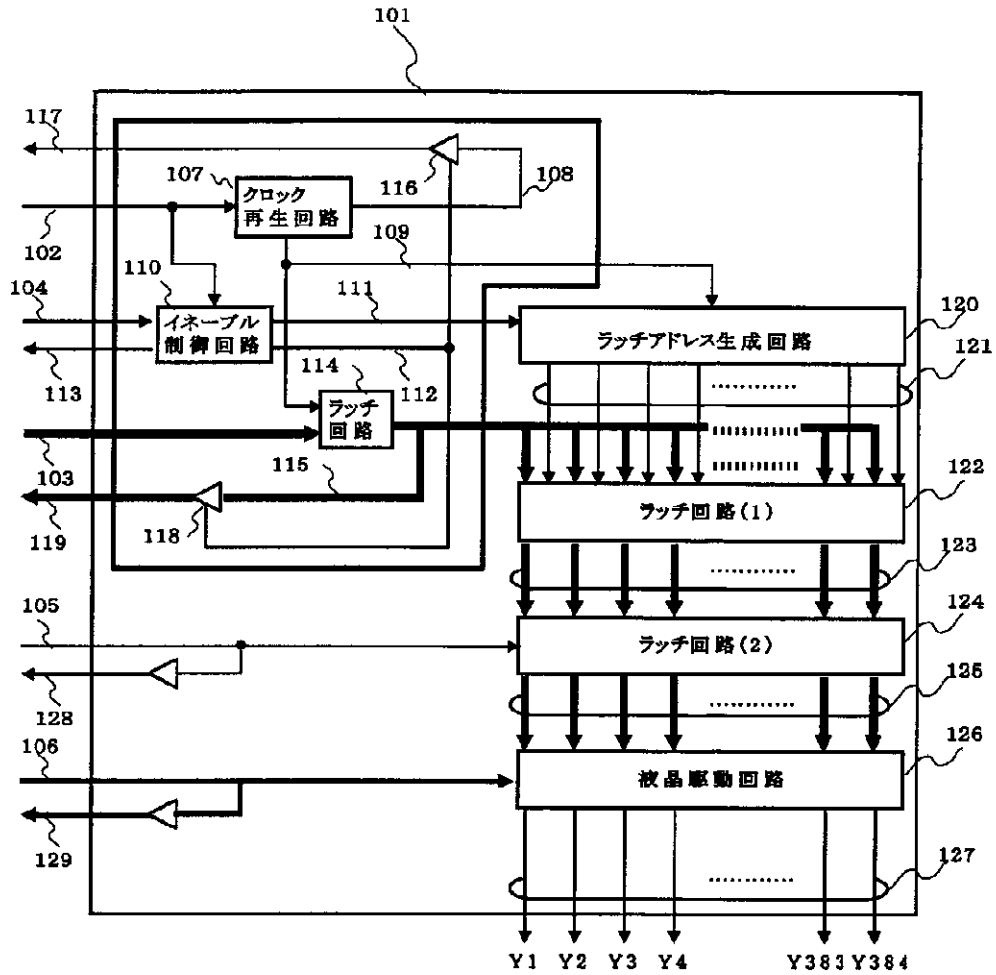
【図6】

図6 クロック再生回路の構成を示す図



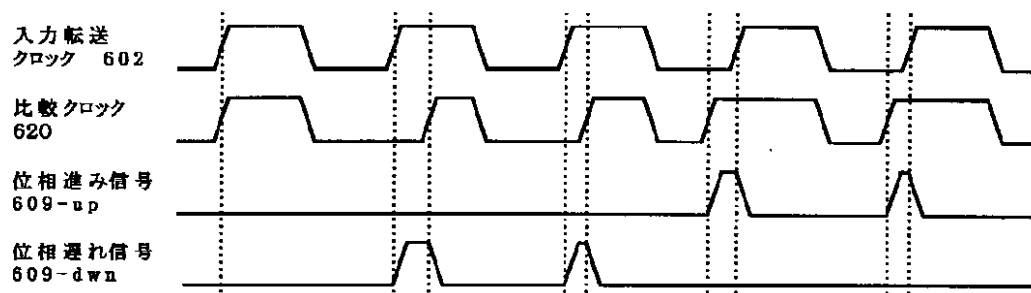
【図1】

図1 本発明のデータドライバの構成を示すブロック図



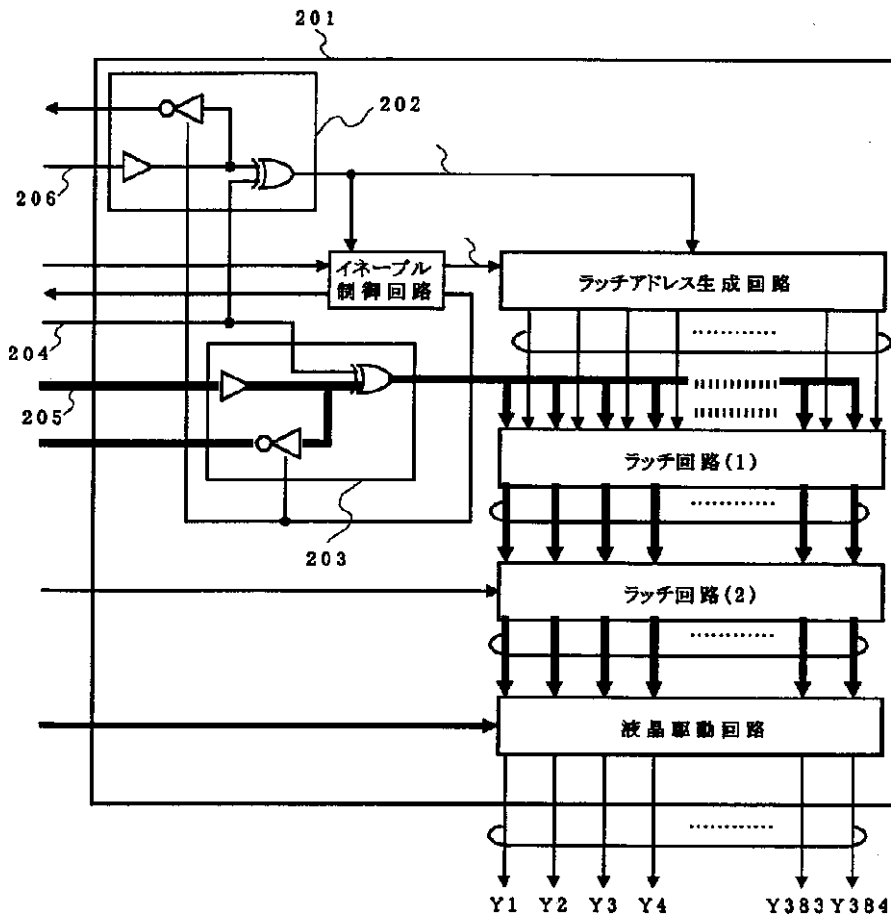
【図8】

図8 位相比較回路の動作を示す図



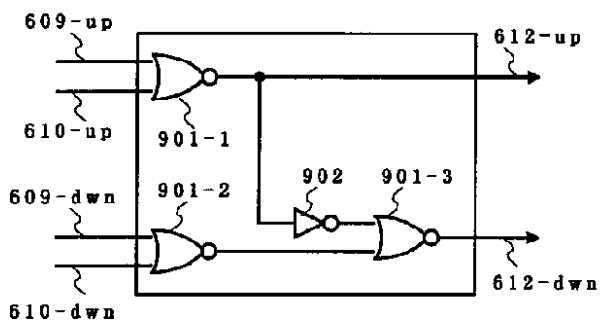
【図2】

図2 従来例におけるデータドライバの構成を示すブロック図



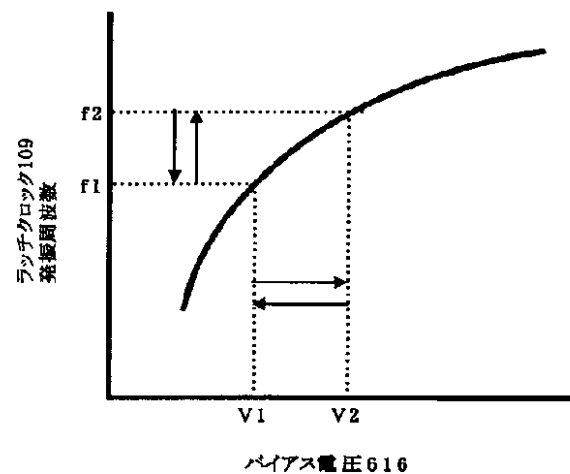
【図9】

図9 エッジ判別回路の構成を示す図



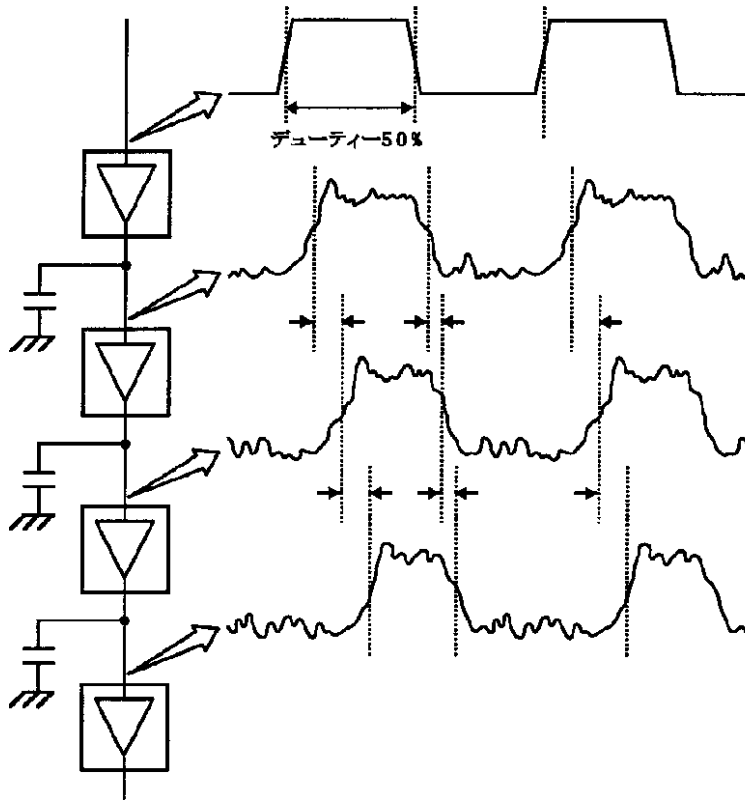
【図11】

図11 パイアス電圧とVCO発振周波数の関係を示す図



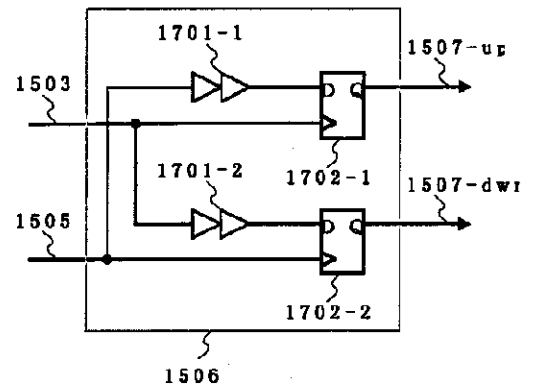
【図3】

図3 データバスにおける信号波形の変化を示す図



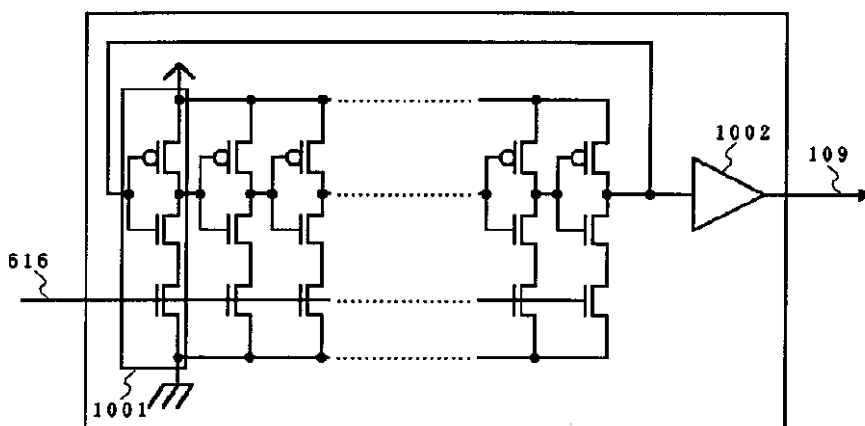
【図17】

図17 エッジ比較回路の構成を示す図



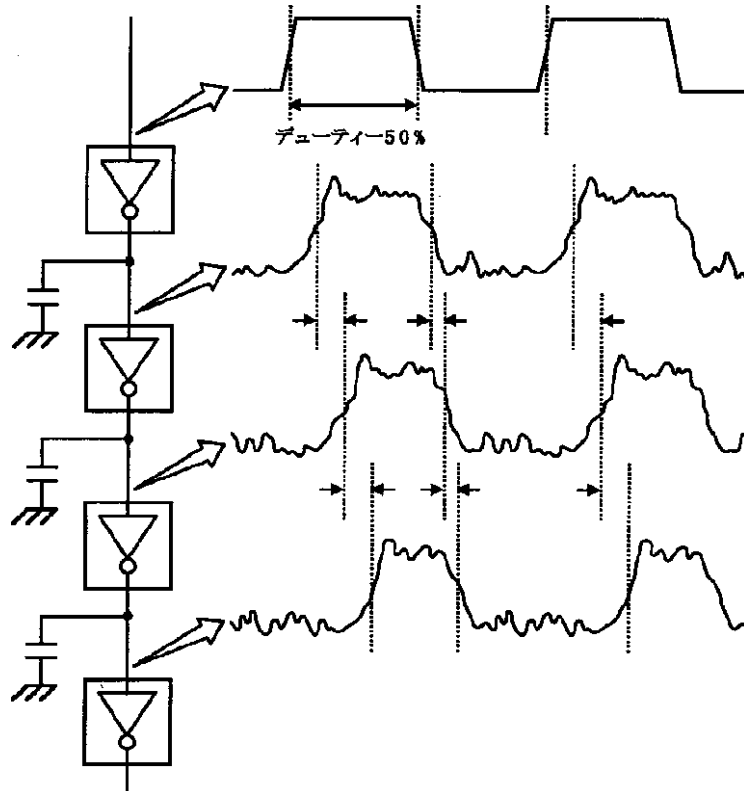
【図10】

図10 VCOの構成を示す図



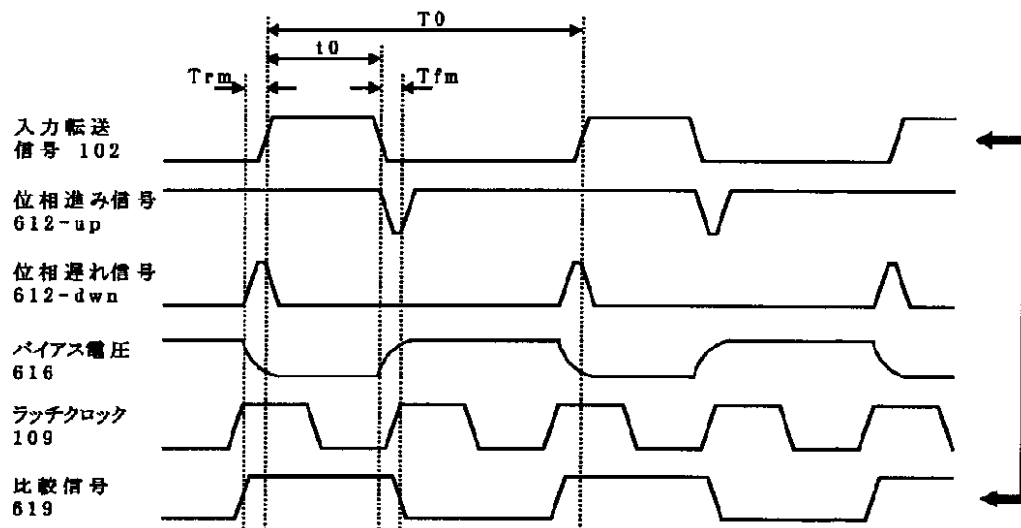
【図4】

図4 従来例のデータベースにおける信号波形の変化を示す図



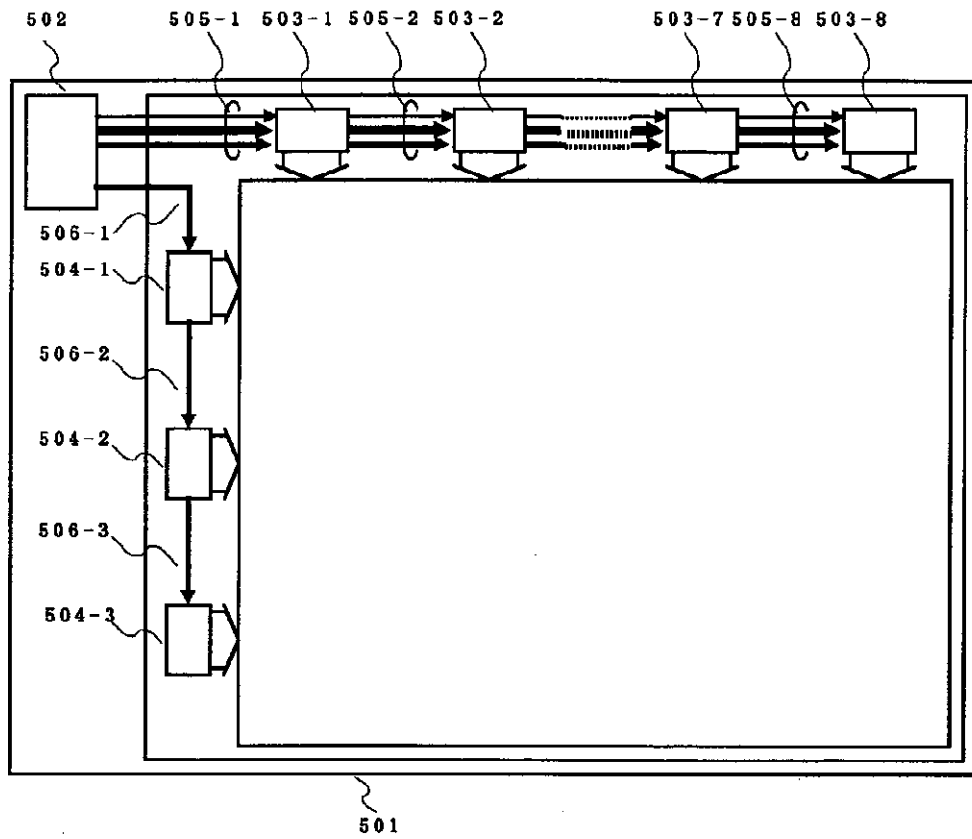
【図12】

図12 第一の実施例におけるクロック再生回路のタイミング関係を示す図



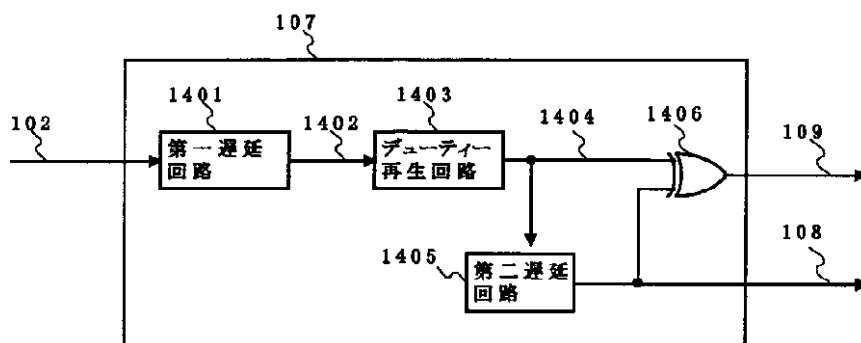
【図5】

図5 本発明における液晶表示装置の構成を示す図



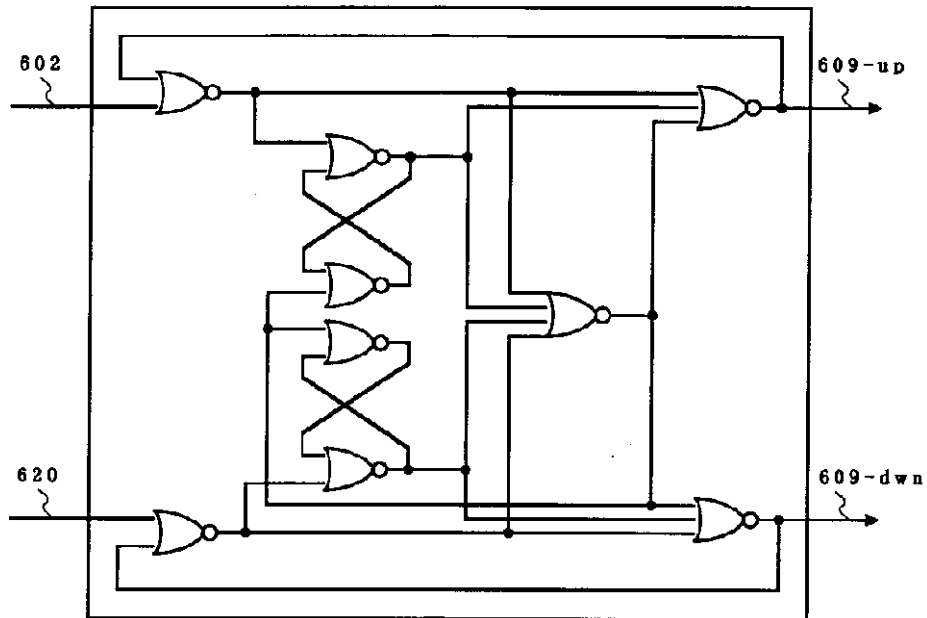
【図14】

図14 クロック再生回路の構成を示す図



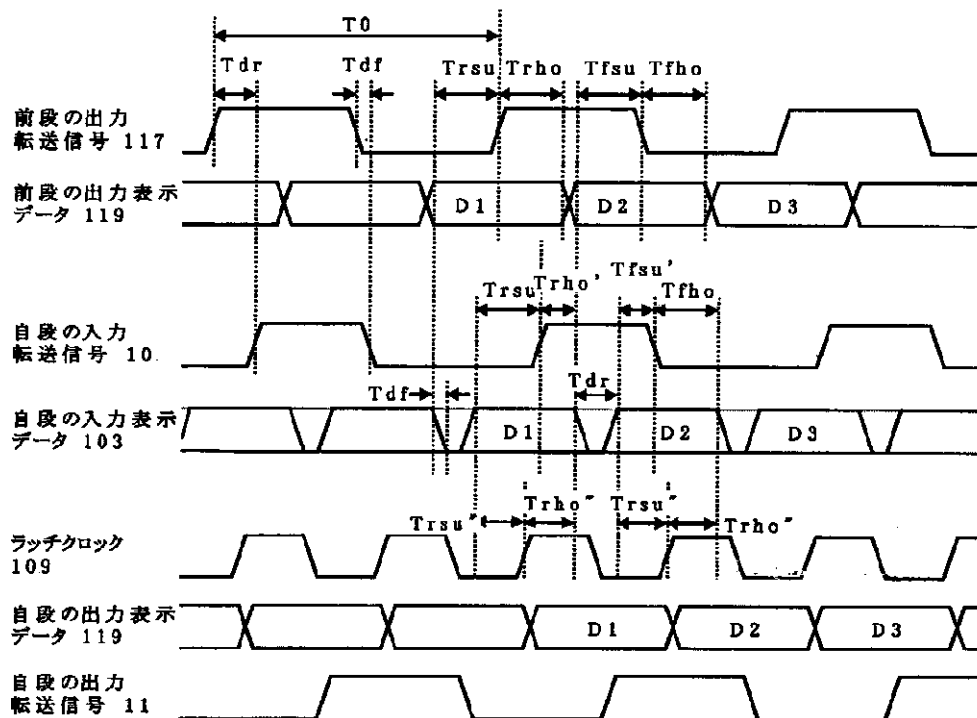
【図7】

図7 位相比較回路の構成を示す図



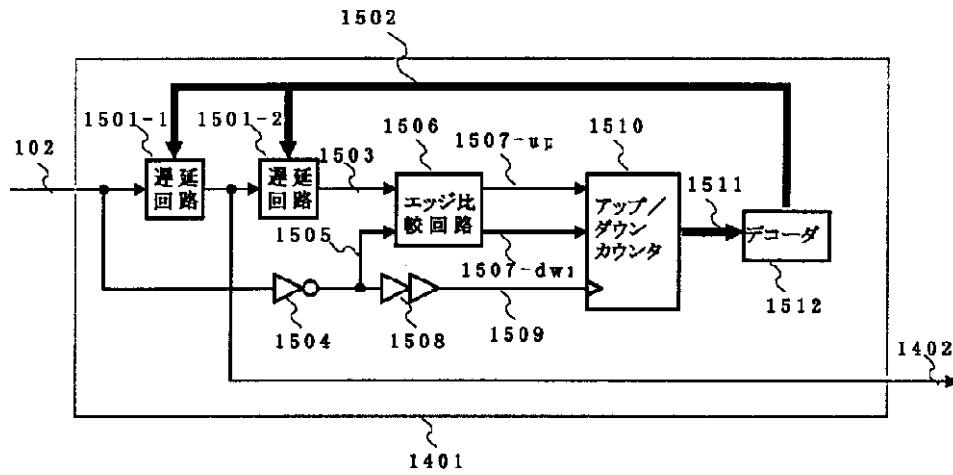
【図13】

図13 第一の実施例におけるデータドライバのタイミング関係を示す図



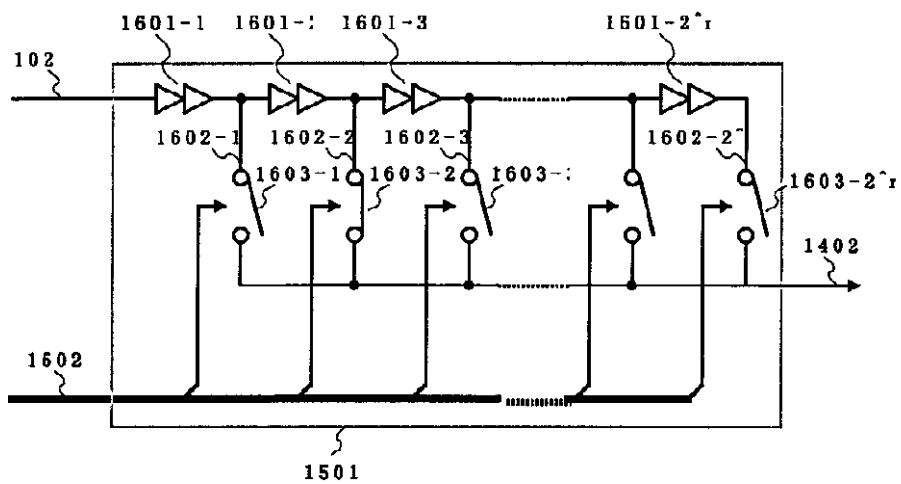
【図15】

図15 第一遅延回路の構成を示す図



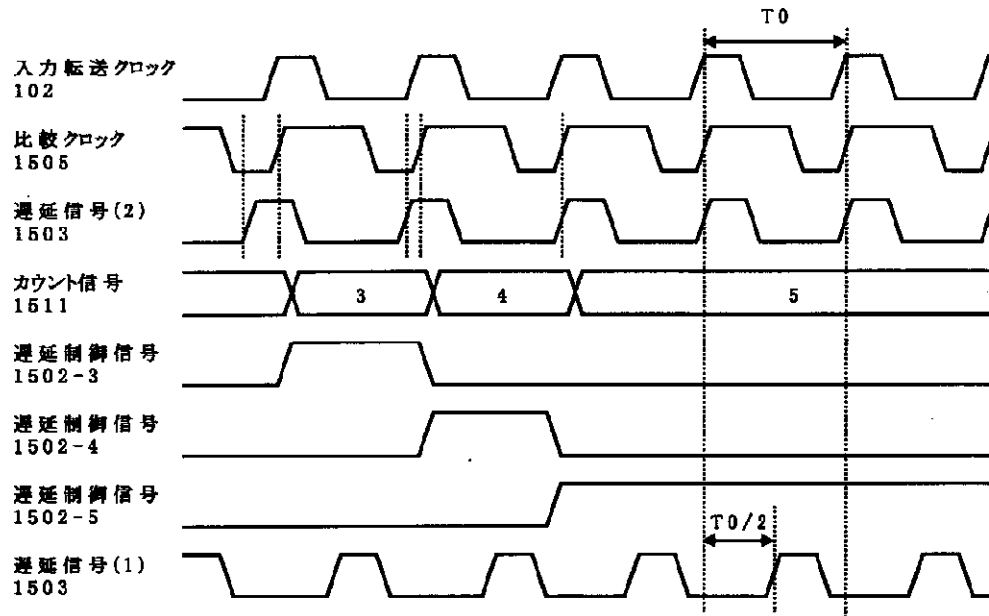
【図16】

図16 遅延回路の構成を示す図



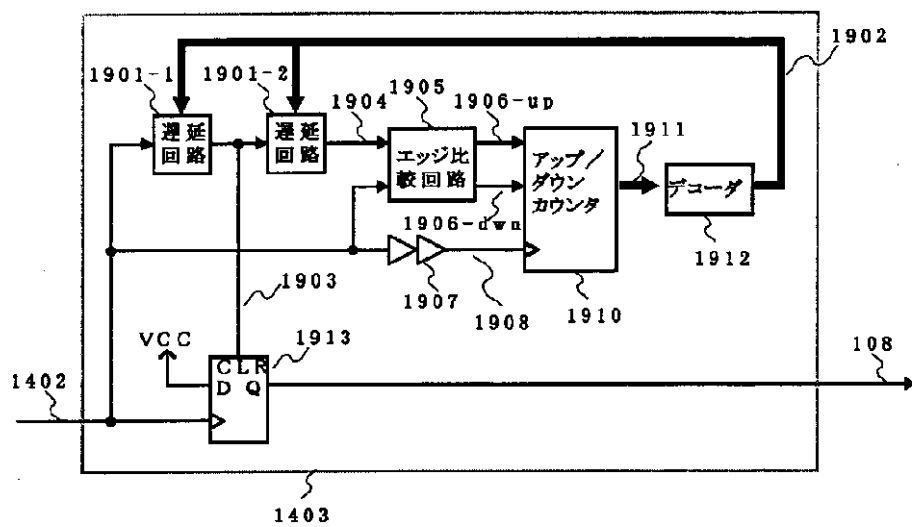
【図18】

図18 第一遅延回路の動作を示すタイミング図



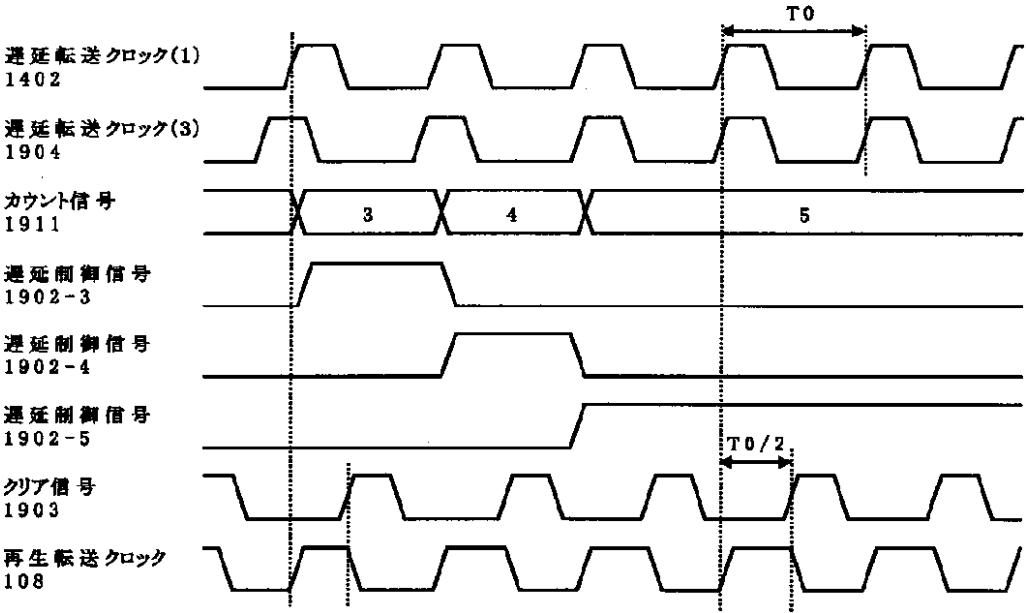
【図19】

図19 デューティ再生回路の構成を示す図



【図 20】

図 20 デューティ再生回路の動作を示すタイミング図



フロントページの続き

(51)Int.Cl. ⁷ G 0 9 G 3/20	識別記号 6 3 3	F I G 0 9 G 3/20	テーマコード [*] (参考) 6 3 3 U
(72)発明者 新田 博幸 神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内	(72)発明者 恒川 悟 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内	F ターム(参考) 2H093 NA10 NA32 NA33 NA43 NA51 NA80 NC16 NC22 NC23 NC26 NC27 NC59 NC90 ND32 ND34 ND36 ND52 5C006 AA21 AF50 AF72 BB16 BC02 BC12 BC16 BC20 BF04 BF14 BF26 FA13 FA37 5C080 AA10 BB05 CC03 FF11 JJ02 JJ03 JJ04 JJ05	
(72)発明者 渡邊 明洋 千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内			
(72)発明者 奥 博文 千葉県茂原市早野3300番地 株式会社日立製作所ディスプレイグループ内			

专利名称(译)	液晶表示装置		
公开(公告)号	JP2002023710A	公开(公告)日	2002-01-25
申请号	JP2000210685	申请日	2000-07-06
[标]申请(专利权)人(译)	株式会社日立制作所 日立器件工程株式会社		
申请(专利权)人(译)	株式会社日立制作所 日立设备工程有限公司		
[标]发明人	大石純久 新田博幸 渡邊明洋 輿博文 恒川悟		
发明人	大石 純久 新田 博幸 渡邊 明洋 輿 博文 恒川 悟		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 G09G5/00		
CPC分类号	G09G3/3685 G09G5/008 G09G2320/0223		
FI分类号	G09G3/36 G02F1/133.575 G09G3/20.611.J G09G3/20.621.M G09G3/20.633.G G09G3/20.633.U		
F-TERM分类号	2H093/NA10 2H093/NA32 2H093/NA33 2H093/NA43 2H093/NA51 2H093/NA80 2H093/NC16 2H093/NC22 2H093/NC23 2H093/NC26 2H093/NC27 2H093/NC59 2H093/NC90 2H093/ND32 2H093/ND34 2H093/ND36 2H093/ND52 5C006/AA21 5C006/AF50 5C006/AF72 5C006/BB16 5C006/BC02 5C006/BC12 5C006/BC16 5C006/BC20 5C006/BF04 5C006/BF14 5C006/BF26 5C006/FA13 5C006/FA37 5C080/AA10 5C080/BB05 5C080/CC03 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 2H193/ZB44 2H193/ZC02 2H193/ZC15 2H193/ZD21 2H193/ZE31		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够执行高速传输的液晶显示装置，即使在传输线上改变传输时钟和显示数据的占空比时，该装置也具有能够获取数据的数据驱动器。解决方案：该显示设备具有信号再现电路，其在数据驱动器内将传输时钟的占空比再现为50%。在电路中再现的信号使得信号的周期等于传输时钟的周期，并且两个信号的上升时间之间的差值和信号的下降时间之间的差值相等。由于通过用电路中再现的信号锁存显示数据可以增加建立时间/保持时间的余量，因此在该设备中实现了更快的传输。

