

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A) (11)特許出願公開番号

特開2001 - 311933

(P2001 - 311933A)

(43)公開日 平成13年11月9日(2001.11.9)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-コ-ド* (参考)
G 0 2 F 1/133	550	G 0 2 F 1/133	550 2 H 0 9 3
G 0 9 G 3/20	611	G 0 9 G 3/20	611 C 5 C 0 0 6
			611 F 5 C 0 8 0
3/36		3/36	

審査請求 未請求 請求項の数 15 O L (全 19数)

(21)出願番号 特願2000 - 130649(P2000 - 130649)

(22)出願日 平成12年4月28日(2000.4.28)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72)発明者 大脇 義雄

千葉県茂原市早野3681番地 日立デバイス

エンジニアリング株式会社内

(74)代理人 100083552

弁理士 秋田 収喜

最終頁に続く

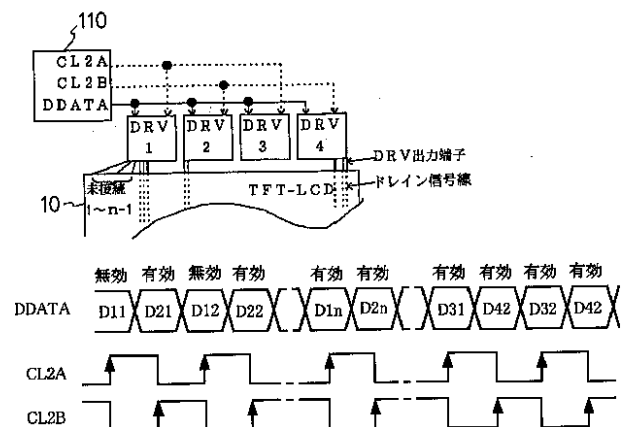
(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 表示制御装置から駆動回路に無効表示データを含む表示データを転送する際に、バスライン上の転送周波数を低減することができる液晶表示装置を提供する。

【解決手段】 奇数番目の前記駆動回路用の表示データと、偶数番目の前記駆動回路用の表示データとを交互に前記複数の駆動回路に送出する表示制御装置とを備える液晶表示装置であって、前記表示制御装置は、前記偶数番目の駆動回路の少なくとも一つの駆動回路に無効表示データを送出する際に、前記偶数番目の駆動回路用の無効表示データの前に位置する、前記奇数番目の駆動回路用の有効表示データを、前記無効表示データとして送出する。

図 6



【特許請求の範囲】

【請求項 1】 液晶表示素子と、複数の駆動回路と、無効表示データを含む表示データを前記複数の駆動回路に送出する表示制御装置とを備える液晶表示装置であって、
前記表示制御装置は、無効表示データを前記複数の駆動回路に送出する際に、前記無効表示データとして、前記無効表示データの前に位置する前記有効表示データと同一レベルのデータを送出することを特徴とする液晶表示装置。

【請求項 2】 液晶表示素子と、複数の駆動回路と、無効表示データを含む表示データを前記複数の駆動回路に送出する表示制御装置とを備える液晶表示装置であって、
前記表示制御装置は、無効表示データを前記複数の駆動回路に送出する際に、前記無効表示データとして、前記無効表示データに連続する前記有効表示データと同一レベルのデータを送出することを特徴とする液晶表示装置。

【請求項 3】 液晶表示素子と、複数の駆動回路と、奇数番目の前記駆動回路用の表示データと、偶数番目の前記駆動回路用の表示データとを交互に前記複数の駆動回路に送出する表示制御装置とを備える液晶表示装置であって、
前記表示制御装置は、前記偶数番目の駆動回路の少なくとも一つの駆動回路に無効表示データを送出する際に、前記無効表示データの前に位置する、前記奇数番目の駆動回路用の有効表示データと同一レベルのデータを、前記無効表示データとして送出することを特徴とする液晶表示装置。

【請求項 4】 液晶表示素子と、複数の駆動回路と、奇数番目の前記駆動回路用の表示データと、偶数番目の前記駆動回路用の表示データとを交互に前記複数の駆動回路に送出する表示制御装置とを備える液晶表示装置であって、
前記表示制御装置は、前記奇数番目の駆動回路の少なくとも一つの駆動回路に無効表示データを送出する際に、前記無効表示データに連続する、前記偶数番目の駆動回路用の有効表示データと同一レベルのデータを、前記無効表示データとして送出することを特徴とする液晶表示装置。

【請求項 5】 前記複数の駆動回路の少なくとも一つは、前記液晶表示素子の信号線に接続されない出力端子を有し、
前記無効表示データは、前記液晶表示素子の信号線に接続されない出力端子に接続される内部回路用の表示データであることを特徴とする請求項 3 または請求項 4 に記載の液晶表示装置。

【請求項 6】 液晶表示素子と、複数の駆動回路と、奇数番目の前記駆動回路用の表示データと、偶数番目の前

記駆動回路用の表示データとを交互に前記複数の駆動回路に送出する表示制御装置とを備える液晶表示装置であって、

前記表示制御装置は、外部から入力される奇数番目の駆動回路用の表示データを格納する第 1 の格納手段と、外部から入力される偶数番目の駆動回路用の表示データを格納する第 2 の格納手段とを有し、

前記第 1 の格納手段、および第 2 の格納手段から交互に表示データを読み出して前記複数の駆動回路に送出し、

かつ、前記偶数番目の駆動回路の少なくとも一つの駆動回路に無効表示データを送出する際に、前記無効表示データの前に位置する、前記奇数番目の駆動回路用の有効表示データを、前記無効表示データとして送出することを特徴とする液晶表示装置。

【請求項 7】 前記表示制御装置は、無効表示データの送出タイミングを検出して、前記第 1 の格納手段から読み出された有効表示データを、前記無効表示データとして送出することを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】 前記表示制御装置は、前記第 2 の格納手段に格納する表示データが無効表示データである場合に、前記無効表示データの前に位置する前記奇数番目の駆動回路用の有効表示データを、前記第 2 の格納手段に格納することを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 9】 液晶表示素子と、複数の駆動回路と、奇数番目の前記駆動回路用の表示データと、偶数番目の前記駆動回路用の表示データとを交互に前記複数の駆動回路に送出する表示制御装置とを備える液晶表示装置であって、

前記表示制御装置は、外部から入力される奇数番目の駆動回路用の表示データを格納する第 1 の格納手段と、外部から入力される偶数番目の駆動回路用の表示データを格納する第 2 の格納手段とを有し、

前記第 1 の格納手段、および第 2 の格納手段から交互に表示データを読み出して前記複数の駆動回路に送出し、かつ、前記奇数番目の駆動回路の少なくとも一つの駆動回路に無効表示データを送出する際に、前記無効表示データに連続する、前記偶数番目の駆動回路用の有効表示データを、前記無効表示データとして送出することを特徴とする液晶表示装置。

【請求項 10】 前記表示制御装置は、無効表示データの送出タイミングを検出して、前記第 2 の格納手段から読み出された有効表示データを、前記無効表示データとして送出することを特徴とする請求項 8 に記載の液晶表示装置。

【請求項 11】 前記表示制御装置は、前記第 1 の格納手段に格納する表示データが無効表示データである場合に、前記無効表示データに連続する、前記偶数番目の駆動回路用の有効表示データを、前記第 1 の格納手段に格

納することを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 12】 前記表示制御装置は、前記複数の駆動回路に送出するクロック信号をカウントして、無効表示データの送出タイミングを検出することを特徴とする請求項 7 または請求項 10 に記載の液晶表示装置。

【請求項 13】 前記複数の駆動回路の少なくとも一つは、前記液晶表示素子の信号線に接続されない出力端子を有し、前記無効表示データは、前記液晶表示素子の信号線に接続されない出力端子に接続される内部回路用の表示データであることを特徴とする請求項 6 または請求項 9 に記載の液晶表示装置。

【請求項 14】 液晶表示素子と、前記液晶表示素子を制御する表示制御装置とを備える液晶表示装置であって、前記表示制御装置は、外部から入力されるディスプレイタイミング信号内の表示データ数に基づき、入力モードを変更することを特徴とする液晶表示装置。

【請求項 15】 前記表示制御装置は、前記ディスプレイタイミング信号内の外部クロック数をカウントするカウント手段と、前記カウント手段でのカウント数に基づき動作モードを判別する判別手段と、前記判別手段での判別結果に基づき内部で入力モードを変更するモード変更手段とを有することを特徴とする請求項 14 に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に係わり、特に、駆動回路（ドレインドライバ）間でデジタル信号を転送する方式の液晶表示装置の駆動回路に適用して有効な技術に関する。

【0002】

【従来の技術】STN（Super Twisted Nematic）方式、あるいは TFT（Thin Film Transistor）の液晶表示モジュールは、ノート型パソコン等の表示装置として広く使用されている。これらの液晶表示装置は、液晶表示パネルと、液晶表示パネルを駆動する駆動回路（ドレインドライバおよびゲートドライバ）、表示制御装置（または、タイミングコントローラ）、電源回路を備えている。なお、このような液晶表示装置は、例えば、特願平 9-71328 号に記載されている。

【0003】

【発明が解決しようとする課題】近年、液晶表示装置においては、液晶表示パネルの大画面化の要求に伴って、液晶表示パネルの解像度として、XGA 表示モードの 1024×768 画素、SXGA 表示モードの 1280×1024 画素、UXGA 表示モードの 1600×1200 画素と高解像度化が要求されている。このような、液

晶表示パネルの高解像度化に伴い、表示制御装置から奇数番目のドレインドライバに対して第 1 の表示データ取込用のクロック信号を供給し、また、偶数番目のドレインドライバに対して第 2 の表示データ取込用のクロック信号を供給するとともに、表示制御装置から奇数番目のドレインドライバ用の表示データ、および偶数番目のドレインドライバ用の表示データとを交互にドレインドライバに送出するようにして、表示制御装置からドレインドライバに供給される表示データ取込用のクロック信号の周波数を低減するようにしたものがある。

【0004】前述したような液晶表示装置において、コスト低減のために、ドレインドライバとして汎用のものを使用する場合があった。この場合に、全ドレインドライバの出力端子数に比して、液晶表示パネルのドレイン信号線が少なくなる場合があり、このような場合、従来では、余分となるドレインドライバの出力端子には、液晶表示パネルのドレイン信号線を接続しないで使用していた。しかしながら、ドレインドライバの回路構成上、このような余分な出力端子を有するドレインドライバにも、全ての出力端子分の表示データを供給する必要があった。ここで、この余分な出力端子分の表示データを、以下、無効表示データと称し、それ以外の出力端子分の表示データを有効表示データと称する。そして、従来では、前述の無効表示データとして、High レベル（以下、単に、H レベルという）、あるいは、Low レベル（以下、単に、L レベルという）を出力していた。

【0005】しかしながら、この従来の方法では、表示データを転送するバスライン上のデータの並びとして、例えば、H レベルの無効表示データ→L レベルの有効表示データ→H レベルの無効表示データの繰り返し、あるいは、L レベルの無効表示データ→H レベルの有効表示データ→L レベルの無効表示データの繰り返しが生じ、バスライン上の転送周波数が上昇する場合があった。一方、パーソナルコンピュータ等の情報機器では、当該情報機器から発生する放射電磁雑音の発生量が規制されている。そして、液晶表示装置において、少しでも放射電磁雑音の発生量を少なくするために、バスライン上の転送周波数を低減する方法が有効であるが、前述したように、従来の液晶表示装置では、無効表示データを含む表示データを転送する際に、バスライン上の転送周波数が上昇するという問題点があった。

【0006】本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示装置において、表示制御装置から駆動回路に無効表示データを含む表示データを転送する際に、バスライン上の転送周波数を低減することが可能となる技術を提供することにある。また、本発明の他の目的は、液晶表示装置において、表示制御装置の共通化を図り、コストを低減することが可能となる技術を提供することにある。本発明の前記ならびにその他の目的と新規な特徴は、本明

細書の記述及び添付図面によって明らかにする。

【0007】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。即ち、本発明は、液晶表示素子と、複数の駆動回路と、無効表示データを含む表示データを前記複数の駆動回路に送出する表示制御装置とを備える液晶表示装置であって、前記表示制御装置は、無効表示データを前記複数の駆動回路に送出する際に、前記無効表示データとして、前記無効表示データの前に位置する前記有効表示データと同一レベルのデータを送出することを特徴とする。また、本発明は、液晶表示素子と、複数の駆動回路と、無効表示データを含む表示データを前記複数の駆動回路に送出する表示制御装置とを備える液晶表示装置であって、前記表示制御装置は、無効表示データを前記複数の駆動回路に送出する際に、前記無効表示データとして、前記無効表示データに連続する前記有効表示データと同一レベルのデータを送出することを特徴とする。

【0008】また、本発明は、液晶表示素子と、複数の駆動回路と、奇数番目の前記駆動回路用の表示データと、偶数番目の前記駆動回路用の表示データとを交互に前記複数の駆動回路に送出する表示制御装置とを備える液晶表示装置であって、前記表示制御装置は、前記偶数番目の駆動回路の少なくとも一つの駆動回路に無効表示データを送出する際に、前記無効表示データの前に位置する、前記奇数番目の駆動回路用の有効表示データと同一レベルのデータを、前記無効表示データとして送出することを特徴とする。また、本発明は、液晶表示素子と、複数の駆動回路と、奇数番目の前記駆動回路用の表示データと、偶数番目の前記駆動回路用の表示データとを交互に前記複数の駆動回路に送出する表示制御装置とを備える液晶表示装置であって、前記表示制御装置は、前記奇数番目の駆動回路の少なくとも一つの駆動回路に無効表示データを送出する際に、前記無効表示データに連続する、前記偶数番目の駆動回路用の有効表示データと同一レベルのデータを、前記無効表示データとして送出することを特徴とする。

【0009】また、本発明は、液晶表示素子と、複数の駆動回路と、奇数番目の前記駆動回路用の表示データと、偶数番目の前記駆動回路用の表示データとを交互に前記複数の駆動回路に送出する表示制御装置とを備える液晶表示装置であって、前記表示制御装置は、外部から入力される奇数番目の駆動回路用の表示データを格納する第1の格納手段と、外部から入力される偶数番目の駆動回路用の表示データを格納する第2の格納手段とを有し、前記第1の格納手段、および第2の格納手段から交互に表示データを読み出して前記複数の駆動回路に送出し、かつ、前記偶数番目の駆動回路の少なくとも一つの駆動回路に無効表示データを送出する際に、前記無効表

示データの前に位置する、前記奇数番目の駆動回路用の有効表示データを、前記無効表示データとして送出することを特徴とする。

【0010】本発明の実施の形態では、前記表示制御装置は、無効表示データの送出タイミングを検出して、前記第1の格納手段から読み出された有効表示データを、前記無効表示データとして送出する。本発明の実施の形態では、前記表示制御装置は、前記第2の格納手段に格納する表示データが無効表示データである場合に、前記無効表示データの前に位置する前記奇数番目の駆動回路用の有効表示データを、前記第2の格納手段に格納する。

【0011】また、本発明は、液晶表示素子と、複数の駆動回路と、奇数番目の前記駆動回路用の表示データと、偶数番目の前記駆動回路用の表示データとを交互に前記複数の駆動回路に送出する表示制御装置とを備える液晶表示装置であって、前記表示制御装置は、外部から入力される奇数番目の駆動回路用の表示データを格納する第1の格納手段と、外部から入力される偶数番目の駆動回路用の表示データを格納する第2の格納手段とを有し、前記第1の格納手段、および第2の格納手段から交互に表示データを読み出して前記複数の駆動回路に送出し、かつ、前記奇数番目の駆動回路の少なくとも一つの駆動回路に無効表示データを送出する際に、前記無効表示データに連続する、前記偶数番目の駆動回路用の有効表示データを、前記無効表示データとして送出することを特徴とする。

【0012】本発明の実施の形態では、前記表示制御装置は、無効表示データの送出タイミングを検出して、前記第2の格納手段から読み出された有効表示データを、前記無効表示データとして送出する。本発明の実施の形態では、前記表示制御装置は、前記第1の格納手段に格納する表示データが無効表示データである場合に、前記無効表示データに連続する、前記偶数番目の駆動回路用の有効表示データを、前記第1の格納手段に格納する。

【0013】本発明の実施の形態では、前記表示制御装置は、前記複数の駆動回路に送出するクロック信号をカウントして、無効表示データの送出タイミングを検出する。本発明の実施の形態では、前記複数の駆動回路の少なくとも一つは、前記液晶表示素子の信号線に接続されない出力端子を有し、前記無効表示データは、前記液晶表示素子の信号線に接続されない出力端子に接続される内部回路用の表示データある。

【0014】また、本発明は、液晶表示素子と、前記液晶表示素子を制御する表示制御装置とを備える液晶表示装置であって、前記表示制御装置は、外部から入力されるディスプレイタイミング信号内の表示データ数に基づき、入力モードを変更することを特徴とする。また、本発明の実施の形態では、前記表示制御装置は、前記ディスプレイタイミング信号内の外部クロック数をカウント

するカウント手段と、前記カウント手段でのカウント数に基づき動作モードを判別する判別手段と、前記判別手段での判別結果に基づき内部で入力モードを変更するモード変更手段とを有する。

【0015】前記手段によれば、表示制御装置から無効表示データを含む表示データを各駆動回路に転送する際に、表示データのレベルが変化しないようにしたので、バスライン上の転送周波数を低減することが可能となる。また、前記手段によれば、表示制御装置は、外部から入力されるディスプレイタイミング信号内の表示データ数に基づき、動作モードを変更するようにしたので、表示制御装置として各動作モード毎に共通のものを使用することができ、これにより、コストを低減することが可能となる。

【0016】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

〔実施の形態 1〕図 1 は、本発明の実施の形態 1 の TFT 方式の液晶表示モジュールの概略構成を示すブロック図である。本実施の形態の液晶表示モジュールは、液晶表示パネル (TFT-LCD) 10 の長辺側の一边にドレインドライバ 130 が配置され、また、液晶表示パネル 10 の短辺側の一边に、ゲートドライバ 140 が配置される。インタフェース部 100 はインタフェース基板に実装され、また、ドレインドライバ 130、ゲートドライバ 140 も、それぞれ専用のプリント基板に実装される。

【0017】図 2 は、図 1 に示す液晶表示パネル 10 の一例の等価回路を示す図である。同図に示すように、液晶表示パネル 10 は、マトリクス状に形成される複数の画素を有する。各画素は、隣接する 2 本の信号線 (ドレイン信号線 (D) またはゲート信号線 (G)) と、隣接する 2 本の信号線 (ゲート信号線 (G) またはドレイン信号線 (D)) との交差領域内に配置される。各画素は薄膜トランジスタ (TFT1, TFT2) を有し、各画素の薄膜トランジスタ (TFT1, TFT2) のソース電極は、画素電極 (ITO1) に接続され、画素電極 (ITO1) と共通電極 (ITO2) との間に液晶層が設けられるので、薄膜トランジスタ (TFT1, TFT2) のソース電極と共通電極との間には、液晶容量 (CLC) が等価的に接続される。また、薄膜トランジスタ (TFT1, TFT2) のソース電極と前段のゲート信号線 (G) との間には、付加容量 (CADD) が接続される。

【0018】図 3 は、図 1 に示す液晶表示パネル 10 の他の例の等価回路を示す図である。図 2 に示す例では、前段のゲート信号線 (G) とソース電極との間に付加容量 (CADD) が形成されているが、図 3 に示す例の等価

回路では、共通電極 (ITO2) に供給される VCOM の電圧が印加される共通信号線 (COM) とソース電極との間に保持容量 (CSTG) が形成されている点が異なっている。なお、図 2、図 3 において、AR は表示領域である。本発明は、どちらにも適用可能であるが、前者の方式では、前段のゲート信号線 (G) パルスが付加容量 (CADD) を介して画素電極に飛び込むのに対し、後者の方式では、飛び込みがないため、より良好な表示が可能となる。また、図 2、図 3 は、縦電界方式の液晶表示パネルの等価回路を示しており、さらに、図 2、図 3 は回路図であるが、実際の幾何学的配置に対応して描かれている。

【0019】図 2、図 3 に示す液晶表示パネル 10 において、列方向に配置された各画素の薄膜トランジスタ (TFT1, TFT2) のドレイン電極は、それぞれドレイン信号線 (D) に接続され、各ドレイン信号線 (D) は、列方向の各画素の液晶に階調電圧を印加するドレインドライバ 130 に接続される。また、行方向に配置された各画素における薄膜トランジスタ (TFT1, TFT2) のゲート電極は、それぞれゲート信号線 (G) に接続され、各ゲート信号線 (G) は、1 水平走査時間、行方向の各画素の薄膜トランジスタ (TFT1, TFT2) のゲート電極に走査駆動電圧 (正のバイアス電圧あるいは負のバイアス電圧) を供給するゲートドライバ 140 に接続される。

【0020】図 1 に示すインタフェース部 100 は、表示制御装置 110 と電源回路 120 とから構成される。表示制御装置 110 は、1 個の半導体集積回路 (LSI) から構成され、コンピュータ本体側から送信されてくるクロック信号 (CK)、ディスプレイタイミング信号 (DTMG)、水平同期信号 (HSYNC)、垂直同期信号 (VSYNC) の各表示制御信号および表示用データ (R・G・B) を基に、ドレインドライバ 130、および、ゲートドライバ 140 を制御・駆動する。表示制御装置 110 は、ディスプレイタイミング信号が入力されると、これを表示開始位置と判断し、受け取った単純 1 列の表示データを、表示データのバスライン 133 を介してドレインドライバ 130 に出力する。その際、表示制御装置 110 は、ドレインドライバ 130 のデータラッチ回路に表示データをラッチするための表示制御信号である表示データラッチ用クロック信号 (CL2A, CL2B) を信号線を介して出力する。この表示データラッチ用クロック信号 (CL2A, CL2B; 以下、単に、クロック信号という) 等については後述する。本体コンピュータ側からの表示データは 6 ビットあるいは 8 ビットで、1 画素単位、即ち、赤 (R)、緑 (G)、青 (B) の各データを 1 つの組にして単位時間毎に転送される。

【0021】表示制御装置 110 は、ディスプレイタイミング信号の入力が終了するか、または、ディスプレイ

タイミング信号が入力されてから所定の一定時間が過ぎると、1水平分の表示データが終了したものと、ドレインドライバ130のラッチ回路に蓄えていた表示データを液晶表示パネル10のドレイン信号線(D)に出力するための表示制御信号である出力タイミング制御用クロック信号(CL1)を信号線を介してドレインドライバ130に出力する。また、表示制御装置110は、垂直同期信号入力後に、第1番目のディスプレイタイミング信号が入力されると、これを第1番目の表示ラインと判断して信号線を介してゲートドライバ140にフ

10 レーム開始指示信号(FLM)を出力する。さらに、表示制御装置110は、水平同期信号に基づいて、1水平走査時間毎に、順次液晶表示パネル10の各ゲート信号線(G)に正のバイアス電圧を印加するように、信号線を介してゲートドライバ140へ1水平走査時間周期のシフトクロック信号(CL3)を出力する。これにより、液晶表示パネル10の各ゲート信号線(G)に接続された複数の薄膜トランジスタ(TFT1, TFT2)が、1水平走査時間の間導通する。以上の動作により、液晶表示パネル10に画像が表示される。

【0022】図1に示す電源回路120は、正電圧生成回路121、負電圧生成回路122、コモン電極(対向電極)電圧生成回路123、ゲート電極電圧生成回路124から構成される。正電圧生成回路121、負電圧生成回路122は、それぞれ直列抵抗分圧回路で構成され、正極性の5値の階調基準電圧($V_0 \sim V_4$)を、負電圧生成回路122は負極性の5値の階調基準電圧($V_5 \sim V_9$)を出力する。この正極性の階調基準電圧($V_0 \sim V_4$)、および負極性の階調基準電圧($V_5 \sim V_9$)は、各ドレインドライバ130に

30 供給される。また、各ドレインドライバ130には、表示制御装置110からの交流化信号(交流化タイミング信号; M)も供給される。コモン電極電圧生成回路123はコモン電極(ITO2)に印加する駆動電圧を、ゲート電極電圧生成回路124は薄膜トランジスタ(TFT1, TFT2)のゲート電極に印加する駆動電圧(正のバイアス電圧および負のバイアス電圧)を生成する。

【0023】図4は、図1に示すドレインドライバ130の一例の概略構成を示すブロック図である。なお、ドレインドライバ130は、1個の半導体集積回路(LS

40 I)から構成される。同図において、表示データのビット数をnとすると、正極性階調電圧生成回路151aは、正電圧生成回路121から入力される正極性の5値の階調基準電圧($V_0 \sim V_4$)に基づいて、正極性の2ⁿ階調の階調電圧を生成し、電圧バスライン158aを介して出力回路157に出力する。負極性階調電圧生成回路151bは、負電圧生成回路122から入力される負極性の5値の階調基準電圧($V_5 \sim V_9$)に基づいて、負極性の2ⁿ階調の階調電圧を生成し、電圧バスライン158bを介して出力回路157に出力す

る。また、ドレインドライバ130の制御回路152内のシフトレジスタ回路153は、表示制御装置110から入力されるクロック信号(CL2A)(または、クロック信号(CL2B))に基づいて、入力レジスタ回路154のデータ取り込み用信号を生成し、入力レジスタ回路154に出力する。

【0024】入力レジスタ回路154は、シフトレジスタ回路153から出力されるデータ取り込み用信号に基づき、表示制御装置110から入力されるクロック信号(CL2A)(または、クロック信号(CL2B))に同期して、各色毎のnビットの表示データを出力端子数分だけラッチする。ストレージレジスタ回路155は、表示制御装置110から入力される出力タイミング制御用クロック信号(CL1)に応じて、入力レジスタ回路154内の表示データをラッチする。このストレージレジスタ回路155に取り込まれた表示データは、レベルシフト回路156を介して出力回路157に入力される。出力回路157は、正極性の2ⁿ階調の階調電圧、あるいは負極性の2ⁿ階調の階調電圧から、表示データ

20 に対応した1つの階調電圧を選択して、各ドレイン信号線(D)に出力する。

【0025】図5は、出力回路157の構成を中心に、図4に示すドレインドライバ130の構成を説明するためのブロック図である。一般に、液晶層は、長時間同じ電圧(直流電圧)が印加されていると、液晶層の傾きが固定化され、結果として残像現象を引き起こし、液晶層の寿命を縮めることになる。これを防止するために、従来のTFT方式の液晶表示モジュールにおいては、液晶層に交流の駆動電圧を印加するようにしている。この液晶層に交流電圧を印加する駆動方法として、ドット反転法あるいはNライン反転法等のコモン対称法が知られており、図5は、駆動方法としてドット反転法を採用する場合の構成を図示している。同図において、153は図4に示す制御回路152内のシフトレジスタ回路、156は図4に示すレベルシフト回路であり、また、データラッチ部265は、図4に示す入力レジスタ回路154とストレージレジスタ回路155とを表し、さらに、デコーダ部(階調電圧選択回路)261、アンプ回路対263、アンプ回路対263の出力を切り替えるスイッチ部(2)264が、図4に示す出力回路157を構成する。ここで、スイッチ部(1)262およびスイッチ部(2)264は、交流化信号(M)に基づいて制御される。また、Y1, Y2, Y3, Y4, Y5, Y6は、それぞれ第1番目、第2番目、第3番目、第4番目、第5番目、第6番目のドレイン信号線(D)を示している。

【0026】図5に示すドレインドライバ130においては、スイッチ部(1)262により、データラッチ部265(より詳しくは、図4に示す入力レジスタ154)に入力されるデータ取り込み用信号を切り替えて、各色毎の表示データを各色毎の隣合うデータラッチ部265

に入力する。デコーダ部261は、階調電圧生成回路151aから電圧バスライン158aを介して出力される正極性の2nd階調の階調電圧から、各データラッチ部265（より詳しくは、図4に示すストレージレジスタ155）から出力される表示用データに対応する正極性の階調電圧を選択する高電圧用デコーダ回路278と、階調電圧生成回路151bから電圧バスライン158bを介して出力される負極性の2nd階調の階調電圧から、各データラッチ部265から出力される表示用データに対応する負極性の階調電圧を選択する低電圧用デコーダ回路279とから構成される。この高電圧用デコーダ回路278と低電圧用デコーダ回路279とは、隣接するデータラッチ部265毎に設けられる。

【0027】アンプ回路対263は、高電圧用アンプ回路271と低電圧用アンプ回路272とにより構成される。高電圧用アンプ回路271には高電圧用デコーダ回路278で選択された正極性の階調電圧が入力され、正極性の階調電圧を出力する。低電圧用アンプ回路272には低電圧用デコーダ回路279で選択された負極性の階調電圧が入力され、負極性の階調電圧を出力する。ドット反転法では、隣接する各色の階調電圧は互いに逆極性となり、また、アンプ回路対263の高電圧用アンプ回路271および低電圧用アンプ回路272の並びは、高電圧用アンプ回路271→低電圧用アンプ回路272→高電圧用アンプ回路271→低電圧用アンプ回路272となるので、スイッチ部(1)262により、データラッチ部265に入力されるデータ取り込み用信号を切り替えて、各色毎の表示データを、各色毎の隣り合うデータラッチ部265に入力し、それに合わせて、高電圧用アンプ回路271あるいは低電圧用アンプ回路272から出力される出力電圧をスイッチ部(2)264により切り替え、各色毎の階調電圧が出力されるドレイン信号線(D)、例えば、第1番目のドレイン信号線(Y1)と第4番目のドレイン信号線(Y4)とに出力することにより、各ドレイン信号線(D)に正極性あるいは負極性の階調電圧を出力することが可能となる。

【0028】図6は、図1に示す表示制御装置110から送出されるデータの配列と、クロック信号(CL2A, CL2B)の位相関係を説明するための図である。同図に示すように、クロック信号(CL2B)は、クロック信号(CL2A)の反転信号であり、クロック信号(CL2A)は奇数番目のドレインドライバ(DRV1, DRV3)に、クロック信号(CL2B)は偶数番目のドレインドライバ(DRV2, DRV4)に入力される。そのため、表示制御装置110は、奇数番目のドレインドライバ用の表示データ→偶数番目のドレインドライバ用の表示データ→奇数番目のドレインドライバ用の表示データ・・・の順に、奇数番目のドレインドライバ用の表示データと偶数番目のドレインドライバ用の表示データとを、交互にバスライン133上へ送出する。

【0029】図7は、図1に示す表示制御装置110内の表示データ送出部の構成を示す図である。外部より表示データ(DATIN)が入力されると、奇数番目のドレインドライバ用の表示データは、奇数番目メモリ20に入力され、偶数番目のドレインドライバ用の表示データは、偶数番目メモリ21に入力される。次に、これらの書き込まれた表示データは、読み出し開始信号印加後、読み出し用クロック信号(CLK)に同期して先頭アドレスから順次読み出される。読み出された表示データ(o/D, e/D)は、マルチプレクサ(MPX)に入力され、セクタゼネレータ部22からの選択信号(MS)によって、表示データ(o/D, e/D)のどちらか一方が選択され、表示データ(DDATA)としてバスライン133上へ送出される。本実施の形態のように、シングルバス転送方式の場合、マルチプレクサ(MPX)、表示データ(o/D)、表示データ(e/D)を交互に選択する。ここで、セクタゼネレータ部22は、スタートパルス(SST)を基準に、読み出し用クロック信号(CLK)に同期して、選択信号(MS)を生成する。

【0030】前述したような液晶表示装置において、コスト低減のために、ドレインドライバ130として汎用のものを使用する場合があります。この場合には、全ドレインドライバの出力端子数に比して、液晶表示パネルのドレイン信号線が少なくなる場合があります。このような場合、従来では、余分となるドレインドライバの出力端子には、液晶表示パネルのドレイン信号線(D)を接続しないで使用していた。このような使用形態の一例を、図6に示す。この図6に示す例では、先頭のドレインドライバ(DRV1)に、ドレイン信号線に接続されない1～(n-1)本の出力端子（以下、単に、未接続の出力端子という）がある場合を図示している。図6に示す例の場合、奇数番目メモリ20への書き込みは、先頭より(n-1)をプラスしたアドレスから行い、偶数番目メモリ21への書き込みは、先頭アドレスより書き込むものとする。こうすることで、先頭から順次読み出すと、D1nから有効データが出力され、図6に示す表示データ(DDATA)が得られる。

【0031】しかしながら、図4に示す入力レジスタ回路154、およびストレージレジスタ回路155には、ドレインドライバの出力端子数分だけのデータをラッチする必要がある。そのため、前述したように、ドレインドライバの未接続の出力端子には、無効表示データとしてHレベル、あるいは、Lレベルを出力していた。そして、図6に示す例において、例えば、ドレインドライバ(DRV1)の未接続の出力端子分の無効表示データとしてHレベルを送出し、かつ、ドレインドライバ(DRV2)の1～(n-1)本の出力端子分の有効表示データがLレベルであった場合に、バスライン上のデータの並が、Hレベル（ドレインドライバ(DRV1)への

無効表示データ)→Lレベル(ドレインドライバ(DRV2)への有効表示データ)→Hレベル(ドレインドライバ(DRV1)への無効表示データ)となるので、バスライン上の転送周波数が上昇する場合があった。

【0032】以下に、本発明の無効表示データの転送方法について説明する。図8は、図7に示すセクタゼネレータ部22の回路構成を示すブロック図である。同図に示すように、セクタゼネレータ部22は、D型フリップ・フロップ回路(FF)と、カウンタ・CKデコーダ部30と、ノア回路(NOR)と、オア回路(O 10 R)とで構成される。ここで、カウンタ・CKデコーダ部30は、読み出し用クロック信号(CLK)のクロック数をカウントするカウンタと、当該カウンタのカウント数をデコードするデコーダとを有する。

【0033】図9は、図8に示す回路構成において、カウンタ・CKデコーダ部30を除いた回路構成を示すブロック図である。この図9に示す回路構成において、スタートパルス(SST)がHレベルになるとノア回路(NOR)がLレベルとなるので、スタートパルス(SST)がHレベルのときに、読み出し用クロック信号 20 (CLK)が印加されることで、D型フリップ・フロップ回路(FF)はリセットされ、出力端子(Q)はLレベルとなり、選択信号(M)はLレベルとなる。次に、スタートパルス(SST)がLレベルになると、ノア回路(NOR)の出力は、D型フリップ・フロップ回路(FF)の出力端子(Q)がHレベルのときはLレベル、D型フリップ・フロップ回路(FF)の出力端子(Q)がLレベルのときはHレベルとなるので、選択信号(MS)は、読み出し用クロック信号(CLK)に同期して、Hレベル、Lレベルを繰り返す。マルチプレク 30 サ(MPX)が、選択信号(MS)がLレベルのときに奇数番目用メモリ20、選択信号(MS)がHレベルのときに偶数番目用メモリ21を選択するように設定すると、選択信号(MS)が、Lレベル、Hレベル、Lレベル...と変化すると、奇数番目データ、偶数番目データ、奇数番目データ...が、マルチプレクサ(MPX)からバスライン133上に出送される。

【0034】図8に示す回路構成も、基本的な動作は、図9に示す回路と同じである。但し、図8に示す回路構成では、読み出し用クロック信号(CLK)のクロック 40 数が設定数以下の場合、カウンタ・CKデコーダ部30の出力(Dout)がHレベルとなり、読み出し用クロック信号(CLK)のクロック数が設定数を越えると、カウンタ・CKデコーダ部30の出力(Dout)がLレベルとなるように設定されている。即ち、カウンタ・CKデコーダ部30のデコード数を、未接続本数(n-1)と設定しておくことにより、スタートパルス(SST)が入力された後で、読み出し用クロック信号(CLK)が、(n-1)個入力される間、出力(Dout)はHレベルを維持し、選択信号(MS)はHレベ 50

ルに固定される。設定数(未接続本数(n-1))を超えると、読み出し用クロック信号(CLK)に同期して、出力(Dout)はLレベルとなり、D型フリップ・フロップ回路(FF)の出力端子(Q)の出力が、選択信号(MS)として出力される。

【0035】このように、本実施の形態では、未接続部分の無効表示データD11~D1(n-1)を転送するときは、常時偶数番目用メモリ21を選択するように選択信号(MS)を生成する。したがって、本実施の形態では、無効表示データ(D11)のデータとして、ドレインドライバ(DRV2)に転送される有効表示データ(D21)が転送され、同様に、無効表示データ(D12)として、有効表示データ(D22)が転送される。つまり、本実施の形態では、D21、D21、D22、D22、D23、D23...の順番に表示データを転送し、有効表示データ(D1n)からは、D1n、D2n、D1(n+1)...と転送する。そのため、本実施の形態では、前述した従来例の場合のように、無効表示データを含む表示データを転送する際に、バスライン上の転送周波数を低減することができ、放射電磁雑音の発生量を少なくすることが可能となる。

【0036】なお、前述の説明では、先頭のドレインドライバ(DRV1)に未接続の出力端子がある場合について説明したが、これ以外に、最終段のドレインドライバに未接続の出力端子がある場合や、未接続の端子がなくても、偶数番目のドレインドライバと、奇数番目のドレインドライバの数が異なる場合でも、同様な構成で解決することができる。例えば、図10に示すように、最終段のドレインドライバ(DRV4)に、未接続の出力端子がある場合は、図7に示すセクタゼネレータ部22として、図11に示す回路構成のものを採用することにより、前述と同様の効果を得ることができる。図11に示す回路構成は、図8に示すオア回路(OR)に代えて、アンド回路(AND)を採用し、さらに、読み出し用クロック信号(CLK)のカウント数を(n-1)に設定するようにしたものである。これにより、図11に示す回路では、読み出し用クロック信号(CLK)のカウント数が(n-1)までは、奇数番目用メモリ20、偶数番目用メモリ21を交互に選択するように選択信号(MS)を生成し、読み出し用クロック信号(CLK)のカウント数がnを越えると、常時奇数番目用メモリ20の出力を選択するように選択信号(MS)を生成する。これによって、未接続の出力端子部分の転送データ(無効表示データ)は、ドレインドライバ(DRV3)と同じ表示データとなる。

【0037】また、図12に示すように、奇数番目のドレインドライバ(DRV1, DRV3, DRV5)と、偶数番目のドレインドライバ(DRV2, DRV4)の数が異なる場合であっても、図7に示すセクタゼネレータ部22として、図11に示す回路構成のものを採用

することにより、前述と同様の効果を得ることができる。さらに、図 13 に示すように、ドレインドライバ (DRV1)、ドレインドライバ (DRV2) にともに未接続の出力端子があり、それらの未接続の出力端子の位置が、例えば、中央部等の任意位置である場合であっても、図 7 に示すセクタゼネレータ部 22 として、図 14 に示す回路構成のものを採用することにより、前述と同様の効果を得ることができる。図 14 に示す回路

は、カウンタ・CKデコーダ部 30 からの制御信号 (S0, S1) により、マルチプレクサ (MPX2) を切り 10 替え、選択信号 (MS) として、図 14 の入力端子 (A) に入力される信号、入力端子 (B) に入力される信号、入力端子 (C) に入力される信号を選択するようにしたものである。

【0038】即ち、図 14 に示す回路では、カウンタ・CKデコーダ部 30 でのデコード結果により、Hレベル、Lレベル、あるいは、D型フリップ・フロップ回路 (FF) の出力端子 (Q) の出力レベルを選択するようにしたものである。ここで、カウンタ・CKデコーダ部 30 は、ドレインドライバ (DRV1) の未接続の出力 20 端子 (図 14 の $n \sim (n+k)$; 例えば、10 番目 ~ 15 番目の出力端子)、ドレインドライバ (DRV2) の未接続の出力端子 (図 14 の $m \sim (m+j)$; 例えば、20 番目 ~ 50 番目の出力端子) をそれぞれデコードできるように設定する。カウンタ・CKデコーダ部 30 からの制御信号 (S0, S1) により、マルチプレクサ (MPX2) で選択する選択信号 (MS) の一例を表 1 に示す。

【表 1】

S1	S0	MS
L	L	C
L	H	A
H	L	B
H	H	B

【0039】また、前述の説明では、選択信号 (MS) によって、ドレインドライバの未接続の出力端子用データを制御しているが、この他に、メモリに書き込む方法を変更するようにしてもよい。例えば、図 6 に示すドレインドライバ (DRV1) に ($n-1$) 本の未接続の出 40 力端子がある場合、奇数番目用メモリ 20 の先頭から ($n-1$) のアドレスには、偶数番目用メモリ 21 と同じ内容を書き込む。こうすることで、選択信号 (MS) を生成するセクタゼネレータ部 22 として、図 9 に示す回路構成のものを使用することができる。

【0040】[実施の形態 2] 図 1 において、例えば、本体コンピュータ側などの外部から入力される表示データ (R, G, B) は、1 画素単位で入力される場合と、液晶表示パネル 10 の高解像度、高速動作に伴って、2 画素単位で入力される場合との 2 通りがある。従来で

は、1 画素単位で入力される場合と、2 画素単位で入力される場合との 2 通りに応じて、それぞれ別の表示制御装置を使用するようにしていた。そのため、従来例では、液晶表示装置のコストが上昇するという欠点があった。本実施の形態は、表示制御装置 110 として、このような 2 通りの表示データ入力方式に対応できるようにし、その入力モードを、モードピンに印加する電圧、あるいは、内部で切り替えるようにしたものである。

【0041】図 15 は、本発明の実施の形態 2 の表示制御装置 (LSI) のピン配置を示す図である。前述したように、本実施の形態の表示制御装置 110 は、1 画素または 2 画素入力のインタフェースに対応可能であり、その設定はモードピン (PIX) に印加する電圧で行う。本実施の形態では、1 画素入力仕様の場合には、モードピン (PIX) に印加する電圧を L レベルに固定し、また、2 画素入力仕様の場合には、モードピン (PIX) に印加する電圧を H レベルに固定する。以下、本実施の形態の表示制御装置 110 における、1 画素入力仕様と、2 画素入力仕様との設定方法について説明する。図 16 は、表示制御装置 110 の各入力端子が、そのまま、インタフェース・コネクタ (CT) に接続される場合のモードピン (PIX) の設定方法を説明するための図である。この場合には、1 画素目の各表示データ、2 画素目の各表示データ、および各制御信号が入力される入力端子、並びに、モードピン (PIX) が、インタフェース・コネクタ (CT) に直接接続される。したがって、この例では、例えば、本体コンピュータ等の外部より、モードピン (PIX) に印加する電圧を設定し、1 画素入力仕様か、2 画素入力仕様かを設定することになる。

【0042】近年、液晶表示モジュールと、本体コンピュータ側とのインタフェースとして、アナログ・インタフェースに代えて、デジタル・インタフェースが採用されている。このデジタル・インタフェースとして、LVDS (Low Voltage Differential Signaling) 方式と、Panel Link 方式の 2 通りが知られている。図 17 は、デジタル・インタフェースとして、LVDS 方式を採用した TFT 方式の液晶表示モジュールの要部構成を示すブロック図である。同図に示すように、コンピュータ本体側のグラフィックコントローラ 180 の出力段と、表示制御装置 110 の入力段との間に、それぞれ半導体集積回路 (LSI) で構成されるトランスミッタ (170a, 170b) とレシーバ (160a, 160b) とが設けられる。それ以外の回路構成は、図 1 に示す回路構成と同じであるので、図示は省略している。

【0043】前記トランスミッタ 170a (あるいは 170b) は、グラフィックコントローラ 180 からのディスプレイタイミング信号 (DTMG)、水平同期信号 (Hsync)、垂直同期信号 (Vsync) および表示用データ (R・G・B) の全部で 21 ビットの信号を

並列 - 直列変換して、3本のより対線でレシーバ160a (あるいは160b) に送出する。前記レシーバ160a (あるいは160b) は、前記シリアル信号を直列 - 並列変換して、ディスプレイタイミング信号(DTMG)、水平同期信号(Hsync)、垂直同期信号(vsync)および表示用データ(R・G・B)を表示制御装置110に送出する。また、クロック信号(CK)は、一本のより対線で前記トランスミッタ170a (あるいは170b) からレシーバ160a (あるいは160b) に伝送される。

【0044】図18は、LVDS方式で、外部から表示制御装置110に表示データ等が入力される場合のモードピン(PIX)の設定方法を説明するための図である。この場合には、1画素目の入力表示データ、および2画素目の入力表示データ毎に、コネクタ(CT1, CT2)を有している。2画素目の入力表示データが存在するか否かは、2画素目の入力表示データが転送されてくるコネクタ(CT2)に電源が生じているか、あるいは、2画素目の入力表示データが転送されてくるレシーバから、クロック信号(CK)が出力されているかを確

認し、その結果を表示制御装置110のモードピン(PIX)に反映させる。2画素目の入力表示データが転送されてくるレシーバから、クロック信号(CK)が出力されているか否かは、例えば、図18に示すようなクロックチェック回路60を設けることで可能である。即ち、抵抗RとコンデンサCからなるローパスフィルタにより、クロック信号(CK)が出力されているかを検出し、このローパスフィルタからの出力電圧により、モードピン(PIX)の電圧を設定する。

【0045】前述した方法は、表示制御装置110のモードピン(PIX)に印加する電圧により、入力モードを切り替える方法であるが、この切り替えを、表示制御装置110の内部で行うことも可能である。図19に示すように、外部から入力されるディスプレイ・タイミング信号は、1ライン内の表示データ区間を示す。よって、1画素入力仕様の場合は、ディスプレイ・タイミング信号内のクロック信号(CK)のクロック数は、液晶表示パネル10の横方向の画素数と一致する。また、2画素入力仕様の場合は、ディスプレイ・タイミング信号内のクロック信号(CK)のクロック数は、液晶表示パ

ネル10の横方向の画素数の半分の画素数となる。したがって、図20に示すような回路で、ディスプレイ・タイミング信号内のクロック信号(CK)のクロック数を、表示制御装置110内部で判断することにより、1画素入力仕様か、2画素入力仕様かを判断することができる。

【0046】図20に示す回路では、ディスプレイ・タイミング信号の立ち上がり時点を、立ち上がり検出回路300で検出し、これによりカウンタ回路301をリセットし、その後、カウンタ回路301でクロック信号

*(CK)のクロック数をカウントする。また、ディスプレイ・タイミング信号の立ち下がり時点を、立ち下がり検出回路302で検出し、これにより、カウンタ回路302のカウント数をラッチ回路303にラッチする。このラッチ回路303にラッチされたカウント数と、液晶表示パネル10の横方向の画素数(即ち、横方向の解像度)とを、比較回路304で比較する。比較回路304での比較結果により、ディスプレイ・タイミング信号内のクロック信号(CK)のクロック数が、液晶表示パネル10の横方向の画素数と一致した場合には、表示制御装置110の内部で入力モードを1画素入力仕様とし、また、ディスプレイ・タイミング信号内のクロック信号(CK)のクロック数が、液晶表示パネル10の横方向の画素数の半分の画素数と一致した場合には、表示制御装置110の内部で入力モードを2画素入力仕様とする。それ以外の場合には、異常処理として処理する。この例の場合には、表示制御装置110のモードピン(PIX)が不要となるので、表示制御装置110の小型化を図る上で有効である。

【0047】また、前記各実施の形態では、本発明を縦電界方式の液晶表示パネルに適用した場合について説明したが、これに限定されるものではなく、横電界方式の液晶表示パネルにも適用可能である。また、前記各実施の形態では、本発明をTFT方式の液晶表示装置に適用した場合について説明したが、これに限定されるものではなく、本発明は、STN方式の単純マトリクス形液晶表示装置にも適用可能であることは言うまでもない。以上、本発明者によってなされた発明を、前記発明の実施の形態に基づき具体的に説明したが、本発明は、前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0048】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

(1) 本発明によれば、表示制御装置から無効表示データを含む表示データを各駆動回路に転送する際に、バスライン上の転送周波数を低減することが可能となる。

(2) 本発明によれば、表示制御装置として各入力モード毎に共通のものを使用することができるので、コストを低減することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態1のTFT方式の液晶表示モジュールの概略構成を示すブロック図である。

【図2】図1に示す液晶表示パネルの一例の等価回路を示す図である。

【図3】図1に示す液晶表示パネルの他の例の等価回路を示す図である。

【図4】図1に示すドレインドライバの概略構成を示す

ブロック図である。

【図 5】出力回路の構成を中心に、図 4 に示すドレインドライバの構成を説明するためのブロック図である。

【図 6】図 1 に示す表示制御装置から送出されるデータの配列と、クロック信号 (CL2A, CL2B) の位相関係を説明するための図である。

【図 7】図 1 に示す表示制御装置内の表示データ送出部の構成を示す図である。

【図 8】図 7 に示すセクタゼネレータ部の回路構成を示すブロック図である。

【図 9】図 8 に示す回路構成において、カウンタ・CKデコーダ部を除いた回路構成を示すブロック図である。

【図 10】ドレインドライバに未接続の出力端子がある TFT 方式の液晶表示モジュールの他の例を示す図である。

【図 11】図 7 に示すセクタゼネレータ部の他の回路構成を示すブロック図である。

【図 12】奇数番目のドレインドライバと、偶数番目のドレインドライバとの数が異なる TFT 方式の液晶表示モジュールを示す図である。

【図 13】ドレインドライバに未接続の出力端子がある TFT 方式の液晶表示モジュールの他の例を示す図である。

【図 14】図 7 に示すセクタゼネレータ部の他の回路構成を示すブロック図である。

【図 15】本発明の実施の形態 2 の表示制御装置 (LSI) のピン配置を示す図である。

【図 16】表示制御装置の各入力端子が、そのまま、インタフェース・コネクタに接続される場合のモードピン (PIX) の設定方法を説明するための図である。

【図 17】デジタル・インタフェースとして、LVDS 方式を採用した TFT 方式の液晶表示モジュールの要部構成を示すブロック図である。

【図 18】LVDS 方式で、外部から表示制御装置に表示データ等が入力される場合のモードピン (PIX) の*

*設定方法を説明するための図である。

【図 19】外部から入力される制御信号のタイミングチャートを示す図である。

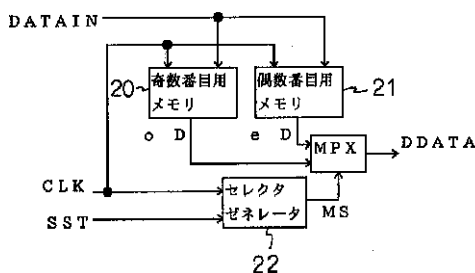
【図 20】表示制御装置内で、1 画素入力仕様か、2 画素入力仕様かを判断するための回路構成の一例を示す図である。

【符号の説明】

10...液晶表示パネル、20...奇数番目用メモリ、21...偶数番目用メモリ、22...セクタゼネレータ部、30...カウンタ・CKデコーダ部、60...クロックチェック回路、100...インタフェース部、110...表示制御装置、120...電源回路、121...正電圧生成回路、122...負電圧生成回路、123...コモン電極 (対向電極) 電圧生成回路、124...ゲート電極電圧生成回路、130, DRV...ドレインドライバ、133...表示データのバスライン、140...ゲートドライバ、151a, 151b...階調電圧生成回路、152...制御回路、153...シフトレジスタ回路、154...入力ラッチ回路、155...ストレージレジスタ回路、156...レベルシフト回路、157...出力回路、158a, 158b...電圧バスライン、160a, 160b...レシーバ、170a, 170b...トランスミッタ、180...グラフィックコントローラ、261...デコーダ部、262, 264...スイッチ部、263...アンプ回路対、265...データラッチ部、271...高電圧用アンプ回路、272...低電圧用アンプ回路、278, 279...デコーダ回路、300...立ち上がり検出回路、301...カウンタ回路、302...立ち下がり検出回路、303...ラッチ回路、304...比較回路、AND...アンド回路、FF...D型フリップ・フロップ回路、NOR...ノア回路、OR...オア回路、MPX, MPX2...マルチプレクサ、ITO1...画素電極、ITO2...コモン電極、D, Y...ドレイン信号線、G...ゲート信号線、TFT1, TFT2...薄膜トランジスタ、CLC...液晶容量、CADD...付加容量、CSTG...保持容量、COM...共通信号線、CT...コネクタ。

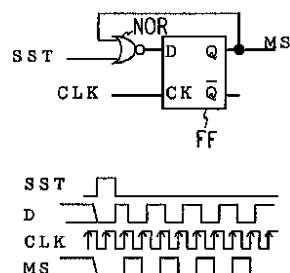
【図 7】

図 7



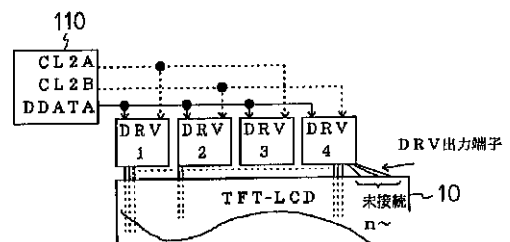
【図 9】

図 9



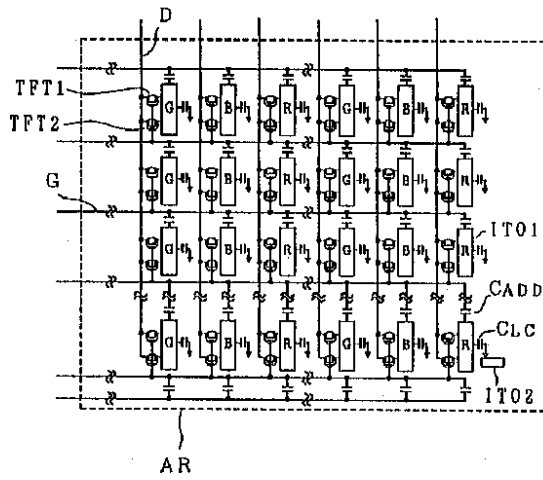
【図 10】

図 10



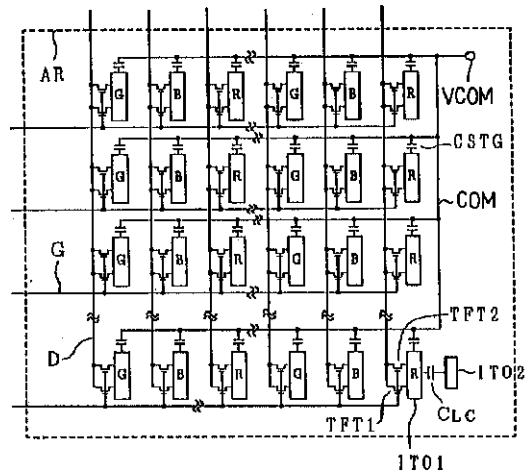
【図2】

図2



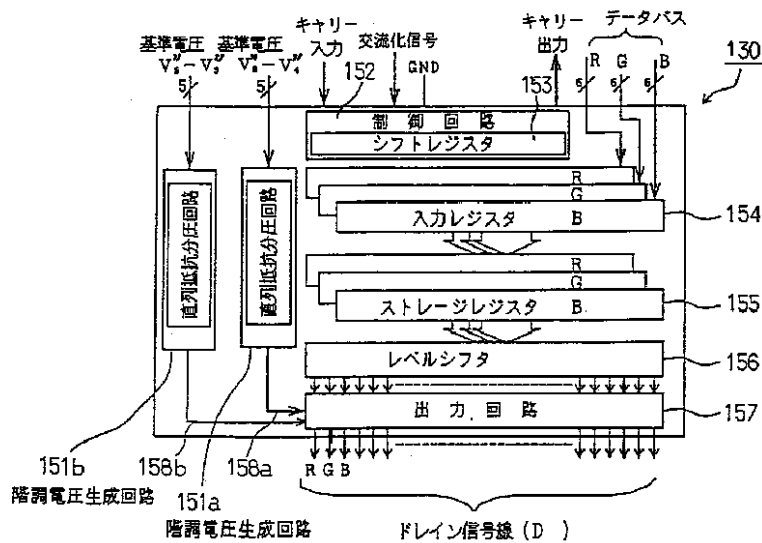
【図3】

図3



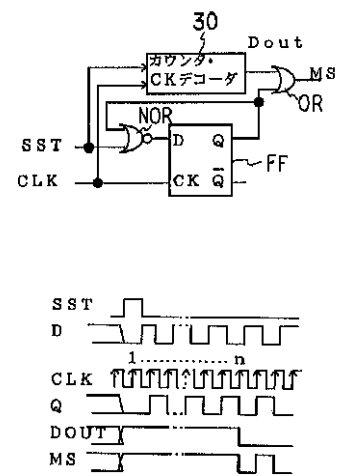
【図4】

図4



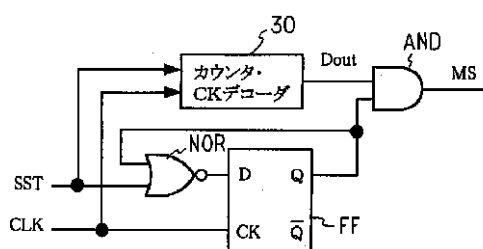
【図8】

図8



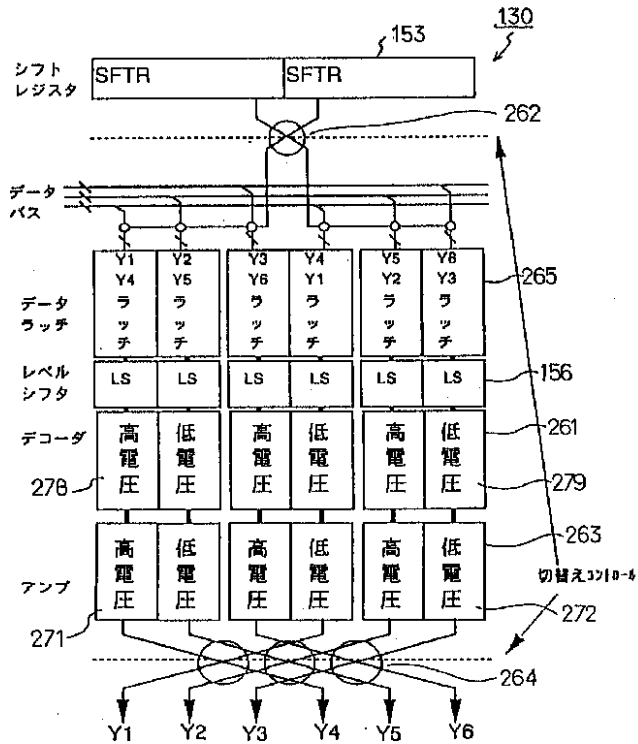
【図11】

図11



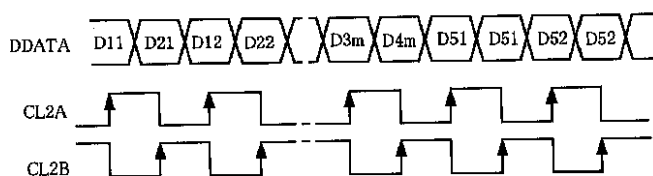
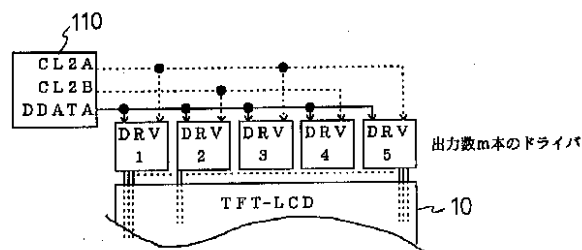
【図5】

図5



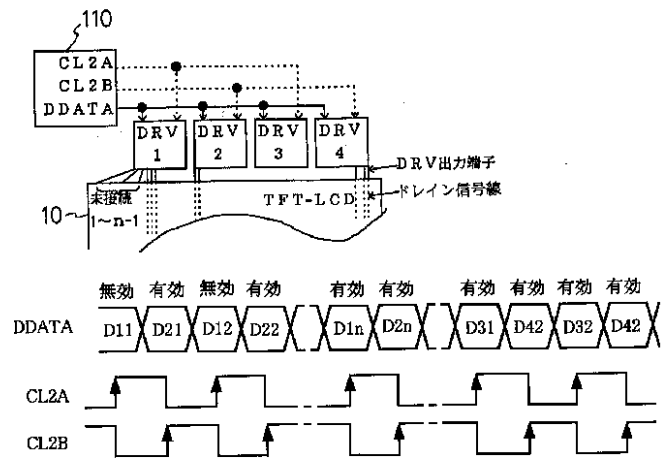
【図12】

図12



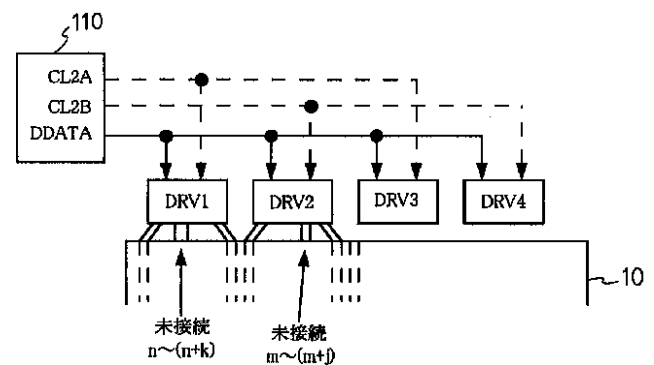
【図6】

図6



【図13】

図13



【図14】

図14

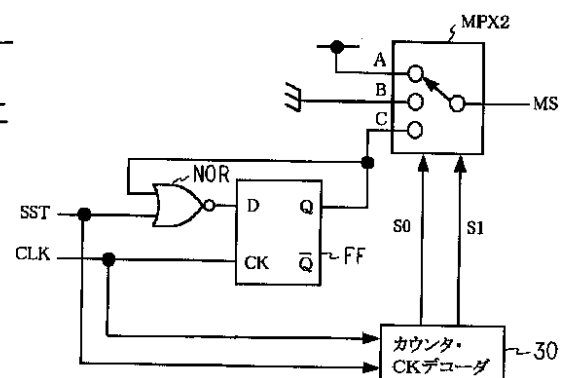
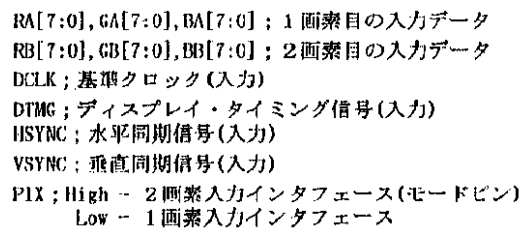


図 15

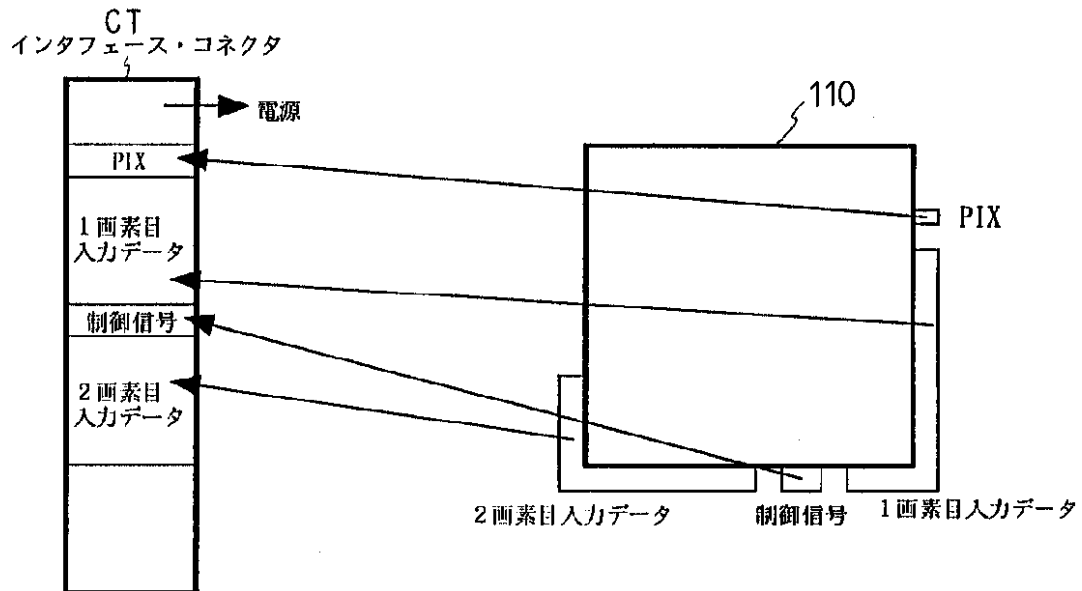


 電源 ; 3.3[V] (VDD)
  入力 (CMOS Interface)
  GND (VSS)
  出力

 入力 (Pull Up)
  入力 (Pull Down)

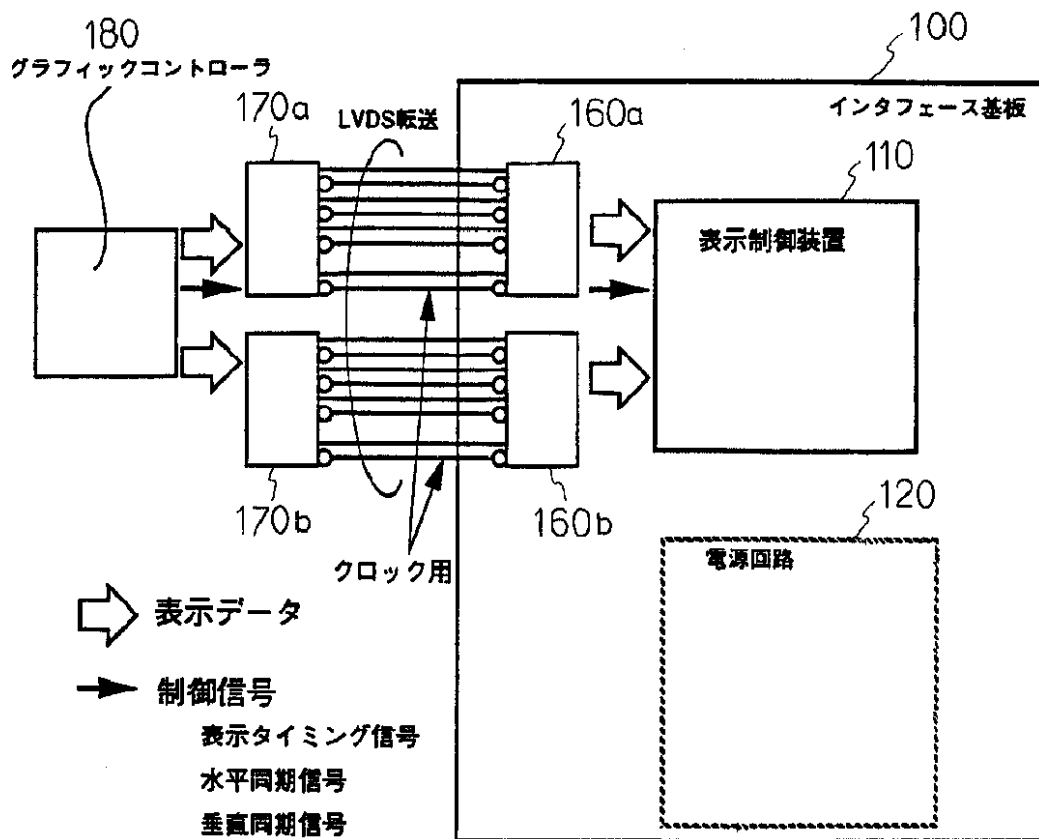
【図16】

図 1 6



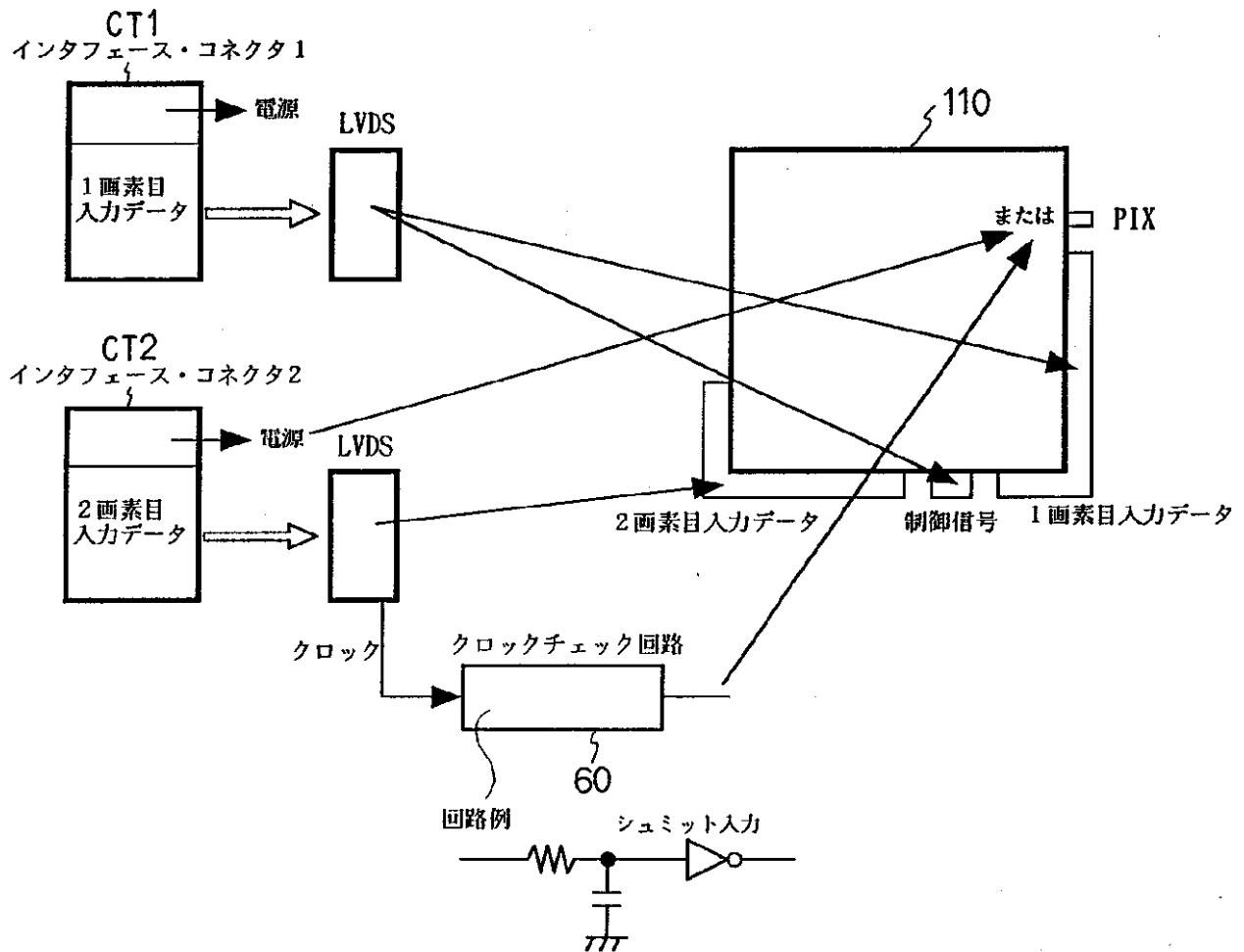
【図17】

図 1 7



【図18】

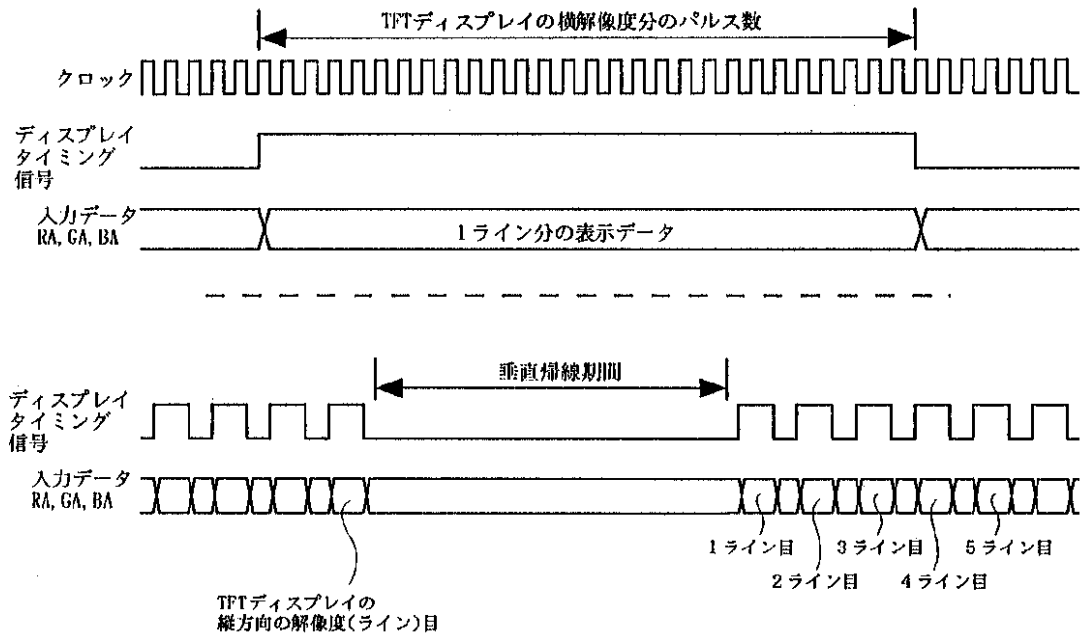
図 18



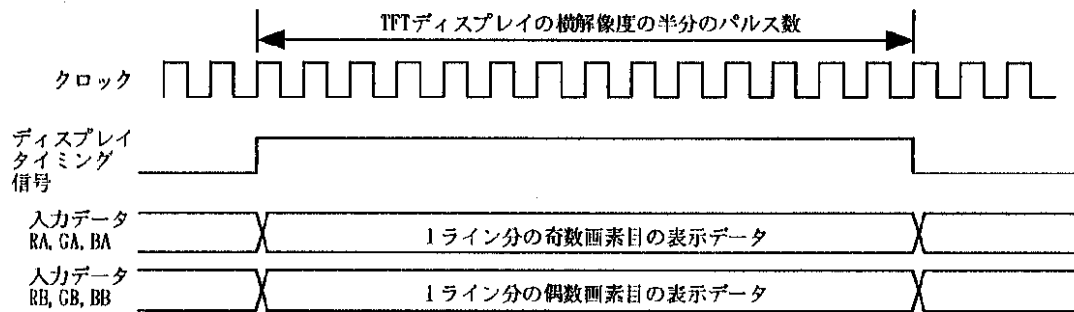
【図19】

図 19

1画素インタフェースの場合



2画素インタフェースの場合

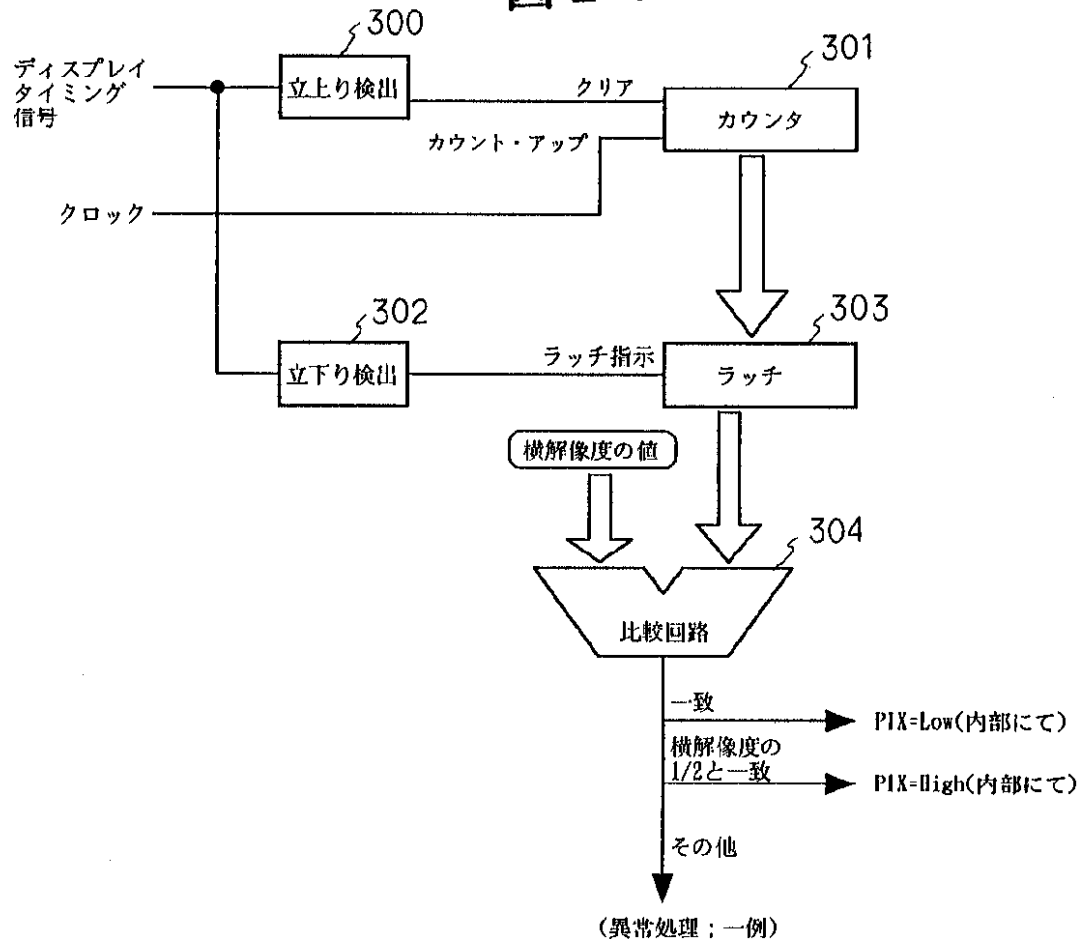


クロックの周期が、1画素インタフェースと比べ、2倍の時間となる。

(垂直帰線期間のタイミングは、1画素インタフェースと同じ)

【図 20】

図 20



【手続補正書】

【提出日】平成12年6月2日(2000.6.2)

【補正内容】

【0001】

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【発明の属する技術分野】本発明は、液晶表示装置に係わり、特に、駆動回路(ドレインドライバ)に適用して有効な技術に関する。

フロントページの続き

(72)発明者 五十嵐 陽一
千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

Fターム(参考) 2H093 NA16 NA31 NA43 NA53 ND43
5C006 AA16 AA22 AC11 AC21 AF43
AF59 BB16 BC06 BC12 BC23
BF02 BF03 FA00 FA48 FA52
5C080 AA10 BB05 CC03 DD28 EE29
EE30 FF11 JJ02 JJ03 JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2001311933A	公开(公告)日	2001-11-09
申请号	JP2000130649	申请日	2000-04-28
[标]申请(专利权)人(译)	株式会社日立制作所 日立器件工程株式会社		
申请(专利权)人(译)	株式会社日立制作所 日立设备工程有限公司		
[标]发明人	大脇義雄 五十嵐陽一		
发明人	大脇 義雄 五十嵐 陽一		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 G09G5/00		
CPC分类号	G09G3/3688 G09G3/3648 G09G3/3659 G09G5/006 G09G2300/0809 G09G2310/027 G09G2352/00		
FI分类号	G02F1/133.550 G09G3/20.611.C G09G3/20.611.F G09G3/36		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NA43 2H093/NA53 2H093/ND43 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC21 5C006/AF43 5C006/AF59 5C006/BB16 5C006/BC06 5C006/BC12 5C006/BC23 5C006/BF02 5C006/BF03 5C006/FA00 5C006/FA48 5C006/FA52 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD28 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H093/NA62 2H093/NC03 2H093/NC12 2H093/NC15 2H093/NC16 2H093/NC22 2H093/NC26 2H093/NC28 2H093/NC34 2H093/NC50 2H093/NF13 2H193/ZA04 2H193/ZD23 2H193/ZF03 2H193/ZF36 2H193/ZF52 2H193/ZQ09		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种液晶显示装置，当从显示控制装置向驱动电路传送包括无效的显示数据的显示数据时，能够降低总线上的传送频率。一种液晶显示装置，包括：显示控制装置，其向所述多个驱动电路交替输出奇数驱动电路的显示数据和偶数驱动电路的显示数据。当将无效显示数据发送到偶数驱动电路中的至少一个驱动电路时，显示控制装置位于偶数驱动电路的无效显示数据之前，驱动电路的有效显示数据作为无效显示数据发送。

